

214585

公告本

A4
C4

申請日期	87.12.3
案 號	8110P6P1
類 別	G06F 1/00

(以上各欄由本局填註)

發明
專利說明書

一、發明 創作名稱	中 文	數位式資訊序列器與延時調節器
	英 文	DIGITAL SERIALIZER AND TIME DELAY REGULATOR
二、發明 創作人	姓 名	(1)郭彬 (2)詹姆斯·庫比尼克
	籍 貫 (國籍)	美國
	住、居所	(1)美國·加州94538福雷蒙風恩·泰瑞斯 4382號 (2)美國·內華達州89509雷塢·愛爾·塞 羅威優3750
三、申請人	姓 名 (名稱)	美商·高級微裝置公司
	籍 貫 (國籍)	美國
	住、居所 (事務所)	美國·加州94088-3453桑尼威·郵政信箱 3453號·湯普森區901號
	代 表 人 姓 名	湯瑪斯W·阿姆斯特壯

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(3)

本發明係關於一種數位式傳輸通訊連結，尤關於用來進行資料序列及延時調節之全部數位方法及裝置。

本發明之發明人也同時申請下列之美國專利申請案，各申請案中揭示關於高資料率數位資料傳輸及回復系統之方法；

1. 數位顫動校正方法及信號預調節器 (Digital Jitter Correction Method and Signal Preconditioner" 專利申請號數 07/901,360；申請日期 6/19/92；發明人 Bin Guo 及 Michael Behrin；AMD Docket No. A862。

2. 利用延時規尺之數位資料回復 (Digital Data Recovery Using Delay Time Rulers)，專利申請號數 07/901,335；申請日期 6/19/92；發明人 Bin Guo；AMD Docket No. A860。

[發明之背景]

在資料通信系統中，通常將發射機之資料輸送至序列通信連結之傳輸媒介之前，將該資料予以序列化。一般係利用鎖相迴路(PLL)從以平行資料頻率(位元組率，byte rate)運轉以便在更高頻率(位元率，bit rate)下傳輸資料之局部基準時脈(local reference clock)產生位元時脈(bit clock)。將N位元平行資料序列化時，需要使用平行資料(位元組)頻率之N倍之時脈。因為在傳輸資料之前必須進行波道編碼以便克服各種傳輸劣化，藉此可進行正確之資料回復而確保可靠之資料轉換，該N位元平行資料通常係一種編碼資料。在傳輸電路中使用之鎖相迴路(

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

PLL)其需要性不如在接收電路中使用之鎖相迴路殷切，因為供給於PLL之輸入之頻率係從非常穩定之頻率源供給，然而與PLL設計相關之問題，例如對數位轉換雜訊之感受性，類比電路及大電容量和大電阻值等之需要性等問題皆繼續存在，因而非常不容易與數位功能形成一體。

在使用一定不變而正確或校正過之飛著(on-the-fly)延遲形成各種時基(time base)之數位步驟(digital implementation)中，必須使用控制延遲。在本發明之發明人同時申請之專利申請案"使用延時規尺之數位資料回復(Digital Data Recovery Using Delay Time Rulers)"，AMD Docket Number A860，專利申請號數07/901,335，申請日期6/19/92中，其資料回復系統不使用PLL先從資料中抽出連續之運轉時脈，然後使用已回復之時脈讀取資料。其使用所謂之離散時間規尺(discrete "Time Rulers")而不讀出輸入之資料。時間規尺主要係串級可數位式調節之延遲單元，其各延遲單元之延遲等於資料頻率之位元期間之一半。習用技術中，通常係將類比信號作為控制信號供給於電路中以便產生控制延遲，該信號通常係從相位檢測器產生之經過濾波而經過平滑之輸出信號。在此方式之延遲調節時，習用之形成相位檢測器及低通濾波器之方法仍可採用。此種電路非常不容易作成為積體電路而且容易感受雜訊。在本發明之發明人所揭示之全數位方式解決方法中，係使用數位指令控制碼控制或"選擇"延遲量。因為可選擇之延遲係離散值而其正確性或解析度(resolution)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

係由基本延遲相格(basic delay cell)之最小可達成之延遲量所決定，故經常有一定量之誤差存在。

因此，非常需要有一種可提供精確延遲之數位方式及裝置，該等電路可自動的檢測延遲變數，而且產生可數位式校正之指令碼，以便在電路動作時調節飛著(on-the-fly)之被數位控制延遲，藉此可提供被校正或被調節之延時元件作為資料傳輸之時間規尺(time ruler)，資料回復(data recovery)及各種其他動作。

[發明之概要說明]

本發明之主要目的為提供一種可用數位方式產生自校正延時元件作為各種時序動作(timing operation)之時間規尺之裝置及方法。本發明之另一目的為提供一種可將資料傳輸至串列通訊連結(serial link)之高速資料序列電路，該電路不必使用PLL產生以序列傳輸位元率運作之多工時脈(multiplexed clock)。

本發明之另一目的為提供一種全數位式延時法及電路，其中不必使用任何類比控制，只使用數位指令控制碼調節及校正其延遲。

本發明之又一目的為提供一種與數位資料回復有關之數位式自校正延遲以便控制接收機中之資料回復。

本發明之其他目的為提供一種電路，該電路可形成為積體電路，並提供數位指令控制碼於同一小基片(die)上之其他電路塊，該其他電路塊可能需要進行延遲調節。

本發明可提供一種方法及裝置，該方法及裝置可檢測

五、發明說明(6)

被控制延遲中因處理程序，溫度及電源變動而產生之延遲元件之延遲變數，並且產生數位校正指令碼以便進行被控制延遲之適當調節，該被控制延遲必須根據周圍環境之變化而校正。如此結果，可產生具有延遲量等於被序列的傳輸之資料之位元期間之一串之時間"規尺"或正確而一定不變的被校正之延遲單元。在發射機中，以位元組時脈率提供之N位元平行資料以位元組期間之 $1/N$ 周期被序列化及被傳輸，並且由在已被校正之延遲線路中行進之脈波計時。本發明中並不將位元組時脈予以多工化來產生位元時脈，而係將用來使N位元周期或位元組周期予以全部延遲之 $2N$ 相同延遲單元串級，以便形成用來檢測延時及位元串流序列時序(bit stream serialization timing)用之延遲線路。在校正延遲時，係根據來自一點周圍之延遲檢測邏輯之資訊調節對延遲單元之數位指令碼，而脈波在該一點通過全部延遲線時需要一個位元組之週期。在此條件下，可認為延遲單元已被校正成為半個位元週期之額定值。只要脈波到達每2個延遲單元之輸出時，即開始進行位元傳輸。在設計延遲單元時必須特別注意以便確保上昇及下降延遲之匹配，藉此可在脈波行進於長延遲線路中時保持脈波之寬度。當被控制延遲單元之數位指令碼被校正後，即變成可被供給於需要時間規尺或已被校正延遲之其他電路中。

圖示之簡單說明

圖1為本發明之傳輸資料序列器及延遲校正電路之方

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (7)

塊圖；

圖 2 為圖 1 所示電路中產生之信號之時序圖；

圖 3 為延遲單元之方塊圖；

圖 4 為在相位檢測延遲電路之檢測窗中心抽樣之圖；

圖 5 為調節決定電路之邏輯施行圖；

圖 6 為調節更新控制邏輯之功能表；

圖 7 為位元序列器之另一實施例之圖。

以下參照圖式說明本發明之實施例。

圖 1 中，各延遲單元 21 及 21' 皆延遲半個位元週期 $1/2 T_b$ ，該 T_b 為序列的傳輸之資料頻率之位元週期；當該等延遲單元被校正時皆被串級成為如虛線所示之檢測延遲線路 20。一對延遲單元 21 (前單元) 及 21' (後單元) 形成延遲 1 個位元週期之時間之位元延遲單元。單一延遲單元 22 被用來轉換脈波產生器 24 以便在每次產生基準時脈 LCLK 時，於線路 12 上產生一個脈波，其寬度等於位元週期之一半。從延遲線 BT1 至 BTW (BT5) 分出之輸出分接頭在平行資料被門鎖在輸入暫存器 40 內並經由線路 TD1 至 TDN (TD5) 被供給於位元序列器後，連接於開關之控制端或位元序列器 30 中之 MOS 轉換器 SW1 至 SWN (SW5) 之閘極。序列輸出資料可線路 38 上之肘節正反器 (Toggle flip flop, TFF) 32 之輸出端產生。檢測 "窗中心" 位於相位檢測延遲 50 以便進行詳細之相位比較。延遲補償 52 補償相位檢測延遲 50 之延遲以及在抽樣暫存器 70 中之 d 正反器之設定時間。後延遲 60 在延遲單元之延遲比額定值短時追蹤該脈波。調節決定電路 80 分析

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

被抽樣之狀態碼 $DST(j:1)71$ 並且決定何時及如何改變成由上昇/下降移位器 90 控制；該移位器更新延遲單元之數位指令碼以便進行適當之延遲調節。

若先假設延遲單元被校正成其額定值而說明資料序列程序，然後說明如何校正飛著之延遲單元，則更容易瞭解電路之動作。在此，假設平行資料係一種不歸零 (Non-Return-to-Zero, NRZ) 形式，而被傳輸之序列資料為一種不歸零反轉成一 (Non-Return-to-Zero-Inverted-on-One, NRZI) 格式，其中資料位元 "1" 係由 "轉變" 表示，而資料位元 "0" 係由 "非轉變 (no transition)" 表示。

為了說明之方便，在以下說明中於圖 1 中設定 $N=5$ 。對於 N 之其他數值皆應用相同之概念。在纖維分配資料介面 (FDDI) 標準中，先將 4 位元 (半個信息組) 資料編碼於 5 位元符號中，然後予以序列化以便傳輸。局部基準時脈 LCLK 11 以 $1/5$ 位元率之符號率運作。圖 1 及圖 2 中，圖 1 為時序圖，將以符號率運作之局部基準時脈 LCLK 供給於延遲單元 22 及脈波產生器 24。在以下說明中，所謂位元組 (byte) 係指編碼之 5 位元符號。圖 2(c) 中之 LCLK 之延遲部份 DCK 亦被供給於線路 13 中之脈波產生器。脈波產生器 24 將脈波 BT1 供給於每一位元組時脈週期 (圖 2(g1))，而脈波之寬度係由假設已被校正成為 $1/2T_b$ 之延遲單元 22 之延遲量所決定。BT1 之脈波在延遲線路 20 中行進，而每次其到達 BT2 至 BT5 時延遲一位元週期之間隔 [圖 2(g2-g5)]。DBT1 至 DBT5 係從延遲線路 20 分出之分接頭；該分接頭提供 BT1 至 BT5 之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(9)

延遲信號。以下參照圖7之其他實施例說明DBT1至DBT5之功能。平行資料TDATA(4:0)被門鎖於輸入暫存器中，而且在脈波BT1之上昇邊緣之前[圖2(g1)]在輸出端TD1至TD5檢測DL之上昇邊緣[圖2(d)]。在此必須注意TD1至TD5為TDATA(4:0)之補償。在圖2b中，波形之實施例為假設第1個位元組為全部"1"之資料位元組，該位元組被門鎖作為第1位元組[圖2(b)]。在TD1至TD5之被門鎖之資料TD(5:1)全部為"0"。若MOS轉換器SW1至SW5全部未接通，則倒相器33'之輸入端之波節33之位準被裝置35提昇變成高位準。當脈波BT1到達時，該脈波使MOS轉換器SW1接通 $1/2T_b$ 之期間。因為連接於轉換器SW1之輸出端TD1之位準為低位準，故在波節33之MTR之位準被位低變成低位準 $1/2T_b$ 之期間[圖2(h)中301]。在波節33之MTR之負轉變使波節34之XTR變成正轉變，結果使TFF32進行反復動作而在38產生SERO之輸出轉變(圖2中302, 303)。如此可傳送資料位元"1"。經過半位元之期間後，BT1回復成為低位準(圖2中之305)而使SW1斷路，裝置35將波節33拉回而供給電壓或變成高位準，使波節34之XTR回復成為零(圖2中之306, 307)。當脈波到達波節202時，SW2接通而使輸出端SERO 38之另一轉變傳輸另一位元"1"。此時"1"之全部位元組皆以相同方式被傳輸。如果該區域中有"0"時，例如圖2(b)中之第2位元組之第1位元，則在輸出端SERO不會發生轉變。其理由為資料位元"0"在TD1由"1"或高位準表示，當BT1之脈波到達而使SW1接通時(圖2中311)，因為TD1亦成為高位準故波節

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (10)

33之MTR亦繼續保持高位準。在MTR或XTR(圖2中312, 313)不發生任何轉變, 故輸出端SERO亦不發生轉變。資料位元"0"被輸出信號中之"無轉變"傳輸。在設計TFF32時, 需要有匹配之"時脈上昇"(clock to rise)(圖2中331), 及時脈下降(圖2中332), 或者將工作循環失真型之時間顫動附加在被傳輸之資料上。

以下說明校正延遲單元21及21'之方法。半位元延遲單元21之形成方法有許多種。圖3(a)中表示延遲單元21之一實施例。該延遲單元通常包括兩個部份: 一為航向步進單元(course step unit)211; 另一為精細步進單元(fine step unit)212。航向步進單元係由兩個部份形成: 固定級延遲221; 及可變級延遲222。固定級延遲221中包括k級之延遲相格(cell)250(d1至dk), 而可變級延遲222中包括m級之延遲相格250。圖3(b)中表示延遲相格250之一實施例, 該相格中使用3個例相器。從IN至OUT之延遲被界定為 T_{step} , 而從IN至DOUT之延遲被界定為 T_{dop} 。從延遲相格DV1(223)至可變級延遲222之MUX225之輸出DLYM之延遲係根據線路232上之數位指令碼來決定; 該指令碼只從MX1至MXM中選擇一個MUX225至DLYM之通道。假設MX1至MXM中從MUX225至MUX225之輸出之延遲皆為相同(T_{mux}), 而數位指令碼選擇MXI至DLM之通道, 或如果選擇延遲級, 結果可產生如下之航向步進單元211之全部延遲:

$$\begin{aligned} T_{coarse} &= K(T_{step}) + T_{dop} + T_{mux} + i(T_{step}) \\ &= T_{int} + i(T_{step}) \end{aligned}$$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明⁽¹¹⁾(上式中, $i=1, m$)

其中 T_{int} 係延遲單元之"固定部份", 或其本質延遲。參數 k 及 m 之數值係選定在可保證在任何程序及動作條件下, 單元延遲可調節範圍充分大, 以使產生所需之額定延遲 ($1/2T_b$)。延遲相格 250 之延遲 T_{step} 係該動作之基本延遲或最小可調節延遲, 該延遲可決定該動作之解析度。 T_{int} 係用來決定動作頻率之上限之延遲單元之本質延遲。若 T_{step} 及 T_{int} 皆可滿足目標頻率之所需, 則延遲單元 21 只要使用"航向"步進單元本身即可形成。若附加精細步進單元 212 則對高頻動作及低頻或高頻範圍動作皆非常有利。在高頻動作時, 可在精細步進單元 212 中完成更精細之調節, 以便改進解析度或減少時序誤差。在低頻或高頻範圍動作時, T_{step} 可選擇更大數值(例如 $10x$)。精細步進單元 212 之結構可與航向步進單元之結構完全相同, 其基本延遲相格之延遲為精細值(例如 T_{step} 之 $1/10$), 或者亦可由其他結構所構成。無論如何, 在 232 上之數位指令碼又控制精細步進延遲單元 212 之延遲。假設本例中, 於延遲線路內使用全部 $10(2N=2 \times 5=10)$ 個航向步進單元 250。若在同時將航向步進調節施加於各延遲單元, 則全部延遲線路之全部延遲範圍調節變成 $10 \times T_{step}$ 。接通電源後, 亦可在 5 個前延遲單元(圖 1 中之 21)及 5 個後延遲單元(圖 1 中之 21')之每一對延遲單元上交替的實施延遲調節。結果在接通電源時, 在各航向步進中, 全部延遲線路產生 $5 \times T_{step}$ 之延遲範圍量。在較佳實施例中, 因為全部精細步進單元

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(12)

皆同時被調節，故延遲調節又包括 $10 \times 1/10$ 之精細步進範圍。延遲單元所需之另一條件為匹配之上昇至上昇(rise-to-rise)及下降至下降(fall-to-fall)延遲，以便在一脈波經過延遲線路時可確保無失真脈波寬度。反相器213被用來將信號之極性從DLYIN210變換成DLYOUT220，因此，每隔一個延遲單元(或一個位元之時間延遲)時，該信號不被反轉，而且可將該延遲單元內之上昇及下降延遲中之錯誤匹配予以消除。

圖1中，從線路1000上之上昇/下降移位器產生之數位指令控制各延遲單元21及21'，因此其延遲等於位元週期($1/2T_b$)之一半，而只要全部延遲單元皆相同，而且在任一特殊時選擇適當之編碼，即可在延遲單元中達到 ± 1 個步進之正確度。

在電路佈置及延遲單元之配置時必須特別注意延遲匹配。

圖4(a)中，延遲檢測係在暫存程序中由位準狀態之抽樣來完成，該程序從BT3經由後延遲60之相位檢測器50及601之延遲單元501至506檢查各延遲單元之監控波節。選擇監控波節時必須將任何動作條件中之任兩個連續波節間之時間延遲保持為小於 $1/2T_b$ 。抽樣暫存器70將LCLK之上昇邊緣位置之各監控波節位準予以抽樣而設定前一LCLK上昇邊緣之位置。此外，前一上昇邊緣之位置設定亦可藉著當脈波到達各監控波節時依次設定連接於各監控波節之對應RS正反器而設定。在產生LCLK上昇邊緣時，可詢問RS正

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(13)

反器狀態以便藉著設定該已設定與未設定正反器間之境界而決定前一上昇邊緣之位置。

在圖4(a)所示實施例中，若延遲單元之延遲非常接近額定值 $1/2T_b$ ，則當LCLK之上昇邊緣到達輸入端之波節12而至延遲補償52時，被延遲線路20延遲全部位元組時脈週期或 $2N$ 延遲單元之延遲量之前一LCLK之上昇邊緣必須位於延遲線路20與相位檢測延遲50之介面之波節周圍或其附近。當被監控波節被門鎖於由DTRCK予以同步脈衝之D型正反器暫時器中時，可在該區域內發現表示上昇邊緣位置之位準變化。此區域即為線路14上之抽樣時脈DTRCK與抽樣時脈 $DN(j:1)$ 之各種被延遲之複本間之時序或相位差需要精密檢查之位置；該位置即被稱為檢測窗。假設對延遲單元之指令碼已被正確設定而延遲單元之延遲正好為 $1/2T_b$ ，即可界定圖4(a)及圖4(b)中相位檢測延遲50中之延遲503輸出端上之波節WCN為"窗中心波節"；若在抽樣時該延遲為正確，則該位置即為發生轉變之位置。若延遲單元21之延遲非正好為 $1/2T_b$ ，則將在窗中心之左側(表示"提早")或右側(表示"延後")檢測至轉變。

相位檢測延遲50(501至506)中使用之延遲相路與延遲單元21中使用者相同。後延遲塊60從相位檢測延遲50接受延遲信號。延遲601，602...等之延遲單元之型式不必與方塊50中相同；事實上最好使用延遲量更大之延遲，因為該延遲之功能係在目前之LCLK上昇邊緣正在抽樣時，將已延遲之前一LCLK上昇轉變陷入或保持於延遲線中。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(14)

從延遲線路 20 之各波節，從相位檢測延遲 50 及從後延遲 60 輸入於抽樣暫存器 70 之輸入信號被聚集在匯流排信號中被稱為 $DN(j:1)$ 。從抽樣暫存器 70 產生之輸出係上述波節之被抽樣位準狀態而被稱為 $DST(j:1)$ 。在抽樣時發生 " $0 \rightarrow 1$ " 轉變之位置靠近波節之處可產生此種狀態碼之 " $\dots 111\dots 111000\dots$ " 型式。若信號脈波寬度關連於延遲線路之延遲量相對的狹小時，可產生 " $\dots 001110000\dots$ " 型之狀態碼。若任兩個鄰接波節間之時間延遲間隔小於任何動作條件下之脈波寬度時，脈波將被埋沒於兩個波節之間而不發生脈波之轉變。結果，此時之狀態碼變成 " $\dots 00000\dots$ "。假設指令碼非常恰當，則 WCN 即為當抽樣暫存器 70 將位準狀態門鎖於 DEF 中時在其周圍產生位準變化或轉變之波節。若溫度變化或電源雜訊使延遲發生變化，因而使延遲單元 21 之延遲不再等於位元週期之一半，或延遲線 20 (圖 1) 之全部延遲不再等於位元組週期，而被檢測之轉變在 WCN 之一側，表示延遲單元 21 之延遲短於或長於額定值。

圖 4(b) 表示抽樣暫存器 70 之輸入端之波形，而以不同之時序條件將該狀態抽樣。線路 531 表示當延遲單元被校正成為其額定值或延遲線被鎖定 (in-lock) 時之狀態。線路 532 表示當抽樣時脈 DTRCK 為 "提早" 時之狀態，該狀態等於當延遲單元之延遲大於其額定值而前一上昇轉變或延遲複本 562 未達到 WCN 之狀態。線路 533 為當抽樣時脈 "延後" 而轉變 563 通過 WCN 時之狀態。抽樣狀態碼表示於圖 4(c) 之矩陣中。在 "鎖定" 條件行 (column) 中，轉變或位準狀態變

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(15)

化發生於WC延遲單元範圍(552)之 -0.5 至 $+0.5$ 之間。在"提早"條件行中，轉變係在抽樣時脈正在抽樣時發生於波節DD2與DD1之間(由SD2與SD1間之位準差533表示)。此表示延遲單元之延遲大於額定值而控制之結果可減小延遲單元之延遲。在"延後"條件行中，轉變係在波節DU1與DU2之間發生，而在其被抽樣時由SU1與SU2間之位準變化554所表示。該條件使得其控制昇高而增加延遲單元之延遲量，因而將轉變移回至WCN。若延遲單元之延遲非常接近其額定值 $1/2T_b$ ，則當DTRCK正在抽樣561[圖4(b)]時，在WCN之信號非常可能正在進行轉變，因而使正反器成為亞穩狀態。然而，因為從正反器DST(j:1)產生之輸出於每一位元組被抽樣一次，故可容許數個位元週期時間形成亞穩狀態正反解析度，足夠使其輸出被設定成為兩種邏輯狀態中之一種。在延遲線20上附加相位檢測延遲50之目的係為了可更精細的檢查窗中心位置。由延遲單元501至503形成之附加延遲，及在抽樣暫存器70中之D正反器之設定時間係由延遲補償塊52(圖1)所補償。

在動作時，延遲單元之校正有兩種模式：起始通電模式及正常動作模式。在通電時，可將數值指令碼之起始值設定為最大，以便使延遲單元之延遲成為最大，或大於額定值 $1/2T_b$ 甚大，因此只要較少之延遲單元即可延遲一個位元組時脈週期。被抽樣位準狀態之前一上昇邊緣或轉變產生於窗中心之左側，或延遲線路20中之某處。然後，可迅速的將數位指令碼1000減量，以便減小延遲單元之延遲

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (16)

而將被檢測之上昇邊緣轉變位置迅速的"移動"至WCN。此模式與傳統之PLL之"鎖定"週期等效，該週期中只需要較小之迴路時間常數以便迅速的獲取頻率。

在正常模式中，於校正延遲線後，由於數位指令碼之更新而進行之延遲調節將因溫度或電源漂移或其他緩慢變化而發生改變，而不響應於高頻變化，或由於高頻雜訊而產生之變化。因此該模式中，最好使用等效之低通濾波器或較大時間常數。這種型式之數位解決方法具有明顯之優點，即兩種模式之時間常數不會互相妥協。

圖5為調節決定電路80(圖1)之一實施例之方塊圖。供給於該電路之輸入信號係從抽樣暫存器DST(j:1)產生之狀態碼輸出，該輸出係由抽樣程序於每一次信息組循環時提供一次。合成閘84產生上昇轉變檢測之功能。只有當輸入XOR閘82之兩個輸入信號具有不同之邏輯位準時，而左側之信號係邏輯信號時，AND閘83之輸出信號位準成為高位準，表示在兩個連續波節801與802之間檢測到之"0→1"轉變或上昇邊緣轉變。無論任何抽樣碼其XDST(j:1)輸入匯流排線路中應該只有單一之"1"，因為每一抽樣循環之延遲線路中只有一個上昇邊緣；若延遲單元被校正成為或接近額定值 $1/2T_b$ ，而全部延遲線路20延遲一相等於位元組週期之時間時。若XDST(j:1)中有1個以上之"1"時，即表示"雜訊"條件，或"鎖定在2X上"條件(即延遲單元之延遲量接近 T_b 而非接近 $1/2T_b$)。狀態解碼邏輯85將狀態碼XDST(j:1)解碼成為在線路851至857上之7線路檢測碼。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

冰

五、發明說明 (17)

圖 6(a) 表示狀態碼邏輯 85 之功能。線路 800 表示 "窗中心" 位置。如果被檢測之轉變係在窗中心之延遲相格之範圍 -0.5 至 $+0.5$ 之範圍內，或在區域 D, E 內，則 XWC 為 "1"。若被檢測到之轉變係在窗中心之左(右)側上一個延遲相格之範圍內，則 XD1(XU1) 為邏輯 "1"。若被檢測之轉變係在窗中心之左(右)側上三個延遲相格之範圍內，則 XD3(XU3) 變成邏輯 "1"。若轉變係在窗中心之左側上一個延遲相格之範圍內，則 XD(XU) 為邏輯 "1"。此時必須注意區域之重疊。該檢測碼組合之狀態可提供檢測到該轉變之位置之資訊，及該被檢測之轉變從位元組循環移到另一循環之速度之資訊。此兩種資訊在施行數位濾波器功能時非常有用。圖 5 中，調節更新控制 86 並非純組合邏輯功能。因為該電路之輸出依存於目前之輸入碼組合，及輸入/輸出之經歷。在高速資料通訊中，位元組時脈率係在 10 數個 MHz 之範圍內。因此，狀態抽樣率高於由正常溫度漂移或電源電壓變動所造成之延遲變化率。因此必須將狀態碼中之數位雜訊予以濾波，並且忽略由高頻電源雜訊所產生之暫時延遲變化。亦可使用不同之數位結構施行濾波功能。通常濾波功能必須移除或忽視由迅速電氣雜訊所造成之迅速相位變化，同時使由於緩慢延遲變化所造成之緩慢而穩定之相位變化通過至上昇/下降移位器 90 之控制端而進行適當之指令碼調節，以便維持延遲單元之一定不變之延遲。

圖 6(b) 表示施行調節更新控制 86 (圖 5) 之功能表。行 801 至 807 係從狀態解碼邏輯輸入之狀態碼，該狀態碼係於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

(水)

五、發明說明(18)

每一位元組時脈時抽樣而得者。行808至810係三個中間變數。行811至814表示輸出，其中UD及ROTEN係供給於上昇/下降移位器以便進行延遲調節之控制輸出。ROTEN=1在需要控制更新時，使其可調節。UD提供如何進行調節(升高時為UD=1，降低時為UD=0)以便增量或減量延遲單元之延遲之指向。FS為快速調節模式及慢速調節模式間轉換控制。RESTART=1在一定不變的檢測到錯誤狀態時，使其可進行復置程序。

圖6(a)及6(b)中，(a)列表示與接通電源時相同的被檢測之轉變在A區域，XD3之左方之情況。該區域係DEC-DLY-FAST模式用之區域(UD=0及FS=1)，亦即指延遲單元之延遲必須以極大(航向)步進減量並且迅速的減小。該模式對於PLL時之較小時間常數。在(b)及(c)列中，被檢測之轉變仍然在窗中心之左側，故必須繼續將延遲單元減量。然而，假設轉變已在離開窗中心 ± 3 延遲單元或 $\pm 3 \times T_{step}$ 之範圍內，在圖6(a)之B及C區域內，此時因為 $5 \times T_{step}$ 之各延遲變化調節過大而可能超過至另一側之H區內，故不進行快速調節。該區域係DEC-DLY-SLOW模式用區域(UD=0及FS=0)，亦即指以精細步進施行延遲單元減量，該減量對應於PLL時之較大時間常數。(d)及(e)列表示"鎖定"(IN-LOCK)條件，亦即指延遲線路之全部延遲與基準位元組時脈比較係在 $\pm 0.5 T_{step}$ 之範圍內。因此，該條件(ROTEN=0)時不需要調節。(f)，(g)及(h)列表示與(c)，(b)及(a)相似之情況，不同之處為延遲單元之延遲需要增

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

咏

五、發明說明 (19)

量 ($UD=1$)。圖 6(b) 為用來說明調節更新控制 86 相關於檢測到轉變之不同區域之全部動作之圖。(i) 及 (j) 列表示在窗中心兩側檢測到轉變或未檢測到轉變時之錯誤狀態。此等錯誤狀態可能為數位雜訊在狀態抽樣程序中造成之結果，故必須予以忽略。RESTART 只有在持續的檢測到錯誤時變成有源。假如延遲單元之可調節範圍足夠大而使時間延遲 T_b 而非延遲 $1/2 T_b$ 時可能發生另一錯誤狀態。因為在延遲線路 20 之中間可能被檢測到有轉變，而在窗中心周圍檢測到第 2 轉變，故可能錯誤的形成鎖定 (IN-LOCK) 條件。此狀態在圖 6(b) 之 (k) 列中以與 PLL 被鎖定在基準時脈之第 2 諧波上時之 PLL 相同的表示成為鎖定 $2XUC$ 條件 (LOCKED-ON-2XUC)。此問題之解決方法之一係藉著將控制碼設定在延遲單元上使全部延遲單元選擇最小延遲值作為起始設定而再起動延遲校正程序。此時，首先在窗中心右側檢測到轉變以便避免鎖定 (LOCKED-ON)-2XUC 條件。在圖 6(b) 表格中之記號 "*" 表示只有在滿足其一定條件時才起動控制。例如，若 UD 之最後值為 "0" (即延遲減量) 同時目前狀態碼變成 $XDN=1$ 及 $XUP=0$ (即延遲增量)，則若在緩慢或精細調節模式時，一種選擇係立即將 UD 變成 "1"；因為檢測結果無論延遲調節如何大，只能進行小步進之調節；此種情形即像相位檢測器輸出信號上之快速波尖被低通濾波器中之大電容器平滑。另一方面，若是在快速調節模式中而發生突然之方向變化，則進行反向調節之前可能需要有更進一步之檢測結果。無論如何，可進行此種型式之數值濾波功能，以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

214585

五、發明說明⁽²⁰⁾

便在較少之時序誤差或顫動之情況下進行正確之延遲調節。圖5中之較佳狀態解碼邏輯85係依照圖6(a)進行。

以上說明中皆假設圖1中之序列資料SER0，元件38係以NRZI格式傳輸。假如傳輸資料必須為NRZ格式時，則圖1中之位元序列器30必須修改。圖7中表示修改過之位元序列器之實施例；該位元序列器容許傳輸序列資料可為NRZI或NRZ格式。若起動NRZI/NRZ380而選擇NRZI，則MUX31之輸入381被起動而將D正反器32之Q輸出連接於其D輸入而形成T正反器。當MUX31之輸入383被起動時，則將XTR連接於正反器32之時脈輸入，而如圖1中之方塊30所丕，將NRZI輸出供給於SER0。若選擇NRZ時，則起動MUX31之輸入382而將XTR連接於正反器32之D輸入，同時起動MUX31'之輸入384而將NTR連接於正反器32之時脈輸入。因為波節399將轉換器SW1'至SW5'接地，故如圖2(k')所示，可在波節ntr產生連續脈波序列。此模式中，圖2(i')之信號XTR係正反器32之資料輸入，而圖2(k')之NTR為正反器32之時脈輸入。當從DBT1至DBT5之間有脈波存在時（亦即從BT1至BT5之延遲脈波），則由脈波信號產生NTR而接通轉換器SW1'至SW5'。此時，當從BT1至BT5之間有脈波存在時，則由脈波信號產生XTR而接通轉換器SW1至SW5。由此可知，正反器32之輸出Q產生而供給於輸出SER038之序列NRZ資料（圖2(l)）若當BT1與DBT1（至BT5及DBT5）間之時間延遲大於正反器32之設定時間而小於 $1/2T_b$ 時，則可穩定的產生。此情形可如圖7所示利用從半位元單元延遲抽出之適當分

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(21)

接頭 DBT1 至 DBT5 而簡易的達成。輸出 360 亦可產生以位元率 BCLK 運作之時脈，該時脈為 NTR(圖 2(k'))之倒相信號。

以上說明本發明之實施例，但本發明不受該等實施例之限制，可在不超越其要旨之範圍內變更實施。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

數位式資訊序列器與延時調節器)

一種數位式資訊序列器與延時調節器。該序列器包括第1多級暫存器、開網路，及數位式調節延時電路，該開網路中之轉換器之各控制端連接於1/2Tb單元之一之不同輸入端；該調節器包括：許多延遲單元；將脈波供給於一個延遲單元之裝置；相位檢測器，該相位檢測器又具有，延遲線路，暫存裝置，組合及順序邏輯裝置；及上昇/下降控制器，各延遲單元連接於並響應於該上昇/下降控制器之數位指令碼。

英文發明摘要(發明之名稱：DIGITAL SERIALIZER AND TIME DELAY REGULATOR)

附註：本案已向

國(地區)申請專利、申請日期：

案號：

美國

1992.6.19 07/901,312

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

錄

六、申請專利範圍

1. 一種數位式調節延時電路包括：

許多延遲單元，各單元被校正成為具有時間延遲 T ，該 $T \leq T_b$ ，各延遲單元具有輸入端及輸出端，各延遲單元互相串聯；

將該寬度小於一個位元週期之脈波供給於該等許多延遲單元中之一個單元之該輸入端之裝置；

相位檢測器，連接於最後之一個延遲單元，該相位檢測器又包括，

具有許多分接頭之延遲線暫存裝置，耦接於該等許多延遲單元及各相位檢測器之分接頭，而且以飛著 (on-the-fly) 方式同時決定連接之各波節之狀態，以便提供表示其狀態之輸出；

組合及順序邏輯裝置，耦接於該暫存裝置之輸出，該組合及順序邏輯裝置提供表示其延遲狀態之輸出；

上昇/下降控制器，連接於相位檢測器之輸出端並且響應於該輸出並且提供用來控制該延遲單元之數位指令碼之輸出；

各該延遲單元連接於並響應於該上昇/下降控制器之數位指令碼。

2. 如由請專利範圍第1項之延時電路，其中該延時單元包括航向步進單元及精細步進單元。

3. 如申請專利範圍第2項之延時電路，其中該航向步進

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

單元包括-MUX，該MUX具有一輸入端以便接受從各延遲單元供給之輸出，該MUX又具有一輸出端。

4. 如申請專利範圍第3項之延時電路，其中MUX之一個輸入端可設在該MUX之輸出端，而在該MUX輸出端之可選擇性響應於並且由該數位指令碼決定。
5. 如申請專利範圍第4項之延時電路，具中該精細步進單元具有之延遲單元數目多於該航向步進延遲單元具有之數目，而該精細步進單元中之各延遲單元具有輸入端及輸出端；又包括-第2MUX，該第2MUX具有充分數目之許多輸入端，其中之一輸入端連接於該精細延遲步進單元之該延遲單元之一輸出端。
6. 一種高資料率傳輸用數位式資訊序列器，其特徵為包括：

第1多級暫存器，用來門鎖需要序列之多位元字，各該暫存器之級具有一輸出；

閘網路，具有許多轉換器，各轉換器具有一輸入端，輸出端及控制端，全部轉換器之輸出端耦接於一波節，各轉換器之輸入端連接於不同之暫存器級之輸出端；

數位式調節延時電路，具有許多額定值為 $1/2T_b$ 之延遲單元，其輸入端串聯於其輸出端

閘網路轉換器之各控制端連接於該 $1/2T_b$ 單元之一之不同輸入端。

7. 如申請專利範圍第6項之序列器，其中該波節耦接於

六、申請專利範圍

提昇 (PULL UP) 電路

8. 如申請專利範圍第7項之序列器，其中又包括用來控制各 $1/2T_b$ 延遲單元中之延遲之裝置，該裝置包括一上昇/下降移位器，該移位器產生響應於檢測到之在該等串聯之 $1/2T_b$ 延遲單元中移動之脈波轉變之實際瞬時位置之數位指令碼。

9. 如申請專利範圍第8項之序列器，其中用來控制該 $1/2T_b$ 延遲單元中之延遲之裝置又包括：

抽樣暫存器，具有輸入端及輸出端，該等輸入端連接於該等許多 $1/2T_b$ 延遲單元俾便以飛著 (on-the-fly) 方式儲存其狀態；及

組合及序列邏輯裝置，連接於該抽樣暫存器之輸出端以便提供表示該延遲中之脈波之實際位置之該抽樣暫存器輸出之分析。

10. 一種用來調節延遲線路之全數位式方法，其特徵為包括以下步驟：

將具有寬度等於 $1/2T_b$ 之脈波供給於具有許多串聯之 $1/2T_b$ 延遲單元之延遲線路中；

決定該脈波在該延遲線路中之任一時刻之位置；
及

調節響應於該脈波在該延遲線路中之位置之各 $1/2T_b$ 延遲單元之延遲。

11. 如申請專利範圍第10項之方法，其中決定該脈波在任一時刻之位置之步驟包括將串聯之許多延遲元件之輸

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

出予以抽樣之步驟，及利用組合及順序邏輯技術分析該被抽樣之輸出，以便決定該脈波關連於基準位置之位置之步驟。

12. 如申請專利範圍第11項之方法，其中該調節各 $1/2T_b$ 延遲單元之延遲之步驟包括產生響應於該脈波位置之決定之具有上昇/下降移位器之數位指令碼之步驟，及控制響應於該數位指令碼之各延遲單元之延遲之步驟。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線