

公告本

申請日期	89.3.1
案 號	89103471
類 別	H01L 21/266 H01L 21/26

A4
C4

445523

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	連接半導體裝置內之部分的方法
	英 文	METHOD FOR CONNECTING PORTIONS WITHIN A SEMICONDUCTIVE DEVICE
二、發明 創作人	姓 名	1. 羅蘭 F. 雷迪斯 (Roland F. RADIUS) 2. 安德烈斯海克 (Andreas HIEKE)
	國 籍	1. 美國 2. 美國
	住、居所	1. 美國紐約州 12590 瓦賓格爾斯瀑布觀城路 314 號 2. 美國紐約州 12590 瓦賓格爾斯瀑布觀城路 234 號
三、申請人	姓 名 (名稱)	印芬龍科技北美股份有限公司 (Infineon Technologies North America Corporation)
	國 籍	美國
	住、居所 (事務所)	美國加州 95112-6000 聖荷西北一街 1730 號
	代 表 人 姓 名	沙布林納 A· 史坦利 Sabrina A. Stanley

經濟部智慧財產局員工消費合作社印製

裝

訂

線

五、發明說明(/)

發明的領域

本發明係有關於半導體裝置的製造，特別是有關於一種裝置，其使用某種導電類型的埋入區(buried region)，以從上表面形成一低電阻連接，通常是由相同導電類型的區域從上表面延伸到埋入區所完成。

相關技藝之說明

在目前的半導體裝置中，常常需要藉由一從上表面延伸至埋入層的連接區或接點，以連接某種導電類型的半導體區域內之具有相反導電類型的埋入層。此種基板之一實例為某種導電類型的浴缸形(bathtub-shaped)區域，其從矽晶片的上表面延伸至該晶片體(chip bulk)內，而該晶片體具有相反的導電類型。該浴缸形區域內的相對平坦或基底部分，可視為埋入層，而浴缸形區域的側邊或是周圍則可視為連接區或接點，其自埋入之基底層延伸至晶片的上表面。

就目前通用的技術而言，在晶片中，埋入層的形成通常係藉由高能離子的佈植，以穿透晶片的表面並大部分停留下來，而在晶片內形成一埋入層。經過適當的退火處理(annealing)後，這些離子會形成具有由佈植離子的種類所決定之導電類型的埋入層。在這些例子裡，晶片表面的連接部分通常係藉由一連串的佈植製程所形成，並使用與形成埋入層之相同的佈植離子，而藉由遮蔽埋入層的周圍所予以侷限，再以較低能量的連續佈植以形成較淺的佈植區域。

五、發明說明(又)

此種技術的缺點在於其需要許多道不同能量的佈植製程，並且用來形成埋入層的深層佈植(deep implantation)所使用的罩幕(mask)與用來形成連接區域的低能佈植所使用的罩幕也必須不同。是以，需要兩道罩幕。此外，典型的這種技術需要該連接區域佔去大部分的表面積，因而造成另一缺點，尤其當晶片上面的元件密度要求有所提升時。

是以，本發明提供一種簡單的技術，僅藉由一道罩幕的使用而達到相同的摻雜目的。

發明之概述

藉由電腦模擬技術的證實，整個浴缸形的結構可以利用基本的一道罩幕與一道高能佈植製程而達成，其中高能佈植係藉由適當地將罩幕(通常係由光阻材質所構成)的邊緣予以逐漸薄化(tapering)，用以定義形成埋入層的離子佈植區域。特別地，藉由適當地將罩幕的邊緣予以逐漸薄化，可以在該邊緣逐漸薄化的罩幕區域之下的晶片區域，形成所佈植的離子之聚集，其在經過適當的退火處理後，將可形成一邊緣逐漸薄化的連續區域，其具有該佈植離子的導電類型，並且從晶片的上表面延伸至深埋入層。

從方法之一觀點來看，本發明係有關於一種方法，以在某種導電類型之半導體區域內形成一具有相反導電類型的埋入層，藉由以相反導電類型的離子束佈植該區域，而至少部分地連續延伸至上表面，其透過一個位於具有用來定義佈

五、發明說明(3)

植區域開口之逐漸薄化邊緣的佈植罩幕內之開口，使得該佈植層包括有一逐漸薄化的部分，以對應於罩幕之逐漸薄化邊緣。

從方法之另一觀點來看，本發明係有關於一種方法，以在某種導電類型之半導體區域內形成一具有相同導電類型而更高雜質濃度的埋入層，藉由以相同導電類型的離子束佈植該區域，而至少部分地連續延伸至上表面，其透過一個位於具有用來定義佈植區域開口之逐漸薄化邊緣的佈植罩幕內之開口，使得該佈植層包括有一邊緣逐漸薄化的部分，以對應於罩幕之逐漸薄化邊緣。

從製程產品之一觀點來看，本發明係有關於一種具有某種導電類型之半導體區域，具有一相反導電類型的埋入層形成於其中，該埋入層具有一邊緣逐漸薄化的部分，延伸至半導體區域的上表面，而該埋入層之形成係藉由相反導電類型的雜質之離子佈植，其透過包括有一逐漸薄化的邊緣以定義開口的罩幕內之開口。

從製程產品之另一觀點來看，本發明係有關於一種具有某種導電類型之半導體區域，其具有一相同導電類型而更高雜質濃度的埋入層形成於其中，該埋入層具有一邊緣逐漸薄化的部分，延伸至半導體區域的上表面，而該埋入層之形成係藉由相同導電類型的雜質之離子佈植，其透過包括有一逐漸薄化的邊緣以定義開口的罩幕內之開口。

五、發明說明(4)

圖式之簡要說明

本發明之上述目的、精神與優點，藉由下列參照附圖所作之較佳具體實施例的詳細描述，將會更為明白，其中：

第 1 至第 3 圖係繪示本發明具體實施例之晶片的不同製程階段，以形成某種導電類型的浴缸形區域於相反導電類型的單晶矽區域內。

發明之詳細說明

在下文中，本發明之較佳具體實施例將藉由參照附圖而被詳細描述。

煩請參照第 1 圖，其繪示具有某種導電類型的單晶矽區域 10，以 p-型為例，其上將形成一 n-型浴缸形區域，包括有一相對深之平坦基底部分以及一逐漸薄化的邊緣(周圍)部分，其連續地從該埋入之基底部分延伸至上表面。單晶矽區域 10 可為 p-型矽晶圓(wafer)之一部分或是任何適當的基板之一 p-型矽晶層。同樣地，可以藉由適當佈植離子的選擇，在一 n-型區域裡形成一 p-型埋入層。同樣地，也可以在一 p-型區域裡形成一具有更高雜質濃度的 p-型埋入層，或者在一 n-型區域裡形成一具有更高雜質濃度的 n-型埋入層。

為了達成以上之目的，首先在矽區域 10 的上表面 11 之上方形成一習用的薄犧牲氧化層 12，其主要用來避免矽表面受到隨後佈植的高能離子之破壞。在某些例子裡，去除此

五、發明說明(5)

犧牲氧化層 12 的方式亦是可行的。

接著於犧牲氧化層 12 的上表面之上方沉積一層適當材料，以作為侷限佈植區域所需要的罩幕 14。通常該材料為一種適當之光阻。

接著使用標準的光學微影技術以將該罩幕層 14 予以圖案化(patterned)，以完全地曝光出氧化層之中間區域 15，以對應周圍區域 15A 所環繞的佈植區域中所需要的埋入之平坦部分。罩幕 14 的邊緣 14A 係為逐漸薄化(tapered)者，如第 2 圖所示。

然後，如第 3 圖所繪示者，矽區域 10 暴露於一離子束 18，以佈植施體(donor-type)離子於該矽區域 10 內。離子束 18 的加速電壓係被選擇以使得該佈植離子得以穿透入完全暴露之中間區域 15 至一深度，其對應至埋入層 19 之平坦的基底部分 19A 所需要的深度。佈植離子能量之常態延展(spread)通常會造成基底部分 19A 在厚度方面的延展。換言之，再不改變罩幕的情況下，加速電壓可被調變以提供基底部分 19A 所需要的厚度。在周圍區域 15A 內，佈植離子作用於逐漸薄化的罩幕邊緣 14A 而逐漸損失能量。所造成的佈植區域 19B 之厚度便產生類似的逐漸薄化，其形成一從基底部分 19A 延伸至半導體區域 10 的上表面 11 之連續區域，如第 3 圖所示。

然後，矽晶片被以常用的方式加熱，以退火處理由於高

五、發明說明(6)

能離子對矽晶片所造成的破壞，並且將佈植離子由空隙位置(interstitial site)移動至適當的晶格位置，使得這些離子可以有效地將半導體的導電類型轉換成 n-型。其效應便是佈植區域變成 n-型的轉換。如果矽區域 10 係為 n-型導電類型，則所形成的埋入層 19 可為 p-型導電類型者。若使用的矽區域 10 係為 p-型導電類型，則所形成的埋入層 19 可為具有較高雜質濃度於 p-型矽區域 10 之 p-型導電類型者。同樣地，若使用的矽區域 10 係為 n-型導電類型，則所形成的埋入層 19 可為具有較高雜質濃度於 n-型矽區域 10 之 n-型導電類型者。

另外，很明顯地，本發明可以延伸至矽晶圓以外的半導體材料，例如鍺(germanium)或是化合物半導體材料。

也很明顯地，佈植區域的幾何圖形可依需求，藉由適度改變侷限佈植區域的罩幕開口而加以修飾。同理，明顯地，延伸至上表面的佈植區域逐漸薄化部分並不需要延伸成環繞佈植區域內深的平坦部分之整個圓周，但可藉由適當地逐漸薄化罩幕邊緣的一小部份，而侷限至圓周的一小部份。

符號之說明：

- 10... 單晶矽區域
- 11... 上表面
- 12... 犧牲氧化層
- 14 : 罩幕層

445523

五、發明說明(7)

14A... 罩幕邊緣

15... 中間區域

15A : 周圍區域

18... 離子束

19... 埋入層

19A... 基底部分

19B... 佈值區域

(請先閱讀背面之注意事項再填寫本頁)

訂

備

四、中文發明摘要(發明之名稱：)

連接半導體裝置內之部分的方法

一種製程方法，用以於半導體基板內形成一埋入佈植層，其包括有一逐漸薄化的(tapered)邊緣部分，延伸至基板的表面，其係利用一個具有用來界定佈植區域之逐漸薄化邊緣的佈植罩幕。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：METHOD FOR CONNECTING PORTIONS WITHIN A SEMICONDUCTIVE DEVICE)

A method process for forming a buried implanted layer in a semiconductive substrate that includes a tapered edge portion that extends to the surface of the substrate uses a mask having a tapered edge to define the area of implantation.

訂

錄

六、申請專利範圍

1. 一種在某種導電類型之半導體區域內形成一具有相反導電類型的埋入層之方法，包含：藉由以相反導電類型的離子束佈植該區域，而至少部分地連續延伸至上表面，其透過一個位於具有用來定義佈植區域開口之逐漸薄化(tapered)邊緣的佈植罩幕(mask)內之開口，使得該佈植層包括有一逐漸薄化的部分，以對應於罩幕之逐漸薄化邊緣。
2. 如申請專利範圍第1項之方法，尚包含用以在半導體區域內形成具有相反導電類型的浴缸形(bathtub-shaped)區域，其係藉由逐漸薄化罩幕內之開口的整個周圍。
3. 如申請專利範圍第1項之方法，其中離子佈植係完成於一恆常加速電壓之下。
4. 如申請專利範圍第1項之方法，其中離子佈植之完成係藉由同一道罩幕於某一範圍的加速電壓下，以提供佈植層之額外的厚度。
5. 如申請專利範圍第1項之方法，其中該半導體區域係為單晶矽基板之一部分。
6. 如申請專利範圍第1項之方法，其中所佈植之區域係包括了其上表面之上的犧牲氧化層，以避免上表面受到佈植的高能離子之破壞。
7. 一種在某種導電類型之半導體區域內形成一具有相同導電類型而更高雜質濃度的埋入層之方法，包含：藉由以相

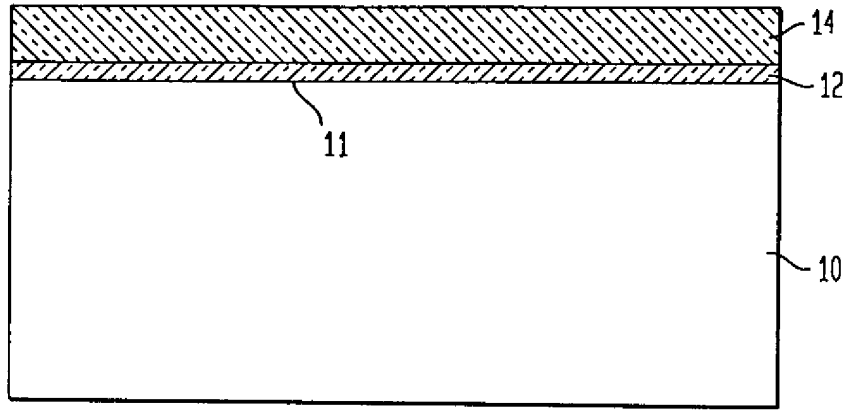
(請先閱讀背面之注意事項再填寫本頁)

訂

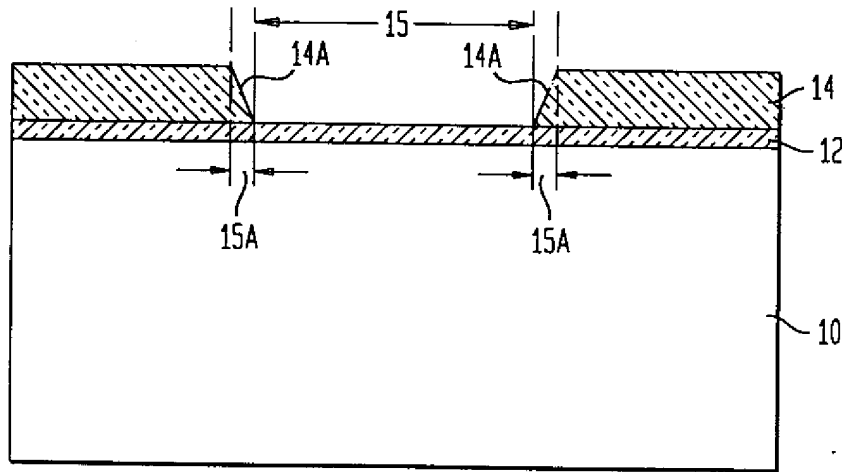
線

89103471

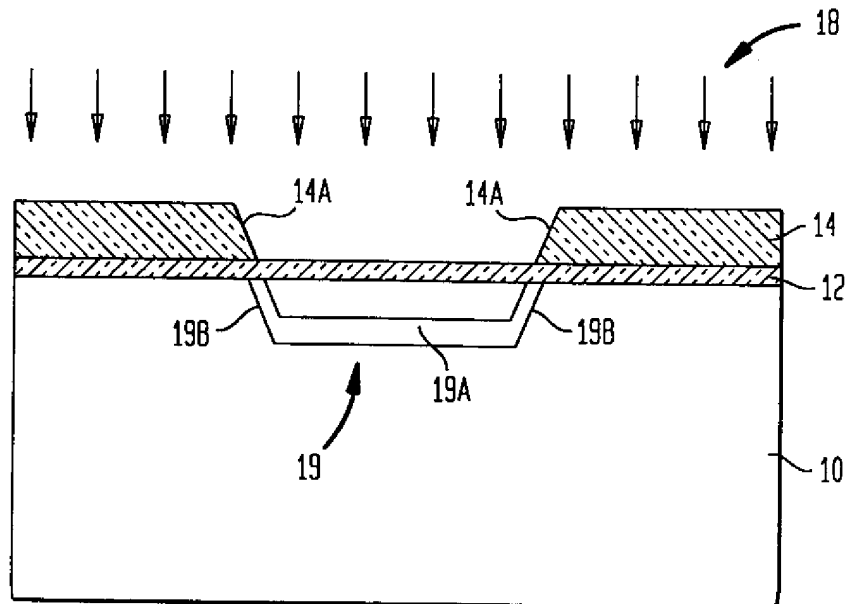
445523



第 1 圖



第 2 圖



第 3 圖