(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3613095号
(P3613095)
(45)発行日　平成17年1月26日(2005.1.26)　(24)登録日　平成16年11月5日(2004.11.5)

(51)Int.Cl.[7]　F I
H01L 21/822　H01L 27/04　M
H01L 27/04

請求項の数 2　(全 18 頁)

(21)出願番号　特願平11-310345
(22)出願日　平成11年10月29日(1999.10.29)
(65)公開番号　特開2001-127248(P2001-127248A)
(43)公開日　平成13年5月11日(2001.5.11)
審査請求日　平成15年6月26日(2003.6.26)

(73)特許権者　000004075
ヤマハ株式会社
静岡県浜松市中沢町１０番１号
(74)代理人　100064908
弁理士　志賀　正武
(74)代理人　100089037
弁理士　渡邊　隆
(72)発明者　伊藤　雅博
静岡県浜松市中沢町１０番１号　ヤマハ株式会社内

審査官　棚田　一也

最終頁に続く

(54)【発明の名称】電源制御装置

(57)【特許請求の範囲】
【請求項１】
制御対象となる回路ブロックへ入力される所定周期以下で第１の電圧レベルと第２の電圧レベルとを繰り返す信号の電圧レベルに応じてオン、オフするスイッチング手段と、
該スイッチング手段と並列に設けられ、該スイッチング手段により充電電流または放電電流が制御されるコンデンサと、
前記電源制御装置の外部から入力される外部パワーダウン信号により制御され、該コンデンサに充電電流を供給する充電電流供給手段と、
該外部パワーダウン信号が入力された場合あるいは、前記コンデンサの充放電により得られる蓄電電圧値と所定の電圧値とを比較して得られる信号により、前記回路ブロックへの入力信号が活性であるか非活性であるかを判別し、前記入力信号が非活性であると判別された場合に出力されるパワーダウン信号が入力された場合に、前記回路ブロックにパワーダウン信号を出力して、前記回路ブロックを非動作状態に切り替える論理和回路と、
前記外部パワーダウン信号が入力された場合に、電源制御装置自身をパワーダウンさせる自己パワーダウン手段と
を有することを特徴とする電源制御装置。
【請求項２】
前記外部パワーダウン信号が入力された場合に、前記自己パワーダウン手段は、前記パワーダウン信号が前記論理和回路へ出力されることを禁止した上で、電源制御装置自身をパワーダウンさせることを特徴とする請求項１に記載の電源制御装置。

【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、複数の回路ブロックを含むシステムにおいて、各回路ブロック毎の電源のオン、オフを制御する電源制御装置に関する。
【０００２】
【従来の技術】
従来、複数の回路ブロックを含むシステムにおいて、各回路ブロック毎の電源のオン、オフを制御するには、ユーザーあるいはシーケンサーが、各回路ブロックの電源をオンするかオフするかを決定し、この決定に基づいて、システム全体を制御するＣＰＵ等のコントローラが各回路ブロックの電源を制御するものがあった。
【０００３】
上記のようなシステムにおいては、まず最初にユーザーあるいはシーケンサーが特定の機能をもった各回路ブロックを使用するかどうかを決定し、使用しない回路ブロックの電源を個別にオフ（パワーダウン）させ、ユーザーあるいはシーケンサーが使用することを決定した回路ブロックを動作させる。ところで、回路ブロックを動作させるには、回路ブロックに入力され、この回路ブロックを動作させるクロック信号の状態等の、回路ブロックの周辺環境が、回路ブロックが動作できる条件を満たしていることが前提となる。
【０００４】
この前提が崩れていて、回路ブロックの周辺環境が、回路ブロックが動作できる条件を満たしていなかった場合、例えば回路ブロックに入力され、この回路ブロックを動作させるクロック信号が非活性であった場合には、回路ブロックからユーザーあるいはシーケンサーに、エラーステータス等の情報が返されて、ユーザーあるはシーケンサーは、改めて回路ブロックに動作を中止するよう命令を送り、この命令によって回路ブロックをパワーダウンさせるといった処理がなされていた。なお、クロック信号が非活性な状態とは、例えばクロック信号の電圧レベルが、ＨレベルまたはＬレベルに固定された状態のことである。
【０００５】
【発明が解決しようとする課題】
ところが、上記のような処理方法では、回路ブロックの周辺環境が、回路ブロックが動作できる条件を満たしていなかった場合、例えば回路ブロックに入力され、この回路ブロックを動作させるクロック信号が非活性であった場合（例えばクロック信号の電圧レベルが、ＨレベルまたはＬレベルに固定されていた場合）に、リアルタイムで、素速く、回路ブロックをパワーダウンさせることができなかった。
【０００６】
すなわち、パワーダウンの際に、ユーザーまたはシーケンサーを経由するという手間が必要であった。このため、回路ブロックの周辺環境の条件が満たされていない場合にも、回路ブロックがパワーダウンされるまで、ある程度の時間（遅れ時間）が必要になり、この遅れ時間の間、回路ブロックは動作状態を保ち続ける（パワーダウンされない）ので、無駄な電力が消費されていた。
【０００７】
また、逆に、上記従来技術の構成で、回路ブロックをリアルタイムにパワーダウンさせようとすると、クロック信号等の、周辺環境の条件を、ＣＰＵ等のコントローラによって頻繁に検出しなければならなくなる。
【０００８】
上記従来技術のように、回路ブロックに入力されるクロック信号が非活性のときに、素速いパワーダウンができないと、例えばこの回路ブロックが、半導体ＬＳＩ内のダイナミック回路であった場合には、このダイナミック回路に電源が供給されたまま、ダイナミック回路を動作させるクロック信号が停止された状態となる。すると、ダイナミック回路内のコンデンサの電荷がリークによって放電され、やがてダイナミック回路内のＣＭＯＳ回路

に中間電位となる点ができてしまい、この中間電位によってＣＭＯＳ回路に貫通電流が流れて、多大な電流が無駄に消費されるばかりでなく、この電流によってＬＳＩが破壊される可能性もある。

【０００９】

本発明は、上記の問題を解決するためになされたもので、回路ブロックの周辺環境が、回路ブロックが動作できる条件を満たしていなかった場合、例えば回路ブロックに入力され、この回路ブロックを動作させるクロック信号が非活性であった場合（例えばクロック信号の電圧レベルが、Ｈレベルまたはレベルに固定されていた場合）に、リアルタイムで、素速く、回路ブロックをパワーダウンさせることができる電源制御装置を提供するものである。

【００１０】

【課題を解決するための手段】

請求項１に記載の発明は、制御対象となる回路ブロックへ入力される所定周期以下で第１の電圧レベルと第２の電圧レベルとを繰り返す信号の電圧レベルに応じてオン、オフするスイッチング手段と、該スイッチング手段と並列に設けられ、該スイッチング手段により充電電流または放電電流が制御されるコンデンサと、前記電源制御装置の外部から入力される外部パワーダウン信号により制御され、該コンデンサに充電電流を供給する充電電流供給手段と、該外部パワーダウン信号が入力された場合あるいは、前記コンデンサの充放電により得られる蓄電電圧値と所定の電圧値とを比較して得られる信号により、前記回路ブロックへの入力信号が活性であるか非活性であるかを判別し、前記入力信号が非活性であると判別された場合に出力されるパワーダウン信号が入力された場合に、前記回路ブロックにパワーダウン信号を出力して、前記回路ブロックを非動作状態に切り替える論理和回路と、前記外部パワーダウン信号が入力された場合に、電源制御装置自身をパワーダウンさせる自己パワーダウン手段とを有することを特徴とする。

【００１１】

上記構成によれば、電源制御装置が、回路ブロックへの入力信号が非活性であると判別された場合、すなわち前記回路ブロックが動作できる条件が整っていない場合に、直ちにパワーダウン信号を出力するので、前記回路ブロックを素速くパワーダウンさせることができ、回路ブロックの消費電力を最低限に抑えることができる。

【００１２】

また、上記とは逆に、回路ブロックへの入力信号が活性であると判別された場合、すなわち回路ブロックが動作できる条件が整った場合には、直ちにパワーダウン信号が解除されるので、前記回路ブロックの動作をタイムラグなく、直ちに開始させることができる。

【００１４】

また、上記構成によれば、電源制御装置が、回路ブロックへの入力信号が非活性であると判別された場合に、直ちにパワーダウン信号を出力するので、前記回路ブロックを素速くパワーダウンさせることができる。

【００１５】

また、前記回路ブロックが、例えばＬＳＩに内蔵されたダイナミック回路であった場合に、クロック信号の供給・停止を、スタティック回路と同様の取り扱いで可能とし、ダイナミック回路内の貫通電流等の問題に注意を払う必要がなくなる。すなわち、本発明によれば、ダイナミック回路へのクロック信号を止めると、クロック停止が自動的に検出され、ダイナミック回路がパワーダウンされるので、貫通電流の問題が起きない。

【００１９】

また、上記構成によれば、回路ブロックへの入力信号が非活性となったときに、この入力信号の電圧レベルが第１の電圧レベル（例えばＨレベル）に固定される場合には、第１の判別部が入力信号の非活性を検出し、第１のパワーダウン信号を出力する。また、回路ブロックへの入力信号が非活性となったときに、この入力信号の電圧レベルが第２の電圧レベル（例えばＬレベル）に固定される場合には、第２の判別部が入力信号の非活性を検出し、第２のパワーダウン信号を出力する。そして、出力手段が、前記第１のパワーダウン

信号または第２のパワーダウン信号のうち、どちらか一方が出力された場合に、制御対象である回路ブロックへ、最終的な判別結果であるパワーダウン信号を出力する。従って、回路ブロックへの入力信号が非活性のときに、この入力信号の電圧レベルが第１の電圧レベル（例えばＨレベル）に固定される場合、および入力信号の電圧レベルが第２の電圧レベル（例えばＬレベル）に固定される場合のどちらの場合であっても、回路ブロックへパワーダウン信号を出力することができるので、上記のどちらの場合にも対応できる。

【００２１】

また、上記構成によれば、合成手段が、外部パワーダウン信号と、パワーダウン信号とを合成し、合成されたパワーダウン信号を回路ブロックへ出力するので、本発明による電源制御装置の外部から外部パワーダウン信号が送られてきた場合、および電源制御装置内で、回路ブロックへの入力信号が非活性であると判別された場合のどちらの場合にも、回路ブロックへ合成されたパワーダウン信号を出力することができる。

【００２２】

例えば、ユーザーまたはシーケンサーが、システム全体を制御するＣＰＵ等のコントローラから外部パワーダウン信号を出力させると、この外部パワーダウン信号が本発明による電源制御装置に入力され、この電源制御装置から出力される合成されたパワーダウン信号が、制御対象となる回路ブロックに入力されることにより、この回路ブロックがパワーダウンされる。

【００２３】

また、ユーザーまたはシーケンサーが、外部パワーダウン信号を解除すると、これが本発明による電源制御装置によって検出され、この電源制御装置が、合成されたパワーダウン信号の回路ブロックへの出力を停止するので、前記回路ブロックは直ちに動作を開始することができる。さらに、この直後に、本発明による電源制御装置が、回路ブロックへの入力信号の活性・非活性を判別し、入力信号が活性であれば回路ブロックの動作を継続させ、非活性であれば回路ブロックをパワーダウンさせる。

【００２４】

また、自己パワーダウン手段が、外部パワーダウン信号が入力された場合に、電源制御装置自身をパワーダウンさせるので、本発明による電源制御装置の外部から、外部パワーダウン信号が送られてきた場合に、電源制御装置自身の消費電力を最小に抑えることができる。

請求項２に記載の発明は、前記外部パワーダウン信号が入力された場合に、前記自己パワーダウン手段は、前記パワーダウン信号が前記論理和回路へ出力されることを禁止した上で、電源制御装置自身をパワーダウンさせることを特徴とする請求項１に記載の電源制御装置である。

上記構成によれば、システム全体を制御するパワーダウン集中管理装置（ＣＰＵ等）からパワーダウン指令、すなわち外部パワーダウン信号が発せられ、この外部パワーダウン信号が、本発明による電源制御装置に入力された場合に、自己パワーダウン手段は、電源制御装置が制御対象である回路ブロックへの入力信号が活性であるか非活性であるかを判別した上で生成するパワーダウン信号が、合成手段に送られることを禁止する。換言すれば、外部パワーダウン信号が電源制御装置に入力された場合には、自己パワーダウン手段が、本来この電源制御装置自身が回路ブロックへの入力信号の活性・非活性を判別することによって生成していたパワーダウン信号を、回路ブロックへの入力信号が活性であるか非活性であるかに関わらず、強制的に活性を示す状態（例えば、活性を示す電圧レベル）にする。そして、上記の動作を行った上で、自己パワーダウン手段は、電源制御装置自身をパワーダウンさせる。

【００２５】

【発明の実施の形態】

本発明の第１の実施形態の構成を図１を参照して説明する。システム中のある回路ブロック１の入力端子Ａに、入力信号Ｓが入力されている。この入力信号Ｓの一具体例としては、回路ブロック１を動作させるためのクロック信号Ｓがある。この入力信号Ｓが、本発明

による電源制御装置２にも入力され、この電源制御装置２の出力すなわちパワーダウン信号Ｄｂが、前記回路ブロック１のパワーダウン端子ＰＤｂに入力されている。パワーダウン信号Ｄｂはロー（Ｌ）アクティブ、すなわちパワーダウン信号Ｄｂ＝Ｌのとき回路ブロック１はパワーダウンされる。

【００２６】

次に本実施形態の概略の動作を説明する。本発明による電源制御装置２は、本来回路ブロック１のための信号である入力信号Ｓを分岐させて入力し、この入力信号Ｓが活性であるか非活性であるかを判別する。そして、入力信号Ｓが非活性であれば、この電源制御装置２の出力であるパワーダウン信号Ｄｂを直ちにアクティブ、すなわちパワーダウン信号Ｄｂ＝Ｌとする。このパワーダウン信号Ｄｂは、回路ブロック１のパワーダウン端子ＰＤｂに入力され、入力されると回路ブロック１は直ちにパワーダウンされる。

【００２７】

上記構成によれば、電源制御装置２は、入力信号Ｓの非活性の検出から、パワーダウン信号ＤｂとしてＬレベルを出力するまでの動作を、従来技術と比較して素速く行うことができる。すなわち、従来技術では、回路ブロック１への入力信号Ｓが非活性であった場合、回路ブロック１からユーザーあるいはシーケンサーに、エラーステータス等の情報が返されて、ユーザーあるはシーケンサーが、改めて回路ブロック１に動作を中止するよう命令を送り、この命令によって回路ブロック１をパワーダウンさせるといった処理がなされていて、入力信号Ｓの非活性の検出から、回路ブロック１がパワーダウンされるまでの時間が長かったが、本発明によれば、入力信号Ｓが非活性になると、これが直ちに電源制御装置２によって検出され、さらに、パワーダウン信号Ｄｂが前記電源制御装置２から回路ブロック１へ直接送られるので、入力信号Ｓの非活性の検出から、回路ブロック１がパワーダウンされるまでの時間が短くてすむ。

【００２８】

次に、上記電源制御装置２の内部構成を、図２の回路図を参照して説明する。なお、図２においては、上記入力信号Ｓはクロック信号Ｓであるものとする。また、図２に示した電源制御装置２は、クロック信号Ｓが非活性時にハイ（Ｈ）レベルに固定される場合に対応した構成となっている。

【００２９】

クロック信号Ｓは、Ｐｃｈ－トランジスタ３のゲートＰＧに入力され、Ｐｃｈ－トランジスタ３のソースＰＳは電源電位Ｖｃｃに接続され、Ｐｃｈ－トランジスタ３のドレインＰＤは、コンデンサ４の一方の端子４ａに接続されている。コンデンサ４のもう一方の端子４ｂは、接地電位Ｇｎｄに接続されている。

【００３０】

コンデンサ４の一方の端子４ａは、コンパレータ５の非反転入力端子５ａに接続されている。コンパレータ５の反転入力端子５ｂは、所定の閾値電位Ｖｔ１に接続されている。コンパレータ５の出力端子５ｃからは、パワーダウン信号Ｄｂが出力される。

【００３１】

この電源制御装置２の動作を図３のタイミングチャートを参照して説明する。図３の時刻ｔ１からｔ３までの期間に示すように、クロック信号Ｓが活性であれば、このクロック信号Ｓは、Ｈレベルの状態とＬレベルの状態とを交互に繰り返す。このクロック信号Ｓが、Ｐｃｈ－トランジスタ３のゲートＰＧに入力されるので、Ｐｃｈ－トランジスタ３はオン、オフを繰り返す。

【００３２】

クロック信号ＳがＬレベルになり、Ｐｃｈ－トランジスタ３がオンすると、電源電位ＶｃｃからＰｃｈ－トランジスタ３を経由してコンデンサ４に電流が流れ込み、このコンデンサ４が充電され、コンデンサ４の端子４ａの電位が上昇する。

【００３３】

クロック信号ＳがＨレベルになり、Ｐｃｈ－トランジスタ３がオフすると、コンデンサ４への充電が止まる。さらに、コンデンサ４の電荷がリークすることによって、コンデンサ

４が徐々に放電され、コンデンサ４の端子４ａの電位が徐々に低下する。この放電はリークによるもののみなので、放電量と充電量とを比較すると、充電量の方が大きく、クロック信号Ｓが活性な状態で時間が経過すると、コンデンサ４の端子４ａの電位は上昇する。そして、やがて、図３の時刻ｔ２に示すように、コンデンサ４の端子４ａの電位が、コンパレータ５の閾値電位Ｖｔ１を超える。

【００３４】

コンデンサ４の端子４ａの電位が、閾値電位Ｖｔ１を超えると、コンパレータ５の出力、すなわちパワーダウン信号Ｄｂの電圧レベルがＬレベルからＨレベルに変化する。パワーダウン信号ＤｂがＨレベルになると、このパワーダウン信号Ｄｂによって制御される回路ブロック１のパワーダウンが解除され、回路ブロック１は動作状態になる。

【００３５】

図３の時刻ｔ３以後に示すように、クロック信号Ｓが非活性となると、このクロック信号ＳはＨレベルに固定されるので、Ｐｃｈ－トランジスタ３はオフされ、コンデンサ４への充電は行われない。すると、リークによる放電によって、コンデンサ４の端子４ａの電位は徐々に低下する。そして、やがて、図３の時刻ｔ４に示すように、コンデンサ４の端子４ａの電位は、閾値電位Ｖｔ１を下回る。すると、コンパレータ５の出力、すなわちパワーダウン信号ＤｂがＨレベルからＬレベルに変化し、これにより、回路ブロック１はパワーダウン状態とされる。

【００３６】

すなわち、クロック信号Ｓが非活性になり、このクロック信号Ｓの電圧レベルがＨレベルに固定されると、これが直ちに電源制御装置２によって検出され、さらに、パワーダウン信号Ｄｂが、電源制御装置２から回路ブロック１へ直接送られるので、回路ブロック１を直ちにパワーダウンさせることができる。

【００３７】

次に、上記電源制御装置２の別の構成例を、図４の回路図を参照して説明する。図４においても、入力信号Ｓはクロック信号Ｓであるものとする。また、図４に示した電源制御装置２は、クロック信号Ｓが非活性時にロー（Ｌ）レベルに固定される場合に対応した構成となっている。

【００３８】

クロック信号Ｓは、Ｎｃｈ－トランジスタ６のゲートＮＧに入力され、Ｎｃｈ－トランジスタ６のソースＮＳは接地電位Ｇｎｄに接続され、Ｎｃｈ－トランジスタ６のドレインＮＤは、コンデンサ７の一方の端子７ａに接続されている。コンデンサ７のもう一方の端子７ｂは、接地電位Ｇｎｄに接続されている。さらに、Ｎｃｈ－トランジスタ６のドレインＮＤは、抵抗８の一方の端子８ａに接続され、この抵抗８のもう一方の端子８ｂは電源電位Ｖｃｃに接続されている。

【００３９】

コンデンサ７の一方の端子７ａは、コンパレータ９の反転入力端子９ｂに接続されている。コンパレータ９の非反転入力端子９ａは、所定の閾値電位Ｖｔ２に接続されている。コンパレータ９の出力端子９ｃからは、パワーダウン信号Ｄｂが出力される。

【００４０】

この電源制御装置２の動作を図５のタイミングチャートを参照して説明する。図５の時刻ｔ５からｔ６までの期間に示すように、クロック信号Ｓが活性であれば、このクロック信号Ｓは、Ｈレベルの状態とＬレベルの状態とを交互に繰り返す。このクロック信号Ｓが、Ｎｃｈ－トランジスタ６のゲートＮＧに入力されるので、Ｎｃｈ－トランジスタ６はオン、オフを繰り返す。

【００４１】

クロック信号ＳがＬレベルとなり、Ｎｃｈ－トランジスタ６がオフすると、電源電位Ｖｃｃから抵抗８を経由してコンデンサ７に電流が流れ込み、このコンデンサ７が充電され、コンデンサ７の端子７ａの電位が上昇する。

【００４２】

クロック信号ＳがＨレベルとなり、Ｎｃｈ－トランジスタ６がオンすると、コンデンサ７の両端がショートされ、このコンデンサ７に充電された電荷が放電される。

【００４３】

従って、クロック信号Ｓが、ＨレベルとＬレベルとを交互に繰り返せば、コンデンサ７の充電と放電が繰り返され、このコンデンサ７の端子７ａの電位は、ある一定の電位、すなわちコンパレータ９の閾値電位Ｖｔ２を超えることはない。

【００４４】

コンデンサ７の端子７ａの電位が、閾値電位Ｖｔ２を超えることがなければ、コンパレータ９の出力、すなわちパワーダウン信号Ｄｂの電圧レベルはＨレベルとなる。パワーダウン信号ＤｂがＨレベルであれば、このパワーダウン信号Ｄｂによって制御される回路ブロック１のパワーダウンは解除され、回路ブロック１は動作状態になる。

【００４５】

図５の時刻ｔ６以後に示すように、クロック信号Ｓが非活性となると、このクロック信号ＳはＬレベルに固定されるので、Ｎｃｈ－トランジスタ６はオフ固定となり、コンデンサ４は、充電のみが行われ、放電が行われない状態となる。すると、この充電によって、コンデンサ７の端子７ａの電位は、もっぱら上昇する状態となる。そして、やがて、図５の時刻ｔ７に示すように、コンデンサ７の端子７ａの電位は、閾値電位Ｖｔ２を超える。すると、コンパレータ９の出力、すなわちパワーダウン信号ＤｂがＨレベルからＬレベルに変化し、これにより、回路ブロック１はパワーダウン状態とされる。

【００４６】

すなわち、クロック信号Ｓが非活性になり、このクロック信号Ｓの電圧レベルがＬレベルに固定されると、これが直ちに電源制御装置２によって検出され、さらに、パワーダウン信号Ｄｂが、電源制御装置２から回路ブロック１へ直接送られるので、回路ブロック１を直ちにパワーダウンさせることができる。

【００４７】

なお、電源制御装置２が、図２に示した回路と、図４に示した回路とを兼ね備えれば、クロック信号Ｓが非活性になったときに、このクロック信号Ｓの電圧レベルがＨレベルに固定される場合と、Ｌレベルに固定される場合との両方に対応させることも可能である。

【００４８】

次に、本発明の第２の実施形態の構成を図６のブロック図を参照して説明する。第２の実施形態における電源制御装置１０は、電源制御部１３、インバータ１４、ＡＮＤ回路１５を内蔵している。

【００４９】

第２の実施形態は、システム内に、システム内の各回路ブロックのパワーダウンを集中制御するためのパワーダウン集中管理装置１１が設けられていて、このパワーダウン集中管理装置１１からの指令によっても、回路ブロック１のパワーダウンが可能な構成となっているシステムの例である。

【００５０】

パワーダウン集中管理装置１１は、具体的にはＣＰＵ等によって構成される。このパワーダウン集中管理装置１１の出力は、レジスタ１２に入力されている。すなわち、レジスタ１２は、パワーダウン集中管理装置１１から送られるパワーダウン信号ＰＤ２を記憶し、記憶したパワーダウン信号ＰＤ２を電源制御装置１０へ出力する。パワーダウン信号ＰＤ２はハイ（Ｈ）アクティブである。すなわちパワーダウン信号ＰＤ２＝Ｈのとき、回路ブロック１はパワーダウンされる。

【００５１】

電源制御装置１０に入力されたパワーダウン信号ＰＤ２は、電源制御装置１０に内蔵された電源制御部１３の入力端子ＩＮ２に入力されている。これと同時に、パワーダウン信号ＰＤ２は、インバータ１４にも入力され、このインバータ１４の出力、すなわち反転パワーダウン信号ＰＤ２ｂは、ＡＮＤ回路１５が有する２つの入力端子のうちの一方の入力端子に入力されている。ＡＮＤ回路１５のもう一方の入力端子には、電源制御部１３の出力

端子ＯＵＴ１から出力されるパワーダウン信号Ｄｂが入力されている。このパワーダウン信号Ｄｂは、電源制御装置１０の外部にも出力され、ステータスフラグとして前記パワーダウン集中管理装置１１に入力されている。

【００５２】

ＡＮＤ回路１５の出力、すなわちパワーダウン信号ＰＤ１ｂは、電源制御装置１０から外部へ出力され、この出力は、パワーダウン制御対象である回路ブロック１のパワーダウン端子ＰＤｂに入力されている。

【００５３】

また、第１の実施形態と同様に、本来、制御対象である回路ブロック１の入力端子Ａに入力されるための入力信号Ｓが、分岐されて電源制御装置１０にも入力されている。電源制御装置１０に入力された入力信号Ｓは、この電源制御装置１０に内蔵された電源制御部１３の入力端子ＩＮ１に入力されている。

【００５４】

次に、本実施形態の概略の動作を説明する。システム内の各回路ブロックはブロック単位でパワーダウン可能な構成となっていて、この各回路ブロック個別のパワーダウン制御を、パワーダウン集中管理装置１１からの指令によって行うと共に、本発明による電源制御装置１０によって、入力信号Ｓが非活性になったときに自動的に回路ブロックをパワーダウンさせる。

【００５５】

すなわち、回路ブロック１は、パワーダウン集中管理装置１１からパワーダウンの指令が発せられた場合、および電源制御装置１０によって、入力信号Ｓが非活性になったと判別された場合のどちらの場合にも、パワーダウンされる。

【００５６】

かつ、後述するように、パワーダウン集中管理装置１１からパワーダウンの指令が発せられた場合には、電源制御装置１０自身もパワーダウンされ、これにより、電力消費を最低限に抑えることができる。

【００５７】

このため、制御対象である回路ブロック１のパワーダウン端子ＰＤｂには、パワーダウン集中管理装置１１を発生源とするパワーダウン信号ＰＤ２が、インバータ１４で反転された反転パワーダウン信号ＰＤ２ｂと、電源制御部１３から出力されるパワーダウン信号Ｄｂとの論理積、すなわちパワーダウン信号ＰＤ１ｂが入力される。

【００５８】

パワーダウン集中管理装置１１からの指令によって回路ブロック１をパワーダウンさせる場合には、パワーダウン集中管理装置１１を発生源とするパワーダウン信号ＰＤ２がＨレベルとされるが、このＨレベルのパワーダウン信号ＰＤ２が、インバータ１４の入力端子に入力されると共に、電源制御部１３の入力端子ＩＮ２にも入力され、この入力によって電源制御部１３自身もパワーダウンされる。電源制御部１３自身がパワーダウンされるときには、この電源制御部１３の出力端子ＯＵＴ１からの出力、すなわちパワーダウン信号Ｄｂは、Ｈレベル、すなわち活性状態を示す電圧レベルにされた上で、パワーダウンされる。

【００５９】

電源制御部１３は、入力信号Ｓが非活性のとき、出力であるパワーダウン信号ＤｂをＬレベルとする。従って、このパワーダウン信号Ｄｂを入力するＡＮＤ回路１５の出力、すなわちパワーダウン信号ＰＤ１ｂもＬレベルとなり、このＬレベルとされたパワーダウン信号ＰＤ１ｂが回路ブロック１のパワーダウン端子ＰＤｂに入力されるので、この回路ブロック１はパワーダウンされる。

【００６０】

従って、入力信号Ｓが非活性のとき、電源制御部１３によって回路ブロック１は自動的にパワーダウンされる。

【００６１】

パワーダウン集中管理装置１１からの指令で回路ブロック１をパワーダウンさせるときに、電源制御部１３が出力するパワーダウン信号ＤｂをＨレベル、すなわち活性状態を示すレベルとするのは以下の理由による。

【００６２】

前述したように、電源制御部１３によって回路ブロック１が自動的にパワーダウンされるので、入力信号Ｓが非活性であれば、回路ブロック１で消費される電力は削減される。

【００６３】

ところが、ユーザーが、電源制御部１３による、入力信号Ｓが活性であるか非活性であるかの自動検出機能を必要としない場合には、電源制御部１３自身をもパワーダウンさせ、さらに消費電力を削減したい。すなわち、パワーダウン集中管理装置１１からの指令で回路ブロック１をパワーダウンさせるときには、電源制御部１３の機能は不要になるので、この電源制御部１３自身をもパワーダウンさせる。

【００６４】

このとき、もし、電源制御部１３の出力であるパワーダウン信号ＤｂをＬレベル、すなわち非活性を示すレベルにしておくと、次にパワーダウン集中管理装置１１からパワーダウン解除の指令が来たときに、直ちに回路ブロック１を起動させることができなくなる。

【００６５】

本発明によれば、パワーダウン集中管理装置１１からの指令で回路ブロック１がパワーダウンし、その後同じパワーダウン集中管理装置１１からの指令でパワーダウンが解除される場合に、電源制御部１３は、この電源制御部１３の出力であるパワーダウン信号ＤｂがＨレベル、すなわち活性を示す電圧レベルの状態で起動されるので、回路ブロック１も直ちに起動される。

【００６６】

そして、回路ブロック１が起動された後に、電源制御部１３によって入力信号Ｓが活性であるか非活性であるかが判別され、活性であれば回路ブロック１はそのまま動作を続け、非活性であれば直ちにパワーダウンされる。

【００６７】

入力信号Ｓが非活性であれば、回路ブロック１は電源制御部１３によって直接パワーダウンされるので、パワーダウン集中管理装置１１は、従来技術のように、電源制御部１３が出力するステータスフラグ、すなわちパワーダウン信号Ｄｂを確認し、この確認に基づいて、改めてパワーダウン信号ＰＤ２を発行する必要はない。

【００６８】

次に、上記電源制御部１３の内部構成を、図７の回路図を参照して説明する。まず、この電源制御部１３の構成を説明する。図中のＰ１～Ｐ５はＰｃｈ－トランジスタ、Ｎ１～Ｎ５はＮｃｈ－トランジスタ、Ｃ１、Ｃ２はコンデンサ、Ｒ１は抵抗、Ｂ１～Ｂ５はインバータ、Ｋ１はＡＮＤ回路である。

【００６９】

前記パワーダウン集中管理装置１１からレジスタ１２を経由して送られるパワーダウン信号ＰＤ２は、電源制御部１３の入力端子ＩＮ２に入力され、入力端子ＩＮ２は、インバータＢ５の入力端子、ＰｃｈートランジスタＰ３およびＮｃｈートランジスタＮ３のゲート、ＰｃｈートランジスタＰ４およびＮｃｈートランジスタＮ４のゲートに接続されている。

【００７０】

インバータＢ５の出力端子は、ＮｃｈートランジスタＮ１のゲートに接続され、このＮｃｈートランジスタＮ１のソースは接地電位Ｇｎｄに接続され、ＮｃｈートランジスタＮ１のドレインは、抵抗Ｒ１の一方の端子に接続されている。

【００７１】

抵抗Ｒ１のもう一方の端子は、ＰｃｈートランジスタＰ１のドレインおよびゲートに接続されると共に、ＰｃｈートランジスタＰ２およびＰ５のゲートに接続されている。従って、ＰｃｈートランジスタＰ１、Ｐ２、Ｐ５のゲートは同一の電位とされている。また、Ｐ

ｃｈ－トランジスタＰ１、Ｐ２、Ｐ５のソースは、いずれも電源電位Ｖｃｃに接続されている。

【００７２】

Ｐｃｈ－トランジスタＰ２のドレインは、Ｐｃｈ－トランジスタＰ３のソースと接続され、このＰｃｈ－トランジスタＰ３のドレインは、Ｎｃｈ－トランジスタＮ３のドレインと接続され、このＮｃｈ－トランジスタＮ３のソースは接地電位Ｇｎｄに接続されている。

【００７３】

Ｐｃｈ－トランジスタＰ３のドレインと、Ｎｃｈ－トランジスタＮ３のドレインとが接続された接続点Ａ１は、Ｎｃｈ－トランジスタＮ２のドレイン、コンデンサＣ１の一方の端子Ｃ１ａ、インバータＢ３の入力端子に接続されている。Ｎｃｈ－トランジスタＮ２のソース、およびコンデンサＣ１のもう一方の端子は、接地電位Ｇｎｄに接続されている。

【００７４】

Ｐｃｈ－トランジスタＰ５のドレインは、Ｐｃｈ－トランジスタＰ４のソースと接続され、このＰｃｈ－トランジスタＰ４のドレインは、Ｎｃｈ－トランジスタＮ４のドレインと接続され、このＮｃｈ－トランジスタＮ４のソースは接地電位Ｇｎｄに接続されている。

【００７５】

Ｐｃｈ－トランジスタＰ４のドレインと、Ｎｃｈ－トランジスタＮ４のドレインとが接続された接続点Ａ２は、Ｎｃｈ－トランジスタＮ５のドレイン、コンデンサＣ２の一方の端子Ｃ２ａ、インバータＢ４の入力端子に接続されている。Ｎｃｈ－トランジスタＮ５のソース、およびコンデンサＣ２のもう一方の端子は、接地電位Ｇｎｄに接続されている。

【００７６】

また、回路ブロック１への入力信号Ｓが、この電源制御部１３の入力端子ＩＮ１にも入力され、この入力端子ＩＮ１は、インバータＢ１の入力端子に接続されている。インバータＢ１の出力端子は、前記Ｎｃｈ－トランジスタＮ２のゲートに接続されている。また、インバータＢ１の出力端子は、インバータＢ２の入力端子にも接続され、このインバータＢ２の出力端子は、前記Ｎｃｈ－トランジスタＮ５のゲートに接続されている。

【００７７】

前記インバータＢ３、Ｂ４の出力端子は、ＡＮＤ回路Ｋ１の２つの入力端子にそれぞれ接続され、ＡＮＤ回路Ｋ１の出力端子は、電源制御部１３の出力端子ＯＵＴ１に接続され、この出力端子ＯＵＴ１からの出力は、パワーダウン信号Ｄｂとなっている。

【００７８】

次に、この電源制御部１３の動作を説明する。パワーダウン集中管理装置１１から、パワーダウン指令が発せられていないときには、パワーダウン集中管理装置１１からレジスタ１２を介して電源制御部１３の入力端子ＩＮ２に送られるパワーダウン信号ＰＤ２はＬレベルとされる。パワーダウン信号ＰＤ２がＬレベルのとき、電源制御部１３は、以下に説明するように、動作状態となる。

【００７９】

Ｌレベルであるパワーダウン信号ＰＤ２が、インバータＢ５で反転されてＨレベルとなり、このＨレベルがＮｃｈ－トランジスタＮ１のゲートに入力されるので、このＮｃｈ－トランジスタＮ１はオンする。Ｎｃｈ－トランジスタＮ１がオンすると、このＮｃｈ－トランジスタＮ１のドレインと、抵抗Ｒ１を介して接続されたＰｃｈ－トランジスタＰ１、Ｐ２、Ｐ５のゲートの電位が下がり、これらのＰｃｈ－トランジスタＰ１、Ｐ２、Ｐ５がオンする。すると、Ｐｃｈ－トランジスタＰ２のドレインからは電流ｉ１が供給可能な状態となり、Ｐｃｈ－トランジスタＰ５からは電流ｉ２が供給可能な状態となる。

【００８０】

さらに、前記Ｌレベルであるパワーダウン信号ＰＤ２は、Ｐｃｈ－トランジスタＰ３およびＮｃｈ－トランジスタＮ３のゲートにも入力されるので、Ｐｃｈ－トランジスタＰ３はオンされ、Ｎｃｈ－トランジスタＮ３はオフされる。さらに、前記Ｌレベルであるパワーダウン信号ＰＤ２は、Ｐｃｈ－トランジスタＰ４およびＮｃｈ－トランジスタＮ４のゲートにも入力されるので、Ｐｃｈ－トランジスタＰ４はオンされ、Ｎｃｈ－トランジスタＮ

４はオフされる。
【００８１】
すると、前記Ｐｃｈ－トランジスタＰ２のドレインから供給可能となっていた電流ｉ１が、オンされたＰｃｈ－トランジスタＰ３を経由してコンデンサＣ１に充電される。また、前記Ｐｃｈ－トランジスタＰ５から供給可能となっていた電流ｉ２が、オンされたＰｃｈ－トランジスタＰ４を経由してコンデンサＣ２に充電される。
【００８２】
ただし、このとき、Ｎｃｈ－トランジスタＮ２がオンしていると、コンデンサＣ１への充電電流がＮｃｈ－トランジスタＮ２を経由して接地電位Ｇｎｄへ逃げてしまうので、コンデンサＣ１への充電は行われない。また、Ｎｃｈ－トランジスタＮ５がオンしていると、コンデンサＣ２への充電電流がＮｃｈ－トランジスタＮ５を経由して接地電位Ｇｎｄへ逃げてしまうので、コンデンサＣ２への充電は行われない。
【００８３】
電源制御部１３の入力端子ＩＮ１に入力される入力信号ＳがＨレベルのときには、このＨレベルである入力信号ＳがインバータＢ１によって反転されてＬレベルとなり、このＬレベルであるインバータＢ１の出力を入力するＮｃｈ－トランジスタＮ２のゲートもまたＬレベルになり、このＮｃｈ－トランジスタＮ２はオフされる。
【００８４】
さらに、ＬレベルであるインバータＢ１の出力は、インバータＢ２で再度反転されてＨレベルとなり、このＨレベルであるインバータＢ２の出力を入力するＮｃｈ－トランジスタＮ５のゲートもまたＨレベルになり、このＮｃｈ－トランジスタＮ５はオンされる。
【００８５】
逆に、入力信号ＳがＬレベルのときには、Ｎｃｈ－トランジスタＮ２のゲートはＨレベルになるので、このＮｃｈ－トランジスタＮ２はオンされ、一方、Ｎｃｈ－トランジスタＮ５のゲートはＬレベルになるので、このＮｃｈ－トランジスタＮ５はオフされる。
【００８６】
すなわち、Ｎｃｈ－トランジスタＮ２とＮ５とは、どちらか一方がオンされたときには、もう一方がオフされる。
【００８７】
Ｎｃｈ－トランジスタＮ２がオンされた場合には、コンデンサＣ１の両端がショートされるので、このコンデンサＣ１に充電された電荷が短時間で放電され、かつ、前述したように、このコンデンサＣ１への充電電流ｉ１もＮｃｈ－トランジスタＮ２を介して接地電位Ｇｎｄへ逃げてしまうので、このコンデンサＣ１の端子Ｃ１ａの電位は、ほぼ接地電位Ｇｎｄまで低下する。
【００８８】
同様に、Ｎｃｈ－トランジスタＮ５がオンされた場合には、コンデンサＣ２の両端がショートされ、このコンデンサＣ１に充電された電荷が短時間で放電され、かつ、充電電流ｉ２もＮｃｈ－トランジスタＮ５を介して接地電位Ｇｎｄへ逃げるので、このコンデンサＣ２の端子Ｃ２ａの電位はほぼ接地電位Ｇｎｄまで低下する。
【００８９】
上述したように、Ｎｃｈ－トランジスタＮ２とＮ５とは、どちらか一方がオンされたときに、もう一方がオフされるので、コンデンサＣ１の端子Ｃ１ａの電位と、コンデンサＣ２の端子Ｃ２ａの電位とは、どちらか一方が、ほぼ接地電位Ｇｎｄまで低下していて、もう一方が、充電電流によって上昇している。
【００９０】
すなわち、入力信号ＳがＬレベルであれば、インバータＢ１の出力はＨレベルとなり、このＨレベルがＮｃｈ－トランジスタＮ２のゲートに入力されるので、Ｎｃｈ－トランジスタＮ２はオンされ、このＮｃｈ－トランジスタＮ２によってコンデンサＣ１の電荷が放電される。
【００９１】

このとき、インバータＢ２の出力は、インバータＢ１の出力とは逆にＬレベルとなり、このＬレベルがＮｃｈ－トランジスタＮ５のゲートに入力されるので、Ｎｃｈ－トランジスタＮ５はオフされ、コンデンサＣ２は充電電流ｉ２によって充電される。

【００９２】

逆に、入力信号ＳがＨレベルであれば、インバータＢ１の出力はＬレベルとなり、このＬレベルがＮｃｈ－トランジスタＮ２のゲートに入力されるので、Ｎｃｈ－トランジスタＮ２はオフされ、コンデンサＣ１は充電電流ｉ１によって充電される。

【００９３】

このとき、インバータＢ２の出力は、インバータＢ１の出力とは逆にＨレベルとなり、このＨレベルがＮｃｈ－トランジスタＮ５のゲートに入力されるので、Ｎｃｈ－トランジスタＮ５はオンされ、このＮｃｈ－トランジスタＮ５によってコンデンサＣ２の電荷が放電される。

【００９４】

すなわち、コンデンサＣ１、Ｃ２は、両方同時に充電されることはなく、入力信号Ｓの電圧レベルによって、どちらか一方のみが充電され、他方は放電される。

【００９５】

入力信号Ｓが活性であれば、この入力信号Ｓの電圧レベルは定期的にＬレベルとＨレベルとを繰り返すので、上記コンデンサＣ１およびＣ２は、交互に充放電されるので、コンデンサＣ１の端子Ｃ１ａの電位は、ある一定の電位を超えることはなく、また、コンデンサＣ２の端子Ｃ２ａの電位も、ある一定の電位を超えることはない。

【００９６】

ここで、入力信号Ｓが定期的にＬレベルとＨレベルとを繰り返すときに、コンデンサＣ１の端子Ｃ１ａの電位が、インバータＢ３の入力端子のスレショルド電位を超えないように、あらかじめ各定数を設定し、また、コンデンサＣ２の端子Ｃ２ａの電位が、インバータＢ４の入力端子のスレショルド電位を超えないように、あらかじめ各定数を設定しておく。すなわち、上述した「ある一定の電位」が、後段のインバータの入力端子のスレショルド電位となるように、あらかじめ各定数を設定しておく。この各定数とは、具体的には、充電電流ｉ１、ｉ２の電流値、コンデンサＣ１、Ｃ２の容量値等であり、これらの定数は、入力信号Ｓの周波数に応じて決められる。なお、前記充電電流ｉ１、ｉ２は、抵抗Ｒ１の抵抗値、Ｐｃｈ－トランジスタＰ１、Ｐ２、Ｐ５の抵抗成分によって決まる。

【００９７】

従って、入力信号Ｓが活性で、この入力信号Ｓが定期的にＬレベルとＨレベルとを繰り返すときには、インバータＢ３への入力が、このインバータＢ３のスレショルド電位を超えることがなく、かつ、インバータＢ４への入力が、このインバータＢ４のスレショルド電位を超えることがない。従って、インバータＢ３およびＢ４の出力は、どちらもＨレベルとなる。

【００９８】

インバータＢ３およびＢ４の出力が、どちらもＨレベルとなれば、これらのＨレベルを入力するＡＮＤ回路Ｋ１の出力であるパワーダウン信号ＤｂもＨレベルとなる。

【００９９】

以上より、電源制御部１３の入力端子ＩＮ２に入力される、パワーダウン集中管理装置１１から送られるパワーダウン信号ＰＤ２がＬレベル、すなわちパワーダウン集中管理装置１１からはパワーダウンの指令は発せられておらず、電源制御装置１３のもう一つの入力端子ＩＮ１に入力される、回路ブロック１のための入力信号Ｓが活性、すなわち、この入力信号Ｓが定期的にＬレベルとＨレベルとを繰り返すときには、電源制御部１３の出力端子ＯＵＴ１から出力されるパワーダウン信号ＤｂはＨレベル、すなわち入力信号Ｓが活性であることを示す電圧レベルとなる。

【０１００】

ところが、入力信号Ｓが非活性となり、この入力信号Ｓの電圧レベルがＬレベルまたはＨレベルに固定されると、コンデンサＣ１、Ｃ２のどちらかが放電されなくなり、充電ばか

りが行われる状態となり、もう一方が、放電ばかりが行われる状態になる。

【０１０１】

例えば、入力信号ＳがＬレベルに固定されると、インバータＢ１の出力はＨレベルとなり、Ｎｃｈ－トランジスタＮ２はオンの状態に固定される。すると、コンデンサＣ１の電荷は、オンされたＮｃｈ－トランジスタＮ２によって放電され、かつ、充電電流ｉ１も、Ｎｃｈ－トランジスタＮ２を経由して接地電位Ｇｎｄに逃がされるので、コンデンサＣ１の端子Ｃ１ａの電位は、ほぼ接地電位Ｇｎｄに固定となる。

【０１０２】

また、インバータＢ１の出力がＨレベルなので、このインバータＢ１の後段のインバータＢ２の出力はＬレベルとなり、Ｎｃｈ－トランジスタＮ５はオフの状態に固定される。すると、コンデンサＣ２は、充電電流ｉ２によって充電され続け、やがてコンデンサＣ２の端子Ｃ２ａの電位は、インバータＢ４のスレショルド電位を超える。

【０１０３】

すると、インバータＢ３の入力は、ほぼ接地電位Ｇｎｄ、すなわちＬレベルに固定されるので、このインバータＢ３の出力はＨレベルに固定される。また、インバータＢ４の入力は、インバータＢ４のスレショルド電位を超えた電位、すなわちＨレベルになるので、このインバータＢ４の出力はＬレベルとなる。

【０１０４】

すると、前記インバータＢ３およびＢ４の出力を入力しているＡＮＤ回路Ｋ１の出力、すなわちパワーダウン信号Ｄｂは、インバータＢ３の出力がＨレベル、インバータＢ４の出力がＬレベルなので、Ｌレベル、すなわち入力信号Ｓが非活性であることを示す電圧レベルとなる。

【０１０５】

逆に、入力信号ＳがＨレベルに固定されると、Ｎｃｈ－トランジスタＮ２はオフ、Ｎｃｈ－トランジスタＮ５はオンに固定されるので、コンデンサＣ１は充電され、コンデンサＣ２は放電される。すると、インバータＢ３の入力はＨレベルとなるので、このインバータＢ３の出力はＬレベルとなる。また、インバータＢ４の入力はＬレベルとなるので、このインバータＢ４の出力はＨレベルとなる。

【０１０６】

インバータＢ３の出力がＬレベル、インバータＢ４の出力がＨレベルとなると、これらを入力しているＡＮＤ回路Ｋ１の出力、すなわちパワーダウン信号Ｄｂは、Ｌレベル、すなわち入力信号Ｓが非活性であることを示す電圧レベルとなる。

【０１０７】

すなわち、入力信号ＳがＬレベル、Ｈレベルのどちらに固定されても、電源制御部１３の出力端子ＯＵＴ１から出力されるパワーダウン信号ＤｂはＬレベル、すなわち入力信号Ｓが非活性であることを示す電圧レベルとなる。すなわち、この電源制御部１３は、入力信号Ｓが非活性になったときに、ＨレベルまたはＬレベルのどちらの電圧レベルに固定されても、非活性になったことを検出することができる。

【０１０８】

次に、パワーダウン集中管理装置１１からパワーダウン指令が発せられ、電源制御装置１３の入力端子ＩＮ２に入力されるパワーダウン信号ＰＤ２がＨレベルになった場合の動作を説明する。パワーダウン信号ＰＤ２がＨレベルになると、このＨレベルであるパワーダウン信号ＰＤ２がインバータＢ５で反転されてＬレベルとなるので、このＬレベルがＮｃｈ－トランジスタＮ１のゲートに入力され、このＮｃｈ－トランジスタＮ１はオフされる。

【０１０９】

Ｎｃｈ－トランジスタＮ１がオフされると、この電源制御部１３内の電源電位Ｖｃｃから接地電位Ｇｎｄへの電流のパスの全てが遮断され、電源制御部１３内での電流の消費がなくなり、この電源制御部１３全体がパワーダウンされる。

【０１１０】

すなわち、Ｎｃｈ－トランジスタＮ１がオフされると、このＮｃｈ－トランジスタＮ１と抵抗Ｒ１を介して接続されたＰｃｈ－トランジスタＰ１、Ｐ２、Ｐ５もオフされる。また、Ｈレベルであるパワーダウン信号ＰＤ２は、Ｐｃｈ－トランジスタＰ３、Ｎｃｈ－トランジスタＮ３、Ｐｃｈ－トランジスタＰ４、Ｎｃｈ－トランジスタＮ４のゲートにも入力されるので、Ｐ３、Ｐ４がオフ、Ｎ３、Ｎ４がオンされる。従って、電源電位Ｖｃｃから接地電位Ｇｎｄへの電流のパスの全て、すなわちＰｃｈ－トランジスタＰ１を含むパス、Ｐ２を含むパス、Ｐ５を含むパスが、全て遮断され、電源制御部１３内での電流の消費がなくなり、この電源制御部１３全体がパワーダウンされる。

【０１１１】

また、このとき、Ｎｃｈ－トランジスタＮ３およびＮ４がオンされるので、Ｎｃｈ－トランジスタＮ２およびＮ５のオン、オフに関係なく、コンデンサＣ１およびＣ２の両方が放電され、インバータＢ３およびＢ４の両方にＬレベルが入力され、これらのインバータＢ３およびＢ４の出力は、どちらもＨレベルとなる。これらのＨレベルがＡＮＤ回路Ｋ１に入力されるので、このＡＮＤ回路Ｋ１の出力、すなわちパワーダウン信号ＤｂはＨレベル、すなわち活性状態を示す電圧レベルとなる。

【０１１２】

すなわち、パワーダウン集中管理装置１１からパワーダウン指令が発せられ、電源制御装置１３の入力端子ＩＮ２に入力されるパワーダウン信号ＰＤ２がＨレベルになった場合には、電源制御装置１３の出力端子ＯＵＴ１から出力されるパワーダウン信号ＤｂがＨレベル、すなわち活性状態を示す電圧レベルとされた上で、電源制御装置１３自身がパワーダウンされる。

【０１１３】

なお、本発明における入力信号は、上記に示したクロック信号だけではなく、最低動作周波数がある一定以上あるような信号フォーマット、例えばＥＩＡＪ／ＣＰ１２０１のような変調された信号、またはデルタシグマ変調された１ビットストリーム等に適用することもできる。

【０１１４】

【発明の効果】

本発明によれば、制御対象となる回路ブロックへの入力信号が活性であるか非活性であるかを素速く自動的に判別し、かつ、前記入力信号が非活性であると判別された場合には、前記回路ブロックを素速くパワーダウンさせることができる。従って、回路ブロックの消費電力を最小にコントロールでき、しかも、このコントロールのために、ユーザーまたはシーケンサーによる手間のかかる処理は必要ない。

【０１１５】

例えば、本発明を、ダイナミック回路で構成されたＬＳＩ回路のクロック信号入力部に用いれば、ダイナミック回路への動作クロックの供給が突然停止されても、自動的にダイナミック回路をパワーダウンさせる事ができるので、ダイナミック回路の貫通電流等の問題を心配する事なく、このダイナミック回路をスタティック回路と同様に取り扱うことが可能となり、このダイナミック回路の取り扱いを容易にすることができる。

【０１１６】

また、本発明によれば、回路ブロックへの入力信号が非活性となり、この入力信号の電圧レベルが、ＨレベルまたはＬレベルに固定されると、スイッチング手段がオンまたはオフの状態に固定され、これにより、コンデンサが充電されるか、または放電される状態のどちらかに固定され、このコンデンサの両端の電圧と、基準電圧とを比較しているコンデンサが、所定の時間後に、両電圧の大小関係の反転を検出し、パワーダウン信号を出力するので、制御対象である回路ブロックを素速くパワーダウンさせることができる。

【０１１７】

また、第１の判別部と第２の判別部とを設け、入力信号が第１の電圧レベルに固定された場合と、第２の電圧レベルに固定された場合との両方を判別すれば、入力信号が、どちらの電圧レベルに固定された場合にも、制御対象となる回路ブロックをパワーダウンさせる

ことができる。

【０１１８】

また、外部パワーダウン信号によっても回路ブロックがパワーダウンされるシステム構成のときに、この外部パワーダウン信号によって、自己パワーダウン手段が電源制御装置自身をもパワーダウンさせれば、外部パワーダウン信号が発行されたときには不要となる電源制御装置の消費電力を節約することができるので、システム全体での消費電力をさらに抑えることができる。

【０１１９】

また、外部パワーダウン信号が電源制御装置に入力された場合に、自己パワーダウン手段が、パワーダウン信号が合成手段へ出力されることを禁止した上で、電源制御装置自身をパワーダウンさせれば、システム全体を制御するパワーダウン集中管理装置（ＣＰＵ等）からパワーダウン指令、すなわち外部パワーダウン信号が発せられ、この外部パワーダウン信号が、本発明による電源制御装置に入力された場合に、自己パワーダウン手段は、電源制御装置が制御対象である回路ブロックへの入力信号が活性であるか非活性であるかを判別した上で生成するパワーダウン信号が、合成手段に送られることを禁止する。

【０１２０】

換言すれば、外部パワーダウン信号が電源制御装置に入力された場合には、自己パワーダウン手段が、本来この電源制御装置自身が回路ブロックへの入力信号の活性・非活性を判別することによって生成していたパワーダウン信号を、回路ブロックへの入力信号が活性であるか非活性であるかに関わらず、強制的に活性を示す状態（例えば、実施形態中では、活性を示すＨレベル）にする。

【０１２１】

そして、上記の動作を行った上で、自己パワーダウン手段は、電源制御装置自身をパワーダウンさせる。

【０１２２】

従って、次に外部パワーダウン信号が解除されて、制御対象である回路ブロックのパワーダウンが解除されると共に、電源制御装置自身のパワーダウンも解除されたときに、電源制御装置は、この電源制御装置が生成するパワーダウン信号が活性を示す状態で起動されるので、合成手段が出力する、合成されたパワーダウン信号も直ちに解除される。従って、外部パワーダウン信号が解除されたときに、素速く回路ブロックのパワーダウンを解除し、この回路ブロックを起動させることができる。

【図面の簡単な説明】

【図１】本発明の第１の実施形態のブロック図。

【図２】第１の実施形態における電源制御装置２内部の回路図。

【図３】図２に示した回路の動作を示すタイミングチャート。

【図４】第１の実施形態における電源制御装置２内部の別の構成例を示す回路図。

【図５】図４に示した回路の動作を示すタイミングチャート。

【図６】本発明の第２の実施形態のブロック図。

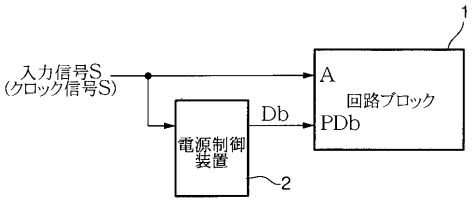
【図７】第２の実施形態における電源制御部１３内部の回路図。

【符号の説明】

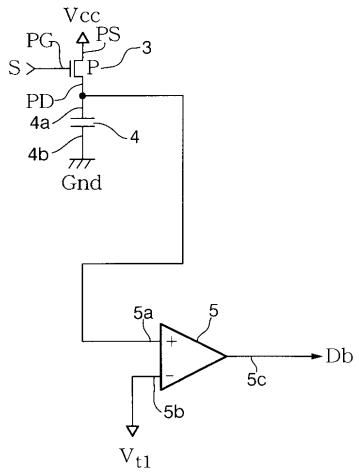
１　回路ブロック	２　電源制御装置
３　Ｐｃｈ－トランジスタ	４　コンデンサ
４ａ　端子	４ｂ　端子
５　コンパレータ	５ａ　非反転入力端子
５ｂ　反転入力端子	５ｃ　出力端子
６　Ｎｃｈ－トランジスタ	７　コンデンサ
７ａ　端子	７ｂ　端子
８　抵抗	８ａ　端子
８ｂ　端子	９　コンパレータ
９ａ　非反転入力端子	９ｂ　反転入力端子

９ｃ　出力端子　　１０　電源制御装置
１１　パワーダウン集中管理装置
１２　レジスタ　　１３　電源制御部
１４　インバータ　　１５　ＡＮＤ回路

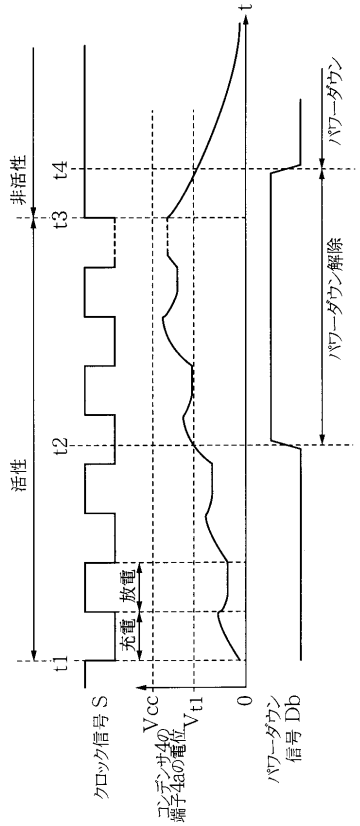
【図１】



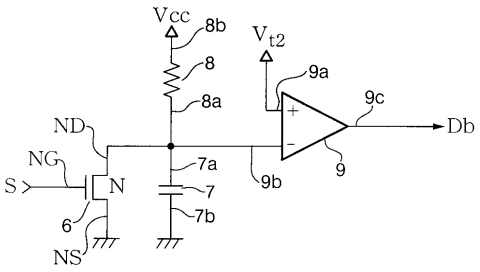
【図２】



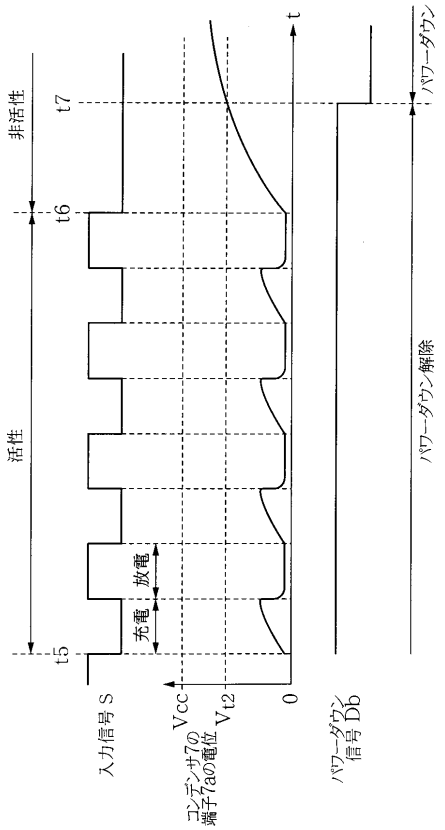
【図３】



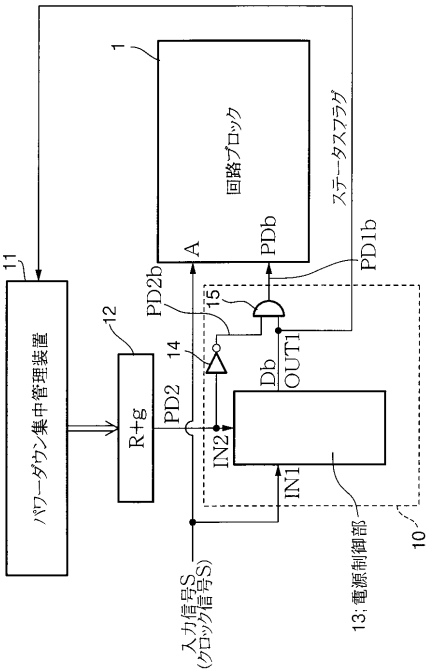
【図４】


Vcc
8b
Vt2
8
9a
8a
9c
Db
ND
NG
S
N
7a
9b
9
7
6
7b
NS

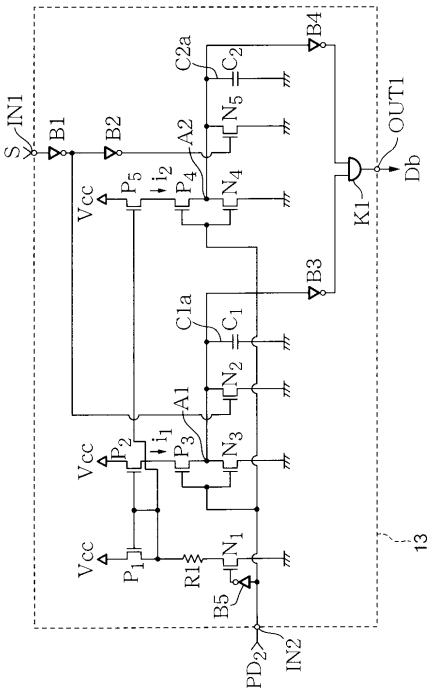
【図５】


非活性
t7
t6
活性
t5
放電
充電
t
パワーダウン
パワーダウン解除
入力信号 S
コンデンサ7の端子7aの電位
Vcc
Vt2
0
パワーダウン信号 Db

【図６】


1
回路ブロック
ステータスフラグ
A
PDb
PD1b
PD2b
11
パワーダウン集中管理装置
12
15
14
R+g
PD2
Db
OUT1
IN2
IN1
入力信号S
(クロック信号S)
13:電源制御部
10

【図７】


S
IN1
B1
B2
B4
C2a
C2
A2
N5
OUT1
Db
Vcc
P5
i2
P4
N4
K1
B3
C1a
C1
A1
N2
P2
i1
P3
N3
P1
R1
N1
B5
13
PD2
IN2

フロントページの続き

(56)参考文献 特開平０４－１１２３１２（ＪＰ，Ａ）
特開平０９－０５５７６９（ＪＰ，Ａ）
特開平１０－１７３６３７（ＪＰ，Ａ）
特開昭５８－１７１８４２（ＪＰ，Ａ）
特開昭４９－１１４８４８（ＪＰ，Ａ）
特開昭５６－１１９５４７（ＪＰ，Ａ）
特開昭５２－０９６８１７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/822
H01L 27/04