(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0052145
(43) 공개일자 2021년05월10일

(51) 국제특허분류(Int. Cl.)
H01L 23/64 (2006.01) *H01L 21/66* (2006.01)
(52) CPC특허분류
H01L 23/642 (2013.01)
H01L 22/12 (2013.01)
(21) 출원번호 10-2020-0029596
(22) 출원일자 2020년03월10일
심사청구일자 2020년03월10일
(30) 우선권주장
1020190135906 2019년10월29일 대한민국(KR)

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김승주
서울특별시 강남구 도곡로57길 12, 103동 503호 (역삼동, 역삼2차아이파크)
이경석
경기도 용인시 기흥구 동백5로 41 성산마을신영지웰
강수영
서울특별시 성북구 안암로 145 고려대학교안암캠퍼스
(74) 대리인
이기성

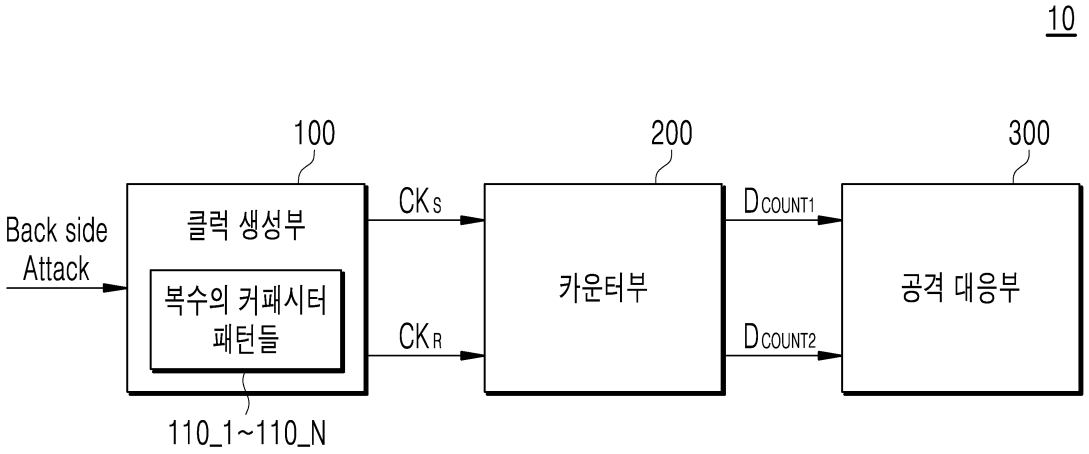
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **실리콘 후면 보호 장치 및 그 동작 방법**

(57) 요 약

본 출원의 일 실시예에 따른 실리콘 후면 보호 장치는, 실리콘 기판에 배치된 복수의 커패시터 패턴들의 정전용량 변화를 이용하여, 감지 클럭을 생성하는 클럭 생성부, 상기 감지 클럭을 카운팅하여 감지 카운트 정보를 출력하는 카운터부 및 상기 감지 카운트 정보와 기준 카운트 정보 간의 차이에 기초하여, 상기 반도체 칩에 대한 기설정된 보안 동작을 수행하는 공격 대응부를 포함한다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	2017-0-00184-004
부처명	과학기술정보통신부연구
과제관리(전문)기관명	정보통신기획평가원
연구사업명	정보보호핵심원천기술개발(R&D)
연구과제명	(자가방어-2세부) 자기학습형 사이버면역 기술개발
기 여 율	1/1
과제수행기관명	한국인터넷진흥원
연구기간	2020.01.01 ~ 2020.12.31

명 세 서

청구범위

청구항 1

실리콘 기판에 배치된 복수의 커패시터 패턴들의 정전용량 변화를 이용하여, 감지 클럭을 생성하는 클럭 생성부;

상기 감지 클럭을 카운팅하여 감지 카운트 정보를 출력하는 카운터부; 및

상기 감지 카운트 정보와 기준 카운트 정보 간의 차이에 기초하여, 상기 실리콘 기판에 실장된 반도체 칩에 대한 기설정된 보안 동작을 수행하는 공격 대응부를 포함하는, 실리콘 후면 보호 장치.

청구항 2

제1항에 있어서,

상기 클럭 생성부는 기설정된 커패시터 패턴의 개수 단위로 상기 감지 클럭을 생성하도록 적어도 둘 이상의 감지 센서를 포함하는, 실리콘 후면 보호 장치.

청구항 3

제2항에 있어서,

상기 적어도 둘 이상의 감지 센서 각각은

감지 저항;

상기 감지 저항에 일측이 연결되고, 출력 노드에 게이트측이 연결된 감지 트랜지스터; 및

상기 감지 저항과 상기 감지 트랜지스터 사이에 위치한 입력 노드에 연결된 하나의 커패시터 패턴을 포함하는, 실리콘 후면 보호 장치.

청구항 4

제2항에 있어서,

상기 클럭 생성부는 상기 적어도 둘 이상의 감지 센서 중 하나의 감지 센서의 입력 노드를 통해 구동 전압을 제공받고, 다른 하나의 감지 센서의 출력 노드를 통해 상기 감지 클럭을 출력하는, 실리콘 후면 보호 장치.

청구항 5

제4항에 있어서,

상기 클럭 생성부는 상기 하나의 감지 센서와 상기 다른 하나의 감지 센서 사이에 서로 직렬로 연결된 복수의 감지 센서들을 더 포함하는, 실리콘 후면 보호 장치.

청구항 6

제4항에 있어서,

상기 구동 전압에 기초하여, 상기 감지 클럭에 대응되는 기준 클럭을 생성하는 기준클럭 생성부를 더 포함하는, 실리콘 후면 보호 장치.

청구항 7

제1항에 있어서,

상기 복수의 커패시터 패턴들 각각은 서로가 일정 거리 이격된 제1 및 제2 금속 패턴; 및

상기 제1 및 제2 금속 패턴 사이에 배치된 절연체를 포함하는, 실리콘 후면 보호 장치.

청구항 8

제7항에 있어서,

상기 제1 및 제2 금속 패턴 각각은 길이 방향으로 연장된 수평 전극; 및

상기 수평 전극으로부터 일정 거리마다 폭 방향으로 연장된 수직 전극을 포함하는, 실리콘 후면 보호 장치.

청구항 9

제8항에 있어서,

상기 제1 및 제2 금속 패턴은 상기 수직 전극이 서로 엇갈리게 배치되어, 길이 방향으로 평행하게 배치되는, 실리콘 후면 보호 장치.

청구항 10

제1항에 있어서,

상기 복수의 커패시터 패턴들은 상기 실리콘 기판에 부착된 다단의 보호층들 중 더미 쉴드층에 하측으로 이웃한 패시브 쉴드층과 하나의 보호층에 배치되고,

상기 하나의 보호층은 로직에 사용되지 않는 제1 영역과 로직에 사용되는 제2 영역으로 구분되는, 실리콘 후면 보호 장치.

청구항 11

제10항에 있어서,

상기 제1 영역과 상기 패시브 쉴드층의 영역은 전체 면적에 최대 100% 비율로 상기 복수의 커패시터 패턴들이 배치되는, 실리콘 후면 보호 장치.

청구항 12

제10항에 있어서,

상기 제2 영역은 전체 면적에 최대 50% 비율로 상기 복수의 커패시터 패턴들이 배치되는, 실리콘 후면 보호 장치.

청구항 13

제1항에 있어서,

상기 감지 카운트 정보와 상기 기준 카운트 정보를 비교하고, 비교 결과에 기초하여 경보 신호를 출력하는 판단 모듈; 및

상기 경보 신호에 기초하여, 기설정된 보안 동작을 수행하는 처리 모듈을 포함하는, 실리콘 후면 보호 장치.

청구항 14

복수의 반도체 칩들이 실장된 실리콘 기판;

상기 실리콘 기판의 표면에 부착된 다단의 보호층들;

상기 다단의 보호층들 중 적어도 하나에 배치된 복수의 커패시터 패턴들; 및

상기 복수의 커패시터 패턴들의 정전용량 변화에 기초하여, 상기 반도체 칩에 대한 후면 공격 여부를 판단하는 보호 회로부를 포함하는, 실리콘 후면 보호 장치.

청구항 15

제14항에 있어서,

상기 적어도 하나는 상기 다단의 보호층들 중 더미 쉴드층 하측에 이웃한 패시브 쉴드층과 하나의 보호층을 포

함하고,

상기 하나의 보호층은 로직에 사용되지 않는 제1 영역과 로직에 사용되는 제2 영역으로 구분되는, 실리콘 후면 보호 장치.

청구항 16

제15항에 있어서,

상기 제1 영역과 상기 패시브 쉴드층의 영역은 전체 면적에 대해 100% 비율로 상기 복수의 커패시터 패턴들이 배치되는, 실리콘 후면 보호 장치.

청구항 17

제15항에 있어서,

상기 제2 영역은 전체 면적에 대해 50% 비율로 상기 복수의 커패시터 패턴들이 배치되는, 실리콘 후면 보호 장치.

청구항 18

제14항에 있어서,

상기 보호 회로부는 기설정된 커패시터 패턴의 개수 단위로 감지 클럭을 생성하는, 실리콘 후면 보호 장치.

청구항 19

실리콘 후면 보호 장치의 동작 방법으로서,

클럭 생성부가 실리콘 기판에 배치된 복수의 커패시터 패턴들 중 제1 적어도 둘의 커패시터 패턴을 이용하여, 감지 클럭을 생성하는 단계;

기준 클럭 생성부가 상기 제1 적어도 둘의 커패시터 패턴에 대응되는 제2 적어도 둘의 커패시터 패턴을 이용하여, 기준 클럭을 생성하는 단계;

카운터부가 상기 감지 클럭과 상기 기준 클럭을 카운팅하여 감지 카운트 정보와 기준 카운트 정보를 공격 대응부에 출력하는 단계; 및

상기 공격 대응부가 상기 감지 카운트 정보와 상기 기준 카운트 정보 간의 차이에 기초하여, 상기 실리콘 기판에 실장된 반도체 칩에 대한 기설정된 보안 동작을 수행하는 단계를 포함하는, 실리콘 후면 보호 장치의 동작 방법.

청구항 20

제19항에 있어서,

상기 복수의 커패시터 패턴들은 상기 실리콘 기판에 부착된 다단의 보호층들 중 더미 쉴드층에 하측으로 이웃한 패시브 쉴드층과 하나의 보호층에 배치되는, 실리콘 후면 보호 장치의 동작 방법.

발명의 설명

기 술 분 야

[0001] 본 출원은 실리콘 후면 보호 장치 및 그 동작 방법에 관한 것으로서, 특히, 반도체 칩에 대한 후면 공격을 보호하고, 보호 장치의 크기를 최소화시킬 수 있는 실리콘 후면 보호 장치 및 그 동작 방법에 관한 것이다.

배 경 기 술

[0002] 최근, 포텐셜 어택커(potential attacker)는 반도체 칩의 분석, 소위 리버스 엔지니어링(reverse engineering)을 수행하여 얻어진 정보로, 회로의 동작 모드를 변동시키거나 또는 그 메모리 내의 데이터 조작을 수행할 수 있다. 이러한 공격 행위는 특히 현금 카드 기능 또는 출입 허가 기능을 가진 보안 관련 회로에서 원하지 않는

결과를 야기할 수 있다.

[0003] 특히, 포텐셜 어택커는 FIB(Focused Ion Beam) 방법, 프로빙(probing) 방법 및 포싱(forcing) 방법을 이용하여, 실리콘 기판의 표면에 대한 공격보다는 상대적으로 취약한 실리콘 기판의 후면 공격(Back side attack)을 취하고 있다. 왜냐하면, DES (데이터 암호화 표준), AES (고급 암호화 표준), 및 RSA와 같은 보안 관련 블록 엔진이 실리콘 기판의 표면(low metal layer)에 위치하기 때문이다.

[0004] 그러나, 반도체 칩의 후면은 반도체 공정상 깍아내기 때문에 반도체 칩의 후면에 보호층을 설계하는 것은 대단히 어렵다. 또한. 반도체 칩의 후면에 새로운 보호층을 설계하는 것은 전체 생산 비용을 증가시킬 수 있기 때문에, 제조업체는 추가적인 실리콘 층의 구현에 대하여 비용 부담이 되며, 전체적인 칩 사이즈가 증가되는 문제가 있다.

발명의 내용

해결하려는 과제

[0005] 본 출원의 목적은 기판 보호층에 배치된 커패시터 패턴의 정전용량 변화에 기초하여, 반도체 칩에 대한 후면 공격 여부를 판단할 수 있는 실리콘 후면 보호 장치 및 그 동작 방법을 제공하기 위한 것이다.

과제의 해결 수단

[0006] 본 출원의 일 실시예에 따른 실리콘 후면 보호 장치는, 실리콘 기판에 배치된 복수의 커패시터 패턴들의 정전용량 변화를 이용하여, 감지 클럭을 생성하는 클럭 생성부, 상기 감지 클럭을 카운팅하여 감지 카운트 정보를 출력하는 카운터부 및 상기 감지 카운트 정보와 기준 카운트 정보 간의 차이에 기초하여, 상기 반도체 칩에 대한 기설정된 보안 동작을 수행하는 공격 대응부를 포함한다.

[0007] 실시예에 있어서, 상기 복수의 커패시터 패턴들 각각은 서로가 일정 거리 이격된 제1 및 제2 금속 패턴 및 상기 제1 및 제2 금속 패턴 사이에 배치되어, 지그 재그 형상으로 형성된 절연체를 포함한다.

[0008] 실시예에 있어서, 상기 제1 및 제2 금속 패턴 각각은 길이 방향으로 연장된 수평 전극 및 상기 수평 전극으로부터 일정 거리마다 폭 방향으로 연장된 수직 전극을 포함한다.

[0009] 실시예에 있어서, 상기 제1 및 제2 금속 패턴은 수직 전극이 서로 엇갈리게 배치되어, 길이 방향으로 평행하게 배치된다.

[0010] 실시예에 있어서, 상기 복수의 커패시터 패턴들은 상기 실리콘 기판에 부착된 다단의 보호층들 중 더미 쉴드층에 하측으로 이웃한 패시브 쉴드층과 하나의 보호층에 배치되고, 상기 하나의 보호층은 로직에 사용되지 않는 제1 영역과 로직에 사용되는 제2 영역으로 구분된다.

[0011] 실시예에 있어서, 상기 제1 영역과 상기 패시브 쉴드층의 영역은 전체 면적에 100% 비율로 상기 복수의 커패시터 패턴들이 배치된다.

[0012] 실시예에 있어서, 상기 제2 영역은 전체 면적에 50% 비율로 상기 복수의 커패시터 패턴들이 배치된다.

[0013] 실시예에 있어서, 상기 클럭 생성부는 기설정된 커패시터 패턴의 개수 단위로 상기 감지 클럭을 생성하도록 적어도 둘 이상의 감지 센서를 포함한다.

[0014] 실시예에 있어서, 상기 적어도 둘 이상의 감지 센서 각각은, 감지 저항, 상기 감지 저항에 일측이 연결되고, 출력 노드에 게이트측이 연결된 감지 트랜지스터 및 상기 감지 저항과 상기 감지 트랜지스터 사이에 위치한 입력 노드에 연결된 하나의 커패시터 패턴을 포함한다.

[0015] 실시예에 있어서, 상기 클럭 생성부는 상기 적어도 둘 이상의 감지 센서 중 하나의 감지 센서의 입력 노드를 통해 구동 전압을 제공받고, 다른 하나의 감지 센서의 출력 노드를 통해 상기 감지 클럭을 상기 카운터부로 출력한다.

[0016] 실시예에 있어서, 상기 클럭 생성부는 상기 하나의 감지 센서와 상기 다른 하나의 감지 센서 사이에 서로 직렬로 연결된 복수의 감지 센서들을 더 포함한다.

[0017] 실시예에 있어서, 상기 구동 전압에 기초하여, 상기 감지 클럭에 대응되는 기준 클럭을 생성하는 기준클럭 생성부를 더 포함한다.

[0018] 실시예에 있어서, 상기 감지 카운트 정보와 상기 기준 카운트 정보를 비교하고, 상기 제1 및 기준 카운트 정보 간의 차이에 기초하여 경보 신호를 출력하는 판단 모듈 및 상기 경보 신호에 기초하여, 기설정된 보안 동작을 수행하는 처리 모듈을 포함한다.

[0019] 본 출원의 다른 실시예에 따른 실리콘 후면 보호 장치는 복수의 반도체 칩들이 실장된 실리콘 기판, 상기 실리콘 기판의 표면에 부착된 다단의 보호층들, 상기 다단의 보호층들 중 적어도 하나에 배치된 복수의 커패시터 패턴들 및 상기 복수의 커패시터 패턴들의 정전 용량 변화에 기초하여, 상기 반도체 칩에 대한 후면 공격 여부를 판단하는 보호 회로부를 포함한다.

[0020] 실시예에 있어서, 상기 적어도 하나는 상기 다단의 보호층들 중 더미 쉴드층 하측에 이웃한 패시브 쉴드층과 하나의 보호층을 포함하고, 상기 하나의 보호층은 로직에 사용되지 않는 제1 영역과 로직에 사용되는 제2 영역으로 구분된다.

[0021] 실시예에 있어서, 상기 제1 영역과 상기 패시브 쉴드층의 영역은 전체 면적에 대해 100% 비율로 상기 복수의 커패시터 패턴들이 배치된다.

[0022] 실시예에 있어서, 상기 제2 영역은 전체 면적에 대해 50% 비율로 상기 복수의 커패시터 패턴들이 배치된다.

[0023] 실시예에 있어서, 상기 보호 회로부는 기설정된 커패시터 패턴의 개수 단위로 상기 감지 클럭을 생성한다.

[0024] 본 출원의 일 실시예에 따른 실리콘 후면 보호 장치의 동작 방법은 클럭 생성부가 실리콘 기판에 배치된 복수의 커패시터 패턴들 중 제1 적어도 둘의 커패시터 패턴을 이용하여, 감지 클럭을 생성하는 단계, 기준 클럭 생성부가 상기 제1 적어도 둘의 커패시터 패턴에 대응되는 제2 적어도 둘의 커패시터 패턴을 이용하여, 기준 클럭을 생성하는 단계, 카운터부가 상기 감지 클럭과 상기 기준 클럭을 카운팅하여 감지 카운트 정보와 기준 카운트 정보를 공격 대응부에 출력하는 단계 및 상기 공격 대응부가 상기 감지 카운트 정보와 상기 기준 카운트 정보 간의 차이에 기초하여, 상기 반도체 칩에 대한 기설정된 보안 동작을 수행하는 단계를 포함한다.

[0025] 실시예에 있어서, 상기 복수의 커패시터 패턴들은 상기 실리콘 기판에 부착된 다단의 보호층들 중 더미 쉴드층에 하측으로 이웃한 패시브 쉴드층과 하나의 보호층에 배치된다.

발명의 효과

[0026] 본 출원의 실리콘 후면 보호 장치 및 그 동작 방법은, 기판 보호층에 배치된 커패시터 패턴의 정전용량 변화에 기초하여, 반도체 칩에 대한 후면 공격 여부를 판단하고, 실리콘 후면 보호 장치의 크기를 최소화시킬 수 있다.

도면의 간단한 설명

[0027] 도 1은 본 출원은 일 실시예에 따른 실리콘 후면 보호 장치에 대한 블록도이다.

도 2는 도 1의 커패시터 패턴을 보여주는 예이다.

도 3은 도 2의 커패시터 패턴이 배치되는 보호층을 설명하기 위한 도이다.

도 4는 도 1의 클럭 생성부를 설명하기 위한 회로도이다.

도 5는 도 4의 감지 센서를 보여주기 위한 도이다.

도 6은 도 1의 실리콘 후면 보호 장치의 동작을 구체적으로 설명하기 위한 도이다.

도 7은 도 3의 보호층이 제거된 실리콘 기판에 대한 평면도를 나타내는 도이다.

도 8은 도 3의 제3 보호층 레벨에서의 실리콘 기판에 대한 평면도를 나타내는 도이다.

도 9는 도 8의 평면도의 실리콘 기판에 복수의 커패시터 패턴들이 배치된 도이다.

도 10은 도 1의 실리콘 후면 보호 장치의 동작 프로스세스이다.

발명을 실시하기 위한 구체적인 내용

[0028] 이하, 구체적인 실시형태 및 첨부된 도면을 참조하여 본 출원의 실시형태를 설명한다. 그러나, 본 출원의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 출원의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 출원의 실시형태는 통상의 기술자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것

이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0029] 그리고 도면에서 본 출원을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조부호를 사용하여 설명한다. 나아가, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0030] 도 1은 본 출원은 일 실시예에 따른 실리콘 후면 보호 장치(10)에 대한 블록도이고, 도 2는 도 1의 커패시터 패턴(110_1)을 보여주는 예이며, 도 3은 도 2의 커패시터 패턴(110_1)이 배치되는 보호층(40)을 설명하기 위한 도이다.

[0031] 도 1을 참조하면, 실리콘 후면 보호 장치(10)는 클럭 생성부(100), 카운터부(200) 및 공격 대응부(300)를 포함할 수 있다.

[0032] 먼저, 클럭 생성부(100)는 실리콘 기판에 배치된 복수의 커패시터 패턴들(110_1~110_N)을 이용하여, 감지 클럭(CK_S)을 생성할 수 있다.

[0033] 여기서, 복수의 커패시터 패턴들(110_1~110_N) 각각은 제1 및 제2 금속 패턴(111_1, 112_1)과 절연체(113_1)를 포함할 수 있다.

[0034] 도 2에 도시된 바와 같이, 제1 및 제2 금속 패턴(111_1, 112_1)은 서로가 일정 거리(D) 이격되도록 형성되고, 절연체(113_1)는 제1 및 제2 금속 패턴(111_1, 112_1) 사이에 일정폭(D)을 가지도록 형성될 수 있다.

[0035] 또한, 제1 및 제2 금속 패턴(111_1, 112_1)은 길이(L) 방향으로 연장된 수평 전극과 수평 전극의 일정 거리마다 폭(W) 방향으로 연장된 다수의 수직 전극을 포함할 수 있다. 이러한 제1 및 제2 금속 패턴(111_1, 112_1)의 각 수직 전극은 서로 엇갈리게 배치되어, 길이(L) 방향으로 평행하게 배치될 수 있다. 이에 따라, 절연체(113_1)는 지그재그(Zigzag) 형상으로 형성될 수 있다.

[0036] 실시예에 따라, 복수의 커패시터 패턴들(110_1~110_N)은 반도체 칩이 실장된 실리콘 기판에 부착된 보호층에 배치될 수 있다.

[0037] 도 3에 도시된 바와 같이, 반도체 칩(예컨대, 30_1, 30_2)이 실리콘 기판(20)에 실장되고, 실리콘 기판(20)의 표면에 보호층(40)이 부착되는 공정 상에서, 복수의 커패시터 패턴들(110_1~110_N)은 보호층(40)에 배치될 수 있다.

[0038] 구체적으로, 보호층(40)은 반도체 칩(예컨대, 30_1, 30_2)을 보호하는 동시에 연산이나 로직에 사용되는 다단의 보호층들(예컨대, 41~44)과 패시브 쉴드층(예컨대, 45)을 포함할 수 있다. 여기서, 다단의 보호층들(예컨대, 41~44)과 패시브 쉴드층(예컨대, 45)은 금속으로 형성될 수 있다.

[0039] 예를 들면, 보호층(40)이 제1 내지 제4 보호층(예컨대, 41~44)과 패시브 쉴드층(예컨대, 45)을 포함하고, 반도체 칩(예컨대, 30_1)이 ASIC에 해당하는 경우, 반도체 칩(예컨대, 30_1)이 실장된 실리콘 기판(20)의 표면 영역에 대응되는 제1 내지 제3 보호층(41~43)은 연산이나 로직에 사용되고, 제4 보호층(44)은 더미 쉴드층으로서 보호 용도로 사용될 수 있다.

[0040] 또한, 반도체 칩(예컨대, 30_2)이 EEPROM, ROM 및 RAM에 해당하는 경우, 반도체 칩(예컨대, 30_2)이 실장된 실리콘 기판(20)의 표면 영역에 대응되는 제1 및 제2 보호층(41, 42)은 연산이나 로직에 사용되고, 패시브 쉴드층(45)과 제4 보호층(44)은 더미 쉴드층으로서 보호 용도로 사용될 수 있다.

[0041] 실시예에 따른 복수의 커패시터 패턴들(110_1~110_N)은 다단의 보호층들(41~44) 중 더미 쉴드층 하측으로 이웃한 패시브 쉴드층(45)과 하나의 보호층(예컨대, 43)에 배치될 수 있다. 여기서, 더미 쉴드층은 보호 용도로서만 사용되는 금속층일 수 있다.

[0042] 예를 들면, 더미 쉴드층이 제4 보호층(44)인 경우, 하나의 보호층(예컨대, 43)은 제3 보호층(43)일 수 있다. 이러한 제3 보호층(43)은 로직에 사용되지 않는 제1 영역과 로직에 사용되는 제2 영역으로 구분될 수 있다.

[0043] 여기서, 제3 보호층(43)의 제1 영역과 패시브 쉴드층(45)의 영역은 각 영역 전체 면적에 100% 비율로 복수의 커패시터 패턴들(110_1~110_N)이 배치될 수 있다. 또한, 제3 보호층(43)의 제2 영역은 영역 전체 면적에 50% 비율

로 복수의 커패시터 패턴들(110_1~110_N)이 배치될 수 있다.

[0044] 다음으로, 카운터부(200)는 클럭 생성부(100)로부터 출력받는 감지 클럭(CK_S)을 카운팅하여 감지 카운트 정보(D_{COUNT1})를 출력할 수 있다. 여기서, 카운트 정보(D_{COUNT1})는 감지 클럭(CK_S)에 대응되는 신호일 수 있다.

[0045] 또한, 카운터부(200)는 클럭 생성부(100)로부터 감지 클럭(CK_S)을 출력받을 때, 기준클럭 생성부(미도시)로부터 기준 클럭(CK_R)을 출력받고, 기준 클럭(CK_R)을카운팅하여 공격 대응부(300)에 기준 카운트 정보(D_{COUNT2})를 출력할 수 있다.

[0046] 여기서, 기준클럭 생성부(미도시)는 클럭 생성부(100)에 대한 복제 회로로서, 클럭 생성부(100)에 포함되거나 별도의 장치로 구성되어, 감지 클럭(CK_S)에 대응되는 기준 클럭(CK_R)을 카운터부(200)에 제공할 수 있다.

[0047] 다음으로, 공격 대응부(300)는 감지 카운트 정보(D_{COUNT1})와 기준 카운트 정보(D_{COUNT2}) 간의 차이에 기초하여, 반도체 칩에 대한 기설정된 보안 동작을 수행할 수 있다. 여기서, 기설정된 보안 동작은 반도체 칩에 대한 후면 공격에 대해 보호하기 위한 동작으로, 반도체 칩에 대한 각 동작을 정지시키는 동작일 수 있다.

[0048] 구체적으로, 공격 대응부(300)는 카운터부(200)를 통해 출력받는 감지 카운트 정보(D_{COUNT1})와 기준 카운트 정보(D_{COUNT2})를 비교할 수 있다. 그런 다음, 공격 대응부(300)는 감지 카운트 정보(D_{COUNT1})와 기준 카운트 정보(D_{COUNT2}) 간의 차이에 기초하여, 기설정된 보안 동작을 수행할 수 있다.

[0049] 본 출원의 실시예에 따른 실리콘 후면 보호 장치(10)는 보호층(40)에 배치된 복수의 커패시터 패턴들(110_1~110_N)을 이용하여 감지 클럭(CK_S)을 생성할 수 있다. 또한, 실리콘 후면 보호 장치(10)는 감지 클럭(CK_S)과 기준 클럭(CK_R)을 카운팅하여 감지 카운트 정보(D_{COUNT1})와 기준 카운트 정보(D_{COUNT2})를 출력할 수 있다. 이때, 실리콘 후면 보호 장치(10)는 감지 카운트 정보(D_{COUNT1})와 기준 카운트 정보(D_{COUNT2}) 간의 차이에 기초하여, 반도체 칩에 대한 기설정된 보안 동작을 수행할 수 있기 때문에, 실리콘 기판의 후면 공격에 대해 보호하면서, 실리콘 기판의 크기와 제조 비용을 최소화할 수 있다.

[0050] 도 4는 도 1의 클럭 생성부(100)를 설명하기 위한 회로도이고, 도 5는 도 4의 감지 센서(예컨대,150_1)를 보여주기 위한 도이다.

[0051] 도 4를 참조하면, 클럭 생성부(100)는 기설정된 커패시터 패턴의 개수 단위로 감지 클럭(CK_S)을 생성하기 위하여, 적어도 둘 이상의 감지 센서(예컨대, 150_1~150_5)를 포함할 수 있다.

[0052] 구체적으로, 적어도 둘 이상의 감지 센서(예컨대, 150_1~150_5) 각각은 하나의 감지 저항(R_S), 하나의 감지 트랜지스터(TR_S) 및 하나의 커패시터 패턴(예컨대, 110_1)을 포함할 수 있다.

[0053] 도 5에 도시된 바와 같이, 감지 트랜지스터(TR_S)는 감지 저항(R_S)에 일측이 연결되고, 출력 노드(N_{OUT})에 게이트 측이 연결될 수 있다. 또한, 하나의 커패시터 패턴(예컨대, 110_1)은 감지 트랜지스터(TR_S)와 감지 저항(R_S) 사이에 위치한 입력 노드(N_{IN})에 연결될 수 있다. 즉, 감지 저항(R_S)은 입력 노드(N_{IN})와 감지 트랜지스터(TR_S)가 병렬로 연결되고, 감지 트랜지스터(TR_S)는 감지 저항(R_S)과 입력 노드(N_{IN})가 병렬로 연결될 수 있다.

[0054] 다시 도 4를 참조하면, 클럭 생성부(100)는 적어도 둘 이상의 감지 센서(예컨대, 150_1~150_5) 중 제1 감지 센서(150_1)의 입력 노드(N_{IN})를 통해 구동 전압(V_{CC})을 제공받을 수 있다. 또한, 클럭 생성부(100)는 적어도 둘 이상의 감지 센서(예컨대, 150_1~150_5) 중 제5 감지 센서(150_5)의 출력 노드(N_{OUT})를 통해 감지 클럭(CK_S)을 카운터부(200)로 출력할 수 있다.

[0055] 이때, 클럭 생성부(100)는 후면 공격에 대한 커버리지를 확보하기 위하여, 서로가 직렬로 연결된 제2 내지 제4 감지 센서(150_2~150_4)가 제1 및 제5 감지 센서(150_1, 150_5) 사이에 위치할 수 있다.

[0056] 예를 들면, 제2 감지 센서(150_2)는 입력 노드(N_{IN})를 통해 제1 감지 센서(150_1)의 출력 노드(N_{OUT})에 연결될 수 있다. 또한, 제3 감지 센서(150_3)는 입력 노드(N_{IN})를 통해 제2 감지 센서(150_1)의 출력 노드(N_{OUT})에 연결될 수 있다. 또한, 제4 감지 센서(150_4)는 입력 노드(N_{IN})를 통해 제3 감지 센서(150_1)의 출력 노드(N_{OUT})에

연결될 수 있다. 또한, 제5 감지 센서(150_5)는 입력 노드(N_{IN})를 통해 제4 감지 센서(150_1)의 출력 노드(N_{OUT})에 연결될 수 있다.

[0057] 즉, 제1 내지 제4 감지 센서(150_1~150_4) 각각은 출력 노드(N_{OUT})가 다른 하나의 감지 센서의 입력 노드(N_{IN})에 연결되고, 제2 내지 제5 감지 센서(150_2~150_5) 각각은 입력 노드(N_{IN})가 다른 하나의 감지 센서의 출력 노드(N_{OUT})에 연결될 수 있다.

[0058] 이하, 도 6을 참조하여, 카운터부(200)와 공격 대응부(300)에 대해 보다 구체적으로 설명될 것이다.

[0059] 도 6은 도 1의 실리콘 후면 보호 장치(10_2)의 동작을 구체적으로 설명하기 위한 도이다.

[0060] 도 1 내지 도 6을 참조하면, 실리콘 후면 보호 장치(10_2)는 클럭 생성부(100), 기준클럭 생성부(101), 카운터부(200) 및 공격 대응부(300)를 포함할 수 있다. 이하, 도 1 내지 도 5에서 설명된 동일한 부재번호의 클럭 생성부(100), 카운터부(200) 및 공격 대응부(300)에 대한 중복된 설명은 생략될 것이다.

[0061] 먼저, 카운터부(200)는 감지클럭 카운터(210)와 기준클럭 카운터(220)를 포함할 수 있다.

[0062] 감지클럭 카운터(210)는 클럭 생성부(100)로부터 생성된 감지 클럭(CK_S)을 카운팅하여 공격 대응부(300)로 출력할 수 있다.

[0063] 다음으로, 기준클럭 카운터(220)는 기준클럭 생성부(101)로부터 생성된 기준 클럭(CK_R)을 카운팅하여 공격 대응부(300)로 출력할 수 있다.

[0064] 여기서, 기준클럭 생성부(101)는 복수의 커패시터 패턴들 중 클럭 생성부(100)를 통해 기설정된 제1 적어도 둘 이상의 커패시터 패턴(110_1~110_5)에 대응되는 제2 적어도 둘 이상의 커패시터 패턴(110_1~110_5)을 이용하여, 기준 클럭(CK_R)을 생성할 수 있다. 이때, 제2 적어도 둘 이상의 커패시터 패턴(110_1~110_5)의 개수와 제1 적어도 둘 이상의 커패시터 패턴(110_1~110_5)의 개수는 서로 동일할 수 있다. 즉, 기준클럭 생성부(101)는 감지 클럭(CK_S)에 대응되는 기준 클럭(CK_R)을 생성할 수 있다.

[0065] 다음으로, 공격 대응부(300)는 판단 모듈(310)과 처리 모듈(320)을 포함할 수 있다.

[0066] 구체적으로, 판단 모듈(310)은 감지클럭 카운터(210)를 통해 출력받는 감지 카운트 정보(D_{COUNT1})와 기준클럭 카운터(220)를 통해 출력받는 기준 카운트 정보(D_{COUNT2})를 비교할 수 있다.

[0067] 또한, 판단 모듈(310)은 감지 카운트 정보(D_{COUNT1})와 기준 카운트 정보(D_{COUNT2}) 간의 차이에 기초하여, 경보 신호를 출력할 수 있다. 여기서, 경보 신호는 반도체 칩에 대한 후면 공격을 식별하기 위한 신호일 수 있다. 예를 들면, 감지 카운트 정보(D_{COUNT1})와 기준 카운트 정보(D_{COUNT2}) 간의 차이가 기설정된 크기 이상인 경우, 판단 모듈(310)은 경보 신호를 처리 모듈(320)로 출력할 수 있다. 또한, 감지 카운트 정보(D_{COUNT1})와 기준 카운트 정보(D_{COUNT2})가 서로 동일한 경우, 판단 모듈(310)은 경보 신호를 출력하지 않을 수 있다.

[0068] 즉, 이러한 판단 모듈(310)은 감지 카운트 정보(D_{COUNT1})와 기준 카운트 정보(D_{COUNT2}) 간의 차이에 기초하여 경보 신호를 출력함으로써, 반도체 칩에 대한 후면 공격 여부를 판단할 수 있다.

[0069] 실시예에 따라, 판단 모듈(310)은 감지 카운트 정보(D_{COUNT1})와 기준 카운트 정보(D_{COUNT2}) 간의 차이에 기초하여, 경보 신호의 레벨을 조절할 수 있다. 여기서, 경보 신호는 복수의 전압 레벨을 포함할 수 있다.

[0070] 예를 들면, 감지 카운트 정보(D_{COUNT1})와 기준 카운트 정보(D_{COUNT2}) 간의 차이가 기설정된 크기 미만인 경우, 판단 모듈(310)은 경보 신호의 레벨을 저전압 레벨로 조절하고, 저전압 레벨의 경보 신호를 처리 모듈(320)로 출력할 수 있다. 또한, 감지 카운트 정보(D_{COUNT1})와 기준 카운트 정보(D_{COUNT2}) 간의 차이가 기설정된 크기 이상인 경우, 판단 모듈(310)은 경보 신호의 레벨을 고전압 레벨로 조절하고, 고전압 레벨의 경보 신호를 처리 모듈(320)로 출력할 수 있다.

[0071] 다음으로, 처리 모듈(320)은 판단 모듈(310)을 통해 출력받는 경보 신호에 기초하여, 기설정된 보안 동작을 수행할 수 있다.

[0072] 실시예에 따라, 처리 모듈(320)은 고전압 레벨의 경보 신호에 기초하여, 반도체 칩에 대한 각 동작을 한번에 정지시킬 수 있다. 또한, 처리 모듈(320)은 저전압 레벨의 경보 신호에 기초하여, 반도체 칩에 대한 각 동작을 선택적으로 정지시킬 수 있다.

[0073] 본 출원에서, 제1 적어도 둘의 커패시터 패턴(예컨대, 110_1~110_5)을 제외한 클럭 생성부(100), 제2 적어도 둘의 커패시터 패턴(예컨대, 110_6~110_10)을 제외한 기준클럭 생성부(101), 카운터부(200) 및 공격 대응부(300)는 보호 회로부로 지칭될 수 있다. 즉, 이러한 보호 회로부는 클럭 생성부(100), 기준클럭 생성부(101), 카운터부(200) 및 공격 대응부(300)를 통해 커패시터 패턴(예컨대, 110_1~110_5)의 정전 용량 변화에 기초하여, 상기 반도체 칩에 대한 후면 공격 여부를 판단할 수 있다.

[0074] 도 7은 도 3의 보호층(40)이 제거된 실리콘 기판(20)에 대한 평면도를 나타내는 도이고, 도 8은 도 3의 제3 보호층(43) 레벨에서의 실리콘 기판(20)에 대한 평면도를 나타내는 도이며, 도 9는 도 8의 평면도의 실리콘 기판(20)에 복수의 커패시터 패턴들(110_1~110_N)이 배치된 도이다.

[0075] 도 3 및 도 7 내지 도 9를 참조하면, 복수의 반도체 칩들은 실리콘 기판(20)에 실장될 수 있다. 여기서, 복수의 반도체 칩들은 EEPROM, ASIC, RAM 및 ROM 중 적어도 하나 이상을 포함할 수 있다.

[0076] 이러한 다단의 보호층들(41~44)은 복수의 반도체 칩들을 보호하도록 또는 로직 연산에 사용되도록 실리콘 기판(20)의 표면에 부착될 수 있다. 예를 들면, 다단의 보호층들(41~44)은 복수의 반도체 칩들이 실장된 실리콘 기판(20)의 전면에 부착될 수 있다.

[0077] 실시예에 따른 커패시터 패턴(예컨대, 110_1)은 다단의 보호층들(41~44) 중 적어도 하나에 배치될 수 있다. 여기서, 적어도 하나는 다단의 보호층들(41~44) 중 더미 쉴드층에 해당하는 제4 보호층(44) 하단에 위치한 패시브 쉴드층(45)과 제3 보호층(43)을 포함할 수 있다.

[0078] 이때, 제3 보호층(43)은 로직에 사용되지 않는 제1 영역과 로직에 사용되는 제2 영역으로 구분될 수 있다.

[0079] 도 8에 도시된 바와 같이, 제1 영역은 설명의 편의를 위하여 패시브 쉴드층(45)의 영역으로 포함시켜 도시하였다.

[0080] 실시예에 따라, 제3 보호층(43)의 제1 영역과 패시브 쉴드층(45)의 영역은 전체 면적에 대해 100% 비율로 복수의 커패시터 패턴들(110_1~110_N)이 배치될 수 있다. 이때, 제3 보호층(43)의 제2 영역은 전체 면적에 대해 50% 비율로 복수의 커패시터 패턴들(110_1~110_N)이 배치될 수 있다.

[0081] 도 10은 도 1의 실리콘 후면 보호 장치(10)의 동작 프로스세스이다.

[0082] 도 1 내지 도 10을 참조하면, 먼저, S110 단계에서, 클럭 생성부(100)는 실리콘 기판(20)에 배치된 복수의 커패시터 패턴들(110_1~110_N) 중 제1 적어도 둘의 커패시터 패턴(예컨대, 110_1~110_5)을 이용하여, 감지 클럭(CK_S)을 생성할 수 있다.

[0083] 이때, S120 단계에서, 기준 클럭 생성부(101)는 제1 적어도 둘의 커패시터 패턴(예컨대, 110_1~110_5)에 대응되는 제2 적어도 둘의 커패시터 패턴(예컨대, 110_6~110_10)을 이용하여, 기준 클럭(CK_R)을 생성할 수 있다.

[0084] 그런 다음, S130 단계에서, 카운터부(200)는 감지 클럭(CK_S)과 기준 클럭(CK_R)을 카운팅하여 감지 카운트 정보(D_{COUNT1})와 기준 카운트 정보(D_{COUNT2})를 출력할 수 있다.

[0085] 이후, S140 단계에서, 공격 대응부(300)는 감지 카운트 정보(D_{COUNT1})와 기준 카운트 정보(D_{COUNT2}) 간의 차이에 기초하여, 반도체 칩들(30_1~30_N)에 대한 기설정된 보안 동작을 수행할 수 있다.

[0086] 본 출원은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 출원의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

[0087] 10: 실리콘 후면 보호 장치

100: 클럭 생성부

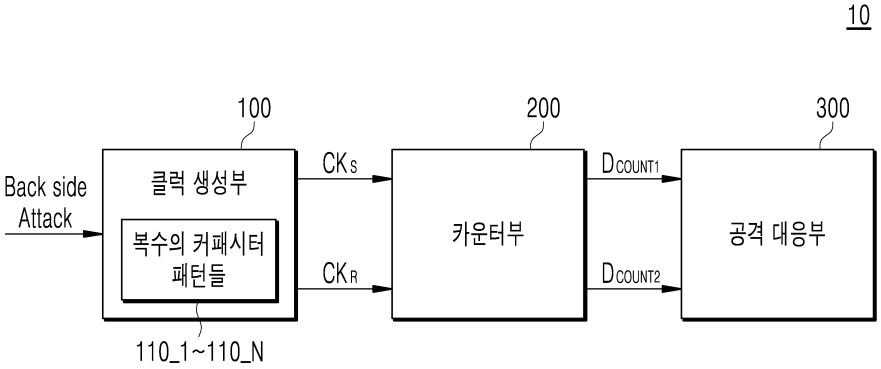
101: 기준 클럭 생성부

200: 카운터부

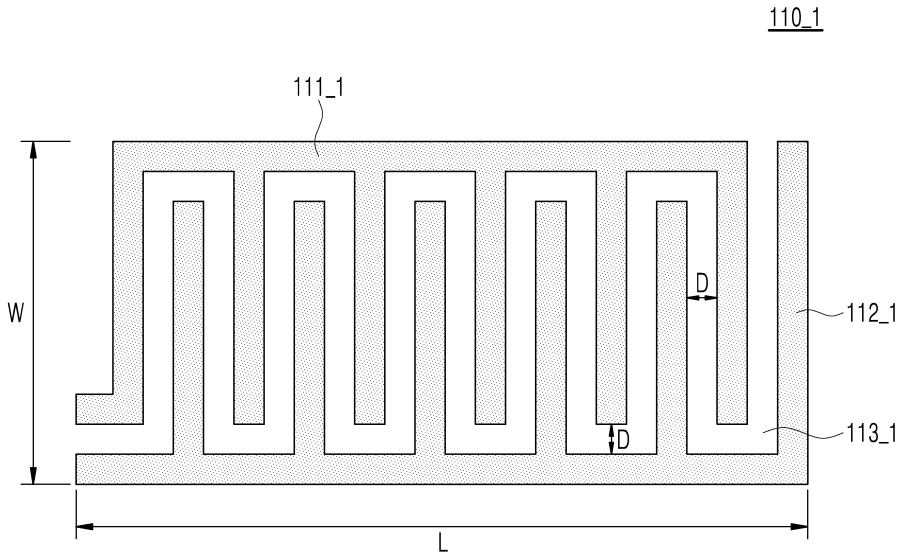
300: 공격 대응부

도면

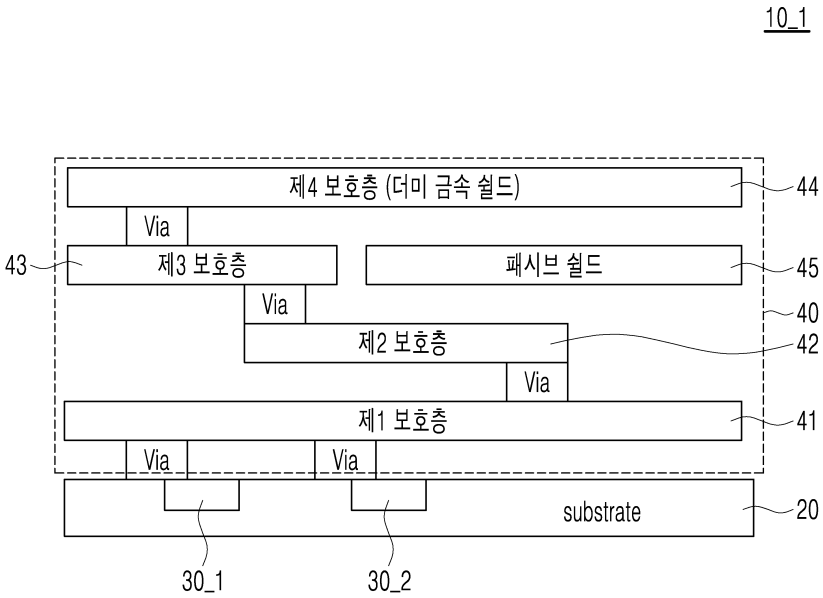
도면1



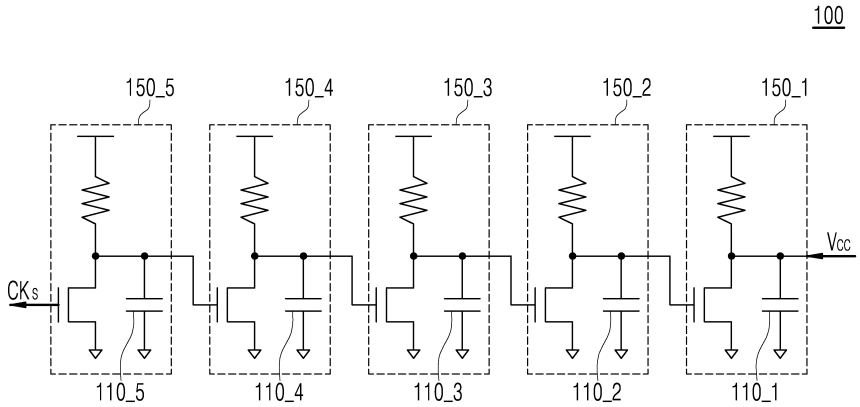
도면2



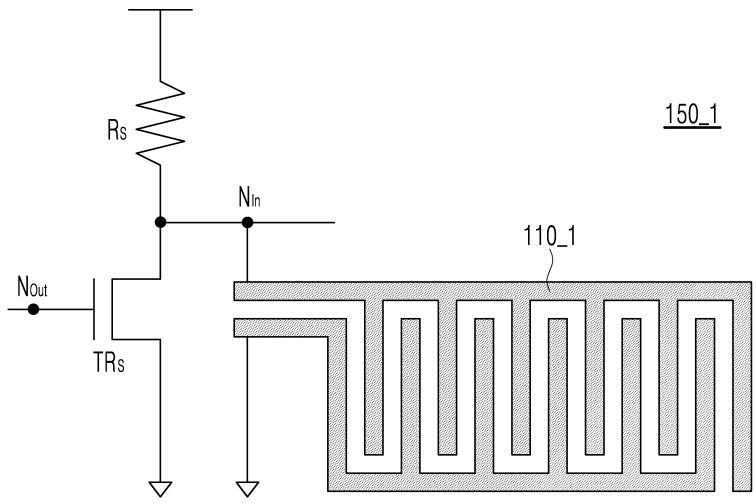
도면3


10_1
제4 보호층 (더미 금속 쉴드)
44
Via
43
제3 보호층
패시브 쉴드
45
Via
40
제2 보호층
42
Via
제1 보호층
41
Via
Via
substrate
20
30_1
30_2

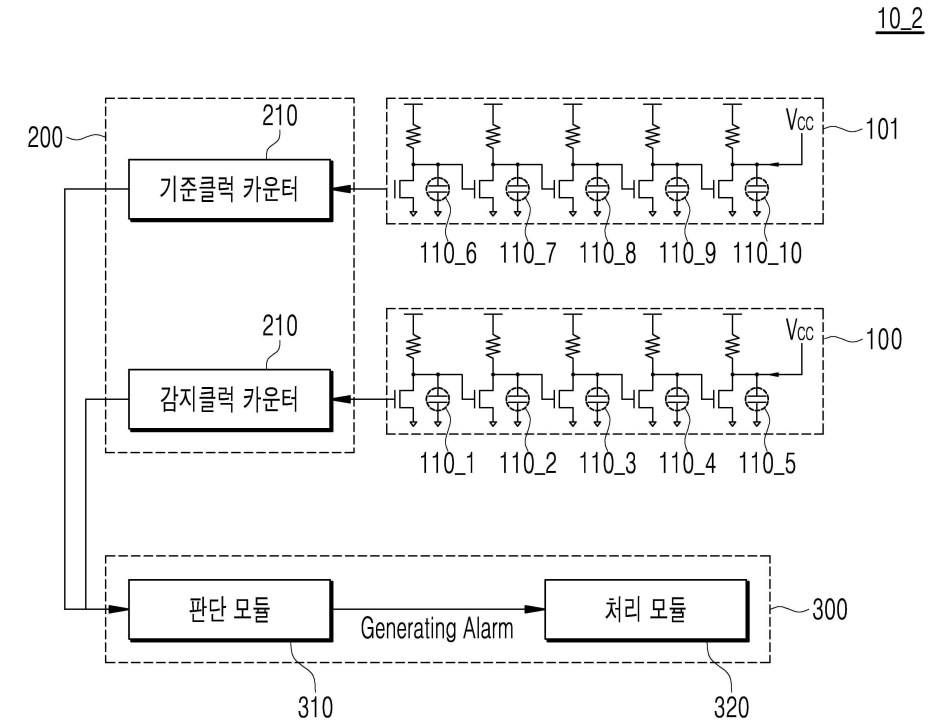
도면4


100
150_5
150_4
150_3
150_2
150_1
CKS
VCC
110_5
110_4
110_3
110_2
110_1

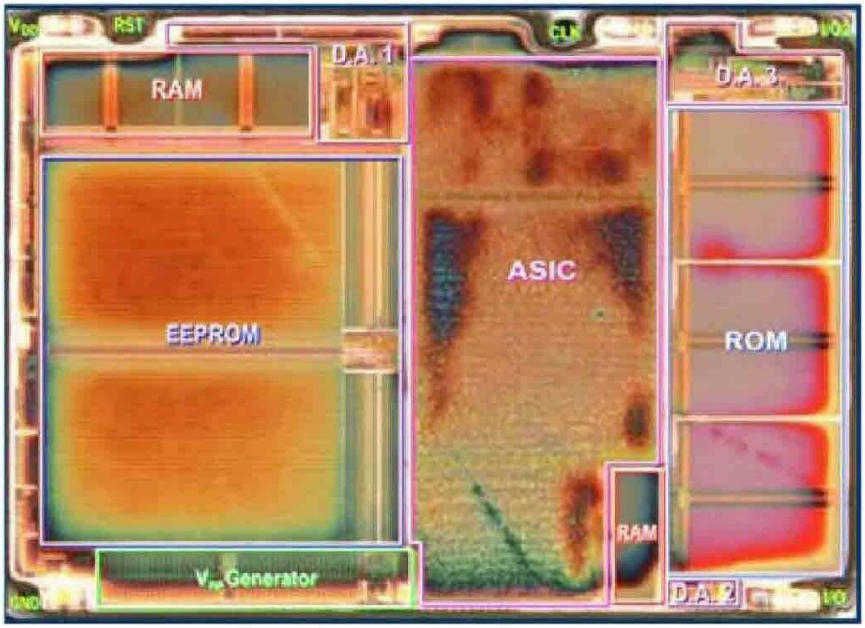
도면5


150_1
RS
NIn
110_1
NOut
TRS

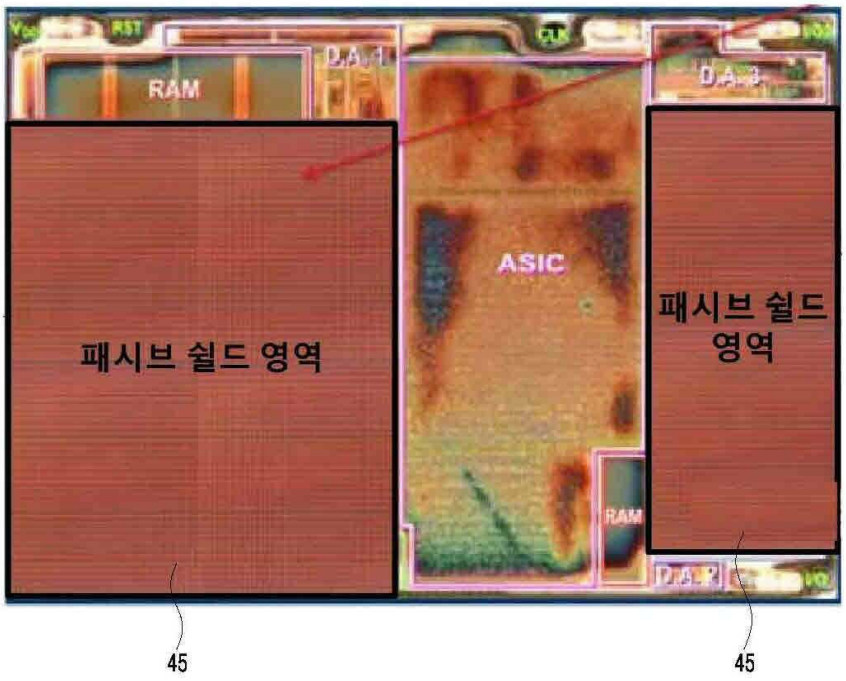
도면6


10_2
200
210
기준클럭 카운터
Vcc
101
110_6
110_7
110_8
110_9
110_10
210
감지클럭 카운터
Vcc
100
110_1
110_2
110_3
110_4
110_5
판단 모듈
Generating Alarm
처리 모듈
300
310
320

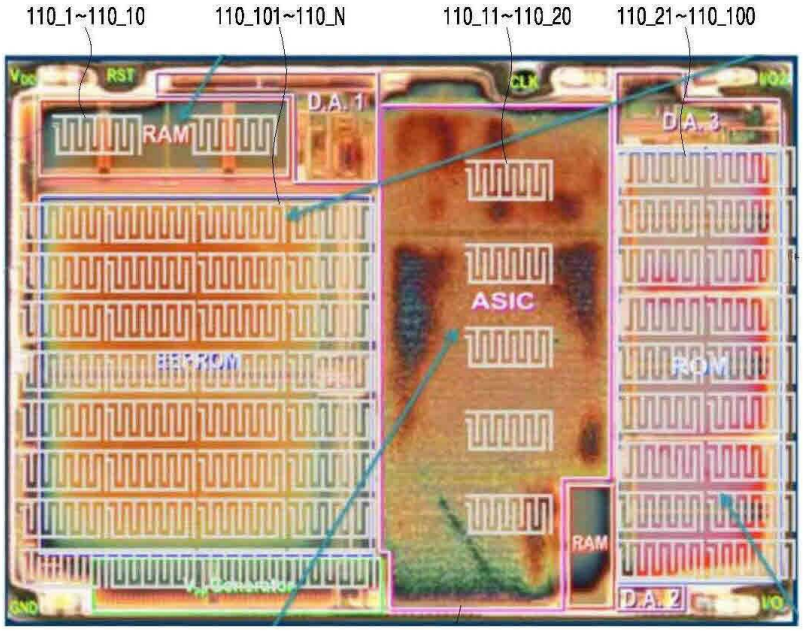
도면7


RST
CLK
RAM
D.A.1
D.A.3
ASIC
EEPROM
ROM
RAM
D.A.2

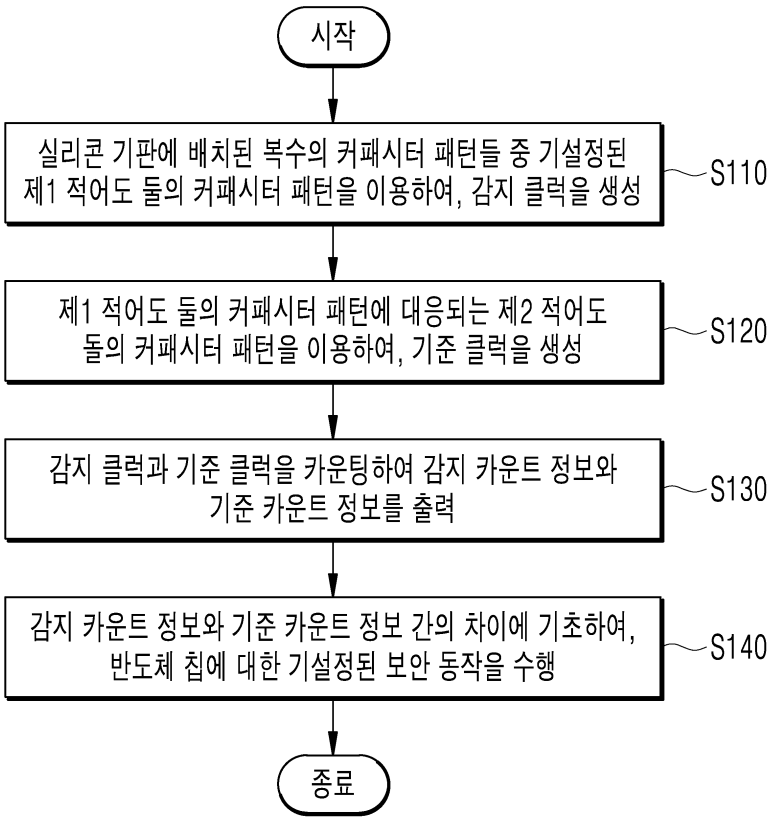
도면8


RST
CLK
RAM
D.A.1
D.A.3
ASIC
패시브 쉴드 영역
패시브 쉴드 영역
RAM
D.A.2
45
45

도면9


110_1~110_10
110_101~110_N
110_11~110_20
110_21~110_100
RST
CLK
RAM
D.A.1
D.A.3
ASIC
ROM
RAM
D.A.2

도면10


시작
실리콘 기판에 배치된 복수의 커패시터 패턴들 중 기설정된 제1 적어도 둘의 커패시터 패턴을 이용하여, 감지 클럭을 생성
S110
제1 적어도 둘의 커패시터 패턴에 대응되는 제2 적어도 돌의 커패시터 패턴을 이용하여, 기준 클럭을 생성
S120
감지 클럭과 기준 클럭을 카운팅하여 감지 카운트 정보와 기준 카운트 정보를 출력
S130
감지 카운트 정보와 기준 카운트 정보 간의 차이에 기초하여, 반도체 칩에 대한 기설정된 보안 동작을 수행
S140
종료