

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4638544号  
(P4638544)

(45) 発行日 平成23年2月23日 (2011.2.23)

(24) 登録日 平成22年12月3日 (2010.12.3)

(51) Int.Cl.

F I

G 1 1 C 16/02 (2006.01)

G 1 1 C	17/00	6 1 1 A
G 1 1 C	17/00	6 1 3
G 1 1 C	17/00	6 1 1 E
G 1 1 C	17/00	6 1 1 Z
G 1 1 C	17/00	6 4 1

請求項の数 28 (全 36 頁)

(21) 出願番号 特願2008-548835 (P2008-548835)  
 (86) (22) 出願日 平成18年12月27日 (2006.12.27)  
 (65) 公表番号 特表2009-522707 (P2009-522707A)  
 (43) 公表日 平成21年6月11日 (2009.6.11)  
 (86) 国際出願番号 PCT/US2006/062627  
 (87) 国際公開番号 W02007/076512  
 (87) 国際公開日 平成19年7月5日 (2007.7.5)  
 審査請求日 平成21年11月5日 (2009.11.5)  
 (31) 優先権主張番号 11/323,596  
 (32) 優先日 平成17年12月29日 (2005.12.29)  
 (33) 優先権主張国 米国 (US)  
 (31) 優先権主張番号 11/323,577  
 (32) 優先日 平成17年12月29日 (2005.12.29)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 506197901  
 サンディスク コーポレーション  
 アメリカ合衆国、95035、カリフォル  
 ニア州、ミルピタス、マッカシー ブルバ  
 ード 601  
 (74) 代理人 100075144  
 弁理士 井ノ口 壽  
 (72) 発明者 チャン, シウ ラン  
 アメリカ合衆国、95131、カリフォル  
 ニア州、サン ホセ、マッケンジー プレ  
 イス 2057

審査官 外山 毅

早期審査対象出願

最終頁に続く

(54) 【発明の名称】 不揮発性メモリにおける改善されたプログラムベリファイ操作のための方法および装置

(57) 【特許請求の範囲】

【請求項 1】

境界しきい値電圧に関して 1 グループのメモリセルを並行してプログラムする方法であって、

- (a) 前記グループのメモリセルにプログラミングパルスを加えるステップと、
- (b) 前記グループのメモリセルを、前記境界しきい値電圧のものから所定のマージン下の第 1 の基準しきい値電圧に関してベリファイするステップと、
- (c) 前記メモリセルのうちの 1 つが前記第 1 の基準しきい値電圧に関してベリファイされるまで (a) から (b) までを反復するステップと、
- (d) 前記第 1 の基準しきい値電圧でベリファイされたメモリセルのためのプログラミングセットアップを、このメモリセルのためのその後のプログラミングを低速化するためにビット線の電圧を高めることによって変更するステップと、
- (e) 前記グループのメモリセルにプログラミングパルスを加えるステップと、
- (f) 前記グループのメモリセルを、前記境界しきい値電圧のものから所定のマージン下の前記第 1 の基準しきい値電圧に関してベリファイするステップと、
- (g) 前記第 1 の基準しきい値電圧でベリファイされたメモリセルのための前記プログラミングセットアップを、このメモリセルのためのその後のプログラミングを低速化するためにビット線の電圧を高めることによって変更するステップと、
- (h) 前記グループのメモリセルを前記境界しきい値電圧に関してベリファイするステップと、

10

20

( i ) 前記境界しきい値電圧に関してベリファイされたメモリセルがさらにプログラムされるのを妨げるステップと、

( j ) 前記グループ中の全てのメモリセルが前記境界しきい値電圧に関してプログラムベリファイされるまで ( e ) から ( i ) までを反復するステップと、  
を含む方法。

【請求項 2】

請求項 1 記載の方法において、

関連するビット線により前記グループのメモリセルにアクセスするステップと、  
供給電圧を提供するステップと、をさらに含み、

前記メモリセルがさらにプログラムされるのを妨げるステップは、妨げられないメモリセルのビット線が実質的にゼロ電圧である間に前記メモリセルと関連する前記ビット線を実質的に前記供給電圧に高めるステップを含む方法。

10

【請求項 3】

請求項 1 記載の方法において、

前記プログラミングパルスは、全てのパルスで単調に増大する方法。

【請求項 4】

請求項 1 記載の方法において、

前記グループのメモリセルは、フラッシュ E E P R O M の一部分である方法。

【請求項 5】

請求項 1 記載の方法において、

前記グループのメモリセルは、メモリカードにおいて具体化される方法。

20

【請求項 6】

境界しきい値電圧に関して 1 グループのメモリセルを並行してプログラムする方法であって、

交互にプログラミングパルスを加え、前記グループのメモリセルについてのプログラムされた結果を並行してベリファイするステップを含み、

前記ベリファイするステップは、

前記境界しきい値電圧のものから所定のマージン下の第 1 の基準しきい値電圧に関しての第 1 のベリファイと、

前記第 1 の基準しきい値電圧に関してベリファイされた前記メモリセルのプログラミングを低速化するステップと、

30

前記境界しきい値電圧に関しての第 2 のベリファイと、

前記境界しきい値電圧に関してベリファイされた前記メモリセルがさらにプログラムされるのを妨げるステップと、をさらに含み、

前記グループのメモリセルのうちの少なくとも 1 つが前記第 1 の基準しきい値電圧に関してベリファイされるまで前記第 2 のベリファイは省かれる方法。

【請求項 7】

請求項 6 記載の方法において、

関連するビット線により前記グループのメモリセルにアクセスするステップをさらに含み、

40

プログラミングセットアップを変更するステップは、前記第 1 の基準しきい値電圧でベリファイされた前記メモリセルの前記プログラミングを低速化するためにビット線の電圧を高めるステップを含む方法。

【請求項 8】

請求項 6 記載の方法において、

関連するビット線により前記グループのメモリセルにアクセスするステップと、  
供給電圧を提供するステップと、をさらに含み、

前記メモリセルがさらにプログラムされるのを妨げるステップは、妨げられないメモリセルのビット線が実質的にゼロ電圧である間に前記メモリセルと関連する前記ビット線を実質的に前記供給電圧に高めるステップを含む方法。

50

## 【請求項 9】

請求項 6 記載の方法において、  
前記プログラミングパルスは、全てのパルスで単調に増大する方法。

## 【請求項 10】

請求項 6 記載の方法において、  
前記グループのメモリセルは、フラッシュ E E P R O M の一部分である方法。

## 【請求項 11】

請求項 6 記載の方法において、  
前記グループのメモリセルは、メモリカードにおいて具体化される方法。

## 【請求項 12】

請求項 6 ~ 11 のいずれか記載の方法において、  
個々のメモリセルは各々 2 つの状態のうち的一方にプログラム可能であり、前記境界しきい値電圧は前記 2 つの状態を区別するためのものである方法。

## 【請求項 13】

請求項 6 ~ 11 のいずれか記載の方法において、  
個々のメモリセルは各々 3 つ以上の状態のうち 1 つにプログラム可能であり、前記境界しきい値電圧は前記 3 つ以上の状態を区別するための複数の境界しきい値電圧のうち 1 つである方法。

## 【請求項 14】

請求項 6 ~ 11 のいずれか記載の方法において、  
個々のメモリセルは各々 3 つ以上の状態のうち 1 つにプログラム可能であり、前記境界しきい値電圧は前記 3 つ以上の状態を区別するための複数の境界しきい値電圧のうち 1 つであり、前記複数の境界しきい値電圧の各々に関して前記ステップの全てを反復するステップをさらに含む方法。

## 【請求項 15】

不揮発性メモリであって、  
境界しきい値電圧に関してプログラムされるべきメモリセルアレイと、  
グループのメモリセルにプログラミングパルスを加えるためのプログラミング回路と、  
前記境界しきい値電圧のものから所定のマージン下の第 1 の基準しきい値電圧に関して前記グループのメモリセルをベリファイする第 1 の構成を有する感知回路と、

メモリコントローラであって、  
前記メモリセルのうち 1 つが前記第 1 の基準しきい値電圧に関してベリファイされるまで前記プログラミング回路と前記第 1 の構成を有する前記感知回路とを前記メモリコントローラが交互に制御するメモリコントローラと、

前記第 1 の基準しきい値電圧に関してベリファイされたメモリセルのその後のプログラミングを低速化するためのプログラミング遅延回路と、

前記境界しきい値電圧に関してベリファイされたメモリセルがそれ以上プログラムされることを妨げるためのプログラミング禁止回路と、を含み、

前記グループ中の全てのメモリセルが前記境界しきい値電圧に関してプログラムベリファイされるまで、前記プログラミング回路の操作と、前記境界しきい値電圧に関してのベリファイが次に行われる、前記第 1 の基準しきい値電圧に関して前記グループのメモリセルをベリファイする前記感知回路の操作とを前記メモリコントローラが交互に制御する不揮発性メモリ。

## 【請求項 16】

請求項 15 記載の不揮発性メモリにおいて、  
関連するビット線により前記グループのメモリセルにアクセスすることをさらに含み、  
プログラミングセットアップを変更することは、前記第 1 の基準しきい値電圧にベリファイされた前記メモリセルの前記プログラミングを低速化するためにビット線の電圧を高めることを含む不揮発性メモリ。

## 【請求項 17】

請求項 15 記載の不揮発性メモリにおいて、  
関連するビット線により前記グループのメモリセルにアクセスすることをさらに含み、  
前記プログラミング禁止回路は、妨げられないメモリセルのビット線が実質的にゼロ電圧である間に、妨げられるべき前記メモリセルと関連する前記ビット線を実質的に供給電圧に高めることを含む不揮発性メモリ。

【請求項 18】

請求項 15 記載の不揮発性メモリにおいて、  
前記プログラミングパルスは、全てのパルスで単調に増大する不揮発性メモリ。

【請求項 19】

請求項 15 記載の不揮発性メモリにおいて、  
前記グループのメモリセルは、フラッシュ E E P R O M の一部分である不揮発性メモリ。

10

【請求項 20】

請求項 15 記載の不揮発性メモリにおいて、  
前記グループのメモリセルは、メモリカードにおいて具体化される不揮発性メモリ。

【請求項 21】

境界しきい値電圧に関してプログラムされるべきメモリセルアレイと、  
グループのメモリセルにプログラミングパルスを加えるためのプログラミング回路と、  
前記境界しきい値電圧のものから所定のマージン下の第 1 の基準しきい値電圧に関して  
前記グループのメモリセルをベリファイする第 1 の構成を有する感知回路と、  
交互にプログラミングパルスを加え、前記グループのメモリセルについてのプログラム  
された結果を並行してベリファイするメモリコントローラと、を含む不揮発性メモリであ  
って、

20

前記ベリファイすることは、

前記境界しきい値電圧のものから所定のマージン下の第 1 の基準しきい値電圧に関し  
ての第 1 のベリファイと、

前記第 1 の基準しきい値電圧に関してベリファイされた前記メモリセルのプログラミ  
ングを低速化するステップと、

前記境界しきい値電圧に関しての第 2 のベリファイと、

前記境界しきい値電圧に関してベリファイされた前記メモリセルがさらにプログラム  
されるのを妨げることと、をさらに含み、

30

前記グループのメモリセルのうちの少なくとも 1 つが前記第 1 の基準しきい値電圧に  
関してベリファイされるまで前記第 2 のベリファイは省かれる不揮発性メモリ。

【請求項 22】

請求項 21 記載の不揮発性メモリにおいて、

前記グループのメモリセルにアクセスするための 1 組の関連するビット線と、

前記メモリセルのその後のプログラミングを低速化するために、前記第 1 の基準しきい  
値電圧に関してベリファイされた前記メモリセルのビット線の電圧を高めるための供給電  
圧と、

をさらに含む不揮発性メモリ。

40

【請求項 23】

請求項 21 記載の不揮発性メモリにおいて、

前記グループのメモリセルにアクセスするための 1 組の関連するビット線とをさらに含  
み、

プログラミング禁止回路は、妨げられないメモリセルのビット線が実質的にゼロ電圧で  
ある間に、妨げられるべき前記メモリセルと関連する前記ビット線を実質的に供給電圧に  
高めることを含む不揮発性メモリ。

【請求項 24】

請求項 21 記載の不揮発性メモリにおいて、

前記プログラミングパルスは、全てのパルスで単調に増大する不揮発性メモリ。

50

## 【請求項 2 5】

請求項 2 1 記載の不揮発性メモリにおいて、  
前記グループのメモリセルは、フラッシュ E E P R O M の一部分である不揮発性メモリ。

## 【請求項 2 6】

請求項 2 1 記載の不揮発性メモリにおいて、  
前記グループのメモリセルは、メモリカードにおいて具体化される不揮発性メモリ。

## 【請求項 2 7】

請求項 2 1 記載の不揮発性メモリにおいて、  
前記グループのメモリセルは、N A N D 構造で組織されたメモリアレイからのものである不揮発性メモリ。 10

## 【請求項 2 8】

請求項 2 1 記載の不揮発性メモリにおいて、  
個々のメモリセルは、各々 2 つ以上のデータビットを格納する不揮発性メモリ。

## 【発明の詳細な説明】

## 【技術分野】

## 【0 0 0 1】

本発明は、電氣的に消去可能でプログラム可能な読み出し専用メモリ ( E E P R O M ) およびフラッシュ E E P R O M のような不揮発性半導体メモリに関し、特にプログラムベリファイ操作中に時間節約特徴を実現するものに関する。 20

## 【背景技術】

## 【0 0 0 2】

特に小形状のファクタカードとしてパッケージ化された E E P R O M およびフラッシュ E E P R O M の形の、電荷を不揮発性に蓄積することのできる固体メモリは、近ごろ、いろいろなモバイル装置およびハンドヘルド装置において、特に情報装置および民生用電子機器において、一般的に好まれる記憶装置となっている。同じく個体メモリである R A M ( ランダムアクセスメモリ ) とは異なって、フラッシュメモリは不揮発性であって、電源がオフに切り替えられた後にもその蓄積されているデータを維持する。コストが高いにもかかわらず、フラッシュメモリは大容量記憶アプリケーションでますます使われるようになっていく。ハードディスクおよびフロッピーディスクのような回転する磁性媒体に基づく従来の大容量記憶装置は、モバイルおよびハンドヘルド環境には適さない。なぜならば、ディスクドライブがかさばりがちで、機械的故障を起こしやすく、長い待ち時間と大電力要件とを有するからである。これら望ましくない属性があるためにディスクをベースとする記憶装置は大抵のモバイルおよび携帯アプリケーションにおいて実用的でない。一方、フラッシュメモリは、埋め込み形でも取り外し可能なカードの形でも、サイズが小さく、電力消費量が少なく、高速で信頼性が高いので、モバイルおよびハンドヘルド環境に理想的に適している。 30

## 【0 0 0 3】

E E P R O M および電氣的にプログラム可能な読み出し専用メモリ ( E P R O M ) は、消去することができるとともに新しいデータをそのメモリセルに書き込むすなわち「プログラム」することができる不揮発性メモリである。両方が、ソース領域およびドレイン領域の間で半導体基板のチャネル領域の上に配置された、電界効果トランジスタ構造におけるフローティング ( 非結合 ) 導電性ゲートを利用する。フローティングゲート上にコントロールゲートが設けられる。トランジスタのしきい値電圧特性は、フローティングゲートに保持されている電荷の量によって制御される。すなわち、フローティングゲート上の所与のレベルの電荷について、そのソース領域とドレイン領域との間の導通を許容するようにトランジスタが「オン」に転換される前にコントロールゲートに印加されなければならない対応する電圧 ( しきい値 ) がある。 40

## 【0 0 0 4】

フローティングゲートは、ある範囲の電荷を保持することができ、従って 1 つのしきい 50

値電圧ウィンドウの中の任意のしきい値電圧レベルにプログラムされ得る。しきい値電圧ウィンドウのサイズはデバイスの最高しきい値レベルと最低しきい値レベルとにより画定され、それはフローティングゲートにプログラムされ得る電荷の範囲に対応する。しきい値ウィンドウは、一般に、メモリ素子の特性、動作条件および履歴に依存する。ウィンドウ内の各々の識別可能な、分解可能なしきい値電圧レベル範囲は、原則として、セルの一定のメモリ状態を指定するために使用され得る。

#### 【 0 0 0 5 】

メモリセルとして作用するトランジスタは、通常、2つのメカニズムの一方によって「プログラムされた」状態にプログラムされる。「ホットエレクトロン注入」では、ドレインに印加された高電圧が基板チャネル領域を横断させて電子を加速する。同時に、コントロールゲートに印加された高電圧が薄いゲート誘電体を通してホットエレクトロンをフローティングゲートへ引っ張る。「トンネリング注入」では、基板に関して高い電圧がコントロールゲートに印加される。このようにして、電子が基板から、介在するフローティングゲートへ引っ張られる。

10

#### 【 0 0 0 6 】

メモリ素子は、数個のメカニズムによって消去され得る。E P R O Mに関して、メモリは、紫外線照射によってフローティングゲートから電荷を除去することによりバルク消去可能である。E E P R O Mに関して、薄い酸化物を通して基板チャネル領域へトンネリングするようにフローティングゲート内の電子を誘導するために（すなわち、ファウラー・ノルトハイムのトンネリング）コントロールゲートに関して高い電圧を基板に印加することにより、メモリセルは電氣的に消去可能である。通常、E E P R O Mは1バイトずつ消去可能である。フラッシュE E P R O Mに関して、メモリは一度に全体がまたは一度に1ブロックまたは数ブロックずつ電氣的に消去可能であり、ここで1ブロックは5 1 2 バイト以上のメモリから成る。

20

#### 【 0 0 0 7 】

##### 不揮発性メモリセルの例

メモリ素子は、通常、カードに搭載され得る1つ以上のメモリチップを含む。各メモリチップは、デコードおよび消去回路、書き込み回路および読み出し回路のような周辺回路により支援されるメモリセルのアレイを含む。精巧なメモリ素子は、インテリジェントで高レベルのメモリ操作およびインターフェイス操作を実行するコントローラをも伴う。多くの商業的に成功した不揮発性個体メモリ素子が今日使用されている。これらのメモリ素子はいろいろなタイプのメモリセルを採用することができ、その各々のタイプが1つ以上の電荷蓄積素子を有する。

30

#### 【 0 0 0 8 】

図1 A ~ 1 E は、不揮発性メモリセルのいろいろな例を概略的に示す。

#### 【 0 0 0 9 】

図1 A は、電荷を蓄積するためのフローティングゲートを有するE E P R O Mセルの形の不揮発性メモリを概略的に示す。電氣的に消去可能でプログラム可能な読み出し専用メモリ（E E P R O M）は、E P R O Mに似ている構造を有するけれども、U V照射への露出を必要とせずに適切な電圧の印加時にそのフローティングゲートに電荷を電氣的にロードし除去するためのメカニズムを付加的に提供する。このようなセルとその製造方法との例が、米国特許第5, 595, 924号（特許文献1）で見受けられる。

40

#### 【 0 0 1 0 】

図1 B は、選択ゲートとコントロールまたはステアリングゲートとの両方を有するフラッシュE E P R O Mセルを概略的に示す。メモリセル10はソース拡散14とドレイン拡散16との間に「分割チャネル」12を有する。セルは實際上2つの直列のトランジスタT1およびT2で形成される。T1は、フローティングゲート20とコントロールゲート30とを有するメモリトランジスタとして作用する。フローティングゲートは、選択可能な量の電荷を蓄積することができる。チャネルのT1の部分を通ることで電流の量は、コントロールゲート30の電圧と、介在するフローティングゲート20に存在する

50

電荷の量とに依存する。T2は、選択ゲート40を有する選択トランジスタとして作用する。T2は、選択ゲート40の電圧によってオンに転換されたとき、チャンネルのT1の部分に存する電流がソースとドレインとの間を通ることを可能にする。選択トランジスタは、コントロールゲートの電圧から独立した、ソース-ドレインチャンネルに沿ったスイッチを提供する。一利点は、そのフローティングゲートでの電荷空乏（正）に起因してゼロコントロールゲート電圧において依然として導通しているセルをオフに転換させるために使用され得ることである。他方の利点は、ソース側注入プログラミングをより実行しやすくすることである。

#### 【0011】

分割チャンネルメモリセルの一つの簡単な実施形態では、図1Bに示す点線で概略的に示されているように、選択ゲートとコントロールゲートとは同じワード線に接続される。これは、電荷蓄積素子（フローティングゲート）をチャンネルの一部分の上に配置し、コントロールゲート構造（ワード線の一部である）を他方のチャンネル部分の上にかつ電荷蓄積素子の上に配置することによって達成される。これは實際上直列の2つのトランジスタを有するセルを形成し、一方（メモリトランジスタ）は、電荷蓄積素子に存する電荷の量と、チャンネルのその部分を通して流れることのできる電流の量を制御するワード線上の電圧との組み合わせを有し、他方（選択トランジスタ）は、そのゲートとして作用するワード線だけを有する。このようなセルの例と、メモリシステムにおけるその使用と、これを製造する方法との例が、米国特許第5,070,032号（特許文献2）、第5,095,344号（特許文献3）、第5,315,541号（特許文献4）、第5,343,063号（特許文献5）、および第5,661,053号（特許文献6）で見受けられる。

#### 【0012】

図1Bに示されている分割チャンネルセルのより洗練された実施形態では、選択ゲートとコントロールゲートとは独立であって、それらの間の点線で接続されない。1つの実施例では、セルのアレイ内の一列のコントロールゲートがワード線に垂直な制御（あるいはステアリング）線に接続される。その効果は、選択されたセルを読み出しあるいはプログラムするときに同時に2つの機能を果たさなければならないというワード線の負担を軽減することである。この2つの機能とは、（1）選択トランジスタのゲートとして作用し、従って選択トランジスタをオンとオフに転換するために適切な電圧を要求すること、および（2）ワード線と電荷蓄積素子との電界（容量）結合を通して電荷蓄積素子の電圧を所望のレベルへ駆動させることである。これらの機能の両方を単一の電圧で最適に実行することはしばしば難しい。コントロールゲートと選択ゲートとを別々に制御する場合には、ワード線は機能（1）を実行するだけでよく、付加された制御線は機能（2）を実行する。この能力は、プログラミング電圧が目標とするデータに適合させられる高性能プログラミングの設計に配慮している。フラッシュEEPROMアレイにおける独立のコントロール（またはステアリング）ゲートの使用が、例えば米国特許第5,313,421号（特許文献7）および第6,222,762号（特許文献8）に記載されている。

#### 【0013】

図1Cは、二重のフローティングゲートと独立の選択ゲートおよびコントロールゲートを有する他のフラッシュEEPROMセルを概略的に示す。メモリセル10は、實際上3つの直列のトランジスタを有することを除いて、図1Bのものと同様である。このタイプのセルでは、2つの記憶素子（すなわち、T1-左のものとT1-右のもの）がソース拡散とドレイン拡散との間でそのチャンネルの上に含まれ、それらの間に選択トランジスタT1がある。メモリトランジスタはフローティングゲート20'および20''と、コントロールゲート30'および30''とをそれぞれ有する。選択トランジスタT2は選択ゲート40'により制御される。任意の時点で、メモリトランジスタの対のうち的一方だけが読み出しまたは書き込みのためにアクセスされる。記憶ユニットT1-左がアクセスされているとき、チャンネルのT1-左の部分の電流がソースとドレインとの間を通過できるようにT2およびT1-右の両方がオンに転換されている。同様に、記憶ユニットT1-右がアクセスされているときには、T2およびT1-左はオンに転換されている。消去は、選

10

20

30

40

50

択ゲートのポリシリコンの一部分をフローティングゲートの近傍に持ち、またフローティングゲート内に蓄積されている電子が選択ゲートのポリシリコンへトンネリングできるように相当の正の電圧（例えば、20V）を選択ゲートに印加することによって、行われる。

#### 【0014】

図1Dは、NANDセルに組織されたメモリセルのストリングを概略的に示す。NANDセル50は、そのソースおよびドレインによってデジチェーン接続された一連のメモリトランジスタM1, M2, . . . Mn (n = 4, 8, 16またはそれ以上) から成る。1対の選択トランジスタS1, S2は、このメモリトランジスタチェーンの、NANDセルのソース端子54およびドレイン端子56を介しての外部との接続を制御する。メモリアレイでは、ソース選択トランジスタS1がオンに転換されると、ソース端子がソース線に結合される。同様に、ドレイン選択トランジスタS2がオンに転換されると、NANDセルのドレイン端子がメモリアレイのビット線に結合される。チェーン内の各メモリトランジスタは、意図されたメモリ状態を表すように所与の量の電荷を蓄積する電荷蓄積素子を有する。各メモリトランジスタのコントロールゲートは、読み出し操作および書き込み操作を制御する。選択トランジスタS1, S2の各々のコントロールゲートは、NANDセルへの制御アクセスを、それぞれそのソース端子54およびドレイン端子56を介して、提供する。

#### 【0015】

NANDセル内のアドレス指定されたメモリトランジスタがプログラミング中に読み出されてベリファイされるとき、そのコントロールゲートに適切な電圧が供給される。同時に、NANDセル50内のアドレス指定されていないメモリトランジスタの残りは、そのコントロールゲートに十分な電圧を印加することにより完全にオンに転換される。このようにして、個々のメモリトランジスタのソースからNANDセルのソース端子54への伝導経路が実際上作られ、また同様に個々のメモリトランジスタのドレインのためにセルのドレイン端子56への伝導経路が実際上作られる。このようなNANDセル構造を有するメモリ素子が、米国特許第5,570,315号（特許文献9）、第5,903,495号（特許文献10）および第6,046,935号（特許文献11）に記載されている。

#### 【0016】

図1Eは、電荷を蓄積するための誘電体層を有する不揮発性メモリを概略的に示す。前述した導電性フローティングゲート素子の代わりに、誘電体層が用いられている。誘電体記憶素子を利用するこのようなメモリ素子が、エイタンらによる「NROM: 新しい局所トラッピング、2ビット不揮発性メモリセル」、IEEE電子デバイスレターズ、第21巻、第11号、2000年11月、543～545ページ(Eitan et al, "NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell," IEEE Electron Device Letters, vol. 21, no. 11, November 2000, pp. 543-545)（非特許文献1）に記載されている。ONO誘電体層が、ソース拡散およびドレイン拡散の間のチャネルを横断して広がる。1つのデータビットのための電荷はドレインに隣接して誘電体層内に局所化され、他方のデータビットのための電荷はソースに隣接して誘電体層内に局所化される。例えば、米国特許第5,768,192号（特許文献12）および第6,011,725号（特許文献13）は、2つの二酸化ケイ素層の間に挟まれたトラッピング誘電体を有する不揮発性メモリセルを開示している。多状態データ記憶が、誘電体内の空間的に離れている複数の電荷蓄積領域のバイナリ状態を別々に読み出すことにより、実現される。

#### 【0017】

#### メモリアレイ

メモリ素子は、通常、行および列を成すように配列されてワード線およびビット線によりアドレス指定できるメモリセルの2次元アレイから構成される。このアレイは、NORタイプまたはNANDタイプのアーキテクチャに従って形成され得る。

#### 【0018】

#### NORアレイ

10

20

30

40

50



図2は、メモリセルのNORアレイの例を示す。NORタイプのアーキテクチャを有するメモリ素子は、図1Bまたは図1Cに示されているタイプのセルで実現されている。メモリセルの各行は、そのソースおよびドレインによりデジチェーン式に接続される。この設計は、時には仮想接地設計と称される。各メモリセル10は、ソース14と、ドレイン16と、コントロールゲート30と、選択ゲート40とを有する。1つの行内のセルの選択ゲートはワード線42に接続される。1つの列内のセルのソースおよびドレインは、選択されたビット線34および36にそれぞれ接続される。メモリセルのコントロールゲートと選択ゲートとが独立して制御される実施形態では、1つのステアリング線36も1つの列内のセルのコントロールゲート同士を接続する。

【0019】

多くのフラッシュEEPROMデバイスは、各メモリセルのコントロールゲートと選択ゲートとが互いに接続されているメモリセルで実現される。この場合、ステアリング線の必要はなくて、1つのワード線が各行に沿うセルの全てのコントロールゲートと選択ゲートとを単に接続させる。これら設計の例が、米国特許第5,172,338号(特許文献14)および第5,418,752号(特許文献15)において開示されている。これら設計では、ワード線は本質的に2つの機能、すなわち、行選択と、その行内の全セルに読み出しまたはプログラミングのためにコントロールゲート電圧を供給することとを実行する。

【0020】

#### NANDアレイ

図3は、図1Dに示されているもののようなメモリセルのNANDアレイの例を示す。NANDチェーンの各列に沿って、ビット線が各NANDチェーンのドレイン端子56に結合されている。NANDチェーンの各行に沿って、ソース線がその全てのソース端子54を接続することができる。また、1つの行に沿うNANDチェーンのコントロールゲートが一連の対応するワード線に接続されている。NANDチェーンの1つの行全体が、選択トランジスタの対(図1Dを参照)を、接続されているワード線を介してそのコントロールゲートに加わる適切な電圧でオンに転換することによって、アドレス指定され得る。NANDチェーンの中の1つのメモリセルを代表するメモリトランジスタが読み出されるとき、そのチェーンを通して流れる電流がその読み出されているセルに蓄積されている電荷のレベルに本質的に依存するように、そのチェーンの中の残りのメモリトランジスタはそれに関連付けられているワード線を介してしっかりオンに転換される。NANDアーキテクチャアレイおよびメモリシステムの一部としてのその動作の例が、米国特許第5,570,315号(特許文献9)、第5,774,397号(特許文献16)および第6,046,935号(特許文献11)において見出される。

【0021】

#### プログラミングおよびプログラミング禁止

NANDメモリをプログラムする場合、選択されたメモリセルのページに接続するワード線にプログラミング電圧パルスが印加される。そのページの中で、プログラムされるべきメモリセルのビット線電圧は0Vにセットされ、プログラムされるべきでない他のメモリセルのビット線電圧はプログラミングを禁止するためにシステム供給電圧V<sub>dd</sub>にセットされる。ビット線をV<sub>dd</sub>にセットすると、實際上、NANDチェーンのドレイン側の選択トランジスタがオフに転換され、チャンネルが浮遊されるという結果がもたらされる。プログラミング中、浮遊されたチャンネルの電圧は高いワード線電圧によって昇圧される。これは、實際上、チャンネルと電荷蓄積ユニットとの間の電位差を減少させ、これによりプログラミングを行うチャンネルから電荷蓄積ユニットへの電子の引っ張り作用を抑制する。

【0022】

#### ブロック消去

電荷蓄積メモリ素子のプログラミングは、より多くの電荷をその電荷蓄積素子に付け加えるという結果をもたらし得るにすぎない。従って、プログラミング操作の前に、電荷蓄積素子内に存在する電荷が除去(あるいは消去)されなければならない。メモリセルの1

10

20

30

40

50

つ以上のブロックを消去するために消去回路（図示せず）が設けられる。E E P R O M のような不揮発性メモリは、セルのアレイ全体、あるいはアレイに属するセルのかなりのグループと一緒に電氣的に（すなわち、一瞬のうちに（in a flash））消去されるとき、「フラッシュ」E E P R O M と称される。消去後、そのセルのグループは再プログラムされ得る。一緒に消去可能なセルのグループは、1 つ以上のアドレス指定可能な消去ユニットから成り得る。消去ユニットまたはブロックは通常 1 ページ以上のデータを記憶し、ページはプログラミングおよび読み出しの単位であるが、1 操作で 2 ページ以上がプログラムされるかあるいは読み出され得る。各ページは通常 1 セクタ以上のデータを記憶し、セクタのサイズはホストシステムにより定められる。一例は、磁気ディスクドライブに対して確立された標準規格に従う 5 1 2 バイトのユーザデータと、そのユーザデータおよび / またはそれが格納されているブロックに関する数バイトのオーバーヘッド情報とから成るセクタである。

10

#### 【 0 0 2 3 】

##### 読み出し / 書き込み回路

普通の 2 状態 E E P R O M セルでは、伝導ウィンドウを 2 つの領域に分割するために少なくとも 1 つの電流ブレークポイントレベルが確立される。所定の固定された電圧を印加することによってセルが読み出されるとき、そのソース / ドレイン電流は、ブレークポイントレベル（あるいは基準電流  $I_{REF}$ ）との比較によって 1 つのメモリ状態に分解される。読み出された電流がブレークポイントレベルのものより大きければ、そのセルは 1 つの論理状態（例えば、「ゼロ」状態）にあると判定される。一方、電流がブレークポイントレベルのものより少なければ、そのセルは他方の論理状態（例えば、「1」状態）にあると判定される。従って、このよう 2 状態セルは 1 ビットのデジタル情報を記憶する。ブレークポイントレベル電流を生成するために、外部からプログラム可能であり得る基準電流源がメモリシステムの一部としてしばしば設けられる。

20

#### 【 0 0 2 4 】

メモリ容量を増やすために、フラッシュ E E P R O M デバイスは、半導体技術が進歩するに連れてますます高まる密度で製造されている。記憶容量を増やす他の方法は、各メモリセルに 3 以上の状態を記憶させることである。

#### 【 0 0 2 5 】

多状態あるいはマルチレベルの E E P R O M メモリセルの場合には、各セルが 1 ビットより多いデータを記憶できるように伝導ウィンドウは 2 つ以上のブレークポイントによって 3 つ以上の領域に分割される。従って、所与の E E P R O M アレイが記憶できる情報は、各セルが記憶できる状態の数とともに増える。多状態あるいはマルチレベルのメモリセルを有する E E P R O M あるいはフラッシュ E E P R O M が、米国特許第 5 , 1 7 2 , 3 3 8 号（特許文献 1 4）に記載されている。

30

#### 【 0 0 2 6 】

実際には、セルのメモリ状態は、普通、コントロールゲートに基準電圧が印加されたときにセルのソース電極とドレイン電極とを横断する伝導電流を感知することによって読み出される。従って、セルのフローティングゲート上の各々の所与の電荷について、固定された基準コントロールゲート電圧に関して対応する伝導電流が検出され得る。同様に、フローティングゲートにプログラムすることのできる電荷の範囲は、対応するしきい値電圧ウィンドウあるいは対応する伝導電流ウィンドウを画定する。

40

#### 【 0 0 2 7 】

あるいは、分割された電流ウィンドウの中の伝導電流を検出する代わりに、試験される所与のメモリ状態についてコントロールゲートでしきい値電圧をセットして伝導電流がしきい値電流より少ないかあるいは多いかを検出することが可能である。1 つの実施例では、しきい値電流に関しての伝導電流の検出は、ビット線容量を通して伝導電流が放電する速度を調べることにより達成される。

#### 【 0 0 2 8 】

図 4 は、任意の時点でフローティングゲートが選択的に蓄積することができる 4 つの異

50

なる電荷  $Q_1 \sim Q_4$  についてソース - ドレイン電流  $I_D$  とコントロールゲート電圧  $V_{CG}$  との関係を示す。4つの実線の  $I_D$  対  $V_{CG}$  曲線は、メモリセルのフローティングゲートにプログラムされ得る、4つの可能なメモリ状態にそれぞれ対応する4つの可能な電荷レベルを表す。一例として、セルの1群のしきい値電圧ウィンドウは  $0.5\text{ V}$  から  $3.5\text{ V}$  に及び得る。しきい値ウィンドウをそれぞれ  $0.5\text{ V}$  の間隔で5つの領域に分割することによって6つのメモリ状態が画定され得る。例えば、図に示されているように  $2\text{ }\mu\text{ A}$  の基準電流  $I_{REF}$  が用いられたならば、 $Q_1$  でプログラムされているセルは、その曲線が  $V_{CG} = 0.5\text{ V}$  および  $1.0\text{ V}$  により画定されるしきい値ウィンドウの領域で  $I_{REF}$  と交差するので、メモリ状態「1」にあると考えられ得る。同様に、 $Q_4$  はメモリ状態「5」にある。

10

#### 【0029】

前の記述から分かるように、メモリセルがより多くの状態を記憶させられるほど、そのしきい値ウィンドウはより細かく分割される。これは、必要とされる分解能を達成し得るためにプログラミング操作および読み出し操作により高い精度を必要とする。

#### 【0030】

米国特許第4,357,685号(特許文献17)には2状態EPROMをプログラムする方法が開示され、その方法では、セルが所与の状態にプログラムされるとき、連続するプログラミング電圧パルスにさらされ、そのたびに増分電荷をフローティングゲートに付け加える。パルスとパルスの間に、ブレイクポイントレベルに関してそのソース - ドレイン電流を判定するためにこのセルは読み返される、すなわち、ベリファイされる。プログラミングは、電流状態が所望の状態に達したとベリファイされたときに、終わる。使用されるプログラミングパルス列は、増大する期間または振幅を持つことができる。

20

#### 【0031】

従来技術のプログラミング回路は、消去済みの状態あるいは接地状態からターゲット状態に達するまでしきい値ウィンドウを通して進むように単にプログラミングパルスを加える。実際には、十分な分解能を考慮して、各々の分割あるいは画定された領域は、横断するために少なくとも約5個のプログラミングステップを必要とする。その性能は、2状態メモリセルのためには容認できる。しかし、多状態セルについて、必要とされるステップの数はパーティションの数とともに増えるので、プログラミングの精度あるいは分解能が高められなければならない。例えば、16状態セルは、ターゲット状態までプログラムするために平均で少なくとも約40個のプログラミングパルスをおそらく必要とする。

30

#### 【0032】

図5は、行デコーダ130および列デコーダ160を介して読み出し/書き込み回路170によりアクセス可能なメモリアレイ100の代表的な配置を有するメモリ素子を概念的に示す。図2および3に関して説明したように、メモリアレイ100内のメモリセルのメモリトランジスタは、選択されたワード線およびビット線のセットを介してアドレス指定可能である。アドレス指定されたメモリトランジスタのそれぞれのゲートに適切な電圧を印加するために、行デコーダ130は1つ以上のワード線を選択し、列デコーダ160は1つ以上のビット線を選択する。読み出し/書き込み回路170は、アドレス指定されたメモリトランジスタのメモリ状態を読み出しあるいは書き込む(プログラムする)ために設けられる。読み出し/書き込み回路170は、ビット線を介してアレイ内のメモリ素子に接続可能な幾つかの読み出し/書き込みモジュールを含む。

40

#### 【0033】

#### 読み出し/書き込み性能および精度に影響を及ぼす因子

読み出しおよびプログラミングの性能を改善するために、アレイ内の複数の電荷蓄積素子またはメモリトランジスタが並行して読み出されるかまたはプログラムされる。従って、メモリ素子の1つの論理「ページ」が一緒に読み出されるかまたはプログラムされる。現存するメモリアーキテクチャでは、1つの行は通常数個のインターリーブされたページを含む。1ページのメモリ素子の全てが一緒に読み出されるかまたはプログラムされる。列デコーダは、インターリーブされたページの各々を対応する数の読み出し/書き込みモ

50

ジュールに選択的に接続する。例えば、1つの実施例では、メモリアレイは532バイト（512バイトと、20バイトのオーバーヘッド）のページサイズを持つように設計される。各列が1つのドレインビット線を含み、行あたりに2つのインターリーブされたページがあるならば、8, 512列があり、各ページが4, 256列と関連付けられることになる。全ての偶数ビット線または奇数ビット線を並行して読み出しまたは書き込むために接続可能な4, 256個のセンスモジュールがある。このようにして、並列の、1ページの4, 256ビット（すなわち、532バイト）のデータが、メモリ素子のページから読み出されるかまたはそれにプログラムされる。読み出し/書き込み回路170を形成する読み出し/書き込みモジュールは、種々のアーキテクチャに配列され得る。

【0034】

10

前述したように、在来のメモリ素子は、一度に全ての偶数ビット線または全ての奇数ビット線に大規模並列に作用することによって読み出し/書き込み操作を改善する。インターリーブされた2ページから成る行のこの「交互ビット線」アーキテクチャは、読み出し/書き込み回路のブロックを取り付けるといった問題を緩和するのに役立つ。それは、ビット線同士の容量結合を制御するという考慮事項によっても要求される。読み出し/書き込みモジュールのセットを偶数ページまたは奇数ページに多重化するためにブロックデコーダが使用される。このようにして、1セットのビット線が読み出されるかあるいはプログラムされるたびに、直ぐ隣のもの同士の結合を最小化するために、インターリーブングなセットが接地され得る。

【0035】

20

しかし、このインターリーブングなページアーキテクチャは、少なくとも3つの点で不利である。第1に、追加の多重化回路を必要とする。第2に、動作が低速である。1つのワード線により接続されているあるいは1つの行の中のメモリセルの読み出しまたはプログラミングを終えるために、2つの読み出し操作あるいは2つのプログラミング操作が必要である。第3に、隣接する2つが例えば奇数ページおよび偶数ページで別々に、異なる時点でプログラムされるときフローティングゲートレベルでの隣接する電荷蓄積素子の間の電界結合のような、他のかく乱効果に対処する上でも、最適ではない。

【0036】

米国公開特許出願第2004-0057318号（特許文献18）は、複数の連続するメモリセルを並行して感知することを可能にするメモリ素子とその方法とを開示している。例えば、同じワード線を共有する1つの行に沿う全てのメモリセルが1ページとして一緒に読み出されるかあるいはプログラムされる。この「全ビット線」アーキテクチャは、隣接するかく乱効果に起因するエラーを最小化し、同時に「交互ビット線」アーキテクチャの性能を2倍にする。しかし、全ビット線感知は、隣接するビット線同士の間の、それらの相互容量から誘導される電流に起因するクロストークの問題を引き起こす。これは、各々の隣接する対を成すビット線間の電圧差を、それらの伝導電流が感知されている間、実質的に時間とは無関係であるように保つことによって、対処される。この条件が課されたとき、種々のビット線容量に起因する全ての変位電流は、全て時間変化する電圧差に依存するので、消える。接続されているビット線のどの隣接する対における電圧差も時間と無関係であるように、各ビット線に結合されている感知回路はビット線上に電圧クランプを有する。ビット線電圧がクランプされるので、ビット線容量に起因する放電を感知する在来の方法は適用され得ない。その代わりに、感知回路および方法は、メモリセルの伝導電流の判定を、ビット線から独立した所与のコンデンサを放電または充電するレートに留意することによって、可能にする。これは、感知回路がメモリアレイのアーキテクチャから独立していること（すなわち、ビット線容量から独立していること）を可能にする。特に、ビット線クロストークを避けるために、ビット線電圧が感知中クランプされることを可能にする。

【0037】

30

不揮発性メモリの性能における1つの重要な態様はプログラミング速度である。プログラミング操作は、通常、1つのプログラミングパルスを加え、その後メモリセルが意図

40

50

された状態にプログラムされているか否かをプログラムベリファイするために感知を行うという交互のサイクルを含む。

【 0 0 3 8 】

従って、改善された性能を有する高性能で大容量の不揮発性メモリに対する一般的ニーズが存在する。特に、プログラムベリファイ操作を改善することを含む、プログラミング性能を改善する必要がある。

【特許文献 1】米国特許第 5, 5 9 5, 9 2 4 号

【特許文献 2】米国特許第 5, 0 7 0, 0 3 2 号

【特許文献 3】米国特許第 5, 0 9 5, 3 4 4 号

【特許文献 4】米国特許第 5, 3 1 5, 5 4 1 号

10

【特許文献 5】米国特許第 5, 3 4 3, 0 6 3 号

【特許文献 6】米国特許第 5, 6 6 1, 0 5 3 号

【特許文献 7】米国特許第 5, 3 1 3, 4 2 1 号

【特許文献 8】米国特許第 6, 2 2 2, 7 6 2 号

【特許文献 9】米国特許第 5, 5 7 0, 3 1 5 号

【特許文献 10】米国特許第 5, 9 0 3, 4 9 5 号

【特許文献 11】米国特許第 6, 0 4 6, 9 3 5 号

【特許文献 12】米国特許第 5, 7 6 8, 1 9 2 号

【特許文献 13】米国特許第 6, 0 1 1, 7 2 5 号

【特許文献 14】米国特許第 5, 1 7 2, 3 3 8 号

20

【特許文献 15】米国特許第 5, 4 1 8, 7 5 2 号

【特許文献 16】米国特許第 5, 7 7 4, 3 9 7 号

【特許文献 17】米国特許第 4, 3 5 7, 6 8 5 号

【特許文献 18】米国公開特許出願第 2 0 0 4 - 0 0 5 7 3 1 8 号

【特許文献 19】米国特許出願第 1 1 / 0 2 6, 5 3 6 号

【特許文献 20】米国公開特許出願第 2 0 0 4 - 0 1 0 9 3 5 7 号

【特許文献 21】米国特許第 6, 6 5 7, 8 9 1 号

【特許文献 22】米国公開特許出願第 2 0 0 5 - 0 2 3 7 8 1 4 号

【特許文献 23】米国公開特許出願第 2 0 0 5 - 0 1 6 9 0 8 2 号

【特許文献 24】米国特許第 6, 6 4 3, 1 8 8 号

30

【特許文献 25】米国特許第 6, 7 3 8, 2 8 9 号

【特許文献 26】米国公開特許出願第 2 0 0 4 - 0 1 0 9 3 6 2 号

【非特許文献 1】エイタンらによる「NROM：新しい局所トラッピング、2 ビット不揮発性メモリセル」, I E E E 電子デバイスレターズ, 第 2 1 巻, 第 1 1 号, 2 0 0 0 年 1 月, 5 4 3 ~ 5 4 5 ページ

【発明の開示】

【 0 0 3 9 】

本発明に従って、プログラムベリファイ操作中に感知されているメモリセルの状態に依存して、ベリファイ操作の一部が不必要であると認識されて時間節約のために省かれる。

1 つの好ましい実施形態では、並行してプログラムされているメモリセルのグループに対する、2 つのメモリ状態を区別するための所与のしきい値レベルに関してのベリファイを含むプログラムベリファイ操作に関して、このベリファイ操作は一連の 2 つのベリファイサブサイクルを含み、第 1 のサブサイクルは、その所与のしきい値レベルから所定のマージン下の第 1 のしきい値レベルに関してのベリファイを実行し、第 2 のサブサイクルは、その所与のしきい値レベルと同一である第 2 のしきい値レベルに関してのベリファイを実行する。しかし、従来の場合とは違って、そのグループのいずれか 1 つのメモリセルが第 1 のしきい値を通過したとベリファイされるまでは第 2 のサブサイクルは実行されない。

40

【 0 0 4 0 】

1 つの好ましい実施形態では、グループ中のいずれか 1 つのメモリセルが第 1 のしきい値レベルを通過してプログラムされているというイベントが発生したか否かを調べるため

50

に「１ビット通過(One-bit-Pass)」(「ＯＢＰ」)と称される操作が第１のサブサイクルの終わりに実行される。その場合には、その後のペリファイサイクルは最早ＯＢＰを必要としないが、第２のサブサイクルを含む。

【００４１】

本発明の付加的な特徴および利点は、添付図面と関連して検討されるべきであるその好ましい実施形態についての以下の記述から理解されるであろう。

【発明を実施するための最良の形態】

【００４２】

図６Ａは、本発明がその中で実現される環境を提供する、読み出し／書き込み回路のバンクを有するコンパクトなメモリ素子を概略的に示す。このメモリ素子は、メモリセルの２次元アレイ３００と、制御回路３１０と、読み出し／書き込み回路３７０とを含む。メモリアレイ３００は、行デコーダ３３０を介してワード線により、また列デコーダ３６０を介してビット線により、アドレス指定可能である。読み出し／書き込み回路３７０は、センスモジュール４８０のバンクとして実現され、メモリセルのブロック(「ページ」とも称される)が並行して読み出されるかまたはプログラムされることを可能にする。１つの好ましい実施形態では、１ページはメモリセルの連続する１つの行から構成される。メモリセルの１行が複数のブロックまたはページに分割される他の１つの実施形態では、読み出し／書き込み回路３７０を個々のブロックに多重化するためにブロックマルチプレクサ３５０が設けられる。

【００４３】

制御回路３１０は、読み出し／書き込み回路３７０と協働してメモリアレイ３００に対してメモリ操作を行う。制御回路３１０は、状態マシン３１２と、オンチップアドレスデコーダ３１４と、電源制御モジュール３１６とを含む。状態マシン３１２は、メモリ操作のチップレベル制御を提供する。オンチップアドレスデコーダ３１４は、ホストまたはメモリコントローラにより使用されるものと、デコーダ３３０および３７０により使用されるハードウェアアドレスとの間のアドレスインターフェイスを提供する。電源制御モジュール３１６は、メモリ操作中にワード線およびビット線に供給される電力および電圧を制御する。

【００４４】

図６Ｂは、図６Ａに示されているコンパクトなメモリ素子の好ましい配置を示す。種々の周辺回路によるメモリアレイ３００へのアクセスは、各々の側におけるアクセス線および回路が半分に減るように、アレイの両側で対称的に実行される。従って、行デコーダは行デコーダ３３０Ａおよび３３０Ｂに分割され、列デコーダは列デコーダ３６０Ａおよび３６０Ｂに分割されている。メモリセルの１つの行が複数のブロックに分割される実施形態では、ブロックマルチプレクサ３５０はブロックマルチプレクサ３５０Ａおよび３５０Ｂに分割される。同様に、読み出し／書き込み回路は、下からビット線と接続する読み出し／書き込み回路３７０Ａとアレイ３００の上からビット線と接続する読み出し／書き込み回路３７０Ｂとに分割される。このようにして、読み出し／書き込みモジュールの密度、従ってセンスモジュール４８０のバンクの密度は、本質的に半分減らされる。

【００４５】

並行して動作する $p$ 個のセンスモジュール４８０のバンク全体は、１行に沿う $p$ 個のセルのブロック(またはページ)が並行して読み出されるかまたはプログラムされることを可能にする。一例としてのメモリアレイは $p = 512$ バイト( $512 \times 8$ ビット)を持つことができる。好ましい実施形態では、ブロックはセルの行全体の１つのランである。他の１つの実施形態では、ブロックは行の中のセルの部分集合である。例えば、セルの部分集合は行全体の二分の一または行全体の四分の一であり得る。セルの部分集合は、連続するセルの１つのラン、または一つ置き of セルのラン、または所定数ごとに１つのセルのランであり得る。各センスモジュールは、メモリセルの伝導電流を感知するための１つのセンス増幅器を含む。

【００４６】

図 6 C は、数個のセンスモジュールの、1つの読み出し/書き込みスタックへの好ましいグループ化を示す。読み出し/書き込みスタック 490 は、センスモジュール同士の間の共通コンポーネントを除いて図 6 A に示されているセンスモジュールのグループを空間効率的に実現することを可能にする。

【0047】

図 6 D は、図 6 C に示されている読み出し/書き込みスタックにおける基本的コンポーネントの一般的配置を概略的に示す。読み出し/書き込みスタック 490 は、k 個のビット線を検知するためのセンス増幅器のスタック 212 と、I/O パス 231 を介してのデータの入力または出力のための I/O モジュール 440 と、入力データまたは出力データを記憶するデータラッチのスタック 430 と、読み出し/書き込みスタック 400 の中でデータを処理して格納する共通プロセッサ 500 と、スタックコンポーネント間の通信のためのスタックバス 421 とを含む。読み出し/書き込み回路 370 間のスタックバスコントローラは、読み出し/書き込みスタック間の種々のコンポーネントを制御するために線 411 を介して制御信号およびタイミング信号を提供する。共通プロセッサは、処理中データを一時的に格納するための 1 つ以上のレジスタまたはラッチ 520 を含む。

【0048】

好ましい読み出し/書き込みスタックが、2004 年 12 月 29 日に出願された米国特許出願第 11/026,536 号（特許文献 19）に開示されている。好ましいセンス増幅器が、米国公開特許出願第 2004-0109357 号（特許文献 20）に開示されている。これら特許出願は、本願明細書において参照により援用されている。

【0049】

多状態メモリのための読み出しおよびプログラミングの例

図 7 A ~ 7 E、図 8 A ~ 8 E、図 9 A ~ 9 E は、それぞれ 4 状態メモリのためのマルチビット符号化の 3 つの例を示す。4 状態メモリセルでは、4 つの状態が 2 ビットで表され得る。1 つの現存する技術は、そのようなメモリをプログラムするために 2 パスプログラミングを使用する。第 1 のビット（下側ページビット）は第 1 のパスによりプログラムされる。その後、所望の第 2 のビット（上側ページビット）を表すために第 2 のパスで同じセルがプログラムされる。第 2 のパスにおいて第 1 のビットの値を変化させないために、第 2 のビットのメモリ状態表示は第 1 のビットの値に依存させられる。

【0050】

図 7 A ~ 7 E は、普通の 2 ビットグレイコードで符号化される 4 状態メモリのプログラミングと読み出しとを示す。メモリセルのプログラム可能なしきい値電圧の範囲（しきい値ウィンドウ）はプログラムされていない「U」状態と、だんだんプログラムされてゆく他の 3 つの状態「A」、「B」および「C」とを表す 4 つの領域に分割される。4 つの領域は境界しきい値電圧  $D_A$ 、 $D_B$  および  $D_C$  によりそれぞれ画定されている。

【0051】

図 7 A は、各メモリセルが普通のグレイコードを用いて 2 ビットのデータを記憶するときの 4 状態メモリアレイのしきい値電圧分布を示す。4 つの分布は、4 つのメモリ状態「U」、「A」、「B」および「C」の個数を表す。メモリセルがプログラムされる前に、初めに消去されてその「U」すなわち「プログラムされていない」状態とされる。メモリセルがだんだんプログラムされてゆくとき、前進的にメモリ状態「A」、「B」および「C」に到達する。グレイコードは（上位ビット、下位ビット）を用いて「U」を（1, 1）として、「A」を（1, 0）として、「B」を（0, 0）として、「C」を（0, 1）として示す。

【0052】

図 7 B は、グレイコードを用いる現存する 2 パスプログラミング方式における下側ページプログラミングを示す。並行してプログラムされるべき 1 ページのセルについて、上位ビットと下位ビットとは 2 つの論理ページ、すなわち下位ビットから成る論理下側ページと、上位ビットから成る論理上側ページと、を生じさせる。第 1 のプログラミングパスは、論理下側ページビットをプログラムするだけである。適切な符号化により、セルの同じ

ページに対する第2のプログラミングパスは、論理下側ページビットをリセットせずに論理上側ページビットをプログラムする。グレイコードは、隣接する状態に遷移するときに1つのビットだけが変化する一般的に使われるコードである。従って、このコードは、1ビットだけが関係するので、エラー訂正に余り負担を課さないという利点を有する。

#### 【0053】

グレイコードを用いる1つの一般的な方式は、「1」に「プログラムされない」状態を表させる。従って、消去されたメモリ状態「U」は(上側ページビット、下側ページビット) = (1, 1)により表される。従って、論理下側ページをプログラムする第1のパスにおいて、ビット「0」を記憶するセルは、その論理状態を(x, 1)から(x, 0)へ遷移させ、ここで「x」は上位ビットの「かまわない(don't care)」値を表す。しかし、上位ビットはまだプログラムされていないので、「x」は一貫性を目的として「1」で分類されてもよい。(1, 0)論理状態は、セルをメモリ状態「A」にプログラムすることによって表される。すなわち、第2のプログラミングパスより前に、「0」という下位ビット値がメモリ状態「A」により表される。

#### 【0054】

図7Cは、グレイコードを用いる現存する2パスプログラミング方式における上側ページプログラミングを示す。論理上側ページのビットを記憶させるために第2のパスプログラミングが実行される。「0」という上側ページビット値を必要とするセルだけがプログラムされる。第1のパス後、そのページの中のセルは論理状態(1, 1)または(1, 0)にある。第2のパスにおいて下側ページの値を維持するために、「0」または「1」という下位ビット値は区別されなければならない。(1, 0)から(0, 0)への遷移のために、問題のメモリセルはメモリ状態「B」にプログラムされる。(1, 1)から(0, 1)への遷移のために、問題のメモリセルはメモリ状態「C」にプログラムされる。このようにして、読み出し中、セルにプログラムされたメモリ状態を判定することによって、下側ページビットと上側ページビットとの両方が復号化され得る。

#### 【0055】

プログラミングは、交互に、1ページのメモリセルに並列にプログラミングパルスを加え、その後に各セルに対して感知またはプログラムベリファイを行ってそれらのうちのいずれかがそのターゲット状態にプログラムされているか否かを判定することにより、成し遂げられる。1つのセルがプログラムベリファイされると、それは、そのグループ中の他のセルのプログラミングを完了するためにプログラミングパルスが加えられ続けていても、それ以上プログラミングされないように締め出されるかあるいはプログラミング禁止される。下側ページプログラミング中、プログラムベリファイが境界しきい値電圧 $D_A$ で状態「A」に関して行われなければならない(「ベリファイA」により表示される)ということが図7Bおよび7Cから分かる。しかし、上側ページプログラミングに関して、プログラムベリファイは状態「B」および「C」に関して実行されなければならない。従って、上側ページベリファイは、それぞれ境界しきい値電圧 $D_B$ および $D_C$ に関する「ベリファイB」および「ベリファイC」という2パスベリファイを必要とする。

#### 【0056】

図7Dは、グレイコードで符号化された4状態メモリの下位ビットを識別するために必要とされる読み出し操作を示す。(1, 0)により符号化されたメモリ状態「A」と(0, 0)により符号化されたメモリ状態「B」との両方がその下位ビットとして「0」を有するので、メモリセルが状態「A」あるいは「B」にプログラムされるときには下位ビット「0」が検出される。逆に、下位ビット「1」は、メモリセルが状態「U」でプログラムされないかあるいは状態「C」にプログラムされるときに検出される。従って、下側ページ読み出しは、それぞれ境界しきい値電圧 $D_A$ および $D_C$ に関しての読み出しAおよび読み出しCの2パス読み出しを必要とする。

#### 【0057】

図7Eは、グレイコードで符号化された4状態メモリの上位ビットを識別するために必要とされる読み出し操作を示す。境界しきい値電圧 $D_B$ に関しての読み出しBという1つ

10

20

30

40

50



の読み出しパスを必要とする。このように、 $D_B$  より低いプログラムされたしきい値電圧を有するセルはメモリ状態「1」にあると検出され、逆もまた同様である。

#### 【0058】

グレイコード2パスプログラミング方式は、第2のパスプログラミングが誤っているときには問題となり得る。例えば、下位ビットが「1」である間に上側ページビットを「0」にプログラムする操作は(1, 1)から(0, 1)への遷移を引き起こす。これは、メモリセルが「U」から前進的に「A」および「B」を通して「C」にプログラムされることを必要とする。プログラミング完了の前に停電があれば、メモリセルは例えば「A」などの中間メモリ状態のうちの1つで終了し得る。メモリセルが読み出されるとき、「A」は論理状態(1, 0)として復号化される。これは上位ビットおよび下位ビットの両方に関して誤った結果を与える。なぜならば、それは(0, 1)であるべきだったからである。同様に、「B」に達したときにプログラミングが中断されたならば、それは(0, 0)に対応する。この場合、上位ビットは正しいけれども、下位ビットは依然として間違っている。さらに、プログラムされていない状態「U」から最もプログラムされた状態「C」への大幅な遷移があり得るので、このコード方式は、異なる時にプログラムされた隣接するセル同士の電荷レベル間の潜在的な差異を悪化させるという効果を有する。また、隣接するフローティングゲート間の電界効果結合(ユーピン効果(Yupin Effect))を悪化させる。

#### 【0059】

図8A~8Eは、他の論理コード(「LM」コード)で符号化された4状態メモリのプログラミングおよび読み出しを示す。このコードは、より大きなフォールトトレランスを提供し、ユーピン効果に起因する隣接するセル結合を緩和する。図8Aは、各メモリセルがLMコードを用いて2ビットのデータを記憶するときの4状態メモリアレイのしきい値電圧分布を示す。LM符号化は、状態「A」および「C」について上位ビットと下位ビットとが逆転されているという点で、図7Aに示されている普通のグレイコードと異なる。「LM」コードが、米国特許第6,657,891号(特許文献21)に開示され、電荷に大きな変化を必要とするプログラミング操作を避けることによって隣接するフローティングゲート間の電界効果結合を減らすことにおいて有利である。

#### 【0060】

図8Bは、LMコードを用いる現存する2ラウンドプログラミング方式における下側ページプログラミングを示す。フォールトトレラントのLMコードは、中間の状態を通過するために上側ページプログラミングを本質的に回避する。第1のラウンド下側ページプログラミングは、論理状態(1, 1)を、「プログラムされていない」メモリ状態「U」を $D_A$ よりは高いけれども $D_C$ よりは低い広い分布の中のプログラムされたしきい値電圧を有する(x, 0)により指定される「中間」状態にプログラムすることによって表されるある中間状態(x, 0)に移行させる。図8Cは、LMコードを用いる現存する2ラウンドプログラミング方式における上側ページプログラミングを示す。上側ページビットを「0」にプログラムする第2のラウンドにおいて、下側ページビットが「1」ならば、論理状態(1, 1)は、「プログラムされていない」メモリ状態「U」を「A」にプログラムすることによって表される(0, 1)に移行する。下側ページビットが「0」ならば、論理状態(0, 0)は、「中間」状態から「B」へプログラムすることによって得られる。同様に、下側ページが「0」にプログラムされたのに対して上側ページが「1」に留まるべきであるならば、「中間」状態から、「中間」状態を「C」にプログラムすることにより表される(1, 0)への移行を必要とする。上側ページプログラミングは直ぐ隣のメモリ状態へのプログラミングを必要とするに過ぎないので、1つのラウンドから次のラウンドへの過程で大量の電荷が変更されることはない。「U」から大雑把な「中間」状態への下側ページプログラミングは、時間を節約するように設計されている。しかし、これは、「LM」コードが同様に上側ページプログラミングエラーを起こしやすいか、あるいは上側ページプログラミング中の停電に弱いという結果をもたらす。例えば、状態「A」は、「中間」状態から区別され得ないしきい値電圧の方へ移動することがある。

## 【 0 0 6 1 】

図 8 D は、L M コードで符号化された 4 状態メモリの下位ビットを識別するために必要とされる読み出し操作を示す。復号化は、上側ページがプログラムされているか否かによる。上側ページがプログラムされているならば、下側ページの読み出しは、境界しきい値電圧  $D_B$  に関しての読み出し B という 1 つの読み出しパスを必要とする。一方、上側ページがまだプログラムされていなければ、下側ページは「中間」状態（図 8 B）にプログラムされ、読み出し B はエラーを引き起こす。むしろ、下側ページの読み出しは、境界しきい値電圧  $D_A$  に関しての読み出し A という 1 つの読み出しパスを必要とする。これら 2 つの場合を識別するために、上側ページがプログラムされているときに上側ページにフラグ（「L M」フラグ）が書き込まれる。読み出し時に、初めに上側ページがプログラムされてい

10

## 【 0 0 6 2 】

図 8 E は、L M コードで符号化された 4 状態メモリの上側ビットを識別するために必要とされる読み出し操作を示す。図から明らかであるように、上側ページ読み出しは、それぞれ境界しきい値電圧  $D_A$  および  $D_C$  に関しての読み出し A および読み出し C の 2 パス読み出しを必要とする。同様に、上側ページがまだプログラムされていなければ、上側ページの復号化も「中間」状態により混乱し得る。再び、上側ページがプログラムされているか否かを L M フラグが示す。上側ページがプログラムされていなければ、読み出されたデータは、上側ページデータがプログラムされていないことを示す「1」にリセットされる。

20

## 【 0 0 6 3 】

L M コードも、部分的ページプログラミングをサポートするメモリにおいては問題になり得る。1 ページのメモリセルが並行してプログラムされるかあるいは読み出されるとき、部分的ページプログラミングは、そのページの一部が 1 パスでプログラムされ、プログラムされていない残りの部分はその後のパスでプログラムされることを可能にする。L M コードは、上側ページがデータで部分的に満たされるに過ぎないプログラミング操作において問題を生じさせる。部分的に満たされていないページを完成させるための後の上側ページプログラミングにおいて、データは間違った状態にプログラムされ得る。慣習によって「1」ビットは「プログラムされていない」状態を表し、従って上位ビットおよび下位ビットの両方が初めにプログラムされていない「U」状態において「1」に戻る。上側ページビットは、満たされていない部分においてセルを表す「1」であるべきである。満たされていない部分に存するセルについての下側ページビットが偶然「1」であったならば、その結果としての論理状態（1, 1）は、そのセルを「U」に留まらせる。しかし、下側ページビットが「0」であるならば、そのセルを最もプログラムされた（最高しきい値電圧）「C」状態にプログラムさせる論理状態（1, 0）をもたらす。満たされていない部分を完成させる後のプログラミングパスは、最早（0, 0）すなわち「B」状態に到達する可能性を含むことはできない。なぜならば、「C」から、プログラミングの程度がより浅い状態に戻ることは不可能だからである。

30

40

## 【 0 0 6 4 】

図 9 A ~ 9 E は、好ましい論理コード（「L M ニュー」コード）で符号化された 4 状態メモリのプログラミングと読み出しとを示す。L M ニューコードは、L M コードに似ているけれども、前述した欠点を持っていない。図 9 A は、各メモリセルが L M ニューコードを用いて 2 ビットのデータを記憶するときの 4 状態メモリアレイのしきい値電圧分布を示す。L M ニューコードは、2005 年 10 月 27 日に公開されたリーら (Li et al.) による「改善された部分的ページプログラム能力を有する不揮発性メモリおよび制御 (NON-VOLATILE MEMORY AND CONTROL WITH IMPROVED PARTIAL PAGE PROGRAM CAPABILITY)」という

50

米国公開特許出願第 2005 - 0237814 号（特許文献 22）に開示されている。こ

のコードは、状態「B」および「C」についての論理的符号化が交換されている点で、図8Aに示されているLMコードと異なる。(上位ビット、下位ビット)は、「U」については(1, 1)であり、「A」については(0, 1)であり、「B」については(1, 0)であり、「C」については(0, 0)である。この符号化は、前述したLMコードにおける部分的ページプログラミングの問題を回避する。なぜならば、この場合には部分的に満たされていない上側ページは、下位ビットが「0」であるときには「B」状態にプログラムされるからである。部分的に満たされていない部分のその後のプログラミングは(1, 0)から(0, 0)論理状態へのプログラミングを可能にし、それは「B」から「C」状態へのプログラミングに対応する。

#### 【0065】

10

図9Bは、LMニューコードを用いる現存する2パスプログラミング方式における下側ページプログラミングを示す。フォールトトレラントのLMニューコードは、本質的に、中間状態を通過するために上側ページプログラミングを回避する。第1のパス下側ページプログラミングは、論理状態(1, 1)を、「プログラムされていない」メモリ状態「U」を $D_A$ よりは高いけれども $D_C$ よりは低いプログラムされたしきい値電圧を有する( $x$ , 0)により指定される「中間」状態にプログラムすることによって表されるある中間状態( $x$ , 0)に移行させる。

#### 【0066】

図9Cは、LMニューコードを用いる現存する2パスプログラミング方式における上側ページプログラミングを示す。上側ページビットを「0」にプログラムする第2のパスにおいて、下側ページビットが「1」であるならば、論理状態(1, 1)は、「プログラムされていない」メモリ状態「U」を「A」にプログラムすることによって表される(0, 1)に移行する。下側ページビットが「0」ならば、論理状態(0, 0)は「中間」状態から「C」へのプログラミングにより得られる。同様に、下側ページが「0」にプログラムされたのに対して上側ページが「1」に留まるべきであるならば、「中間」状態から、「中間」状態を「B」にプログラムすることにより表される(1, 0)への移行を必要とする。

20

#### 【0067】

図9Dは、LMニューコードで符号化された4状態メモリの下位ビットを識別するために必要とされる読み出し操作を示す。ここでも、LMコードの場合と同じ考慮事項が当てはまる。LMフラグが読み出せるか否かを判定するために読み出しB操作が初めに実行される。読み出せるならば、上側ページはプログラムされていて、読み出しB操作は下側ページデータを正しくもたらす。一方、上側ページがまだプログラムされていなければ、下側ページデータは読み出しA操作によって読み出される。

30

#### 【0068】

図9Eは、LMニューコードで符号化された4状態メモリの上位ビットを識別するために必要とされる読み出し操作を示す。図から明らかであるように、上側ページ読み出しは、それぞれ境界しきい値電圧 $D_A$ 、 $D_B$ および $D_C$ に関しての読み出しA、読み出しBおよび読み出しCの3パス読み出しを必要とする。上側ページの復号化は、前述したLMコードのためのLMフラグに関して説明されたのと同じ考慮事項を有する。

40

#### 【0069】

例としての4状態メモリについての前の種々のコードについての検討は、プログラムされたしきい値電圧を境界しきい値電圧 $D_B$ に関して比較する「読み出しB」の場合のような単一の感知パスを読み出し操作が必要とし得ることを示している。読み出しB操作は、普通のグレイコードのもとでの上側ページ、あるいはLMコードのもとでの下側ページ、またはLMニューコードのもとでの下側ページを読み出すために適用できる。

#### 【0070】

読み出し操作は、また、普通のグレイコードのもとでの下側ページ、あるいはLMコードのもとでの上側ページを読み出すとき、読み出しAおよび読み出しCの場合のような2パス読み出しを必要とし得る。

50

## 【 0 0 7 1 】

読み出し操作は、また、L Mニューコードのもとでの上側ページを読み出すときに読み出しA、読み出しBおよび読み出しCの場合のような3パス読み出しを必要とし得る。

## 【 0 0 7 2 】

図10は、前述したメモリを感知するために適する図6Aに示されているセンスモジュールをより詳しく概略的に示す。センスモジュール480は、結合されたビット線36を介してNANDチェーン50内のメモリセルの伝導電流を感知する。ビット線、センス増幅器600または読み出しバス499に選択的に結合され得る感知ノード481を有する。初め、絶縁トランジスタ482は、信号BLSによってイネーブルされたときにビット線36を感知ノード481に接続する。センス増幅器600は、感知ノード481を感知する。センス増幅器は、プリチャージ/クランプ回路640と、セル電流識別器650とラッチ660とを含む。

10

## 【 0 0 7 3 】

センスモジュール480は、NANDチェーン内の選択されたメモリセルの伝導電流が感知されることを可能にする。感知の前に、選択されたメモリセルのゲートへの電圧が、適切なワード線およびビット線を介してセットされなければならない。後により詳しく説明されるように、プリチャージ操作は、選択されていないワード線が電圧 $V_{read}$ に充電されることから始まり、その後、選択されたワード線を考慮中の所与のメモリ状態についての所定しきい値電圧 $V_T(i)$ に充電する。プリチャージ回路640は、その後、ビット線電圧を感知に適する所定のドレイン電圧にする。これはNANDチェーン50内の選択されたメモリセルにおいてソース-ドレイン伝導電流を流れさせ、結合されたビット線36を介してNANDチェーンのチャネルから検出される。伝導電流は、メモリセルのソースとドレインとの間に公称電圧差が存在するとき、メモリセル内にプログラムされている電荷と印加された $V_T(i)$ との関数である。

20

## 【 0 0 7 4 】

$V_T(i)$ 電圧が安定しているとき、選択されたメモリセルの伝導電流あるいはプログラムされたしきい値電圧が、信号XXLによりゲート制御されるトランジスタ630を介し、結合されたビット線36を介して感知され得る。セル電流識別器650は、電流レベルの識別器または比較器として役立つ。これは、メモリセルの伝導電流を感知するために感知ノードに結合される。感知は、信号HHLによって制御されるトランジスタ632によってプリチャージが止められたときに、始まる。その後、伝導電流はセル電流識別器650内の基準容量を放電させる。トランジスタ630をオフに転換する信号XXLでセルが減結合されたときに所定の放電期間が終了する。感知される伝導電流の大きさはこの期間の終了時の基準コンデンサの電圧放電量により表され、この結果は、ストロブ信号STBにより制御されたときにラッチ660にラッチされる。セル電流識別器650は、實際上、セルの伝導電流が所与の境界電流値 $I_0(j)$ より大きいあるいは小さいかを判定する。大きければ、ラッチ660は、信号INV=1(HIGH)を伴う所定の状態にセットされる。

30

## 【 0 0 7 5 】

プルダウン回路486は、信号INVをHIGHにセットするラッチ660に応答して活性化される。これは、感知ノード481を、従って接続されているビット線36を接地電圧に引き下げる。これはメモリセル10における伝導電流の流れをコントロールゲート電圧に関わらず抑制する。なぜならば、そのソースとドレインとの間に電圧差がないからである。

40

## 【 0 0 7 6 】

一般に、対応する数のマルチパスセンスモジュール480の作用を受ける1ページのメモリセルがある。ページコントローラ498は、センスモジュールの各々に制御信号およびタイミング信号を供給する。ページコントローラ498は、マルチパスセンスモジュール480の各々を所定数のパス( $j=1$ からNまで)を通して循環させ、各パスのために所定の境界電流値 $I_0(j)$ を供給する。当該技術分野で周知されているように、境界電

50

流値は、境界しきい値電圧あるいは感知のための期間としても実現され得る。最後のパスの後、ページコントローラ498は、読み出しバス499への感知されたデータとしての感知ノード481の状態を転送ゲート488が読み出すことを信号NCOで可能にする。全体で、1ページの感知データが全てのマルチパスモジュール480から読み出される。同様のセンスモジュールが、2005年8月4日に公開されたセルニアら(Cernea et al., )による「低電圧動作のための改善されたメモリ感知回路および方法(IMPROVED MEMORY SENSING CIRCUIT AND METHOD FOR LOW VOLTAGE OPERATION)」という米国公開特許出願第2005-0169082号(特許文献23)に開示されている。この特許出願は、本願明細書において参照により援用されている。

【0077】

10

#### スマートな時間節約プログラムベリファイ

不揮発性メモリの性能における1つの重要な態様はプログラミング速度である。このセクションは、多状態不揮発性メモリのプログラミング性能を改善する方法を論じる。特に、1つの改善されたプログラミング操作が時間節約プログラムベリファイで実現される。

【0078】

#### クイックパス書き込み(「QPW」)

1つの好ましいプログラミング操作は「クイックパス書き込み(Quick Pass Write)」(あるいは「QPW」と称され、その全体が本願明細書において参照により援用されている、米国特許第6,643,188号(特許文献24)に開示されている。

【0079】

20

メモリをプログラムすることの目標はデータを速く、ただし正確に、書き込むことである。バイナリメモリでは、2つのメモリ状態を識別するために1つの境界しきい値レベルを使用するだけでよい。メモリセルが境界しきい値レベルより高いしきい値でプログラムされたとき、「プログラムされた」状態にあると見なされ、そうでなければ「プログラムされていない」状態に留まっている。あるいは、所与のゲート電圧について、より少なくプログラムされたセルはより大きな伝導電流を有する。境界しきい値電圧がメモリセルのゲートに印加されたとき、対応する境界伝導電流がある。セルがその境界伝導電流より大きな伝導電流を有するならば、プログラムされていない状態にあると見なされ、そうでなければ、プログラムされた状態にある。

【0080】

30

多状態メモリでは、各中間状態が2つの境界しきい値レベルの間に画定されるので、事態はより複雑である。中間状態にプログラムするときには、セルはその2つの境界レベルの間のしきい値でプログラムされなければならない。それゆえ、第1の境界レベルより高くなければならないが高すぎではならず、さもなければ第2の境界レベルを通り越してしまう。従って、正確にプログラムする必要がある。1群のメモリセルをプログラムすることは、その群のセルを境界レベル間に密集させる結果をもたらす(図7~8を参照)。プログラミングの不正確さは、所与の状態の分布がその境界レベルを超えて間違っただけという結果をもたらす。たとえ分布が範囲内にあっても限界まで広がっているならば、プログラムかく乱あるいは他の環境効果によってエラーが生じやすくなる。この問題は、状態の数が増えるにつれて、あるいは利用可能なしきい値ウィンドウが狭くなるとき、あるいはその両方のときに、いっそう悪化する。

40

【0081】

状態分布を引き締める1つの手法は、同じデータを複数回プログラムすることによる。一例は、本願明細書において参照により援用されている、米国特許第6,738,289号(特許文献25)に記載されている粗大-精密プログラミング方法である。

【0082】

図11は、所与のプログラムされたメモリ状態を有するメモリセルの2つの分布を示し、より広く広がっている分布はVLレベルでベリファイされるシングルパスプログラミングにより作られ、より引き締まっているほうの分布は、第2のパスがVHレベルでベリファイされる2パスプログラミングにより作られる。第1のパスで、セルは、第1の、低い

50

ほうのベリファイレベルV<sub>L</sub>を用いるプログラミング波形PW<sub>1</sub>で書き込まれ、分布1301を生じさせる。プログラミング波形は、第2のパスのために、より低い値から繰り返し出発する。第2のパスでは、プログラミング波形PW<sub>2</sub>は、これを分布1303のほうへ移すために第2の、より高いベリファイレベルV<sub>H</sub>を用いる。これは、第1のパスがセルを後に第2のパスで引き締められる粗い分布に置くことを可能にする。

【0083】

図12は、2パスプログラミング波形の例を示す。各プログラミングパルスの中に、最後のプログラミングパルスの後のメモリセルの状態を感知するための、より小さなゲート電圧レベルがある。第1の階段波PW<sub>1</sub> 1401は、より低いベリファイレベルV<sub>L</sub>を使用し、PW<sub>2</sub>はより高いベリファイレベルV<sub>H</sub>を使用する。第2のパス(PW<sub>2</sub> 1403)は、米国特許第6,738,289号(特許文献25)に記載されているように、小さなステップサイズを用いることができるけれども、異なるベリファイレベルは別として、プロセスは同じである。このアプローチの短所は、各プログラミングシーケンスが2パスを必要とすることであり、プログラミング波形は両方の階段波全体を通過し、1401を実行してから再び1403を開始しなければならない。

【0084】

図13は、2パスプログラミング操作のためのベリファイ操作における感知についてのタイミング図である。初めに、ワード線WLがプリチャージされる。その後にビット線BLがプリチャージされる。プリチャージされた電圧が安定したとき、第1のストロブSTBはメモリセルの大伝導状態を感知し、それらをラッチする。これらの大伝導状態のビット線は、それらがその後の感知にソースバイアスエラーを持ち込まないように、接地にラッチされる。ビット線の電圧が安定状態に回復した後、メモリセルは第2のストロブSTBにおいて感知される。その後、ワード線は放電され、次のプログラミングパルスへのセットアップができる状態となる。感知されたデータは、SCAN信号がアサートされたときにデータラッチに転送される。2パスプログラミング操作では、ベリファイ操作は、WLを、第1のパス中はV<sub>L</sub>にセットさせ、その後第2のパス中はV<sub>H</sub>にセットさせる。

【0085】

より低いベリファイV<sub>L</sub>に基づく最初のプログラミングフェーズを受けるべき分布を考慮して、プログラミングパルスの単一の階段波を伴う単一のパスを用いることが可能であるが、この初期レベルに達したならばプロセスの速度を落としてより高いベリファイV<sub>H</sub>を用いて分布を洗練することがなお可能であるならば、書き込みはより速く実行され得る。これは、プログラミング波形のための単一の階段波シーケンスでプログラムするためにビット線バイアスを用いる「クイックパス書き込み」を通して成し遂げられ得る。このアルゴリズムは、2パス書き込みのものと同様の効果を達成することができ、米国特許第6,643,188号(特許文献24)により詳しく記載されている。

【0086】

図14は、クイックパス書き込みのシングルパスプログラミング波形を示す。プログラミング波形QPW<sub>1501</sub>は、ベリファイ操作がV<sub>L</sub>レベルおよびV<sub>H</sub>レベルの両方で実行されることを除いて(各プログラミングパルスの中の小さな2ステップパルスを参照)、まさに2パスアルゴリズムの第1のフェーズと同様である。しかし、V<sub>L</sub>でのベリファイが行われたならば、階段波形を再開するのではなくて、階段波が続くけれども、V<sub>H</sub>でセルがベリファイされるまでプログラミングが続くときにプログラミング速度を遅くするためにビット線電圧は高められる。これは、プログラミング波形のパルスが単調に非減少性であることを可能にし、プログラム/ベリファイサイクルを顕著に短縮することを可能にする。

【0087】

図15は、1パスQPWプログラミング操作のためのベリファイ操作における感知についてのタイミング図である。初めに、ワード線WLはV<sub>L</sub>にプリチャージされる。その後、ビット線BLがプリチャージされる。プリチャージされた電圧が安定したとき、V<sub>L</sub>ス

トロープ S T B はメモリセルを感知し、それらをラッチする。感知 V L データは、第 1 の S C A N 信号がアサートされたときにデータラッチに転送される。V L で首尾よくベリファイされたセルは、そのビット線を、プログラミングを低速化する電圧にセットさせる。その後、ワード線はレベル V H に高められる。プリチャージされた電圧が安定した後、第 1 の V H ストロープ S T B は、メモリセルを感知してメモリセルの大伝導状態を識別し、それらをラッチする。これらの大伝導状態のビット線は、それらが後の感知にソースバイアスエラーを持ち込まないように、接地にラッチされる。ビット線の電圧が安定状態に回復した後、メモリセルは第 2 の V H ストロープ S T B で感知される。その後、ワード線は放電され、次のプログラミングパルスへのセットアップができる状態となる。感知された V H データは、第 2 の S C A N 信号がアサートされたときにデータラッチに転送される。

10

【 0 0 8 8 】

#### スマートなクイックパス書き込み (「 S Q P W 」)

最新のクイックパス書き込み ( Q P W ) ベリファイ方式は、2 つの別々の独特の V L ベリファイおよび V H ベリファイを組み合わせることで 1 つのベリファイシーケンスとする。この方式では W L は放電し再充電することなく同じベリファイシーケンスの中で V L から V H へ変化し、これにより、図 1 2 および図 1 3 に関して説明した 2 パスプログラミング方式と比べて時間を節約する。しかし、図 1 5 から分かるように、各ベリファイサイクルが常に V L サブサイクルと V H サブサイクルとを含む。

【 0 0 8 9 】

本発明によれば、プログラムベリファイ操作中に感知されているメモリセルの状態に依存して、ベリファイ操作の一部が不必要であると認識されて時間節約のために省かれる。1 つの好ましい実施形態では、並行してプログラムされているメモリセルのグループに対する、2 つのメモリ状態を区別するための所与のしきい値レベルに関してのベリファイを含むプログラムベリファイ操作に関して、ベリファイ操作は一連の 2 つのベリファイサブサイクルを含み、第 1 のサブサイクルは、その所与のしきい値レベルから所定のマージン下の第 1 のしきい値レベルに関してのベリファイを実行し、第 2 のサブサイクルは、その所与のしきい値レベルと同一である第 2 のしきい値レベルに関してのベリファイを実行する。しかし、従来の場合とは違って、そのグループのいずれか 1 つのメモリセルが第 1 のしきい値を通過したとベリファイされるまでは第 2 のサブサイクルは実行されない。

20

【 0 0 9 0 】

1 つの好ましい実施形態では、グループ中のいずれか 1 つのメモリセルが第 1 のしきい値レベルを通過してプログラムされているというイベントが発生したか否かを調べるために「 1 ビット通過」(「 O B P 」)と称される操作が第 1 のサブサイクルの終わりに実行される。そのイベントの場合、その後のベリファイサイクルの場合のように第 2 のサブサイクルが追加される。また、その後のベリファイサイクルでは O B P 操作は実行されない。図 6 D を参照すると、並行して操作されるべきメモリセルのページに役立つ読み出し / 書き込みスタック 4 9 0 の各々は、センス増幅器 2 1 2 内の感知されたデータをラッチ 5 2 0 に逐次蓄積させる。プログラムされた状態が第 1 のしきい値レベルより低いしきい値レベルを有するとき、論理「 0 」である。感知された状態のうちのいずれか 1 つが第 1 のしきい値レベルを通過しているとき、論理「 1 」である。従って、O B P 操作は、転送終了時にラッチが値「 0 」を有するか否かを調べなければならないに過ぎない。「 0 」ならば、ベリファイサイクルは第 2 のサブサイクルを省き続ける。1 つの「 0 」ではない値が検出されると、第 2 のサブサイクルが追加され、その後のベリファイサイクルでは O B P 操作は最早実行されない。

30

40

【 0 0 9 1 】

図 1 6 は、本発明による、改善されたプログラムベリファイ操作についてのフローチャートである。

ステップ 7 1 0 : 並行してプログラムされるべきメモリセルのグループを選択する。

#### プログラムサイクル

ステップ 7 1 2 : そのグループに共通のワード線に適切なプログラミングパルスを加え

50

る。

#### 第1のしきい値に関しての第1のベリファイサブサイクル

ステップ720：そのワード線を第2のしきい値電圧より所定のマージン下の第1のしきい値電圧にプリチャージし、そのとき、プログラムされたセルは第2のしきい値電圧に関してベリファイされる。

ステップ722：そのグループに関連付けられているビット線を検知に適する電圧にプリチャージする。

ステップ724：そのグループのメモリセルを並行して感知する。

ステップ726：いずれかのセルが第1のしきい値電圧に関して首尾よくベリファイされたならば（すなわち、いずれか「1ビット通過」についてのチェック）、ステップ730の第2のベリファイサブサイクルに進み、そうでなければ第2のサブサイクルを省いてステップ712の次のプログラミングパルスに進む。

10

#### 第2のしきい値に関しての第2のベリファイサブサイクル

ステップ730：プログラミングを低速化するために、ベリファイされたセルのビット線電圧を変更する。

ステップ740：ワード線を、それに関して感知が実行されるところの第2のしきい値電圧にプリチャージする。

ステップ742：そのグループのメモリセルを並行して感知する。

ステップ744：いずれかのセルが第2のしきい値電圧に関して首尾よくベリファイされたならば、ステップ750に進み、そうでなければステップ712の次のプログラミングパルスに進む。

20

ステップ750：そのグループ中の、第2のしきい値に関してベリファイされる必要のあるセルの全てが首尾よくベリファイされたならば、ステップ760に進み、そうでなければステップ752に進む。

ステップ752：ちょうどベリファイされたばかりのセルがプログラムされるのを妨げ、ステップ712の次のプログラミングパルスに進む。

ステップ760：第2のしきい値電圧に関してのベリファイについて、プログラミングは終了した。

#### 【0092】

ここで重要な特徴は、第1のVLベリファイサブサイクルの終了時に、グループ中のどのセルもVLを通過していなければ、第2のVHベリファイサブサイクルが不要であるということである。VHデータについて感知し、ストロープし、走査するために時間を浪費する必要はない。グループ中のどのセルもVLを通過していなければ、第2のVHベリファイサブサイクルは省かれ、これによりある程度の時間節約を実現する。一般に、メモリセルがより多くのレベルに分割されるほど、正確なプログラミングの必要性が高まり、本発明のSQPWベリファイ方式はますます有益となる。

30

#### 【0093】

好ましい実施形態では、このSQPWベリファイは、VLデータの感知およびストロープの後にビット通過VLを検出するために1ビット通過(OBP)走査操作を用いる。VLを通過するビットがなければ、直ちに次のプログラミングパルスに進む。いずれかのビットがVLを通過したならば、通常のVL走査に戻って残りを通常のQPWのように行う。次のベリファイパルスでは、OBP走査操作は省かれる。

40

#### 【0094】

図17は、いずれかのビットがVLを通過する前のSQPWベリファイについてのタイミング図である。これは、SPQWベリファイの短縮されたサイクル表示と見なされ得るものであって、セルのグループ中のどのビットもVLを通過していないときに適用可能である。これは、本質的に、図15に示されているQPWのVLサブサイクルであるが、いずれか1ビットがVLを通過するか否かの付加的判定あるいは(OBP)走査操作を伴う。OBP走査操作は、SCAN信号についてのOBP波形により示されているようにVLサブサイクルの終了時、VHサブサイクルの開始時に行われる。これは、本質的に、並行

50



してプログラムされているセルのグループについてV<sub>L</sub>に関しての感知結果を調べることによっていずれか1つのビットがV<sub>L</sub>を通過するか否かを検出する。

【0095】

図17に示されている短縮されたサイクルのためのシーケンスは以下のとおりである。

フェーズ1：選択されたワード線W<sub>L</sub>をV<sub>L</sub>にプリチャージする。

フェーズ2：ビット線B<sub>L</sub>を感知に適する電圧にプリチャージする。

フェーズ3：感知し、S<sub>T</sub>Bをストローブする（V<sub>L</sub>ストローブ）。

フェーズ4：ワード線W<sub>L</sub>の電圧をV<sub>L</sub>からV<sub>H</sub>に変化させ、ビット線電圧が回復した後、いずれか1つのビットがV<sub>L</sub>でペリファイしたか否かを判定するためにOBP（1ビット通過）を実行する。

10

【0096】

どのビットもV<sub>L</sub>を通過していないとOBP走査操作が判定したならば、短縮されたサイクルの後にワード線の放電と次のプログラミングパルスが続く。この短縮されたサイクルでいずれかのビットがV<sub>L</sub>を通過したならば、サイクルは拡張されてV<sub>H</sub>レベルでのペリファイも有する完全なサイクルとなる。

【0097】

図18は、1つのビットがV<sub>L</sub>を通過するということの第1のインスタンスがちょうど発生したばかりのSQPWペリファイについてのタイミング図である。これは、SQPWペリファイの拡張されたサイクル表示と見なされ得るものであって、セルのグループ中の1つのビットがV<sub>L</sub>ペリファイをパスするという出来事の第1の発生時に当てはまる。これは、本質的に、OBP走査操作が続き、図15に示されているQPWのV<sub>H</sub>サブサイクルでさらに拡張されるV<sub>L</sub>サブサイクルである。

20

【0098】

図18に示されている拡張されたサイクルについてのシーケンスは以下のとおりである。

フェーズ1～4：図17に示されている短縮サイクルのものと同じである。

フェーズ5：感知されたV<sub>L</sub>データをデータラッチに転送する（V<sub>L</sub>走査）。フェーズ4で始まったW<sub>L</sub>充電は割合に長い時間を必要とするので、時間を節約するために同じペリファイシーケンスにおいていずれかのビットがV<sub>L</sub>を通過することをOBPが検出した直後にV<sub>L</sub>走査を実行することが望ましい。

30

フェーズ6：感知し、ストローブする（第1のV<sub>H</sub>ストローブ）。好ましい実施形態では、これは大電流状態を、それらがサブシーケンス感知を妨げないようにオフに転換され得るように、検出するための予備的急速感知である。

フェーズ7：ビット線B<sub>L</sub>が適切な電圧に戻ることを許容する。

フェーズ8：感知し、ストローブする（第2のV<sub>H</sub>ストローブ）。

フェーズ9：ワード線W<sub>L</sub>を放電させる。

フェーズ10：感知されたV<sub>H</sub>データをデータラッチに転送する（V<sub>H</sub>走査）。

【0099】

図19は、少なくとも1つのビットがV<sub>L</sub>を通過した直後のサイクルに続く後のサイクルにおけるSQPWペリファイについてのタイミング図である。これは、SQPWペリファイの通常のサイクル表示と見なされ得るものであって、セルのグループ中の少なくとも1つのビットがV<sub>L</sub>を通過したペリファイサイクルに続く後のペリファイサイクルに当てはまる。これは、本質的に、図15に示されているV<sub>L</sub>サブサイクルおよびV<sub>H</sub>サブサイクルの両方を有する通常のクイックパス書き込みペリファイである。

40

フェーズ1：選択されたワード線W<sub>L</sub>をV<sub>L</sub>にプリチャージする。

フェーズ2：ビット線B<sub>L</sub>を感知に適する電圧にプリチャージする。

フェーズ3：感知し、S<sub>T</sub>Bをストローブする（V<sub>L</sub>ストローブ）。

フェーズ4：ワード線W<sub>L</sub>の電圧をV<sub>L</sub>からV<sub>H</sub>に変更し、感知されたV<sub>L</sub>データをデータラッチに転送する（V<sub>L</sub>走査）。

フェーズ5：感知し、ストローブする（第1のV<sub>H</sub>ストローブ）。好ましい実施形態で

50

は、これはV Hレベルより実質的に低い大電流状態を、それらがサブシーケンス感知を妨げないようにオフに転換され得るように、検出するための予備的急速感知である。

フェーズ6：ビット線B Lが適切な電圧に戻ることを許容する。

フェーズ7：感知し、感知されたV Hデータのためにストローブする（第2のV Hストローブ）。

フェーズ8：ワード線W Lを放電させる。

フェーズ9：感知されたV Hデータをデータラッチに転送する（V H走査）。

【0100】

#### S Q P WでのA - B - Cベリファイの例

S Q P Wについての前の説明は、所与のしきい値レベルに関してのプログラムベリファイに関連している。それに関してのベリファイが行われるところのしきい値レベルが2つ以上あっても、同じ原理が本質的に当てはまる。これは、3つのしきい値レベルV A、V BおよびV Cにより画定される2ビットあるいは4状態のメモリのようなマルチレベルメモリをプログラムするときに起こり得ることである。例えば、図9Cに示されているLMニューコードを用いる上側ページのプログラミングは、3つのしきい値レベルの全てに関してのプログラムベリファイを必要とする。

【0101】

好ましい実施形態では、3つのしきい値レベルの各々に関してのベリファイ操作は、低いほうから高いほうのワード線W L電圧へと連続的に感知を行って連続的に進行することができる。プログラムベリファイは初めV Aだけに関する、すなわちベリファイAである。プログラミングが続いて、少なくとも1つのビットがV Aを超えてプログラムされたとき、プログラムベリファイはベリファイAおよびベリファイBの両方を有することになる。同様に、少なくとも1つのビットがV Bを超えてプログラムされたならば、プログラムベリファイはベリファイA、ベリファイBおよびベリファイCで3つのしきい値レベルの全てを調べる。同様のスマートベリファイ方式が、米国公開特許出願第2004-0109362号（特許文献26）に開示されている。この特許出願の開示内容全体は、本願明細書において参照により援用されている。

【0102】

図20Aは、3つのしきい値レベルに関わるS Q P Wのタイミング図であって、ベリファイAだけに関わる最初のプログラミング段階を示す。いずれかのビットがV A Lを通過する前は、図17に示されている短縮されたサイクルが当てはまり、V LおよびV HはそれぞれV A LおよびV A Hに取って代わられている。O B P操作後、1つのビットがV A Lを通過することの第1のインスタンスが生じたとき、シーケンスは、図18に示されている拡張されたサイクルと同じである。その後、図19の通常サイクルが当てはまる。S Q P Wが節約する時間は、短縮サイクル時間（通常サイクルの持続時間 - 短縮サイクルの持続時間）の数である短縮されたサイクルが実施される時間と、O B PおよびV L走査の走査時間差とである。

【0103】

図20Bは、3つのしきい値レベルに関わるS Q P Wのタイミング図であって、ベリファイAに加えてベリファイBが開始される中間プログラミング段階を示す。この段階では少なくとも1つのビットがV A Lを既に通過しているため、このイベントについて調べるためのO B P操作は不要である。V A LおよびV A Hでの感知は、単に、図19に示されている通常のQ P Wベリファイサイクルに従う。

【0104】

V B Lでの感知は、最初は、おそらく、図17に示されている短縮サイクルである。再び、O B P後にいずれかのビットがV B Lを通過しているならば、V Bベリファイは図18に示されている拡張サイクルと同様である。また、次の感知サイクルにおいて、図19のものと同様の通常サイクルが再開する。S Q P Wが節約しV Bレベルでのベリファイのために浪費する時間は、V Aについてのものと同様のやり方で計算される。

【0105】

10

20

30

40

50

図20Cは、3つのしきい値レベルに関わるSQPWのタイミング図であって、ベリファイAおよびベリファイBに加えてベリファイCが開始される最終プログラミング段階を示す。この段階では少なくとも1つのビットがVALを既に通過しているため、このイベントについて調べるためのOBP操作は不要である。また、OBP後にいずれかのビットがVCLを通過していれば、VCベリファイは図18に示されている拡張されたサイクルと同様である。また、次の感知サイクルにおいて、図19のものと同様の通常サイクルが再開される。SQPWが節約しVCレベルでのベリファイのために浪費する時間は、いずれかのビットがVALを通過する前の、ベリファイAだけに関わるプログラムベリファイの初期段階についてのものと同様のやり方で計算される。

【0106】

10

本発明の種々の態様のある実施形態に関して説明してきたけれども、本発明が添付の特許請求の範囲の全範囲内においてその権利が保護されるべきであることが理解できよう。

【図面の簡単な説明】

【0107】

【図1A】不揮発性メモリセルの例を概略的に示す。

【図1B】不揮発性メモリセルの他の例を概略的に示す。

【図1C】不揮発性メモリセルの他の例を概略的に示す。

【図1D】不揮発性メモリセルの他の例を概略的に示す。

【図1E】不揮発性メモリセルの他の例を概略的に示す。

【図2】メモリセルのNORアレイの例を示す。

20

【図3】図1Dに示されているようなメモリセルのNANDアレイの例を示す。

【図4】任意の時点でフローティングゲートが蓄積していることのできる4つの異なる電荷Q1～Q4についてソース・ドレイン電流とコントロールゲート電圧との間の関係を示す。

【図5】行デコーダおよび列デコーダを介して読み出し／書き込み回路によりアクセス可能なメモリアレイの代表的な配置を概略的に示す。

【図6A】本発明がその中で実現される環境を提供する、読み出し／書き込み回路のバンクを有するコンパクトなメモリ素子を概略的に示す。

【図6B】図6Aに示されているコンパクトなメモリ素子の好ましい配置を示す。

【図6C】ある数のセンスモジュールの、読み出し／書き込みスタックへの好ましいグループ化を示す。

30

【図6D】図6Cに示されている読み出し／書き込みスタックにおける基本的コンポーネントの一般的配置を概略的に示す。

【図7A】各メモリセルが在来のグレイコードを用いて2ビットのデータを記憶するときの4状態メモリアレイのしきい値電圧分布を示す。

【図7B】グレイコードを用いる現存する2パスプログラミング方式における下側ページプログラミングを示す。

【図7C】グレイコードを用いる現存する2パスプログラミング方式における上側ページプログラミングを示す。

【図7D】グレイコードで符号化された4状態メモリの下位ビットを識別するために必要とされる読み出し操作を示す。

40

【図7E】グレイコードで符号化された4状態メモリの上位ビットを識別するために必要とされる読み出し操作を示す。

【図8A】各メモリセルがLMコードを用いて2ビットのデータを記憶するときの4状態メモリアレイのしきい値電圧分布を示す。

【図8B】LMコードを用いる現存する2パスプログラミング方式における下側ページプログラミングを示す。

【図8C】LMコードを用いる現存する2パスプログラミング方式における上側ページプログラミングを示す。

【図8D】LMコードで符号化された4状態メモリの下位ビットを識別するために必要と

50

される読み出し操作を示す。

【図 8 E】LMコードで符号化された 4 状態メモリの上位ビットを識別するために必要とされる読み出し操作を示す。

【図 9 A】各メモリセルが LM ニューコードを用いて 2 ビットのデータを記憶するときの 4 状態メモリアレイのしきい値電圧分布を示す。

【図 9 B】LM ニューコードを用いる現存する 2 パスプログラミング方式における下側ページプログラミングを示す。

【図 9 C】LM ニューコードを用いる現存する 2 パスプログラミング方式における上側ページプログラミングを示す。

【図 9 D】LM ニューコードで符号化された 4 状態メモリの下位ビットを識別するために必要とされる読み出し操作を示す。

10

【図 9 E】LM ニューコードで符号化された 4 状態メモリの上位ビットを識別するために必要とされる読み出し操作を示す。

【図 10】説明されたメモリを感知するのに適する図 6 A に示されているセンスモジュールをより詳しく概略的に示す。

【図 11】所与のプログラムされたメモリ状態を有するメモリセルの 2 つの分布を示し、ここで、より広がっている分布は VL レベルでベリファイされるシングルパスプログラミングにより作られ、より締まっている分布は VH レベルでベリファイされる第 2 のパスを有する 2 パスプログラミングにより作られる。

【図 12】2 パスプログラミング波形の例を示す。

20

【図 13】2 パスプログラミング操作のためのベリファイ操作における感知に関するタイミング図である。

【図 14】クイックパス書き込み (QPW) のシングルパスプログラミング波形を示す。

【図 15】1 パス QPW プログラミング操作のためのベリファイ操作における感知に関するタイミング図である。

【図 16】本発明に従う改善されたプログラムベリファイ操作に関するフローチャートである。

【図 17】いずれかのビットが VL を通過する前の S Q P W ベリファイに関するタイミング図であり、S P Q W ベリファイの短縮サイクル表示と見なされ得るものであって、セルのグループ中のどのビットも VL を通過していないときに適用可能である。

30

【図 18】1 つのビットが VL を通過するという第 1 のインスタンスがほんの今発生したばかりの S Q P W ベリファイに関するタイミング図である。

【図 19】少なくとも 1 つのビットが VL を通過した直後のサイクルに続く後のサイクルにおける S Q P W ベリファイに関するタイミング図である。

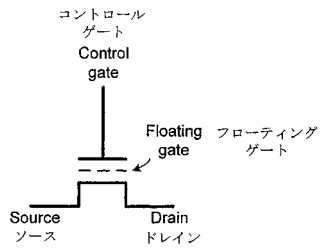
【図 20 A】3 つのしきい値レベルを必要とする S Q P W のタイミング図であって、ベリファイ A だけを必要とする初期プログラミング段階を示す。

【図 20 B】3 つのしきい値レベルを必要とする S Q P W のタイミング図であって、ベリファイ A に加えてベリファイ B が開始される中間プログラミング段階を示す。

【図 20 C】3 つのしきい値レベルを必要とする S Q P W のタイミング図であって、ベリファイ A およびベリファイ B に加えてベリファイ C が開始される最終プログラミング段階を示す。

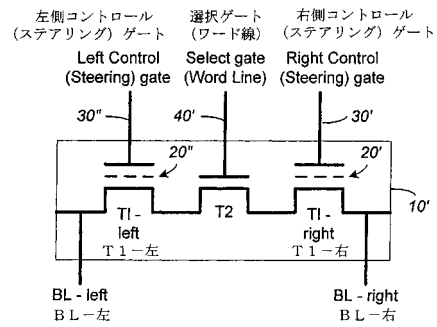
40

【図 1 A】



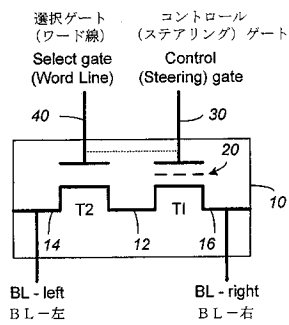
**FIG. 1A** (Prior Art)  
従来技術

【図 1 C】



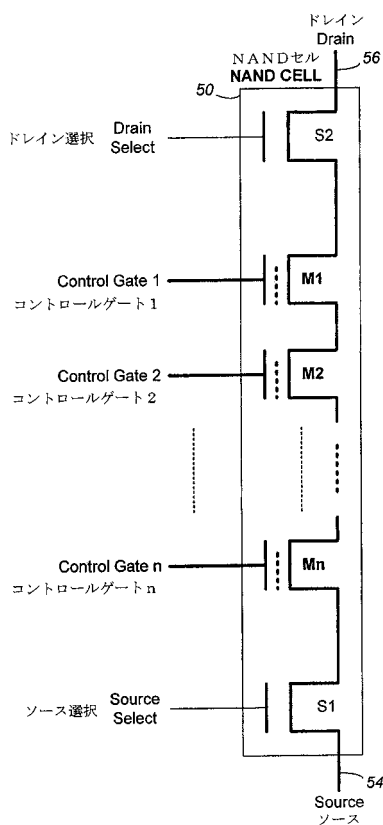
**FIG. 1C** (Prior Art)  
従来技術

【図 1 B】



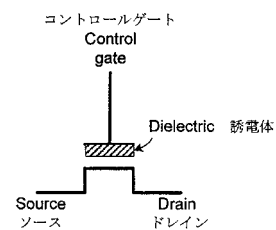
**FIG. 1B** (Prior Art)  
従来技術

【図 1 D】



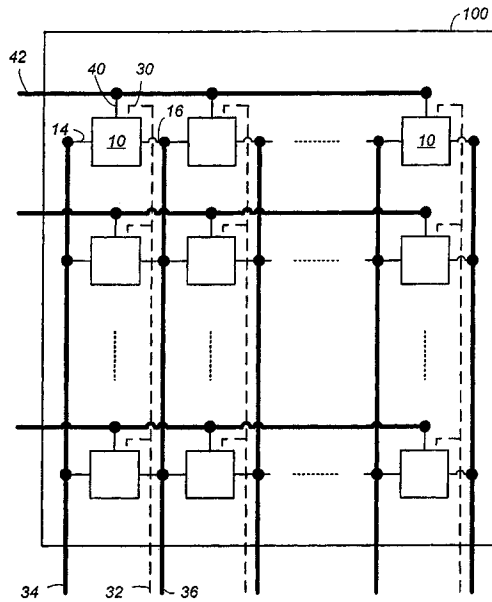
**FIG. 1D** (Prior Art)  
従来技術

【図 1 E】

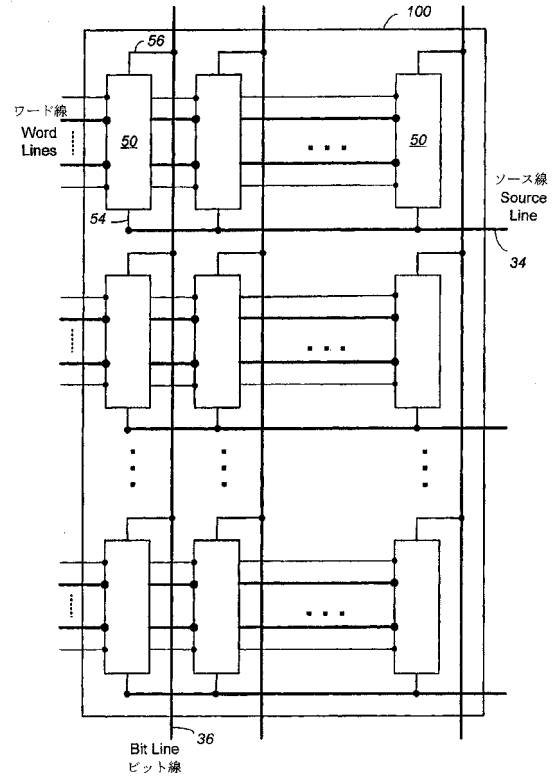


**FIG. 1E** (Prior Art)  
従来技術

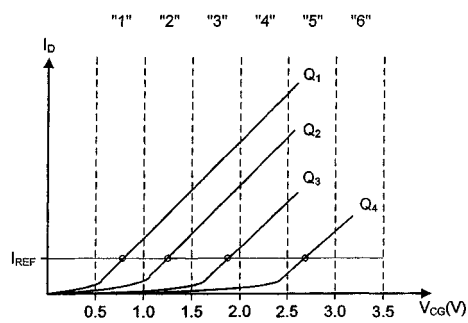
【 図 2 】



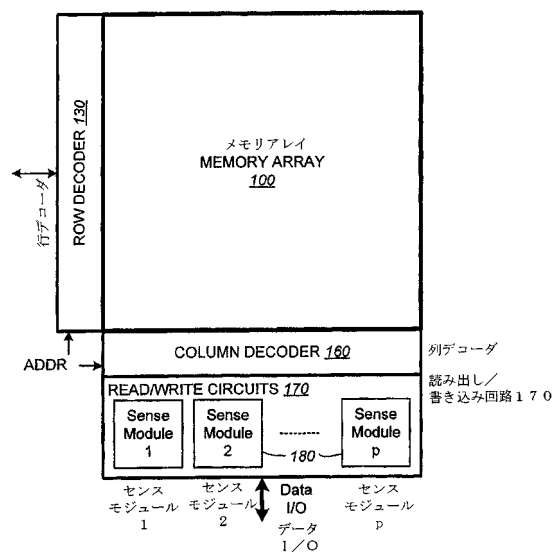
【 図 3 】



【圖 4】



【 図 5 】



【図 6 A】

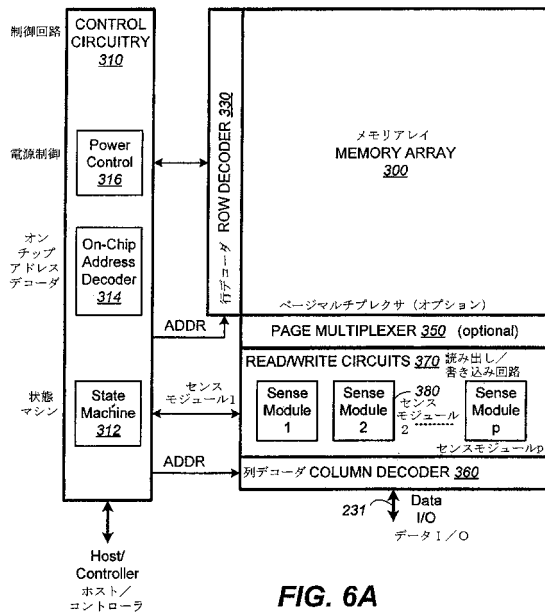


FIG. 6A

【図 6 B】

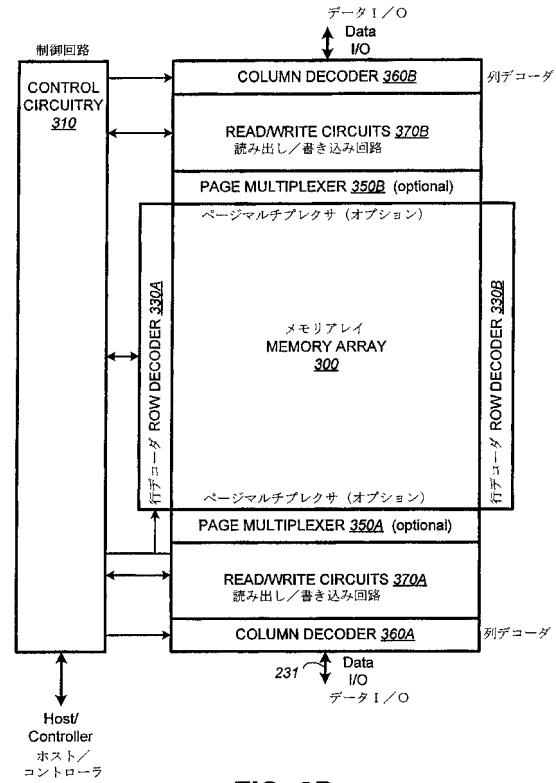


FIG. 6B

【図 6 C】

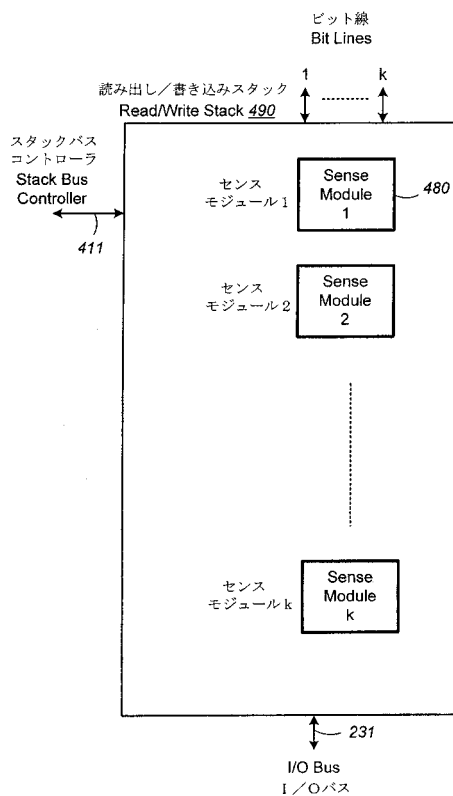


FIG. 6C

【図 6 D】

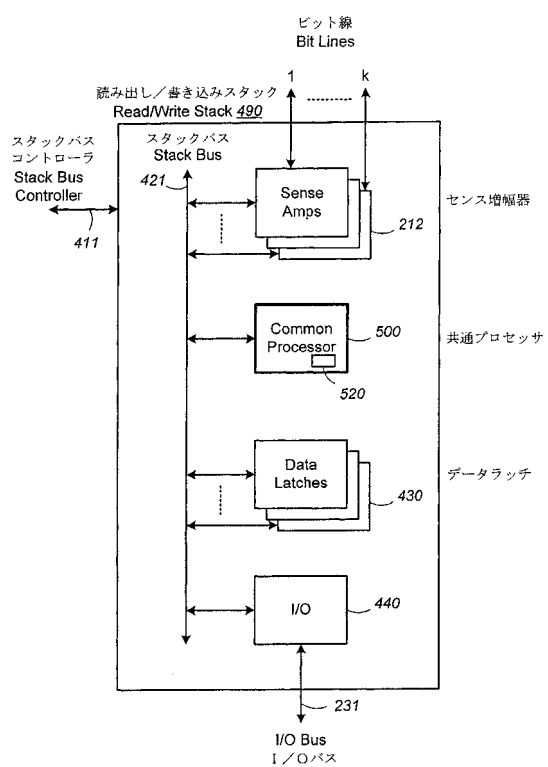


FIG. 6D

【図 7 A】

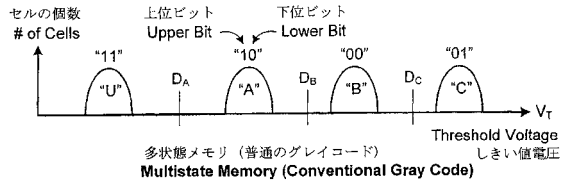


FIG. 7A

【図 7 B】

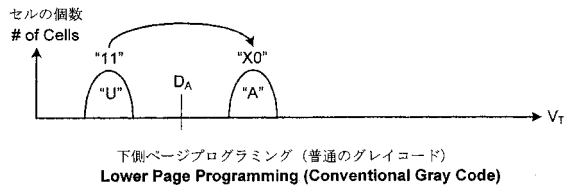


FIG. 7B

【図 7 C】

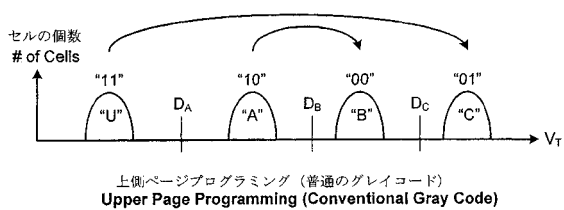


FIG. 7C

【図 8 B】

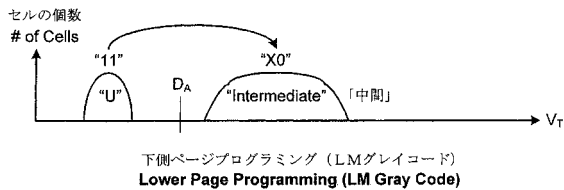


FIG. 8B

【図 8 C】

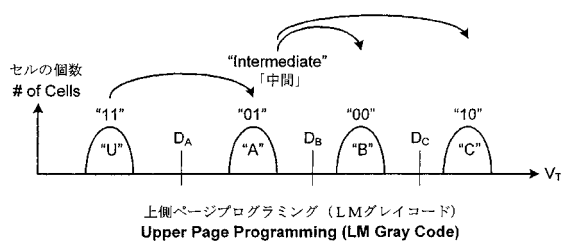


FIG. 8C

【図 8 D】

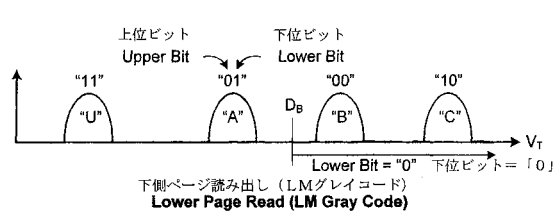


FIG. 8D

【図 7 D】

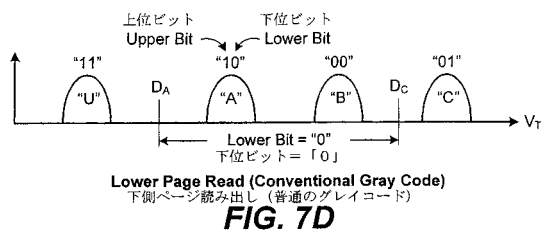


FIG. 7D

【図 7 E】

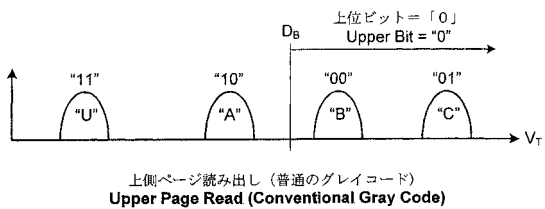


FIG. 7E

【図 8 A】

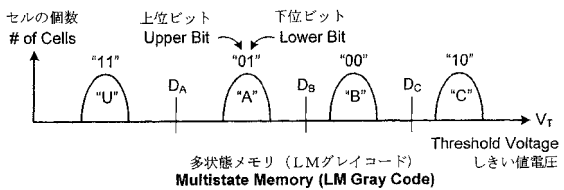


FIG. 8A

【図 8 E】

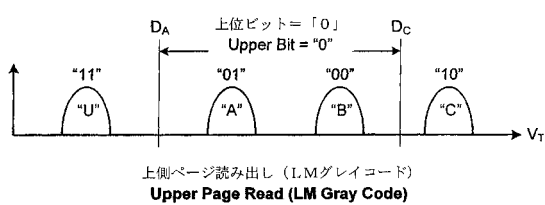


FIG. 8E

【図 9 A】

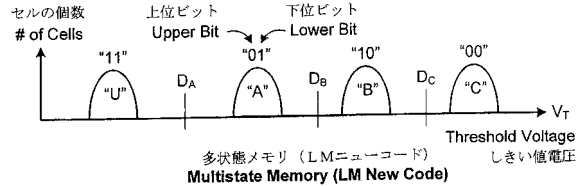


FIG. 9A

【図 9 B】

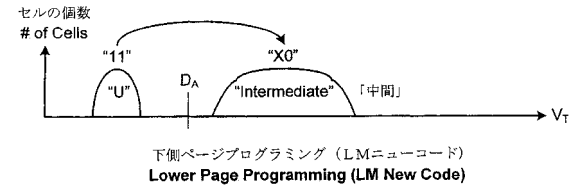
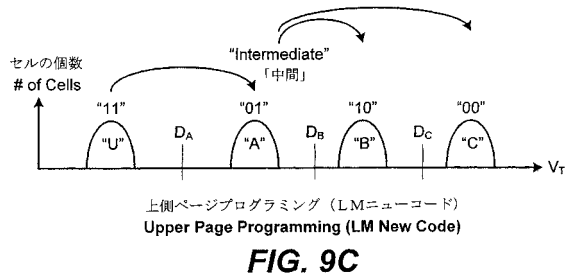


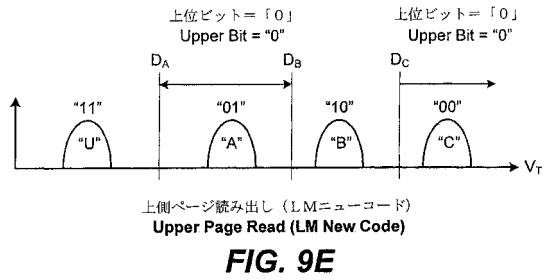
FIG. 9B



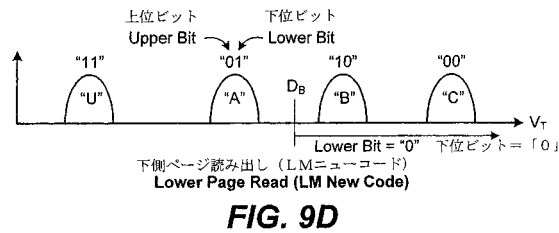
【図 9 C】



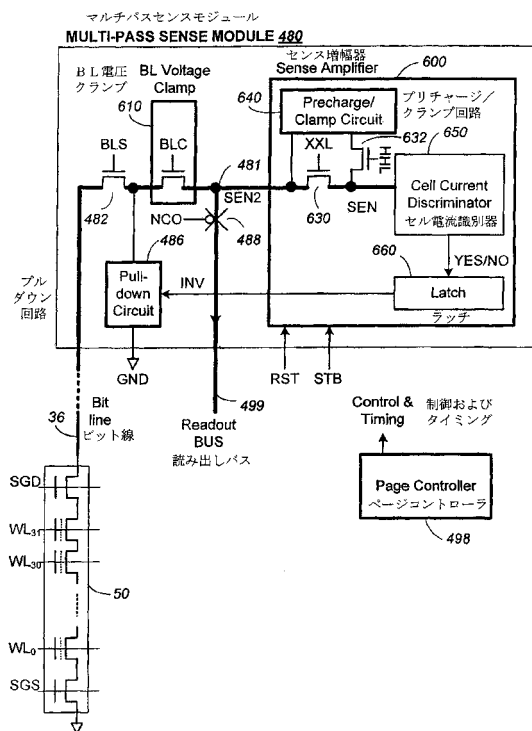
【図 9 E】



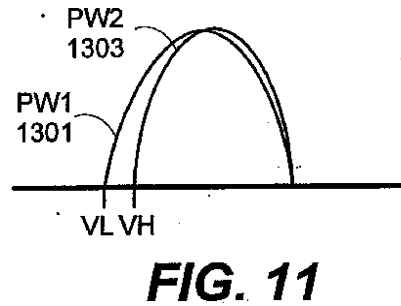
【図 9 D】



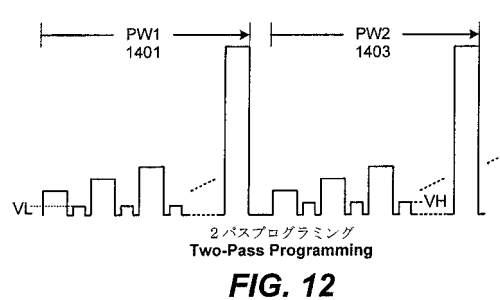
【図 10】



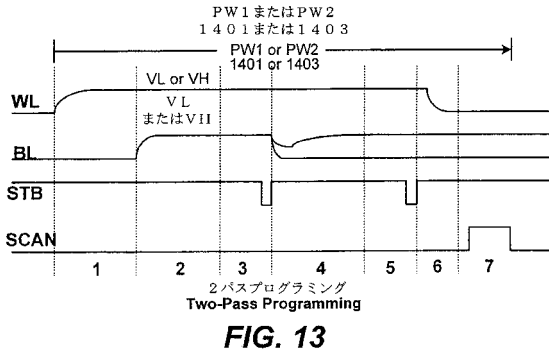
【図 11】



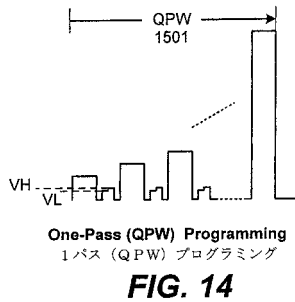
【図 12】



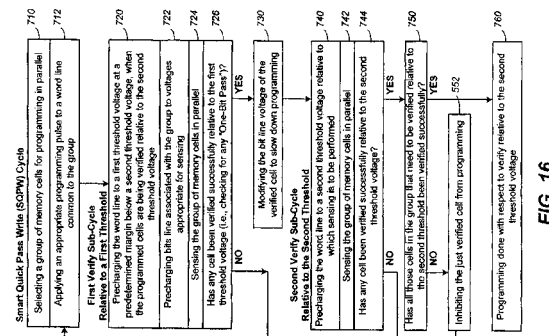
【図 13】



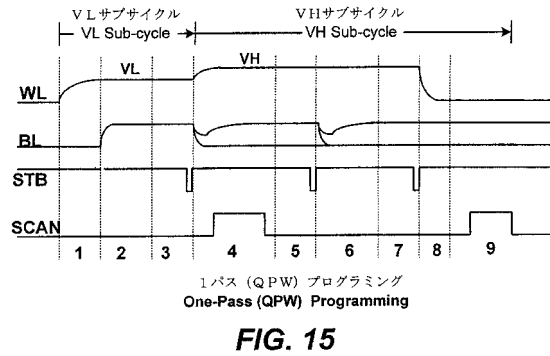
【図 14】



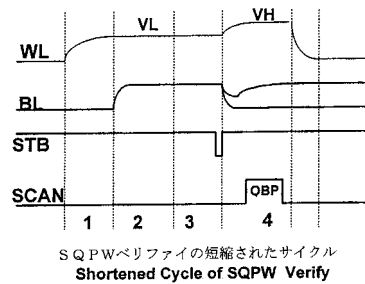
【図 16】



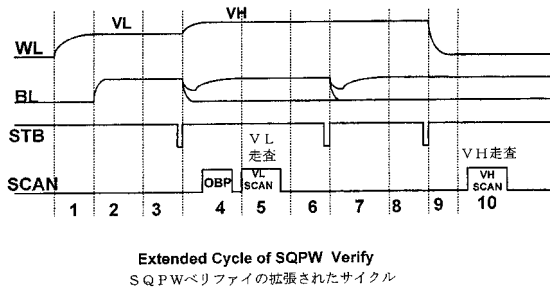
【図 15】



【図 17】

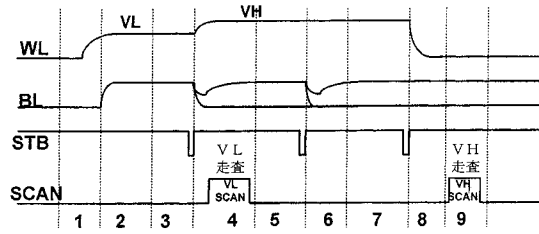


【図 18】



スマートクイックパス書き込み (SQPW) サイクル  
 実行してプログラムされるべきメモリセルのグループを選択する  
 そのグループに属するワード線に適切なプログラミングパルスを加える  
 第1のしきい値に関する第1のベリファイサブサイクル  
 そのワード線を第2のしきい値電圧より所定のマージン下の第1のしきい値電圧に  
 プリチャージし、そのとき、プログラムされたセルは第2のしきい値電圧に  
 ベリファイされる  
 そのグループに関連付けられているビット線に感測電圧を印加してプリチャージする  
 いずれかのセルが第1のしきい値電圧に感測電圧より高電圧でベリファイされたか  
 (すなわち、いずれか「1ビット通過」についてのチェック)?  
 プログラミングを低減化するために、  
 ベリファイされたセルのビット線電圧は変更する  
 第2のしきい値に関する第2のベリファイサブサイクル  
 ワード線を、それに関連して感測電圧が加えられるところの第2のしきい値電圧に  
 プリチャージする  
 そのグループのメモリセルを感測電圧に感測して感測する  
 いずれかのセルが第2のしきい値電圧に感測電圧より高電圧でベリファイされたか?  
 そのグループ中の、第2のしきい値電圧に感測電圧より高電圧でベリファイされる必要のある  
 セルの全てが感測電圧より高電圧でベリファイされたか?  
 ちょうどベリファイされたばかりのセルがプログラムされるのを妨げる  
 第2のしきい値電圧に感測電圧より高電圧でベリファイされたセルについてプログラミングが終了した

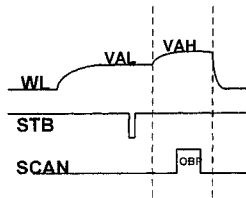
【図 19】



Normal Cycle of SQPW Verify  
SQPWベリファイの通常サイクル

**FIG. 19**

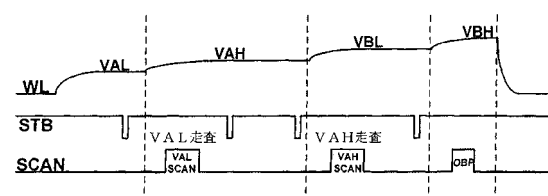
【図 20 A】



Multi-level SQPW Verify (initial stage with only VerifyA)  
マルチレベルSQPWベリファイ (ベリファイAだけを有する初期段階)

**FIG. 20A**

【図 20 B】

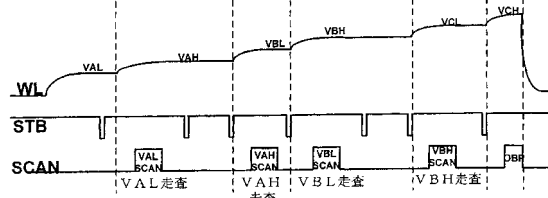


Multi-level SQPW Verify  
(intermediate stage with VerifyA and VerifyB)

**FIG. 20B**

マルチレベルSQPWベリファイ  
(ベリファイAおよびベリファイBを有する中間段階)

【図 20 C】



Multi-level SQPW Verify  
(Final stage with VerifyA, VerifyB and VerifyC)  
マルチレベルSQPWベリファイ  
(ベリファイA、ベリファイBおよびベリファイCを有する最終段階)

**FIG. 20C**

---

フロントページの続き

- (56)参考文献 米国特許出願公開第2005/0226055(US,A1)  
米国特許出願公開第2005/0162923(US,A1)  
特開2005-174414(JP,A)  
国際公開第2005/041206(WO,A1)  
特開平10-275482(JP,A)  
特表2009-509276(JP,A)

- (58)調査した分野(Int.Cl.,DB名)  
G11C 16/00 - 16/34