

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年3月7日(07.03.2019)



(10) 国際公開番号

WO 2019/044728 A1

(51) 国際特許分類:

H02P 27/06 (2006.01) H02M 7/48 (2007.01)

KAISHA) [JP/JP]; 〒4718571 愛知県豊田市
トヨタ町1番地 Aichi (JP).

(21) 国際出願番号:

PCT/JP2018/031474

(22) 国際出願日:

2018年8月27日(27.08.2018)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

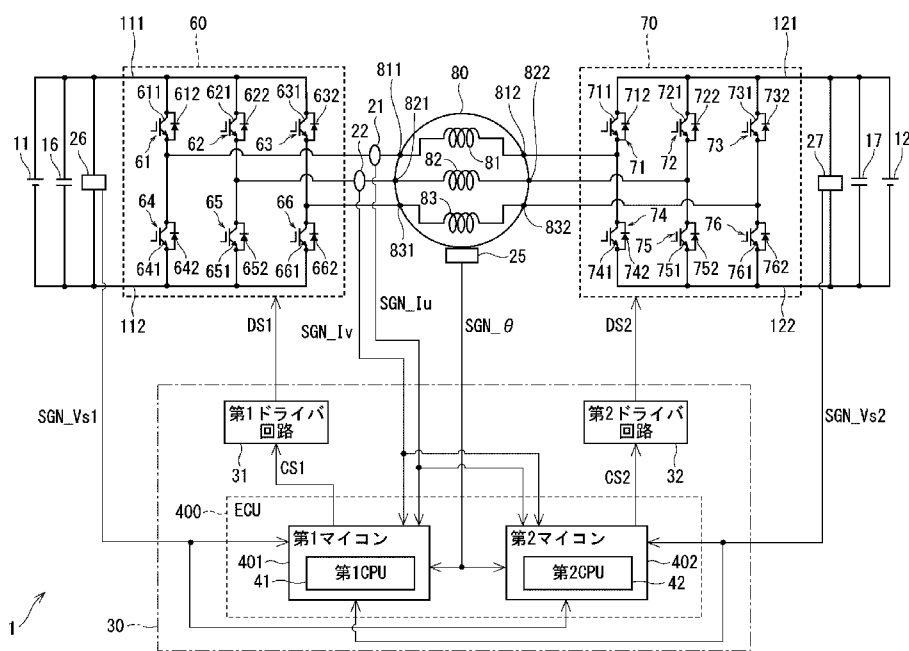
特願 2017-166764 2017年8月31日(31.08.2017) JP

(71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP). トヨタ自動車株式会社 (TOYOTA JIDOSHA KABUSHIKI

(72) 発明者: 小俣 隆士 (OMATA Ryuji); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 加古 寛文 (KAKO Hirofumi); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 松原 清隆 (MATSUBARA Kiyotaka); 〒4718571 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内 Aichi (JP). 林 和仁 (HAYASHI Kazuhito); 〒4718571 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内 Aichi (JP). 中村 誠 (NAKAMURA Makoto);

(54) Title: CONTROL DEVICE FOR ROTATING ELECTRICAL MACHINE

(54) 発明の名称: 回転電機制御装置



- 31 First driver circuit
- 32 Second driver circuit
- 41 First CPU
- 42 Second CPU
- 401 First microcomputer
- 402 Second microcomputer

(57) Abstract: A control device (1) for rotating electrical machines controls the drive of a rotating electrical machine (80) having two phases or more of windings (81-83). A first inverter (60) has a plurality of switching elements (61-66) provided in correspondence to each phase of the windings (81-83) and is connected to one ends of the windings (81-83). A second inverter (70) has a plurality of switching elements (71-76) provided in correspondence to each phase of the windings (81-83) and is connected to the other ends of the windings (81-83). Control units (401, 402) have a first computation circuit (41) for generating a first control signal pertaining to control of the first inverter (60), and a second computation

〒4718571 愛知県豊田市トヨタ町 1 番地 ト
ヨタ自動車株式会社内 Aichi (JP).

(74) 代理人: 服 部 雅 紀 (HATTORI Masaki);
〒4600002 愛知県名古屋市中区丸の内一丁
目 4 番 1 2 号 アレックスビル 8 階 服部
国際特許事務所 Aichi (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

circuit (42) for generating a second control signal pertaining to control of the second inverter (70). The switching timings of the first inverter (60) and second inverter (70) are synchronized on the basis of synchronization information.

(57) 要約: 回転電機制御装置 (1) は、2 相以上の巻線 (81~83) を有する回転電機 (80) の駆動を制御するものである。第1インバータ (60) は、巻線 (81~83) の各相に対応して設けられる複数の第1スイッチング素子 (61~66) を有し、巻線 (81~83) の一端側に接続される。第2インバータ (70) は、巻線 (81~83) の各相に対応して設けられる複数の第2スイッチング素子 (71~76) を有し、巻線 (81~83) の他端側に接続される。制御部 (401、402) は、第1インバータ (60) の制御に係る第1制御信号を生成する第1演算回路 (41)、および、第2インバータ (70) の制御に係る第2制御信号を生成する第2演算回路 (42) を有する。第1インバータ (60) および第2インバータ (70) は、同期情報に基づいてスイッチングタイミングが同期される。

明 細 書

発明の名称： 回転電機制御装置

関連出願の相互参照

[0001] 本出願は、2017年8月31日に出願された特許出願番号2017-166764号に基づくものであり、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、回転電機制御装置に関する。

背景技術

[0003] 従来、2つの電圧源および2つのインバータを備えるダブルエンド型インバータシステムが知られている。例えば特許文献1では、2つのインバータのスイッチング制御により、2つの電圧源を直列化して用いている。

先行技術文献

特許文献

[0004] 特許文献1：特開2006-238686号公報

発明の概要

[0005] 特許文献1では、2つの電圧源および2つのインバータを備えるシステムにおいて、理想状態における動作原理が述べられているにすぎない。ところで、例えばインバータ毎に演算回路が設けられる場合、情報認識や制御タイミング等を合わせないと、2つのインバータ間でスイッチングタイミングのずれが生じる虞がある。スイッチングタイミングにずれが生じると、意図しないゼロ電圧ベクトルの発生等により、モータの出力低下や、モータの挙動が不安定になる虞がある。本開示の目的は、回転電機の駆動を適切に制御可能である回転電機制御装置を提供することにある。

[0006] 本開示の回転電機制御装置は、2相以上の巻線を有する回転電機の駆動を制御するものであって、第1インバータと、第2インバータと、制御部と、を備える。第1インバータは、巻線の各相に対応して設けられる複数の第1スイッチング素子を有し、巻線の一端側に接続される。第2インバータは、

巻線の各相に対応して設けられる複数の第2スイッチング素子を有し、巻線
の他端側に接続される。制御部は、第1インバータの制御に係る第1制御信
号を生成する第1演算回路、および、第2インバータの制御に係る第2制御
信号を生成する第2演算回路を有する。第1インバータおよび第2インバー
タは、同期情報に基づいてスイッチングタイミングが同期される。これによ
り、スイッチングタイミングのずれに起因する出力低下等の不具合の発生を
招くことなく、MG80の駆動を適切に制御可能である。

図面の簡単な説明

- [0007] 本開示についての上記目的及びその他の目的、特徴や利点は、添付の図面
を参照しながら下記の詳細な記述により、より明確になる。その図面は、
[図1]図1は、第1実施形態による回転電機制御装置を説明する概略構成図で
あり、
[図2]図2は、第1実施形態による回転電機制御装置を説明する概略構成図で
あり、
[図3]図3は、第1実施形態による回転角センサからCPUへの信号出力を説
明する模式図であり、
[図4A]図4Aは、第1実施形態によるレゾルバデジタルコンバータからCPU
への信号出力を説明する図であり、
[図4B]図4Bは、第1実施形態による角度同期を説明する説明図であり、
[図5]図5は、第2実施形態による回転角センサからCPUへの信号出力を説
明する模式図であり、
[図6]図6は、第3実施形態による回転角センサからCPUへの信号出力を説
明する模式図であり、
[図7]図7は、第3実施形態による回転角センサからCPUへの信号出力を説
明する模式図であり、
[図8]図8は、第4実施形態による回転角センサからCPUへの信号出力を説
明する模式図であり、
[図9A]図9Aは、第5実施形態による第1CPUから第2CPUへのクロック

ク信号の出力を説明する図であり、

[図9B]図9Bは、第5実施形態による同期処理を説明する説明図であり、

[図10A]図10Aは、第5実施形態による第1CPUから第2CPUへのキャリア信号の出力を説明する図であり、

[図10B]図10Bは、第6実施形態による同期処理を説明する説明図であり、

[図11]図11は、第6実施形態による同期処理を説明する模式図であり、

[図12]図12は、第7実施形態による同期処理を説明する模式図であり、

[図13]図13は、第8実施形態による同期処理を説明する模式図であり、

[図14]図14は、第9実施形態による同期処理を説明する模式図であり、

[図15]図15は、第10実施形態による同期処理を説明する模式図であり、

[図16]図16は、第11実施形態による同期処理を説明する模式図であり、

[図17]図17は、第12実施形態による同期処理を説明する模式図であり、

[図18]図18は、第13実施形態による回転電機制御装置を説明する概略構成図であり、

[図19]図19は、第13実施形態による同期処理を説明する模式図であり、

[図20]図20は、第14実施形態による同期処理を説明する模式図であり、

[図21]図21は、第15実施形態による同期処理を説明する模式図であり、

[図22]図22は、第16実施形態による回転電機制御装置を説明する概略構成図であり、

[図23]図23は、第16実施形態による同期処理を説明する模式図であり、

[図24]図24は、第17実施形態による同期処理を説明する模式図であり、

[図25]図25は、第18実施形態による同期処理を説明する模式図であり、

[図26]図26は、第18実施形態による同期処理を説明する模式図であり、

[図27]図27は、第19実施形態による同期処理を説明する模式図であり、

[図28]図28は、第20実施形態による同期処理を説明する模式図であり、

[図29]図29は、第21実施形態による同期処理を説明する模式図であり、

[図30]図30は、第22実施形態による同期処理を説明する模式図であり、

[図31]他の実施形態による同期処理を説明する模式図である。

発明を実施するための形態

[0008] 以下、回転電機制御装置を図面に基づいて説明する。以下、複数の実施形態において、実質的に同一の構成には同一の符号を付して説明を省略する。

[0009] (第1実施形態)

第1実施形態を図1～図5に示す。図1に示すように、回転電機制御装置1は、回転電機としてのモータジェネレータ80の駆動制御に用いられる。以下適宜、モータジェネレータを「MG」と記載する。MG80は、図示しない車両に搭載される。車両は、例えば電気自動車やハイブリッド車両等の電動自動車である。MG80は、例えば永久磁石式同期型の3相交流モータであって、U相コイル81、V相コイル82、および、W相コイル83を有する。本実施形態では、コイル81～83が「巻線」に対応する。MG80は、図示しない駆動輪を駆動するためのトルクを発生する、いわゆる主機モータであり、駆動輪を駆動するための電動機としての機能、および、図示しないエンジンや駆動輪から伝わる運動エネルギーによって駆動されて発電する発電機としての機能を有する。

[0010] MG80には、第1電圧源である第1バッテリー11および第2電圧源である第2バッテリー12から電力が供給される。電圧源である第1バッテリー11と第2バッテリー12とは、絶縁されている。バッテリー11、12は、ニッケル水素電池、リチウムイオン電池等の充放電可能な二次電池である。二次電池に替えて、電気二重層キャパシタを電圧源として用いてもよい。

[0011] 第1バッテリー11は、第1インバータ60と接続され、第1インバータ60を経由してMG80と電力を授受可能に設けられる。第2バッテリー12は、第2インバータ70と接続され、第2インバータ70を経由してMG80と電力を授受可能に設けられる。これにより、MG80には、第1インバータ60を経由して第1バッテリー11から電力が供給され、第2インバータ70を経由して第2バッテリー12から電力が供給される。

[0012] 第1コンデンサ16は、高電位側配線111と低電位側配線112とに接続され、第2コンデンサ17は、高電位側配線121と低電位側配線122

とに接続される。コンデンサ 16、17は、平滑コンデンサであって、インバータ 60、70に入力される入力電圧 V_{s1} 、 V_{s2} を平滑化する。

[0013] 回転電機制御装置 1は、第1インバータ 60、第2インバータ 70、および、駆動制御部 30を有する。第1インバータ 60は、コイル 81～83の通電を切り替える3相インバータであって、スイッチング素子 61～66を有し、第1バッテリー 11とMG 80との間に接続される。第2インバータ 70は、コイル 81～83の通電を切り替える3相インバータであって、スイッチング素子 71～76を有し、第2バッテリー 12とMG 80との間に接続される。

[0014] スwitching素子 61は、スイッチ部 611および還流ダイオード 612を有する。他のスイッチング素子 62～66も同様、それぞれ、スイッチ部 621、631、641、651、661および還流ダイオード 622、632、642、652、662を有する。同様に、スイッチング素子 71～76は、それぞれ、スイッチ部 711、721、731、741、751、761および還流ダイオード 712、722、732、742、752、762を有する。スイッチング素子 61～66、71～76は同様の構成であるので、スイッチング素子 61を例に説明する。

[0015] スwitch部 611は、IGBTであって、制御部 30によりオンオフ作動が制御される。スイッチ部 611は、IGBTに限らず、MOSFET等であってもよい。還流ダイオード 612は、スイッチ部 611と並列に接続され、低電位側から高電位側への通電を許容する。還流ダイオード 612は、例えばMOSFETの寄生ダイオードのように内蔵されていてもよいし、外付けされたものであってもよい。或いは、還流できるよう接続されたIGBTやMOSFET等のスイッチであっても良い。

[0016] 第1インバータ 60において、高電位側にスイッチング素子 61～63が接続され、低電位側にスイッチング素子 64～66が接続される。また、スイッチング素子 61～63の高電位側を接続する高電位側配線 111が第1バッテリー 11の正極と接続され、スイッチング素子 64～66の低電位側を

接続する低電位側配線 1 1 2 が第 1 バッテリ 1 1 の負極と接続される。

[0017] U 相のスイッチング素子 6 1、6 4 の接続点には U 相コイル 8 1 の一端 8 1 1 が接続され、V 相のスイッチング素子 6 2、6 5 の接続点には V 相コイル 8 2 の一端 8 2 1 が接続され、W 相のスイッチング素子 6 3、6 6 の接続点には W 相コイル 8 3 の一端 8 3 1 が接続される。

[0018] 第 2 インバータ 7 0 において、高電位側にスイッチング素子 7 1～7 3 が接続され、低電位側にスイッチング素子 7 4～7 6 が接続される。また、スイッチング素子 7 1～7 3 の高電位側を接続する高電位側配線 1 2 1 が第 2 バッテリ 1 2 の正極と接続され、スイッチング素子 7 4～7 6 の低電位側を接続する低電位側配線 1 2 2 が第 2 バッテリ 1 2 の負極と接続される。以下適宜、高電位側に接続されるスイッチング素子 6 1～6 3、7 1～7 3 を上アーム素子、低電位側に接続されるスイッチング素子 6 4～6 6、7 4～7 6 を下アーム素子とする。

[0019] U 相のスイッチング素子 7 1、7 4 の接続点には U 相コイル 8 1 の他端 8 1 2 が接続され、V 相のスイッチング素子 7 2、7 5 の接続点には V 相コイル 8 2 の他端 8 2 2 が接続され、W 相のスイッチング素子 7 3、7 6 の接続点には W 相コイル 8 3 の他端 8 3 2 が接続される。このように、本実施形態では、第 1 インバータ 6 0 および第 2 インバータ 7 0 が、コイル 8 1～8 3 の両側に接続されており、「2 電源 2 インバータ」の電動機駆動システムとなっている。

[0020] 電流センサ 2 1 は、スイッチング素子 6 1、6 4 の接続点と U 相コイル 8 1 の一端 8 1 1 との間に設けられ、U 相コイル 8 1 に通電される U 相電流 I_u を検出する。電流センサ 2 2 は、スイッチング素子 6 2、6 5 の接続点と V 相コイル 8 2 の一端 8 2 1 との間に設けられ、V 相コイル 8 2 に通電される V 相電流 I_v を検出する。電流センサ 2 1、2 2 は、コイル 8 1～8 3 に流れる電流を相毎に検出可能ないずれの箇所に設けてもよい。本実施形態では、U 相および V 相に電流センサ 2 1、2 2 を設けているが、U 相または V 相に替えて W 相に設けてもよいし、全相に設けてもよい。また、電流センサ

を第2インバータ70側に設けてもよい。

[0021] 回転角センサ25は、MG80の電気角 θ を検出する。本実施形態の回転角センサ25は、レゾルバであるが、レゾルバ以外のロータリーエンコーダ等を用いてもよい。第1入力電圧センサ26は、第1インバータ60に印加される第1入力電圧 V_{s1} を検出する。第2入力電圧センサ27は、第2インバータ70に印加される第2入力電圧 V_{s2} を検出する。

[0022] 電流センサ21、22からの相電流信号 SGN_I_u 、 SGN_I_v 、回転角センサ25からの回転角信号 $SGN_ \theta$ 、および、入力電圧センサ26、27からの入力電圧信号 SGN_V_{s1} 、 SGN_V_{s2} は、マイコン401、402に出力される。

[0023] 駆動制御部30は、第1ドライバ回路31、第2ドライバ回路32、および、ECU400等を備える。第1ドライバ回路31は、ECU400からの第1制御信号 $CS1$ に応じ、スイッチング素子61～66のオンオフ作動を制御する第1駆動信号 $DS1$ を生成して第1インバータ60に出力する。第2ドライバ回路32は、ECU400からの第2制御信号 $CS2$ に応じ、スイッチング素子71～76のオンオフ作動を制御する第2駆動信号 $DS2$ を生成して第2インバータ70に出力する。駆動信号 $DS1$ 、 $DS2$ は、各スイッチング素子61～66、71～76のゲートに出力されるゲート電圧である。

[0024] ECU400は、マイコン等を主体として構成され、内部にはいずれもCPU、ROM、I/O、及び、これらの構成を接続するバスライン等を備えている。ECU400における各処理は、ROM等の実体的なメモリ装置（すなわち、読み出し可能非一時的有形記録媒体）に予め記憶されたプログラムをCPUで実行することによるソフトウェア処理であってもよいし、例えばFPGA（field-programmable gate array）のような電子回路によるハードウェア処理であってもよい。

[0025] ECU400は、第1CPU41を有する第1マイコン401、および、第2CPU42を有する第2マイコン402を備える。すなわち本実施形態

では、少なくとも1つのCPUを有する2つのマイコンが設けられている。複数のマイコンを設けることで、一部のマイコンが機能失陥となった場合にもMG80の駆動を継続できる冗長系を構築することができる。また、マイコン401、402にて相互監視を行うことで、信頼性を向上することができる。

[0026] また、図2に示すように、CPU41、42が1つのマイコン403に設けられていてもよい。いわゆるマルチコアのマイコンを用い、マイコンを単一化することで、設計の自由度が高まるとともに、小型化に貢献する。もちろん、図1のマイコン401、402がそれぞれマルチコアであってもよい。以下、図1のように、第1CPU41が第1マイコン401、第2CPU42が第2マイコン402に設けられる例を中心に説明するが、後述の実施形態についても、図2のように、CPU41、42が1つのマイコン403に設けられていてもよい。

[0027] 本実施形態では、マイコンが「制御部」、CPUが「演算回路」に対応する。また、第1マイコン401が「第1制御部」、第2マイコン402が「第2制御部」に対応する。図中適宜、第1マイコンを「マイコン1」、第2マイコンを「マイコン2」、第1CPUを「CPU1」、第2CPUを「CPU2」、第1ドライバ回路を「DRV1」、第2ドライバ回路を「DRV2」と記載する。本実施形態では、第1CPU41が第1インバータ60の駆動制御に係る第1制御信号CS1を生成し、第2CPU42が第2インバータ70の駆動制御に係る第2制御信号CS2を生成する。

[0028] 本実施形態の電動機駆動システムは、絶縁された2つの電圧源であるバッテリー11、12、および、独立した2つのインバータ60、70が両側に接続されるオープン巻線のMG80を備えている。また、2つのインバータ60、70のスイッチング制御により、2つのバッテリー11、12を直列化することで、高出力を得ることができる。

[0029] 2電源2インバータの構成にてバッテリー11、12を直列化して用いる場合、第1インバータ60および第2インバータ70では、各相において、上

下が逆のスイッチング素子が同時にオンオフされる。以下適宜、第1インバータ60および第2インバータ70において、各相で、上下が逆のスイッチング素子を同時にオンオフする制御を、「反転SW制御」とする。インバータ60、70のスイッチング制御は、反転SW制御に限らず、どのような制御としてもよい。

[0030] ところで、本実施形態では、第1インバータ60の制御に係る第1制御信号CS1を第1CPU41が生成し、第2インバータ70の制御に係る第2制御信号CS2を第2CPU42が生成している。そのため、CPU41、42の制御タイミングや情報認識を合わせないと、スイッチングタイミングのずれが生じる。同期スイッチングができないと、意図しないゼロ電圧ベクトルの発生に伴う出力の低下や、挙動が不安定になり、MG80を意図通りに駆動できない虞がある。

[0031] そこで本実施形態では、第1CPU41と第2CPU42とで、スイッチングタイミングを同期させるための同期処理を行う。ここで、CPU41、42にてタイミングを同期させた上で、タイミングを所定量ずらしている状態は、同期されているという概念に含まれるものとする。ここで、同期処理には、例えば角度情報等の共通の情報を基準に制御を行う同期、CPU41、42内のクロック信号やキャリア信号を揃えることによる制御タイミングの同期、および、第1制御信号CS1および第2制御信号CS2の出力タイミングの同期等の処理が含まれる。

[0032] また、同期処理は、各実施形態にて言及がない限り、各種信号のパルスの立ち上がりまたは立ち下がりタイミングであるパルスエッジや同期情報に係る値が所定値になるタイミング毎に常時実施してもよいし、所定の周期で実施してもよいし、不定期に実施してもよいし、例えば起動初回に実施するようにしてもよい。

[0033] 第1実施形態～第4実施形態では、MG80の電気角 θ に係る回転角情報を用いてCPU41、42を同期させる。すなわち、本実施形態では、回転角信号SGN__ θ が「同期情報」および「回転角情報」に対応する。以下、

タイミングがずれていたとき、第1 CPU 41側の信号を基準とし、第2 CPU 42側の信号をずらして第1 CPU 41側の信号とタイミングを合わせるものとして説明する。もちろん、第1 CPU 41側の信号を第2 CPU 42側の信号に合わせるようにしてもよい。第2実施形態以降についても同様である。

[0034] 図3および図4Aに示すように、回転角信号SGN__ θ は、sin信号およびcos信号を含むアナログ信号である。ECU 400は、レゾルバデジタルコンバータ433を有する。レゾルバデジタルコンバータを、以下「RDC」とする。RDC 433は、回転角センサ25から出力される回転角信号SGN__ θ のsin信号およびcos信号を、A相、B相およびZ相のデジタルパルス信号に変換する。A相、B相およびZ相のデジタルパルス信号は、CPU 41、42に出力される。すなわち、電気角 θ に応じたデジタルパルス信号が分岐されてCPU 41、42に入力される。尚、本来、RDC出力はレゾルバ角であるが、本実施形態では、レゾルバと回転電機ロータの極対数を同じと見なして省略している。また、レゾルバと回転電機ロータの極対数とは必ずしも同じである必要はなく、各極対数の角度倍数に応じてレゾルバ角と電気角とは変換可能である。

[0035] 図4Bに示すように、CPU 41、42では、分岐されたデジタルパルス信号を用いることで、第1 CPU 41における電気角 θ_cpu1 と、第2 CPU 42における電気角 θ_cpu2 とが同期されるので、制御タイミングが同期される。これにより、CPU 41、42の制御タイミングは、常時同期される。MG 80は、角度同期にて駆動が制御されるので、共通の角度を認識させることで、適切にスイッチングタイミングを同期させることができる。第2実施形態～第4実施形態も同様である。

[0036] 以上説明したように、回転電機制御装置1は、3相以上のコイル81～83を有するMG 80の駆動を制御するものであって、第1インバータ60と、第2インバータ70と、マイコン401、402と、を備える。第1インバータ60は、コイル81～83の各相に対応して設けられる複数の第1ス

スイッチング素子 61～66 を有し、コイル 81～83 の一端側に接続される。第 2 インバータ 70 は、コイル 81～83 の各相に対応して設けられる複数の第 2 スwitching 素子 71～76 を有し、コイル 81～83 の他端側に接続される。マイコン 401、402 は、第 1 インバータ 60 の制御に係る第 1 制御信号 CS1 を生成する第 1 CPU 41、および、第 2 インバータ 70 の制御に係る第 2 制御信号 CS2 を生成する第 2 CPU 42 を有する。

[0037] 第 1 インバータ 60 および第 2 インバータ 70 は、同期情報に基づいてスイッチングタイミングが同期される。これにより、スイッチングタイミングのずれに起因する出力低下等の不具合の発生を招くことなく、MG80 の駆動を適切に制御可能であり、MG80 を意図通りに駆動することができる。

[0038] 図 1 に示すように、制御部には、第 1 CPU 41 を有する第 1 マイコン 401、および、第 2 CPU 42 を有する第 2 マイコン 402 が含まれる。第 2 マイコン 402 は、第 1 マイコン 401 とは別途に設けられる。マイコンを 2 つ設けることで、一方の機能失陥時に、他方のマイコンにて MG80 の制御を継続する冗長系を構築可能である。また、マイコン 401、402 にて相互監視を行うことで、信頼性が向上する。また、図 2 に示すように、第 1 CPU 41 および第 2 CPU 42 は、単一のマイコン 403 に設けられていてもよい。これにより、マイコンを複数設ける場合と比較し、設計の自由度が向上すると共に、小型化に貢献する。

[0039] 本実施形態の同期情報は、MG80 の回転位置である電気角 θ を検出する回転角センサ 25 の検出値に基づく回転角情報である。本実施形態では、RDC433 から出力される A 相、B 相および Z 相のデジタルパルス信号が「共通の回転角情報」であって、第 1 CPU 41 および第 2 CPU 42 に分岐して入力される。共通の角度情報を CPU 41、42 に認識させ、角度同期することで、スイッチングタイミングを適切に同期させることができる。

[0040] 第 1 インバータ 60 は第 1 バッテリ 11 と接続され、第 2 インバータ 70 は第 1 バッテリ 11 とは絶縁されている第 2 バッテリ 12 と接続される。これにより、第 1 バッテリ 11 および第 2 バッテリ 12 の電力を用いて MG8

0を駆動することができる。特に、例えば反転SW制御等のスイッチング制御により、バッテリー11、12を直列化して駆動することで、高出力を得ることができる。

[0041] (第2実施形態)

第2実施形態を図5に示す。第2実施形態では、回転角センサ25からの回転角信号SGN__ θ は、RDCを経由せずに、直接的に分岐されて、CPU41、42に入力される。回転角センサ25がレゾルバであれば、CPU41、42には、アナログ信号が入力される。なお、図5では、RDCの図示を省略しているが、RDCは、CPU41、42に内蔵されていてもよいし、CPU41、42とは別途に設けられてもよい。第3実施形態および第4実施形態についても同様である。このように構成しても、電気角 θ が同期されるので、第1実施形態と同様、スイッチングタイミングが同期される。また、上記実施形態と同様の効果を奏する。

[0042] (第3実施形態)

第3実施形態を図6および図7に示す。回転角センサ250は、第1センサ部251および第2センサ部252を有する。センサ部251、252は、それぞれMG80の電気角 θ を検出する。第1センサ部251からの第1回転角信号SGN__ θ 1は、第1CPU41に出力され、第2センサ部252からの第2回転角信号SGN__ θ 2は、第2CPU42に出力される。本実施形態では、回転角信号SGN__ θ 1、SGN__ θ 2が「同期情報」および「回転角情報」に対応する。

[0043] センサ部251、252は、同様に構成されており、同じMG80の回転状態を検出している。そのため、第1センサ部251からの第1回転角信号SGN__ θ 1と、第2センサ部252からの第2回転角信号SGN__ θ 2とが実質的に同じであるので、第1CPU41と第2CPU42とで電気角 θ が同期され、スイッチングタイミングが同期される。図6の例では、第1センサ部251と第2センサ部252とが一体となっているが、図7のように、第1センサ部251と第2センサ部252とが別体となってもよい。

このように構成しても、上記実施形態と同様の効果を奏する。

[0044] (第4実施形態)

第4実施形態を図8に示す。本実施形態では、第3実施形態と同様、2つのセンサ部251、252からの回転角信号SGN__θ1、SGN__θ2が、それぞれCPU41、42に入力される。また、ECU400には、CPU41、42毎の個別のRDCとは別に、同期用RDC434が設けられている。同期用RDC434は、第1回転角信号SGN__θ1または第2回転角信号SGN__θ2（本実施形態では、第1回転角信号SGN__θ1）を取得してデジタル信号に変換し、角度基準信号SGN__Zを第1CPU41および第2CPU42に出力する。本実施形態の回転角センサ250はレゾルバであって、角度基準信号SGN__ZをZ相のデジタルパルス信号とする。Z相パルス信号以外の信号を角度基準信号としてもよい。

[0045] 1つの回転角信号に基づく角度基準信号SGN__Zを分岐してCPU41、42で共通に用いることで、センサ部251、252の製品ばらつき等によるセンサ誤差を補正可能であり、同期精度をより高めることができる。本実施形態では、CPU41、42の制御タイミングは、常時同期されているとともに、Z相パルスの立ち上がりまたは立ち下がりタイミングにて、誤差補正を実施可能である。本実施形態では、回転角信号SGN__θ1、SGN__θ2に加え、角度基準信号SGN__Zが「同期情報」に対応する。

[0046] 回転角センサ250は、第1CPU41に回転角情報である第1回転角信号SGN__θ1を出力する第1センサ部251、および、第2CPU42に回転角情報である第2回転角信号SGN__θ2を出力する第2センサ部252を有する。同期情報には、第1回転角信号SGN__θ1または第2回転角信号SGN__θ2に基づいて生成される角度基準信号SGN__Zが含まれる。角度基準信号SGN__Zは、第1CPU41および第2CPU42に分岐して入力される。これにより、センサ部251、252の検出誤差等によるずれを補正可能であり、より同期精度を向上することができる。また、上記実施形態と同様の効果を奏する。

[0047] (第5実施形態)

第5実施形態を図9に示す。本実施形態では、マイコン401、402にて生成される信号を用いて、制御タイミングを同期させる。図9Aに示すように、第1マイコン401にはポート591が設けられ、第2マイコン402にはポート592が設けられる。ポート591、592は、信号を送受信可能に設けられている。ポート591、592は、直接的に配線にて接続されていてもよいし、ソフト的に通信可能に構成してもよい。以下の実施形態では、第1CPU41を「マスター回路」、第2CPU42を「スレーブ回路」とし、第1CPU41から第2CPU42に同期情報を送信し、第2CPU42にてタイミング調整等の同期処理を行う例を中心に説明する。第2CPU42を「マスター回路」とし、第1CPU41を「スレーブ回路」としてもよい。また、CPU41、42にて相互に同期情報を送受信しあうようにしてもよい。相互に同期情報を送受信する場合についても、一方をマスター回路、他方をスレーブ回路と見なせばよい。

[0048] 第5実施形態では、同期情報はクロック信号CLK__cpu1、CLK__cpu2であって、クロック信号CLK__cpu1、CLK__cpu2を用いて制御タイミングを動作させる。同期処理に用いるクロック信号CLK__cpu1、CLK__cpu2は、どのような周波数のものを用いてもよい。第1CPU41にて生成されたクロック信号CLK__cpu1は、ポート591、592を経由して、第2CPU42に出力される。

[0049] 図9Bに示すように、第2CPU42では、第1CPU41から取得されたクロック信号CLK__cpu1と自身のクロック信号CLK__cpu2のパルスの立ち上がりまたは立ち下がりタイミングを突き合わせ、クロックずれを補正する。換言すると、一方のCPUから他方のCPUにクロック信号を送信し、他方のCPUにて強制的にクロック合わせを行う。尚、クロックに関しては、最小動作クロックであってもよく、制御タイミングや周期を演算するために積算して、ある程度まとまった動作クロックであってもよく、扱うクロックの倍数は限定しない。

[0050] なお、信号の授受に、FPGA等の高速ハードウェアを用いれば、通信遅れを略0とみなすことができる。また、通信遅れや応答遅れが生じる場合であっても、遅れ等を加味して補正を加えた同期処理を行えばよい。本実施形態以外の実施形態についても同様である。

[0051] 本実施形態では、マスター回路である第1CPU41は、自身の同期情報をスレーブ制御部である第2CPU42に出力する。第2CPU42は、第1CPU41から取得される同期情報と、自身の対応する同期情報とに基づいて、第1インバータ60と第2インバータ70のスイッチングタイミングを同期させる同期処理を行う。これにより、第1インバータ60と第2インバータ70のスイッチングタイミングを適切に同期させることができる。

[0052] 本実施形態では、同期情報はクロック信号CLK__cpu1、CLK__cpu2であって、第2CPU42は、同期処理として、第1CPU41と第2CPU42とのクロックずれを補正する。これにより、クロック信号CLK__cpu1、CLK__cpu2が同期されるので、スイッチングタイミングを適切に同期させることができる。また、上記実施形態と同様の効果を奏する。

[0053] (第6実施形態)

第6実施形態を図10および図11に示す。本実施形態では、同期情報は、PWM制御に用いられるキャリア信号CRR__cpu1、CRR__cpu2であって、キャリア信号CRR__cpu1、CRR__cpu2に基づいて制御タイミングを補正する。図10Aに示すように、第1CPU41にて生成されたキャリア信号CRR__cpu1は、ポート591、592を経由して、第2CPU42に出力される。図10Bに示すように、第2CPU42では、第1CPU41から取得したキャリア信号CRR__cpu1の山となるタイミング、谷となるタイミング、または、中心を0としたときのゼロクロスタイミング等の所定のタイミングを、自身のキャリア信号CRR__cpu2と突き合わせ、タイミングが一致するように、キャリア信号CRR__cpu2をシフトする。図11では、矢印A1で示すように、キャリア信号C

RR__cpu1、CRR__cpu2が山となるタイミングが一致するように、キャリア信号CRR__cpu2位相をシフトする。図11では、キャリア信号CRR__cpu2について、位相シフト前を破線、位相シフト後を実線で示した。

[0054] 本実施形態の同期情報は、PWM制御に用いられるキャリア信号CRR__cpu1、CRR__cpu2であって、第2CPU42は、同期処理として、第1CPU41と第2CPU42とで、キャリア信号CRR__cpu1、CRR__cpu2の位相が一致するように位相をシフトする。これにより、キャリア信号CRR__cpu1、CRR__cpu2が同期されるので、スイッチングタイミングを適切に同期させることができる。また、上記実施形態と同様の効果を奏する。

[0055] (第7実施形態)

第7実施形態を図12に示す。本実施形態では、ECU400(図12中では不図示)には、トリガ発生器44が設けられる。トリガ発生器44は、第1CPU41または第2CPU42から送信される発生指示信号に基づき、外部トリガ信号を生成し、第1CPU41および第2CPU42に送信する。CPU41、42では、外部トリガ信号に基づき、制御タイミングのずれを補正する。本実施形態では、トリガ発生器44により生成されるトリガ信号が「同期情報」に対応する。

[0056] 外部トリガ信号は、回路部品にてハード的に生成されてもよいし、マイコン401、402とは別途に設けられる他のマイコン等にてソフト的に生成されてもよい。すなわち、トリガ発生器44は、回路部品であってもよいし、マイコンであってもよい。

[0057] 本実施形態の同期情報は、第1CPU41および第2CPU42とは別途に設けられるトリガ発生器44にて生成される外部トリガ信号である。CPU41、42は、トリガ信号に基づいて、インバータ60、70のスイッチングタイミングを同期させる同期処理を行う。これにより、外部からの共通の外部トリガ信号に基づき、スイッチングタイミングを適切に同期させるこ

とができる。また、上記実施形態と同様の効果を奏する。

[0058] (第8実施形態)

第8実施形態を図13に示す。本実施形態では、第1CPU41は、制御情報に係る信号である内部トリガ信号を生成し、第2CPU42に送信する。制御情報は、電流に係る情報、電圧に係る情報、および、MG80の回転角に係る情報、あるいは、これらとは異なる情報であって、タイミング調整に利用可能であって、CPU41、42にて共通の諸量に係る情報である。電流または電圧に係る情報には、例えば直流成分に係る情報、交流成分に係る情報、位相または振幅に係る情報等のいずれであってもよい。本実施形態の同期情報は、制御信号CS1、CS2の生成に用いられる制御情報に基づく内部トリガ信号である。第1CPU41は、内部トリガ信号を生成して第2CPU42に出力する。第2CPU42では、内部トリガ信号に基づいてスイッチングタイミングを同期させる同期処理を行う。これにより、スイッチングタイミングを適切に同期させることができる。また、上記実施形態と同様の効果を奏する。

[0059] (第9実施形態)

第9実施形態を図14に示す。本実施形態では、制御信号CS1、CS2を同期情報として用いる。第1CPU41から第1ドライバ回路31に出力される第1制御信号CS1は、第2CPU42にも出力される。第2CPU42では、第1制御信号CS1に基づき、第2CPU42から出力される第2制御信号CS2の出力タイミングを補正する。

[0060] 本実施形態では、制御モード等に応じ、第1インバータ60と第2インバータ70とで同時にオンオフするスイッチング素子に係る制御信号CS1、CS2を用いて、制御信号CS1、CS2の出力タイミングを補正する。反転SW制御では、第1インバータ60のスイッチング素子61と、第2インバータ70のスイッチング素子74とを同時にオンオフするので、本実施形態では、スイッチング素子61のオンオフ作動に係る制御信号に基づき、スイッチング素子74のオンオフ作動に係る制御信号の出力タイミングを補正

する。もちろん、同時にオンオフされるスイッチング素子の他の組み合わせの制御信号に基づいて出力タイミング補正を行ってもよい。これにより、第1インバータ60と第2インバータ70とで同時にオンオフすべきスイッチング素子のスイッチングタイミングを適切に同期させることができる。

[0061] 本実施形態の同期情報は、第1制御信号CS1および第2制御信号CS2である。第2CPU42は、同期処理として、第1制御信号CS1の出力タイミングと第2制御信号CS2の出力タイミングとが一致するように、出力タイミングを調整する。これにより、スイッチングタイミングを適切に同期させることができる。また、上記実施形態と同様の効果を奏する。

[0062] (第10実施形態)

第10実施形態を図15に示す。ECU400(図15中では不図示)は、メインCPU51、および、サブCPU52を有する。メインCPU51が正常であれば、メインCPU51が第1インバータ60の駆動制御に係る第1制御信号CS1、および、第2インバータ70の駆動制御に係る第2制御信号CS2を生成する。すなわち本実施形態では、演算回路であるメインCPU51が、「第1演算回路」および「第2演算回路」を含んでいる、と捉えることができる。また、サブCPU52は、制御信号CS1、CS2を生成可能であって、メインCPU51の異常時等に、メインCPU51に替わって、制御信号CS1、CS2を出力する。

[0063] ここで、第1インバータ60の上アーム素子であるスイッチング素子61～63に係る制御信号を第1上アーム信号CS1__H、下アーム素子であるスイッチング素子64～66に係る制御信号を第1下アーム信号CS1__L、第2インバータ70の上アーム素子であるスイッチング素子71～73に係る制御信号を第2上アーム信号CS2__H、下アーム素子であるスイッチング素子74～77に係る制御信号を第2下アーム信号CS2__Lとする。

[0064] メインCPU51では、一方のインバータの上アーム素子の駆動に係る制御信号、および、他方のインバータの下アーム素子の駆動に係る制御信号を生成する。図15の例では、メインCPU51は、第1上アーム信号CS1

__H、および、第2下アーム信号CS 2 __Lを生成する。なお、反転SW制御では、第1上アーム信号CS 1 __Hと第2下アーム信号CS 2 __Lとは、同様のパルス信号となる。

[0065] 第1上アーム信号CS 1 __Hは、NOT（反転）回路53にて反転され、第1下アーム信号CS 1 __Lが生成される。第2下アーム信号CS 2 __Lは、NOT（反転）回路54にて反転され、第2上アーム信号CS 2 __Hが生成される。NOT回路53、54は、ハードウェア回路であってもよいし、ソフトウェア回路であってもよい。

[0066] 本実施形態では、一方のCPUにて、反転SW制御にて同時にオンオフされるスイッチング素子に係る制御信号を生成し、NOT回路53、54を用いて、生成された制御信号をNOT反転することで、残りの制御信号を生成する。これにより、第1インバータ60と第2インバータ70とのスイッチングタイミングを適切に同期させることができる。また、特に反転SW制御時におけるメインCPU51にて生成する信号数を少なくすることができる。

[0067] 本実施形態では、第1演算回路および第2演算回路は、1つのメインCPU51に含まれる。メインCPU51は、第1インバータ60の上アームに係る制御信号である第1上アーム信号CS 1 __Hおよび第2インバータ70の下アームに係る制御信号である第2下アーム信号CS 2 __L、または、第1インバータ60の下アームに係る制御信号である第1下アーム信号CS 1 __Lおよび第2インバータ70の上アームに係る制御信号である第2上アーム信号CS 2 __Hの一方を生成する。第1上アーム信号CS 1 __Hおよび第2下アーム信号CS 2 __L、または、第1下アーム信号CS 1 __Lおよび第2上アーム信号CS 2 __Hの他方は、メインCPU51にて生成される信号の反転処理にて生成される。このように構成しても、スイッチングタイミングを適切に同期させることができる。また、特に反転SW制御時において、メインCPU51にて生成する信号数を少なくすることができる。また、上記実施形態と同様の効果を奏する。

[0068] (第11実施形態)

第11実施形態を図16に示す。本実施形態では、ECU400(図16中では不図示)には、同期調整回路46が設けられる。同期調整回路46には、第1CPU41から第1制御信号CS1が入力され、第2CPU42から第2制御信号CS2が入力される。また、同期調整回路46には、出力タイミング調整信号が入力される。同期調整回路46に入力される出力タイミング調整信号は、CPU41、42の一方から出力される任意の信号であってもよいし、CPU41、42とは別途に設けられる図示しない信号生成部から出力される信号であってもよい。本実施形態では、出力タイミング調整信号が「同期信号」に対応する。

[0069] 本実施形態では、同期調整回路46は、同期前の制御信号CS1、CS2および出力タイミング調整信号が揃ったときに、制御信号CS1、CS2を同期後の信号としてドライバ回路31、32に出力する。これにより、制御信号CS1、CS2が同期され、第1インバータ60と第2インバータ70のスイッチングタイミングを適切に同期させることができる。

[0070] 本実施形態では、第1CPU41から出力された第1制御信号CS1と、第2CPU42から出力された第2制御信号CS2とを、出力タイミング調整信号に基づいて同期させる同期調整回路46を備える。これにより、スイッチングタイミングを適切に同期させることができる。また、上記実施形態と同様の効果を奏する。

[0071] 第12実施形態～第14実施形態では、電流に係る電流情報を同期情報として同期処理を行う。第12実施形態～第14実施形態では、電流が安定している定常状態にて、任意のタイミングにて同期処理を実施可能である。

[0072] (第12実施形態)

第12実施形態を図17に示す。本実施形態では、相電流 I_u 、 I_v 、 I_w の少なくとも1相の電流値に基づいてタイミングずれを補正する。相電流 I_u 、 I_v 、 I_w は共通であるので、CPU41、42にて、共通の任意値となったタイミングを突き合わせることで、CPU41、42における認識

タイミングずれを補正する。任意値は、0から上下のピーク値までのいずれの値としてもよい。図17の例では、U相電流 I_u が0となるゼロクロスタイミングを第1CPU41から第2CPU42へ通知し、第2CPU42にて認識タイミングずれを補正する。

[0073] 本実施形態の同期情報は、コイル81～83に通電される電流を検出する電流センサ21、22の検出値に基づく少なくとも1相の巻線電流情報である。以下、巻線電流情報を、単に相電流 I_u 、 I_v 、 I_w とし、ここでは、U相電流 I_u を同期情報として用いるものとして説明する。U相電流 I_u に替えて、V相電流 I_v またはW相電流 I_w を用いてもよいし、複数相の電流を用いてもよい。第2CPU42は、U相電流 I_u が所定電流値であると、第1CPU41にて認識されたタイミングと、第2CPU42にて認識されたタイミングと、に基づいて同期処理を行う。これにより、スイッチングタイミングを適切に同期させることができる。また、上記実施形態と同様の効果を奏する。

[0074] (第13実施形態)

第13実施形態を図18および図19に示す。図18に示すように、本実施形態では、第1インバータ60側の高電位側配線111の電流を検出する第1母線電流センサ23、および、第2インバータ70側の高電位側配線121の電流を検出する第2母線電流センサ24が設けられる。第1母線電流センサ23の検出値は第1マイコン401に出力され、第2母線電流センサ24の検出値は第2マイコン402に出力される。ここで、第1インバータ60側の母線電流を第1母線電流 I_{b1} 、第2インバータ70側の母線電流を第2母線電流 I_{b2} とする。また、 $I_{b1(6)}$ 、 $I_{b2(6)}$ は、母線電流 I_{b1} 、 I_{b2} の6次成分を示すものとする。

[0075] 3相電流 I_u 、 I_v 、 I_w が共通であるので、母線電流 I_{b1} 、 I_{b2} の平均値が異なっても、6次成分 $I_{b1(6)}$ 、 $I_{b2(6)}$ は共通となる。そこで本実施形態では、第1CPU41にて第1母線電流 I_{b1} の6次成分 $I_{b1(6)}$ のピークを認識したタイミングと、第2CPU42にて第2母線電流 I_{b2}

の6次成分 $I_{b2(6)}$ のピークを認識したタイミングとを突き合わせることで、CPU41、42における認識タイミングのずれを補正する。認識するピークは、電流6次成分が増加から減少に転じる山側のピークであってもよいし、減少から増加に転じる谷側のピークであってもよい。図19の例では、第1母線電流 I_{b1} の6次成分 $I_{b1(6)}$ の山側のピークを認識したタイミングを第1CPU41から第2CPU42へ通知し、第2CPU42にて認識タイミングずれを補正する。なお、電流6次成分を電流リップル成分と捉えれば、本実施形態は、母線電流 I_{b1} 、 I_{b2} の電流リップルに基づいて同期処理を行っているといえることもできる。

[0076] 本実施形態の同期情報は、母線電流 I_{b1} 、 I_{b2} を検出する母線電流センサ23、34の検出値に基づく母線電流情報である。以下、母線電流情報を、単に母線電流 I_{b1} 、 I_{b2} という。第2CPU42は、母線電流 I_{b1} 、 I_{b2} の n 次成分がピークであると、第1CPU41にて認識されるタイミングと、第2CPU42にて認識されるタイミングと、に基づいて同期処理を行う。本実施形態では、母線電流 I_{b1} 、 I_{b2} の6次成分を用いているが、他の次数の成分を用いてもよい。これにより、スイッチングタイミングを適切に同期させることができる。また、上記実施形態と同様の効果を奏する。

[0077] (第14実施形態)

第14実施形態を図20に示す。本実施形態では、一方のCPUからの指令によりコイル81～83にサーチ電流 I_{src} を付与し、他方のCPUにてサーチ電流 I_{src} を検出する。図20の例では、第1CPU41からの指令により、U相コイル81にサーチ電流 I_{src} を付与する。第2CPU42は、電流センサ21、22の検出値に基づき、サーチ電流 I_{src} を検出する。また、第1CPU41は、サーチ電流 I_{src} を付与したタイミングを第2CPU42へ通知し、第2CPU42では、サーチ電流 I_{src} が付与されたタイミングと検出されたタイミングとを突き合わせることで、認識タイミングのずれを補正する。

[0078] 図20では、サーチ電流 I_{src} として、サージ状電流を付与しているが、付与するサーチ電流は、例えば零相電流、高調波電流、パルス状電流等であってもよい。また、U相に替えて、V相またはW相、或いは複数相にサーチ電流 I_{src} を付与してもよい。

[0079] 本実施形態の同期情報は、サーチ電流 I_{src} の発生タイミングに係る情報である。第1CPU41は、サーチ電流 I_{src} を付与するとともに、付与タイミングタイミングを第2CPU42に通知する。第2CPU42は、サーチ電流 I_{src} を検出し、付与タイミングと検出タイミングとに基づいて同期処理を行う。これにより、スイッチングタイミングを適切に同期させることができる。また、上記実施形態と同様の効果を奏する。

[0080] (第15実施形態)

第15実施形態を図21に示す。図21では、MG80が力行状態であって、負荷変化ポイントにて、電力消費量が増大した場合を例示している。本実施形態では、入力電圧 V_{s1} 、 V_{s2} に基づいて同期処理を行う。入力電圧 V_{s1} 、 V_{s2} は、平均値や絶対値によらず、負荷状態に応じて増加または減少する。詳細には、MG80の力行にて電力消費量が増加すると、入力電圧 V_{s1} 、 V_{s2} は低下する。また、MG80の回生にて電力供給量が増加すると、入力電圧 V_{s1} 、 V_{s2} は上昇する。入力電圧 V_{s1} 、 V_{s2} が変曲点となるタイミングは、入力電圧 V_{s1} 、 V_{s2} の平均値や絶対値に依らない。また、入力電圧 V_{s1} 、 V_{s2} の変化タイミングは、トルク指令値などの変化により、予測可能である。

[0081] そこで本実施形態では、第1CPU41にて、第1入力電圧 V_{s1} が変曲点となったタイミングを検出し、検出タイミングを第2CPU42に通知する。第2CPU42では、第1入力電圧 V_{s1} が変曲点となったタイミングと、第2入力電圧 V_{s2} が変曲点となったタイミングとを突き合わせることで、クロックから制御タイミングまでのずれを補正する。

[0082] 回転電機制御装置1は、第1入力電圧センサ26と、第2入力電圧センサ27と、を備える。第1入力電圧センサ26は、第1インバータ60に印加

される第1入力電圧 V_{s1} を検出し、検出値を第1CPU41に出力する。

第2入力電圧センサ27は、第2インバータ70に印加される第2入力電圧 V_{s2} を検出し、検出値を第2CPU42に出力する。

[0083] 本実施形態の同期情報は、第1入力電圧 V_{s1} および第2入力電圧 V_{s2} に係る入力電圧情報である。第2CPU42は、入力電圧が変化したと、第1CPU41にて認識されるタイミングと、第2CPU42にて認識されるタイミングと、に基づいて同期処理を行う。これにより、スイッチングタイミングを適切に同期させることができる。また、上記実施形態と同様の効果を奏する。

[0084] (第16実施形態)

第16実施形態を図22および図23に示す。図22に示すように、本実施形態では、コイル81～83の第1インバータ60側には、U相電圧 V_{u1} 、V相電圧 V_{v1} およびW相電圧 V_{w1} のうちの少なくとも1つである第1巻線電圧を検出する第1電圧センサ28が設けられる。また、コイル81～83の第2インバータ70側には、U相電圧 V_{u2} 、V相電圧 V_{v2} およびW相電圧 V_{w2} のうちの少なくとも1つである第2巻線電圧を検出する第2電圧センサ29が設けられる。第1電圧センサ28の検出値は第1マイコン401に出力され、第2電圧センサ29の検出値は第2マイコン402に出力される。

[0085] 図23の紙面左側には、第1インバータ60側のU相電圧 V_{u1} 、および、第2インバータ70側のU相電圧 V_{u2} を示している。U相電圧 V_{u1} 、 V_{u2} は、第1インバータ60および第2インバータ70に同じ電圧指令を与えた場合、立ち上がりおよび立ち下がりタイミングは一致する。

[0086] そこで本実施形態では、第1CPU41にて、第1電圧センサ28の検出値に基づくU相電圧 V_{u1} のエッジタイミングを検出し、検出タイミングを第2CPU42に通知する。第2CPU42では、第2電圧センサ29の検出値に基づくU相電圧 V_{u2} のエッジタイミングと、U相電圧 V_{u1} のエッジタイミングとを突き合わせることで、クロックから制御タイミングまでの

ずれを補正する。

[0087] なお、エッジタイミングに替えて、U相電圧 V_{u1} 、 V_{u2} が任意の所定値になったタイミングに基づいて補正してもよい。また、本実施形態ではU相電圧 V_{u1} 、 V_{u2} に基づいて同期処理を行う例を説明したが、U相電圧 V_{u1} 、 V_{u2} に替えて、V相電圧 V_{v1} 、 V_{v2} またはW相電圧 V_{w1} 、 V_{w2} を用いてもよいし、複数相の巻線電圧に基づいて同期処理を行ってもよい。

[0088] 同期情報は、コイル81～83に印加される巻線電圧である。第2CPU42は、巻線電圧のパルスエッジタイミングに基づいて同期処理を行う。これにより、スイッチングタイミングを適切に同期させることができる。また、上記実施形態と同様の効果を奏する。

[0089] (第17実施形態)

第17実施形態を図24に示す。図24では、説明の都合上、CPU41、42を2つに分けて記載した。本実施形態では、第1マイコン401は、第1CPU41から出力される第1制御信号CS1を内部的に取得する第1検出回路471を有する。第2マイコン402は、第2CPU42から出力される第2制御信号CS2を内部的に取得する第2検出回路472を有する。検出回路471、472は、ハードウェア回路であってもよいし、ソフトウェア回路であってもよい。

[0090] 上述の通り、反転SW制御が行われているとき、スイッチング素子61、74が同時にオンオフされる。第1検出回路471は、スイッチング素子61のオンオフに係るパルス信号を検出して第1CPU41に出力する。また、第2検出回路472は、スイッチング素子74のオンオフに係るパルス信号を検出して第2CPU42に出力する。図中、スイッチング素子61に係るパルス信号をPL61、スイッチング素子74に係るパルス信号をPL74と記載する。

[0091] 第1CPU41は、第1検出回路471からの情報に基づいてスイッチング素子61に係るパルス信号PL61のエッジタイミングを検出し、第2C

PU42に出力する。第2CPU42では、第2検出回路472からの情報に基づくスイッチング素子74に係るパルス信号PL74のエッジタイミングと、スイッチング素子61に係るパルス信号PL61のエッジタイミングとを突き合わせることで、クロックから制御タイミングまでのずれを補正する。ここでは、スイッチング素子61、74のパルス信号PL61、PL74に基づく同期処理を説明したが、第1インバータ60と第2インバータ70とで同時にオンオフされる他のスイッチング素子の組み合わせでのパルス信号を用いて同期処理を行ってもよい。このように構成しても、上記実施形態と同様の効果を奏する。

[0092] (第18実施形態)

第18実施形態を図25および図26に示す。本実施形態では、第16実施形態と同様、電圧センサ28、29が設けられている。図25に示すように、第1マイコン401（図25中では不図示）は、電圧検出回路481および基本波抽出回路491を有する。電圧検出回路481は、第1電圧センサ28の検出値に基づき、相電圧 V_{u1} 、 V_{v1} 、 V_{w1} を検出する。基本波抽出回路491は、フィルタ処理等により、相電圧 V_{u1} 、 V_{v1} 、 V_{w1} から基本波成分 V_{u1_b} 、 V_{v1_b} 、 V_{w1_b} を抽出する。

[0093] 第2マイコン402（図25中では不図示）は、電圧検出回路482および基本波抽出回路492を有する。電圧検出回路482は、第2電圧センサ29の検出値に基づき、相電圧 V_{u2} 、 V_{v2} 、 V_{w2} を検出する。基本波抽出回路492は、フィルタ処理等により、相電圧 V_{u2} 、 V_{v2} 、 V_{w2} から基本波成分 V_{u2_b} 、 V_{v2_b} 、 V_{w2_b} を抽出する。

[0094] インバータ60、70に同じ電圧指令を与えた場合、第1インバータ60側の基本波成分 V_{u1_b} 、 V_{v1_b} 、 V_{w1_b} と、第2インバータ70側の基本波成分 V_{u2_b} 、 V_{v2_b} 、 V_{w2_b} とは一致する。そこで本実施形態では、図26に示すように、第1CPU41は、U相基本波成分 V_{u1_b} がゼロクロスするタイミングを検出し、第2CPU42に通知する。第2CPU42は、U相基本波成分 V_{u1_b} 、 V_{u2_b} がゼロク

ロスするタイミングを突き合わせることで、制御タイミングずれを補正する。ゼロクロスタイミングに替えて、ゼロクロスから上下のピークまでの任意の値となったタイミングを突き合わせることで同期処理を行ってもよい。また、U相に替えて、V相またはW相の基本波成分を用いてもよいし、複数相の基本波成分を用いてもよい。第19実施形態も同様である。なお、図26では、基本波抽出前については1相のみのパルス信号および基本波成分を簡略化して示している。

[0095] 回転電機制御装置1は、コイル81～83に印加される巻線電圧の基本波成分を抽出する基本波抽出回路491、492を備える。同期情報は、巻線電圧の基本波成分である。ここでは、U相電圧 V_{u1} 、 V_{u2} を例に説明すると、第2CPU42は、U相電圧 V_{u1} 、 V_{u2} の基本波成分であるU相基本波成分 V_{u1_b} 、 V_{u2_b} が所定電圧値であると、第1CPU41にて認識されたタイミングと、第2CPU42にて認識されたタイミングとに基づいて同期処理を行う。これにより、スイッチングタイミングを適切に同期させることができる。また、上記実施形態と同様の効果を奏する。

[0096] (第19実施形態)

第19実施形態を図27に示す。第19実施形態では、電圧センサ28、29の検出値に基づく実電圧の基本波成分に基づいて同期処理を行う。本実施形態では、実電圧の基本波成分に替えて、電圧指令値に基づいて同期処理を行う。

[0097] 図27に示すように、第1CPU41は、第1電圧指令値 V_{u1}^* 、 V_{v1}^* 、 V_{w1}^* を内部的に取得してU相電圧指令値 V_{u1}^* がゼロクロスするタイミングを検出し、第2CPU42に通知する。第2CPU42は、第2電圧指令値 V_{u2}^* 、 V_{v2}^* 、 V_{w2}^* を内部的に取得し、電圧指令値 V_{u1}^* 、 V_{u2}^* がゼロクロスするタイミングを突き合わせることで、制御タイミングずれを補正する。

[0098] 本実施形態では、同期情報は、第1CPU41における第1制御信号CS1の生成に用いられる第1電圧指令値 V_{u1}^* 、 V_{v1}^* 、 V_{w1}^* 、および、第

2CPU42における第2制御信号CS2の生成に用いられる第2電圧指令値 V_{u2}^* 、 V_{v2}^* 、 V_{w2}^* である。第1インバータ60側および第2インバータ70側に同じ電圧を印加するように制御するとき、第2CPU42は、第1電圧指令値 V_{u1}^* 、 V_{v1}^* 、 V_{w1}^* が所定電圧指令値になるタイミングと、第2電圧指令値 V_{u2}^* 、 V_{v2}^* 、 V_{w2}^* が所定電圧指令値になるタイミングとに基づいて同期処理を行う。これにより、スイッチングタイミングを適切に同期させることができる。また、上記実施形態と同様の効果を奏する。

[0099] (第20実施形態)

第20実施形態を図28に示す。本実施形態では、一方のCPUからの指令によりコイル81～83のいずれか1相にサーチ電圧 V_{src} を印加するとともに、印加したタイミングを他方のCPUに通知し、他方のCPUにて、サーチ電圧 V_{src} を検出する。図28の例では、第1CPU41からの指令により、U相コイル81にサーチ電圧 V_{src} を印加するとともに、印加タイミングを第2CPU42に通知する。第2CPU42では、サーチ電圧 V_{src} を検出し、サーチ電圧 V_{src} が付与されたタイミングと検出されたタイミングとを突き合わせることで、認識タイミングのずれを補正する。電圧検出は、電圧センサ28、29の検出値に基づいて検出してもよいし、CPU内部にて電圧指令値に係る値を検出してもよい。なお、第2CPU42では、フィードバック制御により、自動的にサーチ電圧 V_{src} が生成されるので、指令に基づく同期処理を実施可能である。

[0100] 図28では、サーチ電圧 V_{src} として、サージ状電圧を付与しているが、付与するサーチ電圧は、例えば零相電圧、高調波電圧、パルス状電圧等であってもよい。また、U相に替えて、V相またはW相、或いは複数相にサーチ電圧 V_{src} を付与してもよい。

[0101] 本実施形態の同期情報は、サーチ電圧 V_{src} の発生タイミングに係る情報である。第1CPU41は、サーチ電圧 V_{src} を付与するとともに、付与タイミングを第2CPU42に通知する。第2CPU42は、サーチ電圧

V_{s r c}を検出し、付与タイミングと検出タイミングとに基づいて同期処理を行う。これにより、スイッチングタイミングを適切に同期させることができる。また、上記実施形態と同様の効果を奏する。

[0102] (第21実施形態)

第21実施形態を図29に示す。第1インバータ60は、過電流、過電圧または過熱等のフェイルが生じたとき、或いは、機能チェックトリガにより疑似フェイル状態となったとき、第1フェイル信号を第1CPU41に出力する。第2インバータ70は、過電流、過電圧または過熱等のフェイルが生じたとき、或いは、機能チェックトリガにより疑似フェイル状態となったとき、第2フェイル信号を第2CPU42に出力する。機能チェックトリガがインバータ60、70に出力されると、実際にはフェイルは生じていないものの、疑似フェイル状態とみなし、インバータ60、70からフェイル信号が出力されるように構成されている。

[0103] 本実施形態では、同期情報としてフェイル信号を用い、同期処理として制御タイミングのずれを補正する。同期処理に用いられるフェイル信号は、極短時間に実際にフェイルを起こさせることで出力されるものであってもよいし、起動シーケンス等における機能チェックトリガによる疑似フェイル状態にて出力されるものであってもよい。

[0104] 図29では、機能チェックトリガに基づくフェイル信号を用いた同期処理について説明する。図29に示すように、インバータ60、70に共通の機能チェックトリガが出力されると、インバータ60、70は、フェイル信号を出力する。第1CPU41は、第1インバータ60から第1フェイル信号が出力されたタイミングを第2CPU42に通知する。第2CPU42では、第1インバータ60から第1フェイル信号が出力されたタイミングと、第2インバータ70から第2フェイル信号が出力されたタイミングとを突き合わせ、認識タイミングのずれを補正する。

[0105] フェイル信号は、例えば過電流信号、過電圧信号または過熱信号等である。使用するフェイル信号は1つであってもよいし、より確実な判定のために

複数のフェイル信号を用いてもよい。また、機能チェックトリガは、一方のCPUにてソフト的に生成されてもよいし、専用のトリガ生成回路にてハード的に生成されてもよい。

[0106] 第1インバータ60は、フェイル状態または疑似フェイル状態となったとき、第1フェイル信号を第1CPU41に出力する。第2インバータ70は、フェイル状態または疑似フェイル状態となったとき、第2フェイル信号を第2CPU42に出力する。同期情報は、第1フェイル信号および第2フェイル信号である。第2CPU42は、インバータ60、70に同時に発生されたフェイル状態または疑似フェイル状態により出力されるフェイル信号が、第1CPU41にて認識されるタイミングと、第2CPU42にて認識されるタイミングと、に基づいて同期処理を行う。これにより、スイッチングタイミングを適切に同期させることができる。また、上記実施形態と同様の効果を奏する。

[0107] (第22実施形態)

第22実施形態を図30に示す。図30に示すように、スイッチング素子61、74には、素子内電流検出部613、743が素子内に設けられている。図30では、スイッチング素子61、74を例示しているが、他のスイッチング素子62～66、71～73、75、76も同様である。上述の通り、反転SW制御が行われているとき、スイッチング素子61、74には、同様の電流が流れる。そこで本実施形態では、素子内電流検出部613、743の検出値を、ドライバ回路31、32を経由してCPU41、42に出力する。第1CPU41では、ゼロクロスタイミング等、スイッチング素子61を流れる電流が共通の任意値である所定素子内電流値となったタイミングを第2CPU42に通知する。第2CPU42では、スイッチング素子74を流れる電流が共通の任意値となったタイミングと、スイッチング素子61を流れる電流が共通の任意値である所定素子内電流値となったタイミングとを突き合わせ、認識タイミングずれを補正する。

[0108] また、図30に破線で示すように、素子内電流検出部の検出値をCPU4

1、42に出力することに替えて、ドライバ回路31、32の一方から他方へ、または相互に素子内電流検出部の検出値を出力し、ドライバ回路31、32にて電流値が所定素子内電流値となるタイミングを突き合わせることで、ドライバ回路内にて、駆動信号DS1、DS2の出力タイミングを同期させるようにしてもよい。

[0109] スイッチング素子61～66、71～76は、自身に流れる素子内電流を検出する素子内電流検出部を有する。第1スイッチング素子61～66の素子内電流検出部の検出値は、第1CPU41に出力される。第2スイッチング素子71～76の素子内電流検出部の検出値は、第2CPU42に出力される。同期情報は、同じ電流が流れる第1スイッチング素子61～66および第2スイッチング素子71～76の素子内電流に係る情報である。第2CPU42は、同じ電流が流れるスイッチング素子61、74の素子内電流が所定素子内電流値であると、第1CPU41にて認識されたタイミングと、第2CPU42にて認識されたタイミングと、に基づいて同期処理を行う。これにより、スイッチングタイミングを適切に同期させることができる。

[0110] また、第1スイッチング素子61～66の素子内電流検出部の検出値は、第1スイッチング素子61～66の駆動信号DS1を出力する第1ドライバ回路31に出力される。第2スイッチング素子71～76の素子内電流検出部の検出値は、第2スイッチング素子71～76の駆動信号DS2を出力する第2ドライバ回路32に出力される。ドライバ回路31、32は、同じ電流が流れるスイッチング素子61、74の素子内電流が所定素子内電流値になるタイミングに応じ、スイッチング素子61～66、71～76を駆動する駆動信号DS1、DS2を出力するタイミングを同期させる。このように構成しても、スイッチングタイミングを適切に同期させることができる。また、上記実施形態と同様の効果を奏する。

[0111] (他の実施形態)

上記実施形態では、演算回路であるCPUは2つである。他の実施形態では、演算回路は3つ以上であってもよい。また、図31に示すように、演算

回路であるCPU51が1つであり、1つのCPU51が、第1制御信号CS1および第2制御信号CS2を生成する。この場合、第10実施形態と同様、CPU51が、「第1演算回路」および「第2演算回路」を含んでいる、と捉えることができる。このように構成しても、スイッチングタイミングを適切に同期させることができる。

[0112] 他の実施形態では、例えば、第1実施形態～第4実施形態のように角度同期させた上で、第6実施形態のようにキャリア信号を同期させる、と言った具合に、複数の実施形態の同期処理を組み合わせ実施してもよい。角度同期とキャリア信号の位相同期を併用することで、同期精度を向上可能である。キャリア信号に替えて、クロック信号を同期させる場合も同様である。

[0113] 上記実施形態では、独立した2電源は、両方ともバッテリーやキャパシタで代表される2次電池である。他の実施形態では、電圧源は、独立した電力供給源であれば、両方とも2次電池に限定しない。例えば、一方を2次電池とし、他方を燃料電池としたり、内燃機関および回転電機による発電機としたりしてもよく、電動機駆動装置の電源構成は電源種別で限定されないものとする。

[0114] 上記実施形態では、回転電機は、3相の巻線を有する。他の実施形態では、回転電機の巻線相数は、2相であってもよいし、4相以上であってもよい。また、回転電機の両側に設けられるインバータには、それぞれ、3（相） $\times$ 2=6のスイッチング素子が設けられる。他の実施形態では、インバータのスイッチング素子数は、インバータの回路構成および巻線の相数に応じて、任意の数であってもよい。

[0115] 上記実施形態の回転電機は、電動機と発電機の機能を合わせ持つモータジェネレータである。他の実施形態では、回転電機は、発電機としての機能を有していなくてもよい。また、また、永久磁石式同期型モータに限らず、誘導電動機やその他の同期モータであってもよい。上記実施形態の回転電機制御装置は、車両の主機モータの駆動制御に適用される。他の実施形態では、回転電機制御装置は、車両の主機モータ以外の回転電機の駆動制御に適用し

てもよい。以上、本開示は、上記実施形態になんら限定されるものではなく、その趣旨を逸脱しない範囲において種々の形態で実施可能である。

[0116] 本開示は、実施形態に準拠して記述された。しかしながら、本開示は当該実施形態および構造に限定されるものではない。本開示は、様々な変形例および均等の範囲内の変形をも包含する。また、様々な組み合わせおよび形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせおよび形態も、本開示の範疇および思想範囲に入るものである。

。

請求の範囲

- [請求項1] 2相以上の巻線（81～83）を有する回転電機（80）の駆動を制御する回転電機制御装置であって、
- 前記巻線の各相に対応して設けられる複数の第1スイッチング素子（61～66）を有し、前記巻線の一端側に接続される第1インバータ（60）と、
- 前記巻線の各相に対応して設けられる複数の第2スイッチング素子（71～76）を有し、前記巻線他端側に接続される第2インバータ（70）と、
- 前記第1インバータの制御に係る第1制御信号を生成する第1演算回路（41）、および、前記第2インバータの制御に係る第2制御信号を生成する第2演算回路（42）を有する制御部（401～403）と、
- を備え、
- 前記第1インバータおよび前記第2インバータは、同期情報に基づいてスイッチングタイミングが同期される回転電機制御装置。
- [請求項2] 前記制御部には、前記第1演算回路を有する第1制御部（401）、および、前記第2演算回路を有し、前記第1制御部とは別途に設けられる第2制御部（402）が含まれる請求項1に記載の回転電機制御装置。
- [請求項3] 前記第1演算回路および前記第2演算回路は、単一の前記制御部（403）に設けられる請求項1に記載の回転電機制御装置。
- [請求項4] 前記同期情報は、前記回転電機の回転位置を検出する回転角センサ（25、250）の検出値に基づく回転角情報である請求項1～3のいずれか一項に記載の回転電機制御装置。
- [請求項5] 共通の前記回転角情報は、前記第1演算回路および前記第2演算回路に分岐して入力される請求項4に記載の回転電機制御装置。
- [請求項6] 前記回転角センサ（250）は、前記第1演算回路に前記回転角情

報を出力する第1センサ部（251）、および、前記第2演算回路に前記回転角情報を出力する第2センサ部（252）を有し、

前記同期情報には、前記第1センサ部から出力される前記回転角情報または前記第2センサ部から出力される前記回転角情報に基づいて生成される角度基準信号が含まれ、

前記角度基準信号は、前記第1演算回路および前記第2演算回路に分岐して入力される請求項4に記載の回転電機制御装置。

[請求項7] 前記第1演算回路または前記第2演算回路の一方であるマスター回路は、自身の前記同期情報を、前記第1演算回路または前記第2演算回路の他方であるスレーブ回路に出力し、

前記スレーブ回路は、前記マスター回路から取得される前記同期情報と、自身の対応する前記同期情報とに基づいて前記第1インバータと前記第2インバータのスイッチングタイミングを同期させる同期処理を行う請求項1～6のいずれか一項に記載の回転電機制御装置。

[請求項8] 前記同期情報は、クロック信号であって、

前記スレーブ回路は、前記同期処理として、前記第1演算回路と前記第2演算回路のクロックずれを補正する請求項7に記載の回転電機制御装置。

[請求項9] 前記同期情報は、PWM制御に用いられるキャリア信号であって、

前記スレーブ回路は、前記同期処理として、前記第1演算回路と前記第2演算回路とで、前記キャリア信号の位相が一致するように位相をシフトする請求項7または8に記載の回転電機制御装置。

[請求項10] 前記同期情報は、前記第1制御信号および前記第2制御信号の生成に用いられる制御情報に基づく内部トリガ信号であって、

前記マスター回路は、前記内部トリガ信号を生成して前記スレーブ回路に出力する請求項7～9のいずれか一項に記載の回転電機制御装置。

[請求項11] 前記同期情報は、前記第1制御信号および前記第2制御信号であっ

て、

前記スレーブ回路は、前記同期処理として、前記第 1 制御信号の出力タイミングと前記第 2 制御信号の出力タイミングとが一致するように、出力タイミングを調整する請求項 7～10 のいずれか一項に記載の回転電機制御装置。

[請求項12] 前記同期情報は、前記巻線に通電される巻線電流を検出する電流センサ（21、22）の検出値に基づく少なくとも 1 相の巻線電流情報であって、

前記スレーブ回路は、前記巻線電流が所定電流値であると、前記マスター回路にて認識されるタイミングと、前記スレーブ回路にて認識されるタイミングとに基づいて前記同期処理を行う請求項 7～11 のいずれか一項に記載の回転電機制御装置。

[請求項13] 前記同期情報は、母線電流を検出する母線電流センサ（23、24）の検出値に基づく母線電流情報であって、

前記スレーブ回路は、前記母線電流の n 次成分がピークであると、前記マスター回路にて認識されるタイミングと、前記スレーブ回路にて認識されるタイミングとに基づいて前記同期処理を行う請求項 7～12 のいずれか一項に記載の回転電機制御装置。

[請求項14] 前記同期情報は、サーチ電流またはサーチ電圧の発生タイミングに係る情報であって、

前記マスター回路は、前記サーチ電流または前記サーチ電圧を付与するとともに、付与したタイミングを前記スレーブ回路に通知し、

前記スレーブ回路は、前記サーチ電流または前記サーチ電圧を検出し、付与タイミングと検出タイミングとに基づいて前記同期処理を行う請求項 7～13 のいずれか一項に記載の回転電機制御装置。

[請求項15] 前記第 1 インバータに印加される第 1 入力電圧を検出し、検出値を前記第 1 演算回路に出力する第 1 入力電圧センサ（26）と、

前記第 2 インバータに印加される第 2 入力電圧を検出し、検出値を

前記第 2 演算回路に出力する第 2 入力電圧センサ（27）と、
を備え、

前記同期情報は、前記第 1 入力電圧および前記第 2 入力電圧に係る
入力電圧情報であって、

前記スレーブ回路は、入力電圧が変化したと、前記マスター回路に
て認識されるタイミングと、前記スレーブ回路にて認識されるタイミ
ングとに基づいて前記同期処理を行う請求項 7～14 のいずれか一項
に記載の回転電機制御装置。

[請求項16] 前記同期情報は、前記巻線に印加される巻線電圧であって、
前記スレーブ回路は、前記巻線電圧のパルスエッジタイミングに基
づいて前記同期処理を行う請求項 7～15 のいずれか一項に記載の回
転電機制御装置。

[請求項17] 前記巻線に印加される巻線電圧の基本波成分を抽出する基本波抽出
回路（491、492）を備え、
前記同期情報は、前記巻線電圧の基本波成分であって、
前記スレーブ回路は、前記巻線電圧の基本波成分が所定電圧値であ
ると、前記マスター回路にて認識されたタイミングと、前記スレーブ
回路にて認識されたタイミングとに基づいて前記同期処理を行う請求
項 7～16 のいずれか一項に記載の回転電機制御装置。

[請求項18] 前記同期情報は、前記第 1 演算回路における前記第 1 制御信号の生
成に用いられる第 1 電圧指令値、および、前記第 2 演算回路における
前記第 2 制御信号の生成に用いられる第 2 電圧指令値であって、
前記第 1 インバータ側および前記第 2 インバータ側に同じ電圧を印
加するように制御するとき、前記スレーブ回路は、前記第 1 電圧指令
値が所定電圧指令値になるタイミングと、前記第 2 電圧指令値が前記
所定電圧指令値になるタイミングとに基づいて前記同期処理を行う請
求項 7～17 のいずれか一項に記載の回転電機制御装置。

[請求項19] 前記第 1 インバータは、フェイル状態または疑似フェイル状態とな

ったとき、第1フェイル信号を前記第1演算回路に出力し、

前記第2インバータは、フェイル状態または疑似フェイル状態となったとき、第2フェイル信号を前記第2演算回路に出力し、

前記同期情報は、前記第1フェイル信号および前記第2フェイル信号であって、

前記スレーブ回路は、前記第1インバータおよび前記第2インバータに同時に発生させたフェイル状態または疑似フェイル状態により出力されるフェイル信号が、前記マスター回路にて認識されるタイミングと、前記スレーブ回路にて認識されるタイミングと、に基づいて前記同期処理を行う請求項7～18のいずれか一項に記載の回転電機制御装置。

[請求項20]

前記第1スイッチング素子および前記第2スイッチング素子は、自身に流れる素子内電流を検出する素子内電流検出部（613、743）を有し、

前記第1スイッチング素子の前記素子内電流検出部の検出値は、前記第1演算回路に出力され、

前記第2スイッチング素子の前記素子内電流検出部の検出値は、前記第2演算回路に出力され、

前記同期情報は、同じ電流が流れる前記第1スイッチング素子および前記第2スイッチング素子の前記素子内電流に係る情報であって、

前記スレーブ回路は、同じ電流が流れるスイッチング素子の前記素子内電流が所定素子内電流値であると、前記マスター回路にて認識されたタイミングと、前記スレーブ回路にて認識されたタイミングとに基づいて前記同期処理を行う請求項7～19のいずれか一項に記載の回転電機制御装置。

[請求項21]

前記第1スイッチング素子および前記第2スイッチング素子は、自身に流れる素子内電流を検出する素子内電流検出部（613、743）を有し、

前記第 1 スイッチング素子の前記素子内電流検出部の検出値は、前記第 1 スイッチング素子の駆動信号を出力する第 1 ドライバ回路（31）に出力され、

前記第 2 スイッチング素子の前記素子内電流検出部の検出値は、前記第 2 スイッチング素子の駆動信号を出力する第 2 ドライバ回路（32）に出力され、

前記同期情報は、同じ電流が流れる前記第 1 スイッチング素子および前記第 2 スイッチング素子の前記素子内電流に係る情報であって、

前記第 1 ドライバ回路および前記第 2 ドライバ回路は、同じ電流が流れる前記第 1 スイッチング素子および前記第 2 スイッチング素子の前記素子内電流が所定素子内電流値になるタイミングに応じ、前記第 1 スイッチング素子および前記第 2 スイッチング素子を駆動する前記駆動信号を出力するタイミングを同期させる請求項 1～19 のいずれか一項に記載の回転電機制御装置。

[請求項22] 前記同期情報は、前記第 1 演算回路および前記第 2 演算回路とは別途に設けられるトリガ発生器（44）にて生成される外部トリガ信号であって、

前記第 1 演算回路および前記第 2 演算回路は、前記外部トリガ信号に基づいて、前記第 1 インバータと前記第 2 インバータのスイッチングタイミングを同期させる同期処理を行う請求項 1～21 のいずれか一項に記載の回転電機制御装置。

[請求項23] 前記第 1 演算回路から出力された前記第 1 制御信号と前記前記第 2 演算回路から出力された前記第 2 制御信号とを、前記同期情報に基づいて同期させる同期調整回路（46）を備える請求項 1～22 のいずれか一項に記載の回転電機制御装置。

[請求項24] 前記第 1 演算回路および前記第 2 演算回路は、1つの演算回路（51）に含まれ、

前記演算回路は、前記第 1 インバータの上アームに係る制御信号で

ある第1上アーム信号および前記第2インバータの下アームに係る制御信号である第2下アーム信号、または、前記第1インバータの下アームに係る制御信号である第1下アーム信号および前記第2インバータの上アームに係る制御信号である第2上アーム信号の一方を生成し、

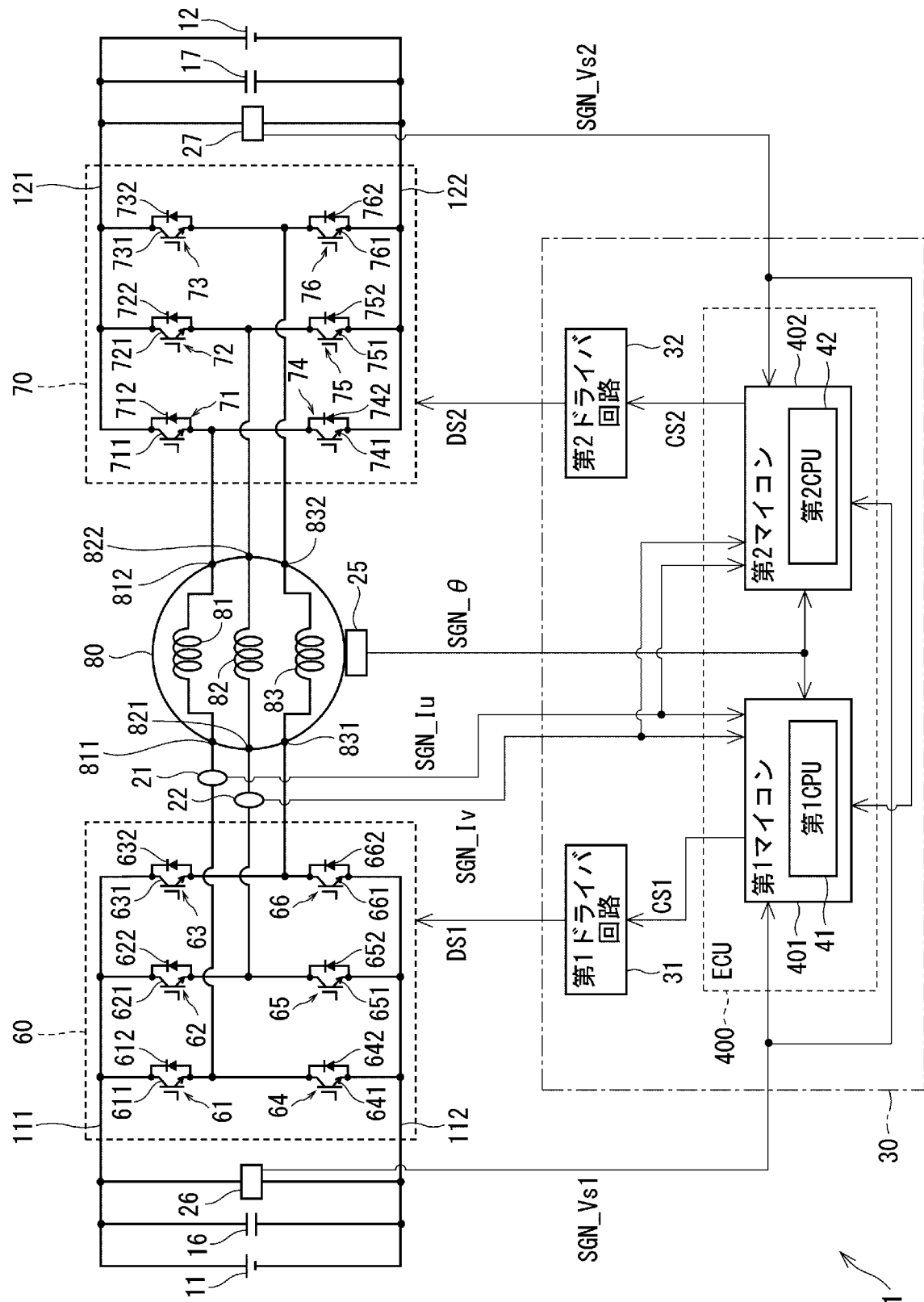
前記第1上アーム信号および前記第2下アーム信号、または、前記第1下アーム信号および前記第2上アーム信号の他方は、前記演算回路にて生成される前記一方の信号の反転処理にて生成される請求項1に記載の回転電機制御装置。

[請求項25]

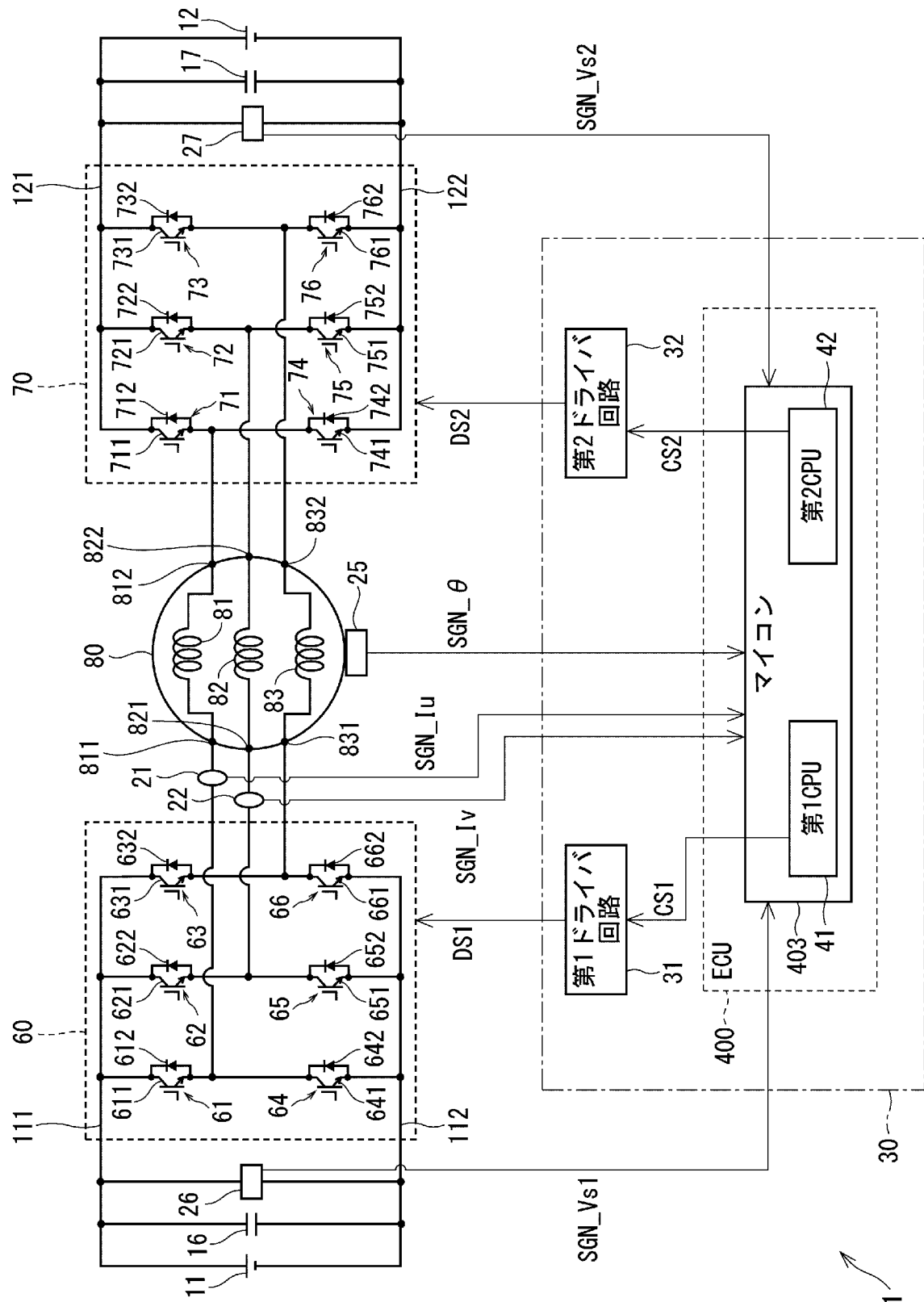
前記第1インバータは、第1電圧源（11）と接続され、

前記第2インバータは、前記第1電圧源とは絶縁されている第2電圧源（12）と接続されている請求項1～24のいずれか一項に記載の回転電機制御装置。

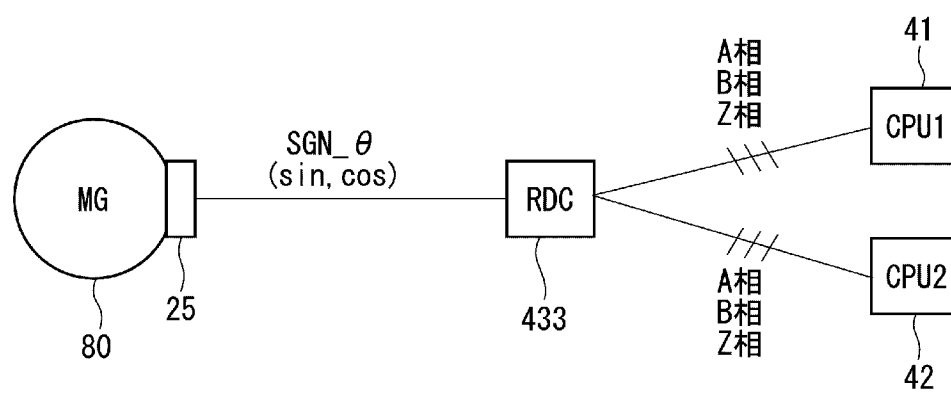
[図1]



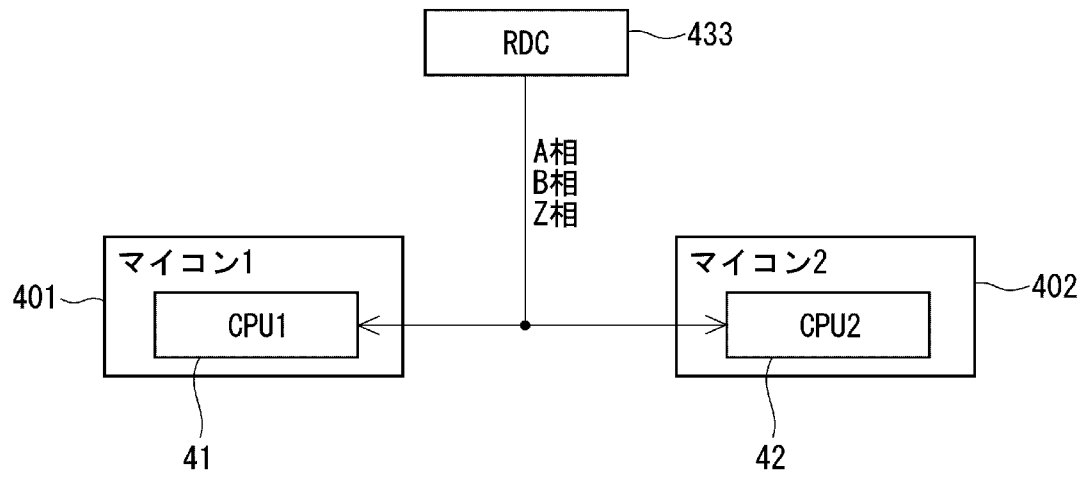
[図2]



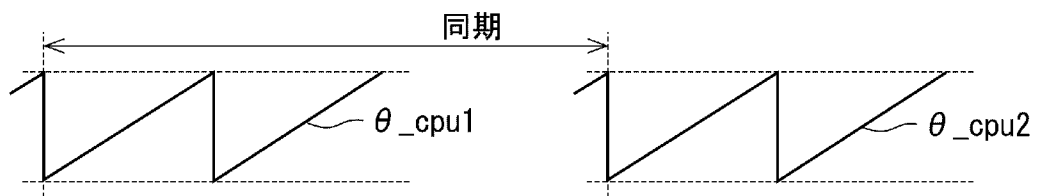
[図3]



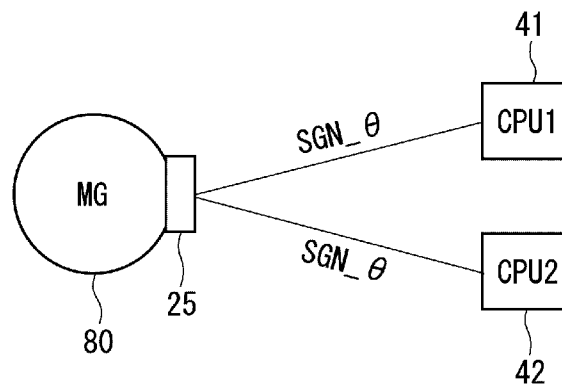
[図4A]



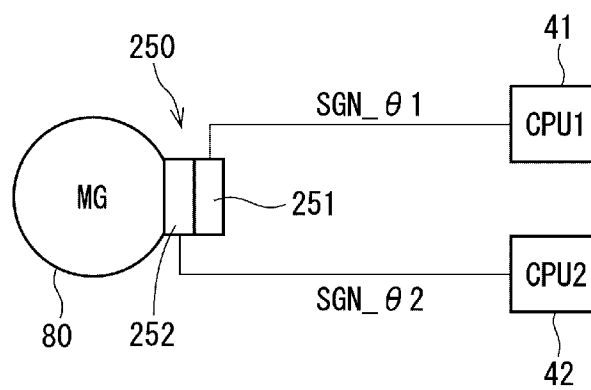
[図4B]



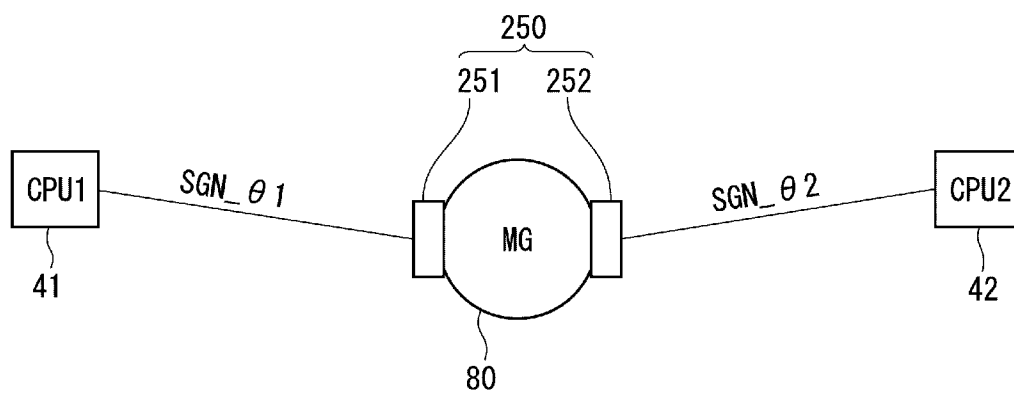
[図5]



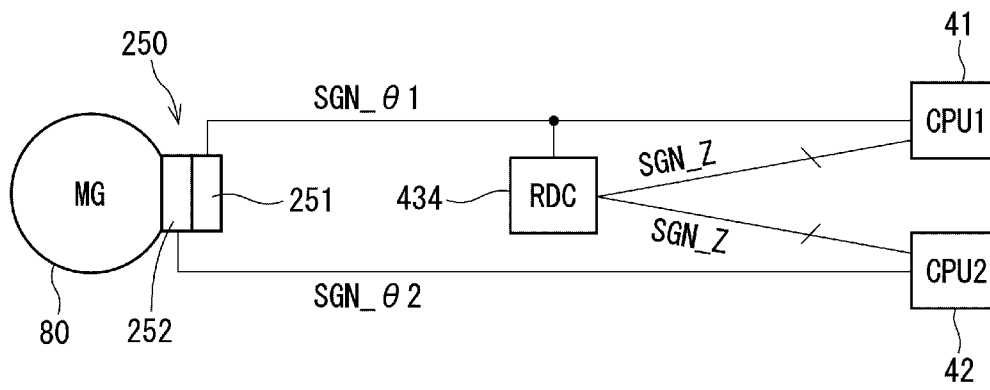
[図6]



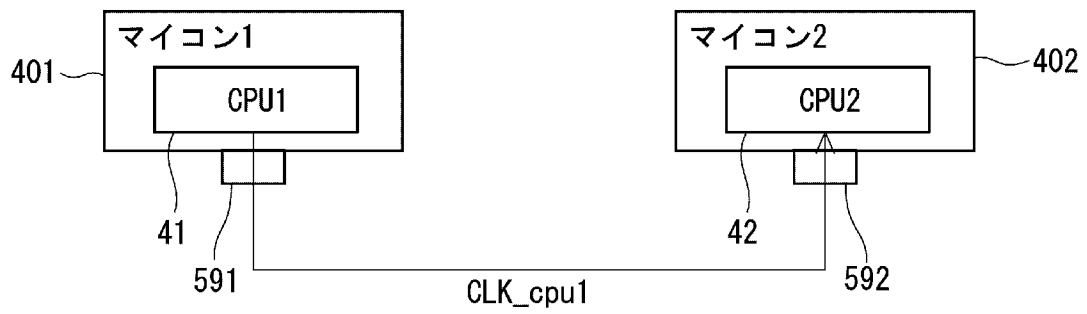
[図7]



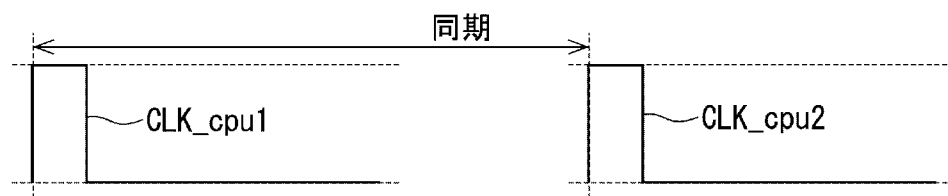
[図8]



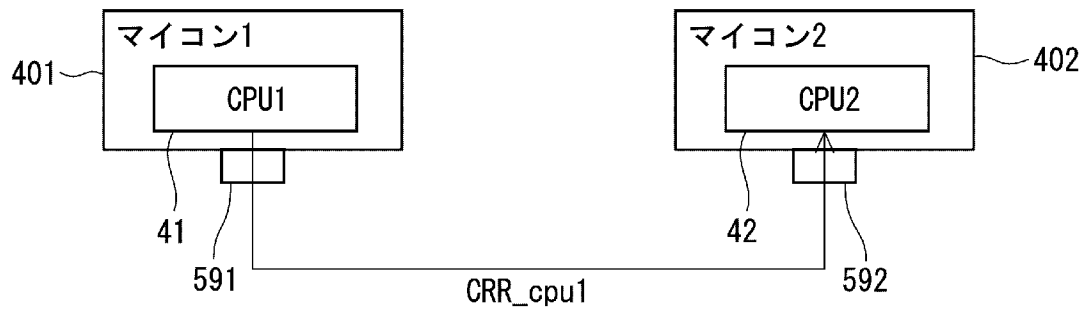
[図9A]



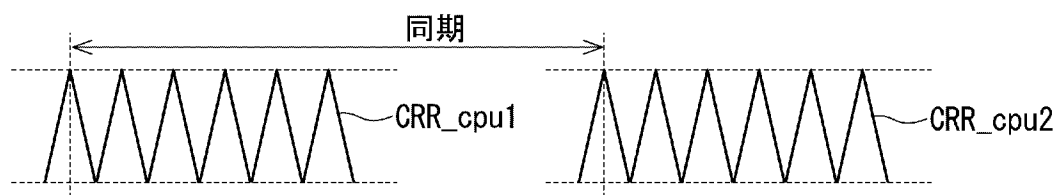
[図9B]



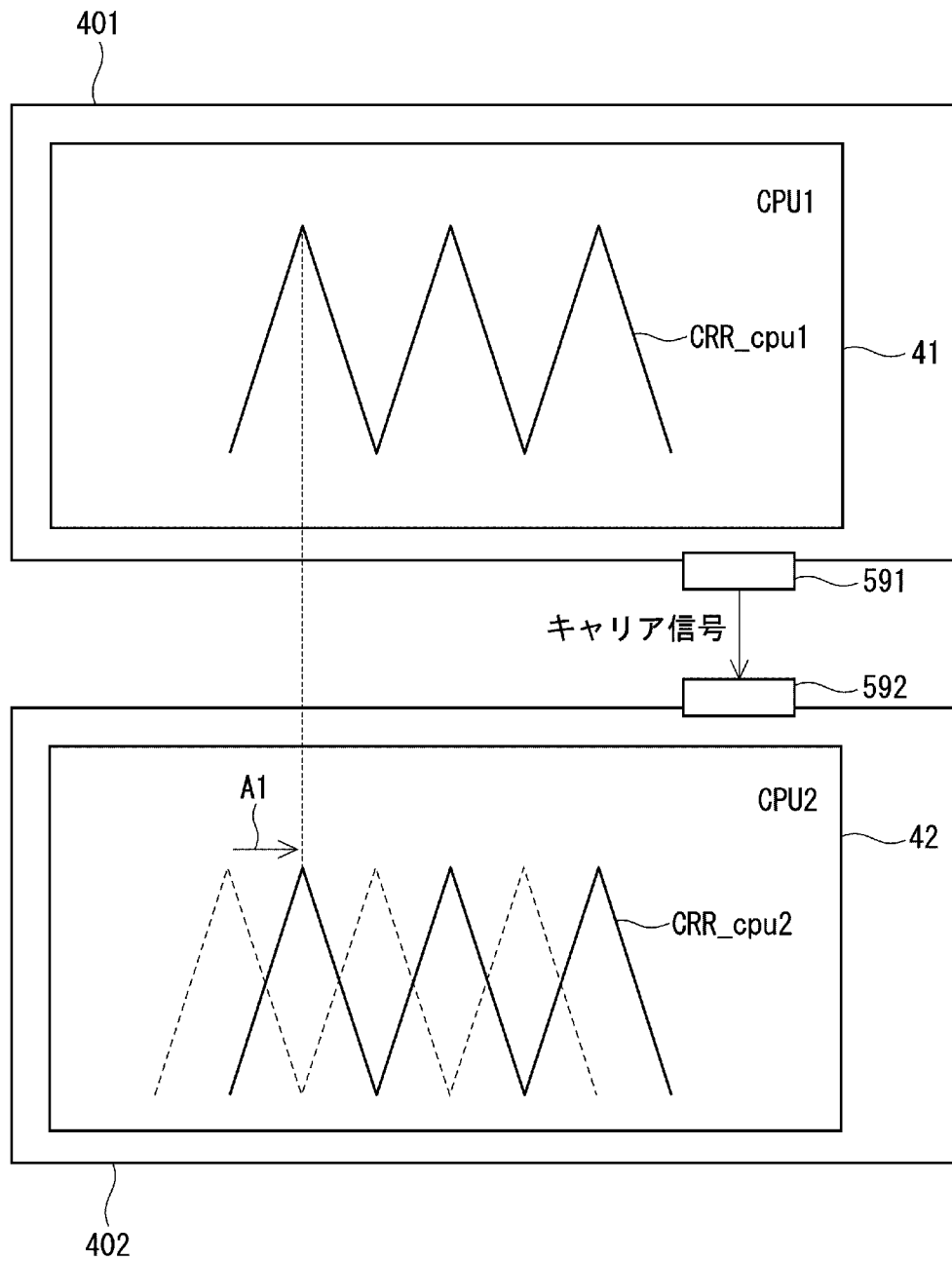
[図10A]



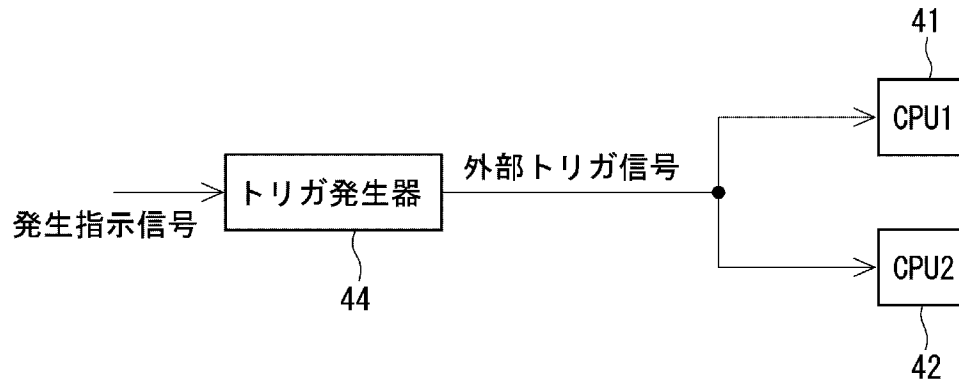
[図10B]



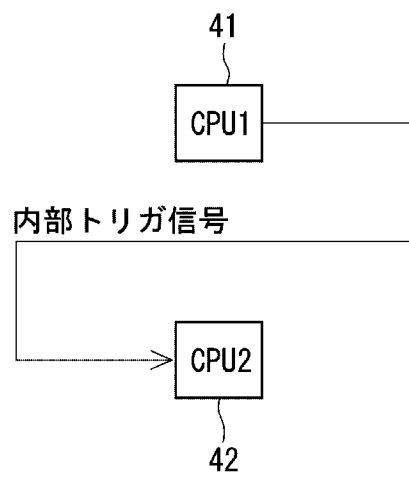
[図11]



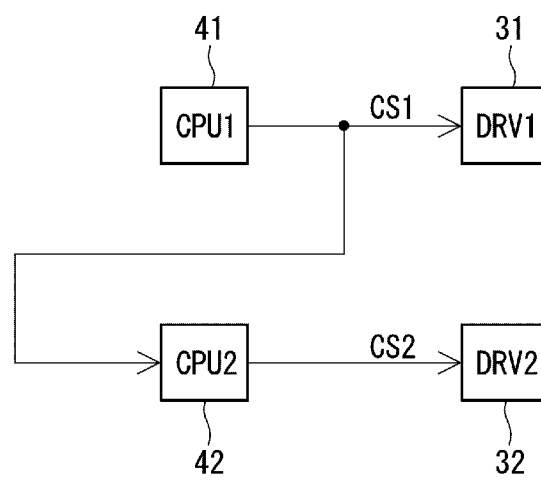
[図12]



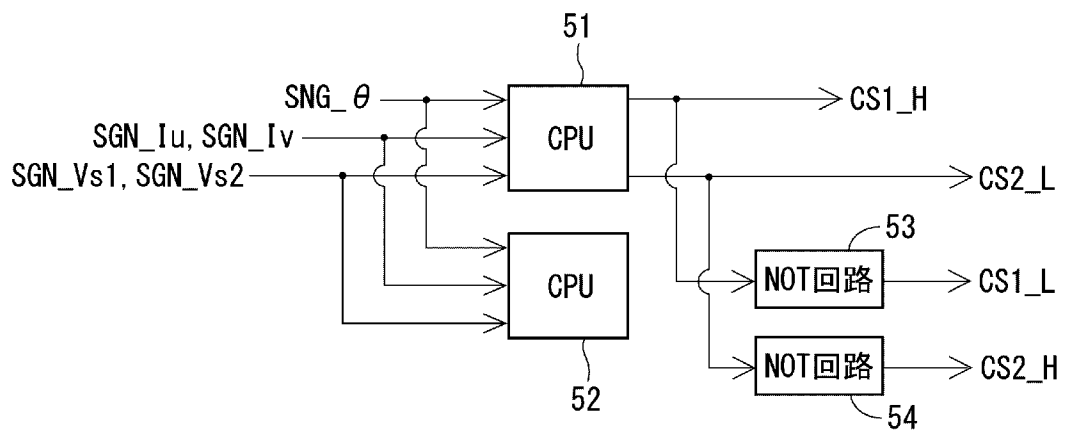
[図13]



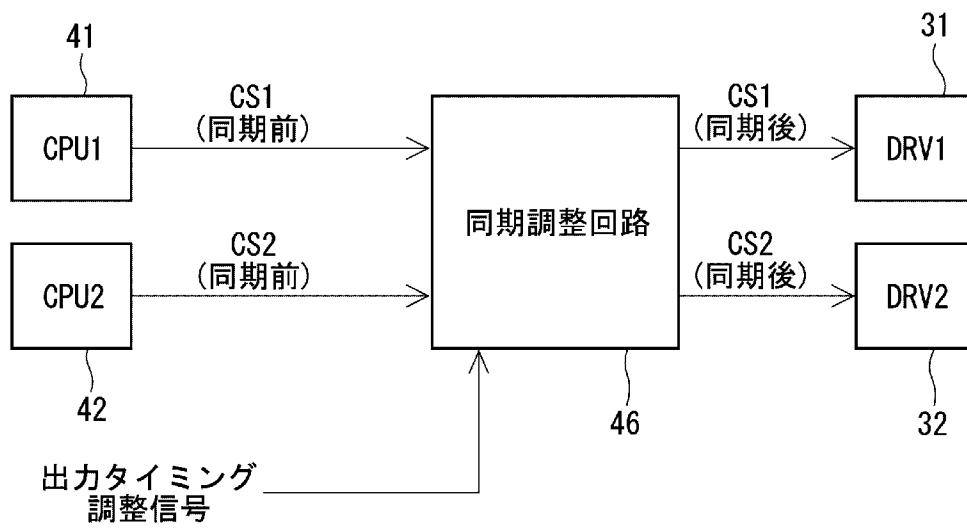
[図14]



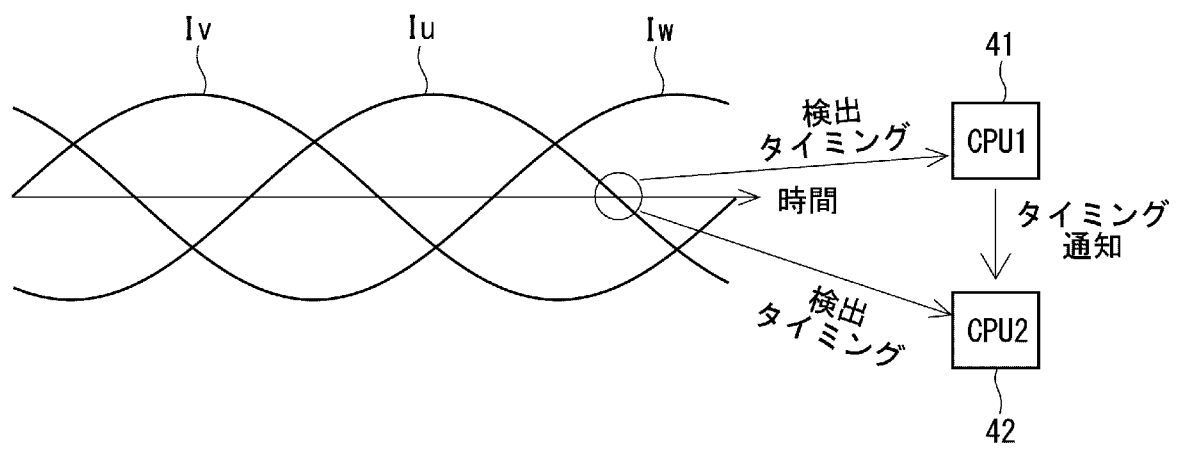
[図15]



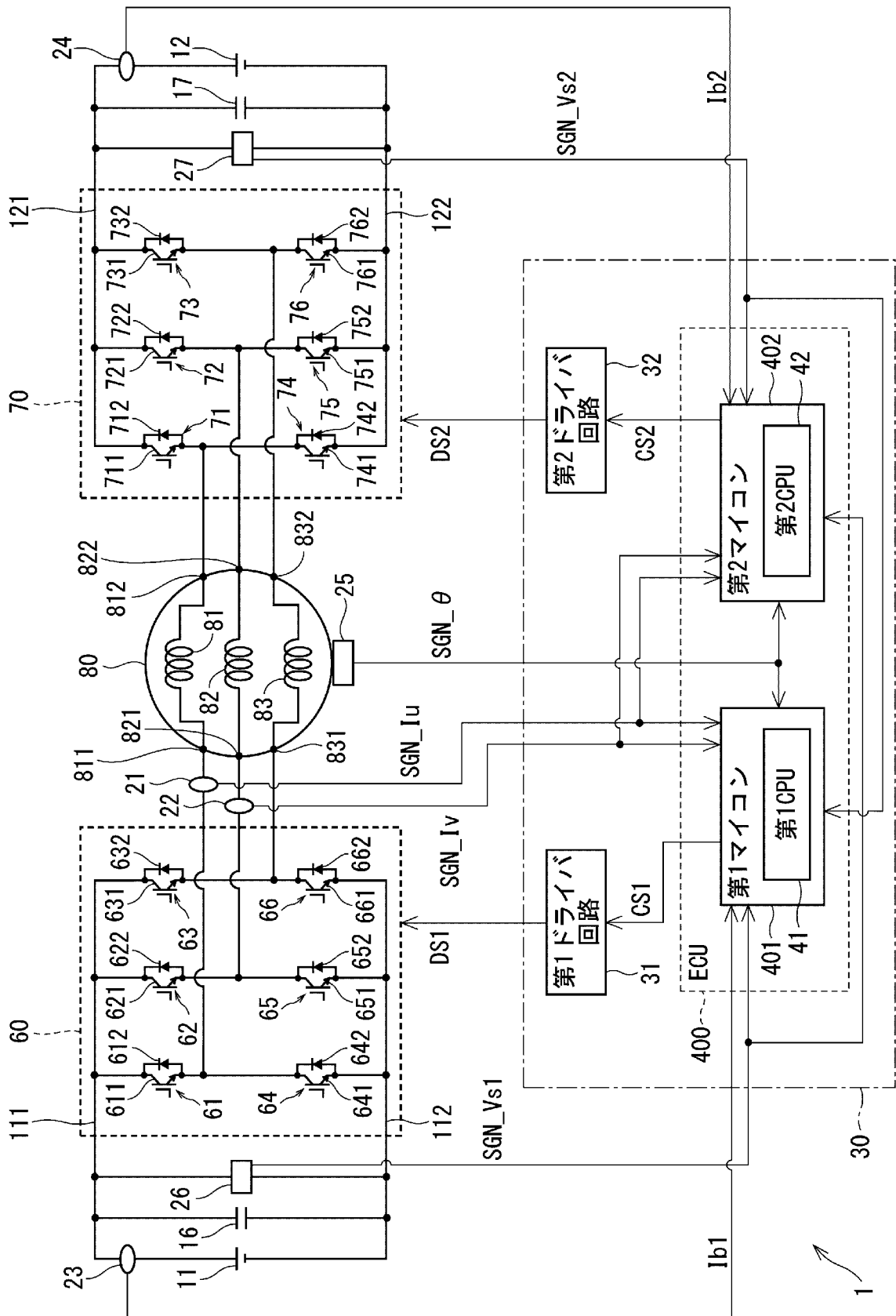
[図16]



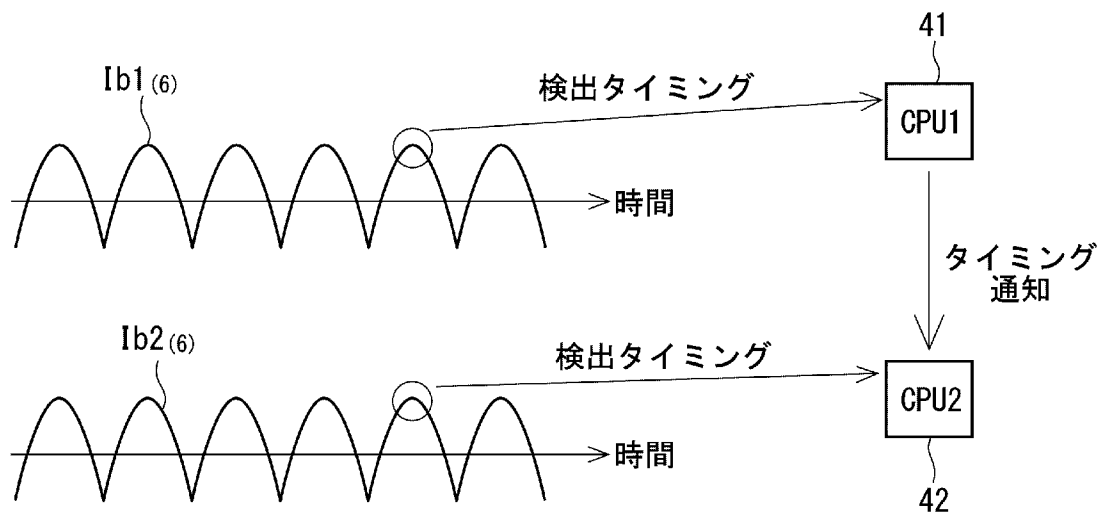
[図17]



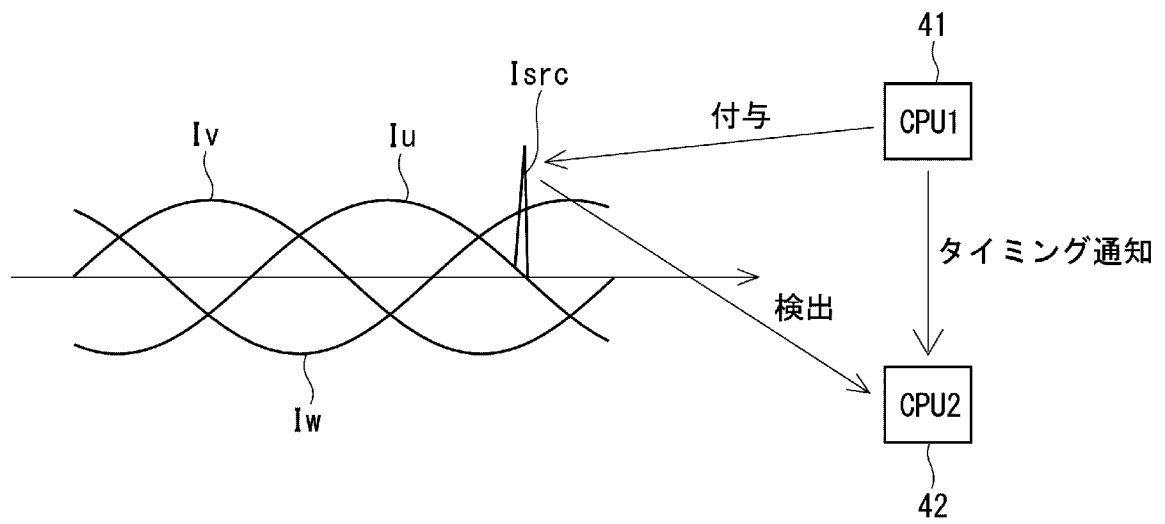
[図18]



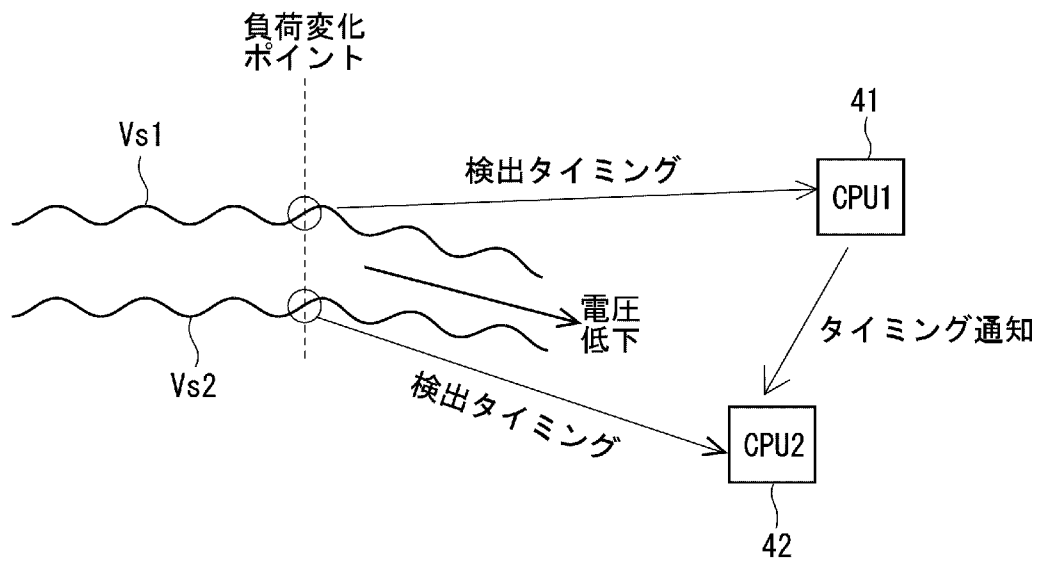
[図19]



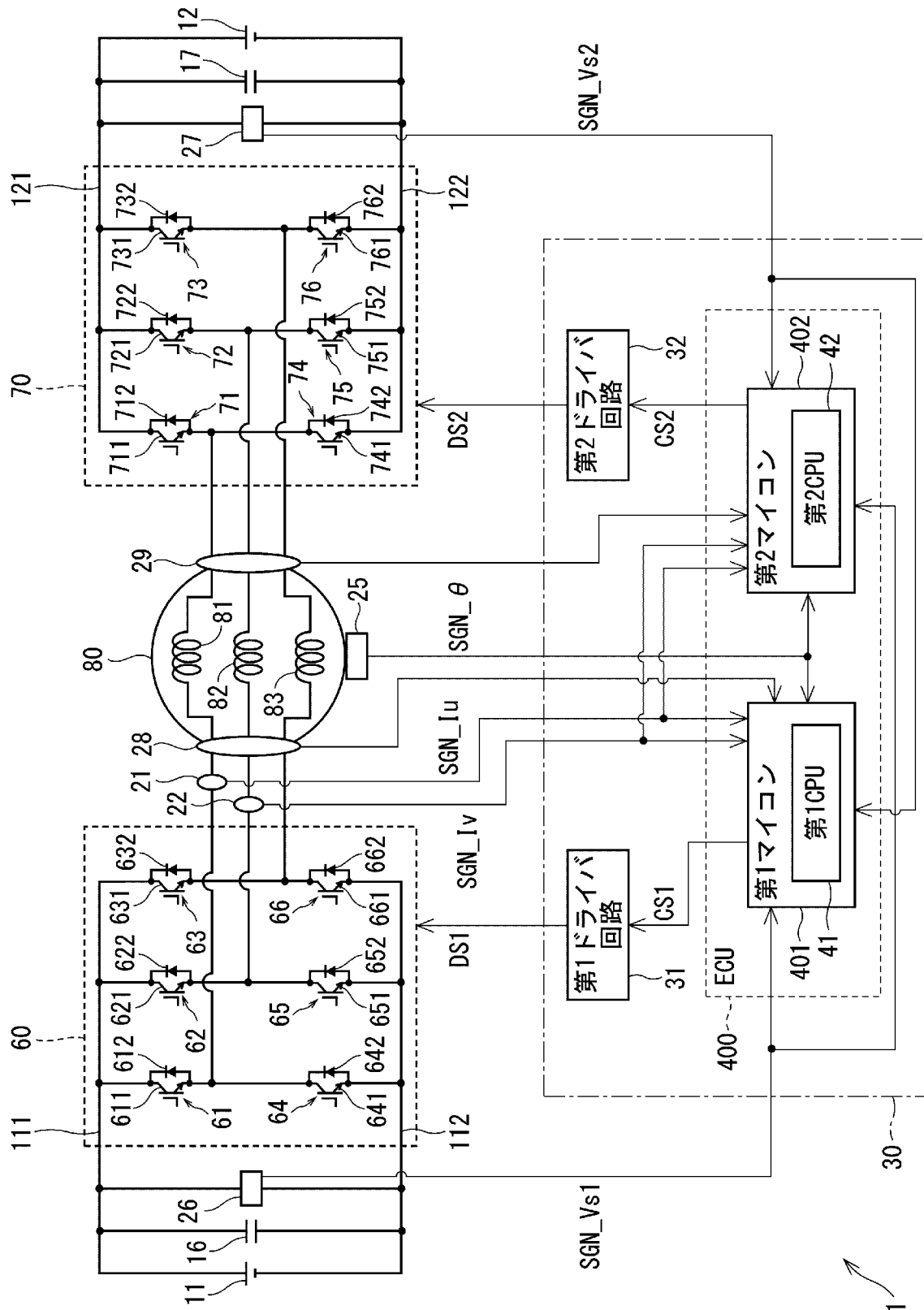
[図20]



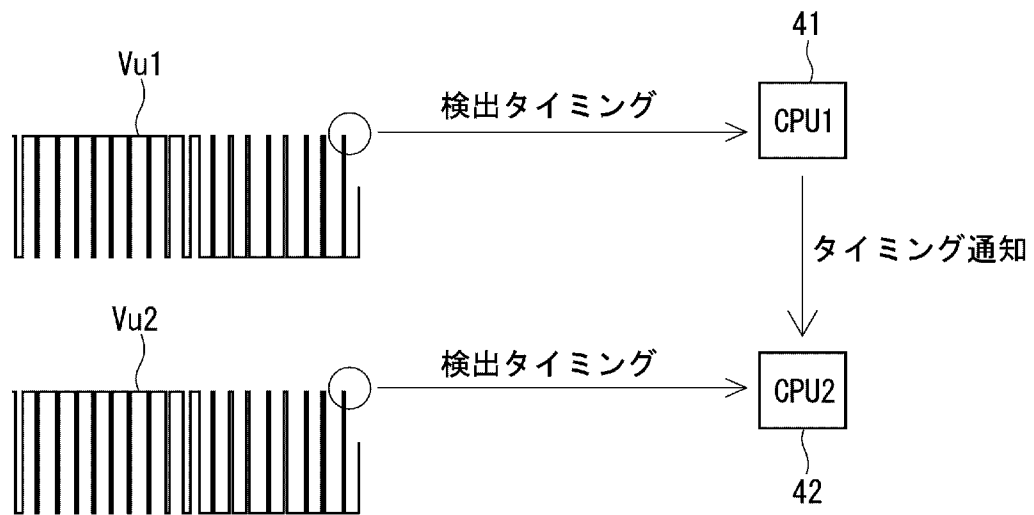
[図21]



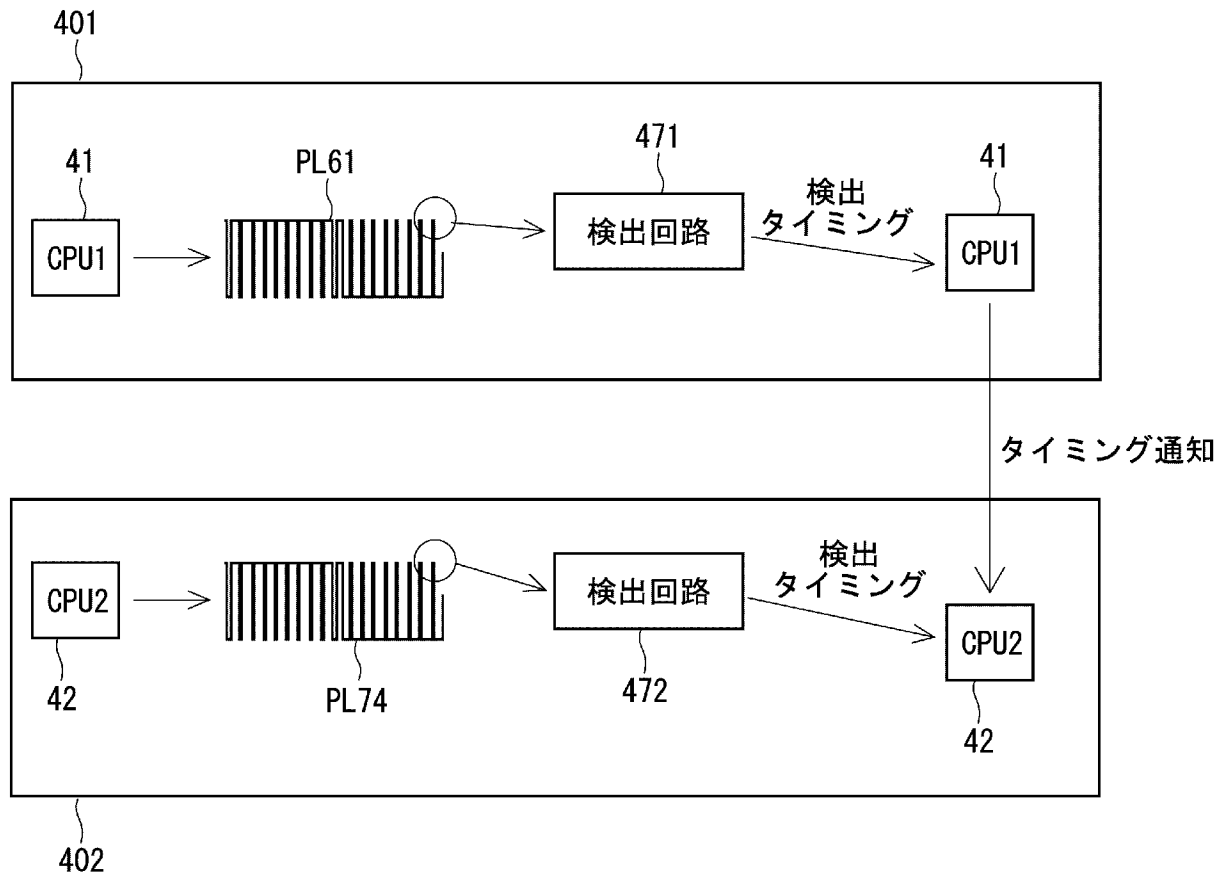
[図22]



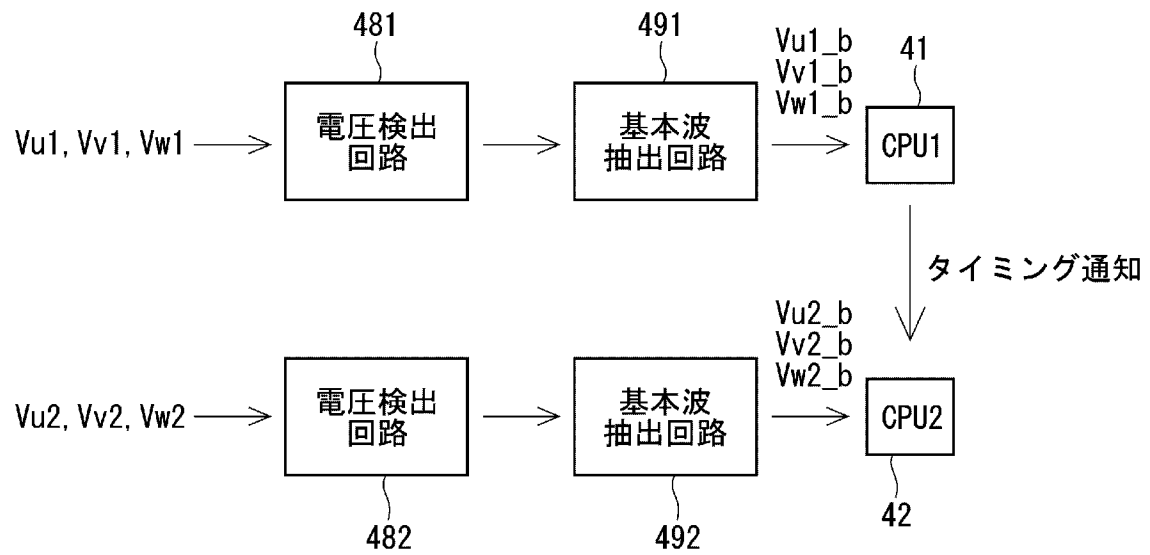
[図23]



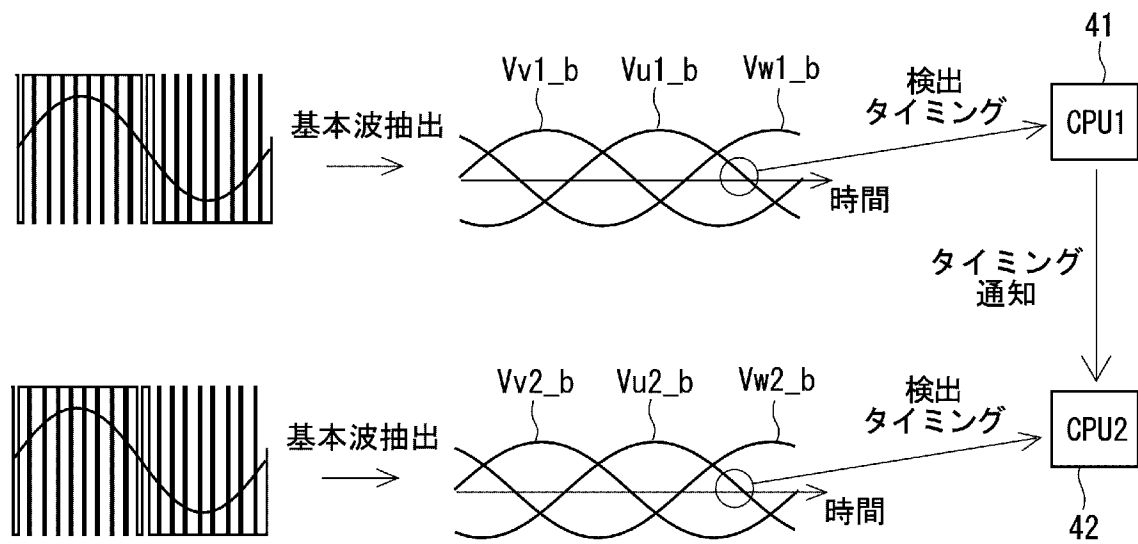
[図24]



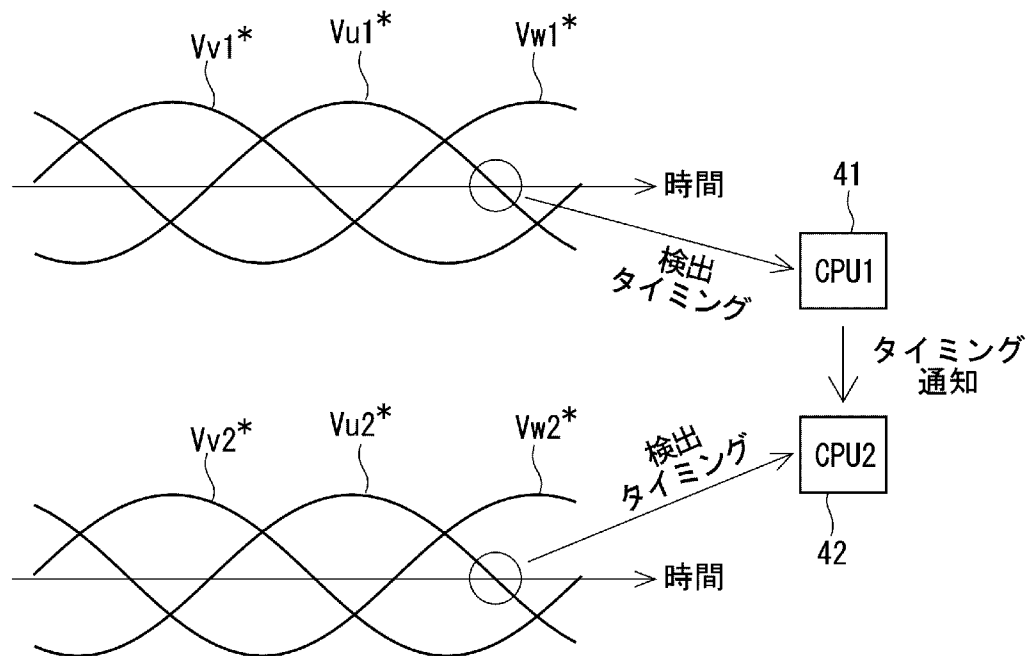
[図25]



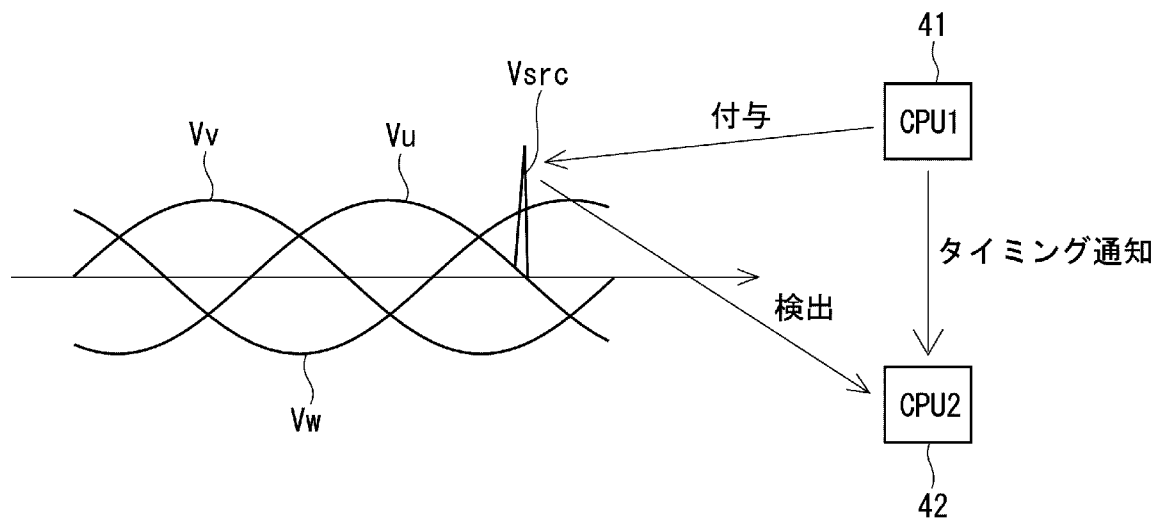
[図26]



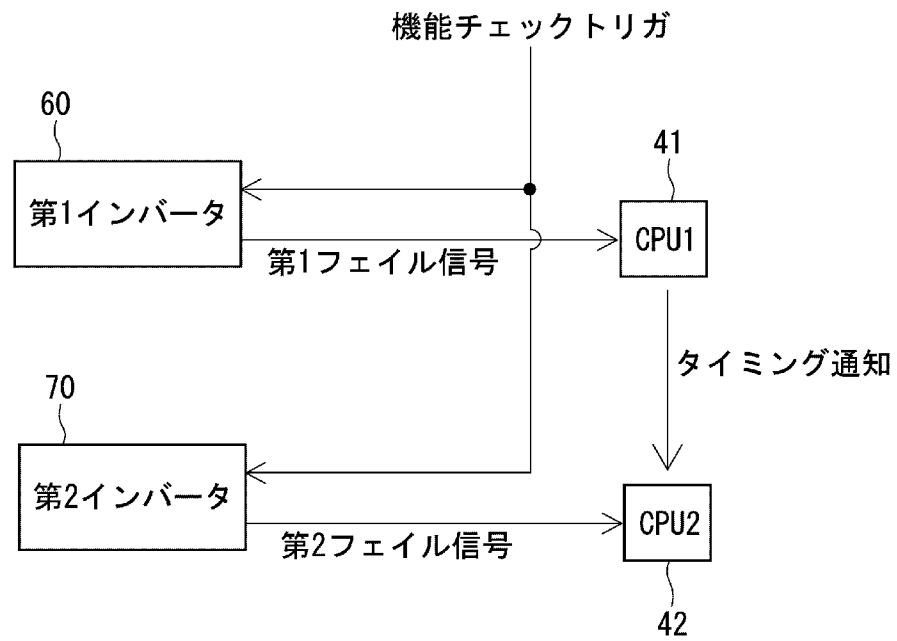
[図27]



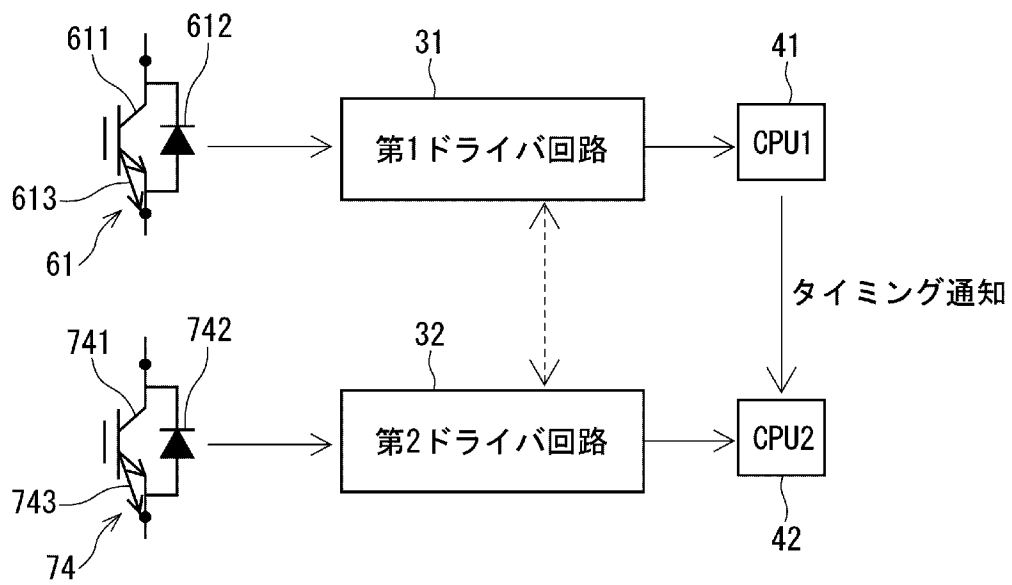
[図28]



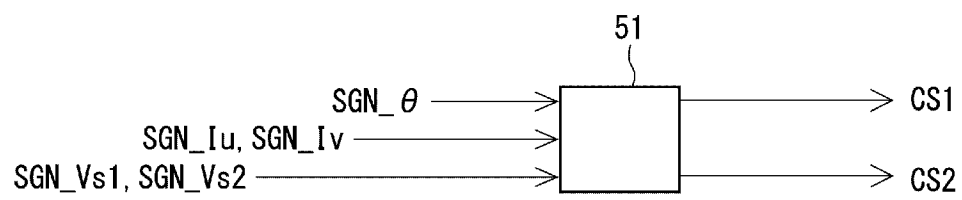
[図29]



[図30]



[図31]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/031474

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H02P27/06 (2006.01) i, H02M7/48 (2007.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H02P27/06, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2016-181949 A (NIPPON SOKEN, INC.) 13 October 2016, paragraphs [0009]-[0018], [0025]-[0026], [0035]-[0039], [0045]-[0054], fig. 1, 6-8 (Family: none)	1-5, 7-13, 15-18, 20-24 6, 14, 19
Y A	JP 2010-130793 A (HITACHI AUTOMOTIVE SYSTEMS, LTD.) 10 June 2010, paragraphs [0009]-[0059], fig. 1-5 & WO 2010/061918 A1	1-5, 7-13, 15-18, 20-24 6, 14, 19

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 November 2018 (14.11.2018)

Date of mailing of the international search report
27 November 2018 (27.11.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/031474

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2003-134834 A (HITACHI, LTD.) 09 May 2003, paragraphs [0008]-[0011], fig. 1-3 (Family: none)	1-5, 7-13, 15-18, 20-24 6, 14, 19
Y A	JP 2015-130791 A (LSIS CO., LTD.) 16 July 2015, paragraphs [0019]-[0047], fig. 1-7 & US 2015/0188475 A1, paragraphs [0033]-[0062], fig. 1-7 & EP 2897285 A2 & CN 104753380 A & KR 10-1491937 B1	1-5, 7-13, 15-18, 20-24 6, 14, 19
Y A	JP 5188656 B1 (MITSUBISHI ELECTRIC CORP.) 24 April 2013, paragraphs [0011]-[0101], fig. 1-12 & US 2014/0203756 A1, paragraphs [0022]-[0110], fig. 1-12 & WO 2013/190609 A1 & EP 2752983 A1 & CN 103609012 A & KR 10-1304055 B1	1-5, 7-13, 15-18, 20-24 6, 14, 19
Y	JP 2015-139340 A (NIPPON SOKEN, INC.) 30 July 2015, paragraphs [0009]-[0023], fig. 1 (Family: none)	2-5, 7-13, 15-18, 20-24
Y	JP 2016-131426 A (NIPPON SOKEN, INC.) 21 July 2016, paragraph [0023], fig. 1 (Family: none)	24

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02P27/06(2006.01)i, H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02P27/06, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2016-181949 A（株式会社日本自動車部品総合研究所） 2016.10.13, 段落 [0009] - [0018], [0025] - [0026], [0035] - [0039], [0045] - [0054], 図1, 6-8（ファミリーなし）	1-5, 7-13, 15-18, 20-24 6, 14, 19
Y A	JP 2010-130793 A（日立オートモティブシステムズ株式会社） 2010.06.10, 段落 [0009] - [0059], 図1-5 & W0 2010/061918 A1	1-5, 7-13, 15-18, 20-24 6, 14, 19

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

14.11.2018

国際調査報告の発送日

27.11.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

上野 力

3 V

3748

電話番号 03-3581-1101 内線 3357

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2003-134834 A (株式会社日立製作所) 2003.05.09, 段落 [0008] - [0011], 図1-3 (ファミリーなし)	1-5, 7-13, 15-18, 20-24 6, 14, 19
Y A	JP 2015-130791 A (エルエス産電株式会社) 2015.07.16, 段落 [0019] - [0047], 図1-7 & US 2015/0188475 A1, 段落 [0033] - [0062], 図1-7 & EP 2897285 A2 & CN 104753380 A & KR 10-1491937 B1	1-5, 7-13, 15-18, 20-24 6, 14, 19
Y A	JP 5188656 B1 (三菱電機株式会社) 2013.04.24, 段落 [0011] - [0101], 図1-12 & US 2014/0203756 A1, 段落 [0022] - [0110], 図1-12 & WO 2013/190609 A1 & EP 2752983 A1 & CN 103609012 A & KR 10-1304055 B1	1-5, 7-13, 15-18, 20-24 6, 14, 19
Y	JP 2015-139340 A (株式会社日本自動車部品総合研究所) 2015.07.30, 段落 [0009] - [0023], 図1 (ファミリーなし)	2-5, 7-13, 15-18, 20-24
Y	JP 2016-131426 A (株式会社日本自動車部品総合研究所) 2016.07.21, 段落 [0023], 図1 (ファミリーなし)	24