

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 8 月 8 日 (08.08.2024)



(10) 国际公布号
WO 2024/159574 A1

(51) 国际专利分类号:
GI1C 11/406 (2006.01)

(21) 国际申请号: PCT/CN2023/079010

(22) 国际申请日: 2023 年 3 月 1 日 (01.03.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310115031.0 2023年2月2日 (02.02.2023) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 刘勇 (LIU, Yong); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

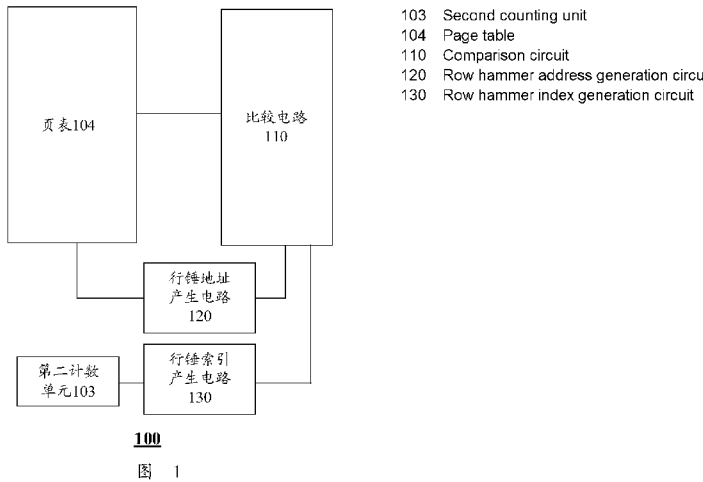
(74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚

(54) Title: ADDRESS SELECTION CIRCUIT, ADDRESS SELECTION METHOD, REFRESH CONTROL CIRCUIT, AND STORAGE SYSTEM

(54) 发明名称: 地址选择电路、地址选择方法、刷新控制电路和存储系统



(57) Abstract: Disclosed are an address selection circuit, an address selection method, a refresh control circuit, and a storage system. The address selection circuit comprises: a page table, wherein each page table item comprises a row address, and a first count value for representing the number of times the row address is accessed; a second counting unit, which is configured to generate a second count value, wherein the second count value is used as an index value corresponding to one page table item; a comparison circuit, which is used for outputting the maximum count value among a plurality of first count values by means of multiple rounds of comparison; a row hammer address generation circuit, which is used for outputting, as a row hammer address, a row address corresponding to the maximum count value; and a row hammer index generation circuit, which is used for outputting, as a row hammer index value, an index value corresponding to the maximum count value, wherein the row hammer index value is used for searching for a page table item corresponding to the maximum count value.

[见续页]



(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：
— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 公开了一种地址选择电路、地址选择方法、刷新控制电路和存储系统，地址选择电路包括：页表，每一页表项包括一个行地址和一个表示行地址访问次数的第一计数值；第二计数单元，配置为生成第二计数值；第二计数值作为对应一个页表项的索引值；比较电路，用于通过多轮比较回合输出多个第一计数值中的最大计数值；行锤地址产生电路，用于输出最大计数值对应的行地址以作为行锤地址；行锤索引产生电路，用于输出最大计数值对应的索引值以作为行锤索引值，行锤索引值用于查找最大计数值对应的页表项。

地址选择电路、地址选择方法、刷新控制电路和存储系统

相关申请的交叉引用

本公开基于申请号为 202310115031.0、申请日为 2023 年 02 月 02 日、发明名称为“地址选择电路、地址选择方法、刷新控制电路和存储系统”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体技术领域，涉及但不限于一种地址选择电路、地址选择方法、刷新控制电路和存储系统。

背景技术

随着当今科学技术的不断发展，半导体存储装置的密度不断增加。高数据可靠性、高存取速度以及更小的芯片尺寸成为了半导体存储器发展的重要趋势。然而，存储器单元之间的电磁相互作用对存储器单元的影响增大，使得存储器单元数据丢失的可能性增加。

动态随机存取存储器（Dynamic Random Access Memory, DRAM）是一种易失性存储器，其通过存储单元电容器中积累的电荷作为物理信号来存储信息。而存储单元中的电荷可随着时间的推移而衰减，因此需要周期性地实行刷新操作，否则存储的数据信息将会丢失。在数据由于电荷的泄漏而丢失之前，可以通过再充电来维持在存储单元中存储的电荷。存储单元中电荷的这种再充电被称为刷新操作，并且在电荷显著丢失之前可以重复执行刷新操作，以重新补充电荷，避免存储数据发生错误。然而，当存储器单元中某一单行地址对应的字线被频繁开启时，会导致相邻地址的电容器在刷新操作到来之前发生不期望的电荷交互，造成数据错误和数据丢失。

发明内容

有鉴于此，本公开实施例提供了一种地址选择电路、地址选择方法、刷新控制电路和存储系统。

第一方面，本公开实施例提供了一种地址选择电路，包括：页表，所述页表的每一页表项包括一个行地址和对应的一个第一计数值；所述第一计数值表示所述行地址的访问次数；第二计数单元，配置为生成并输出第二计数值；所述第二计数值作为对应于一个所述页表项的索引值；比较电路，连接所述页表；所述比较电路用于通过多轮比较回合输出多个所述第一计数值中的最大计数值；行锤地址产生电路，连接所述比较电路和所述页表；所述行锤地址产生电路用于在最后一轮所述比较回合后，输出所述最大计数值对应的所述行地址以作为行锤地址；行锤索引产生电路，连接所述比较电路和所述第二计数单元；所述行锤索引产生电路用于在最后一轮所述比较回合后，输出所述最大计数值对应的所述索引值以作为行锤索引值，所述行锤索引值用于查找所述最大计数值对应的所述页表项。

第二方面，本公开实施例提供了一种地址选择方法，包括：在页表中存储多个行地址，并对所述行地址的访问次数进行计数以生成对应的第一计数值；所述页表的每一页表项包括一个行地址和对应的一个第一计数值；所述第一计数值表示所述行地址的访问次数；生成并输出第二计数值；所

述第二计数值作为对应于一个所述页表项的索引值；通过多轮比较回合输出多个所述第一计数值中的最大计数值；在最后一轮所述比较回合后，输出所述最大计数值对应的所述行地址以作为行锤地址，并输出所述最大计数值对应的所述索引值以作为行锤索引值，所述行锤索引值用于查找所述最大计数值对应的所述页表项。

第三方面，本公开实施例提供了一种存储系统，包括：存储器，包括外围电路和存储单元阵列；其中，所述外围电路包括上述实施例中任一所述的地址选择电路；存储控制器。

在本公开实施例提供的地址选择电路中，在最后一轮比较回合后，比较电路输出最大计数值，行锤地址产生电路同步地输出最大计数值对应的行锤地址，行锤索引产生电路同步地输出最大计数值对应的索引值以作为行锤索引值。如此，一方面，将访问次数最多的行地址作为行锤地址，可以减少行锤效应带来的数据错误；另一方面，可以通过行锤索引值，查找最大计数值对应的页表项，便于动态更新多个页表项中的行地址，进一步地提高生成行锤地址的准确性。

附图说明

图 1 为本公开实施例提供的一种地址选择电路的示意图；

图 2 为本公开实施例提供的另一种地址选择电路的示意图；

图 3 为本公开实施例提供的又一种地址选择电路的示意图；

图 4 为本公开实施例提供的又一种地址选择电路的局部示意图；

图 5 为本公开实施例提供的一种地址选择方法的步骤流程图；

图 6 为本公开实施例提供的一种刷新控制电路的示意图；

图 7 为本公开实施例提供的一种存储系统的示意图；

图 8 为本公开实施例提供的再一种地址选择电路的局部示意图；

图 9 为本公开实施例提供的再一种地址选择电路的工作时序图。

具体实施方式

为了便于理解本公开，下面将参照相关附图更详细地描述本公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开的范围完整的传达给本领域的技术人员。

在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在一些实施例中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即这里可以不描述实际实施例的全部特征，不详细描述公知的功能和结构。

一般地，术语可以至少部分地从上下文中的使用来理解。例如，至少部分地取决于上下文，如本文中所用的术语“一个或多个”可以用于以单数意义描述任何特征、结构或特性，或者可以用于以复数意义描述特征、结构或特性的组合。类似地，诸如“一”或“所述”的术语同样可以被理解为传达单数用法或传达复数用法，这至少部分地取决于上下文。另外，属于“基于”可以被理解为不一定旨在传达排他的一组因素，并且可以替代地允许存在不一定明确地描述的附加因素，这同样至少部分地取决于上下文。

除非另有定义，本文所使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、

步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

为了彻底理解本公开，将在下列的描述中提出详细的步骤以及详细的结构，以便阐释本公开的技术方案。本公开的较佳实施例详细描述如下，然而除了这些详细描述外，本公开还可以具有其他实施方式。

在一些实施例中，存储器中存储单元的电容尺寸较小，使得存储单元的噪声裕度较小，容易受到干扰。此外，由于相邻存储单元之间的距离较小，存储单元更容易受到电磁耦合的影响而产生意想不到的场效应。具体地，存储器的常规刷新包括激活（Active, Act）和预充电（Precharge, Pre）操作。在一个刷新窗口时间内，当存储器中的某一根字线（Word Line）连续进行多次的激活操作时，可能会导致相邻地址的电容器在常规刷新信号到来之前发生数据翻转，进而产生错误的存储，这种现象一般称为行锤（Row Hammer）。其中，每条字线对应一个行地址，被重复进行存取访问的行被称为攻击者行（Aggressor Row）或者锤击行（Hammered Row），攻击者行的地址即行锤地址，而与攻击者行相邻近的行则被称为受害者行（Victim Row）。行锤刷新（Row Hammer Refresh）即在存储器工作一段时间后，对受害者行进行刷新，保证其数据正确，其中，受害者行的地址即行锤刷新地址，而造成数据损坏的攻击者行的访问次数即行锤阈值。值得注意的是，行锤攻击行为会导致受害者行发生数据翻转，包括但不限于从“1”翻转到“0”，以及从“0”翻转到“1”。

第一方面，如图1所示，本公开实施例提供了一种地址选择电路100，包括：页表104，所述页表104的每一页表项包括一个行地址和对应的一个第一计数值；所述第一计数值表示所述行地址的访问次数；第二计数单元103，配置为生成并输出第二计数值；所述第二计数值作为对应于一个所述页表项的索引值；比较电路110，连接所述页表104；所述比较电路用于通过多轮比较回合输出多个所述第一计数值中的最大计数值；行锤地址产生电路120，连接所述比较电路和所述页表104；所述行锤地址产生电路用于在最后一轮所述比较回合后，输出所述最大计数值对应的所述行地址以作为行锤地址；行锤索引产生电路130，连接所述比较电路和所述第二计数单元；所述行锤索引产生电路用于在最后一轮所述比较回合后，输出所述最大计数值对应的所述索引值以作为行锤索引值，所述行锤索引值用于查找所述最大计数值对应的所述页表项。

应当理解的是，图中为了使得各个电路和单元均能被清晰示出，可能造成各电路和单元的尺寸比例、位置关系与实际结构不符。

在本公开实施例中，地址选择电路100中可以具有页表104，页表104可以位于DRAM的外围电路区域中靠近存储阵列区域的位置。页表104中可以存储多个行地址、表示每个行地址的访问次数的第一计数值，以及每个页表项的状态等。页表104可以包括多个地址寄存单元101，地址寄存单元101配置为存储行地址，以及输出自身存储的行地址。这里的每个行地址在物理上可以对应于存储器中的一条字线，进行激活操作的行地址可以通过随机采样的方式进入到地址寄存单元101中。随机采样方式例如可以为：通过线性反馈移位寄存器产生伪随机数；或者振荡器产生的随机脉冲的方式等方式。可以理解的是，这里每个地址寄存单元101可以配置为存储一个行地址。

页表104中还可以包括多个第一计数单元102，多个第一计数单元102可以与多个地址寄存单元101一一对应连接，第一计数单元102可以对相应地址寄存单元101中存储的行地址的访问次数进行计数，这里的访问次数可以是进行激活操作的次数。如此，每个第一计数单元102可以生成一个行地址的访问次数对应的第一计数值。在一些实施例中，第一计数单元102还可以响应于自动刷新（Auto Refresh, AR）命令复位，从而将计数值重置为0。这里的自动刷新可以设置刷新间隔，从而按照刷新间隔的时间自动对存储单元执行刷新操作。

第二计数单元103可以接收脉冲信号，并对脉冲信号计数以生成第二计数值，也就是说，第二计数值可以随着第二计数单元103接收到的脉冲数目的增加而逐渐增大。示例性地，这里的脉冲信

号可以为振荡器（Oscillator，OSC）提供的时钟信号，而第二计数单元则可以对时钟信号的上升沿进行计数。值得注意的是，第二计数单元可以对脉冲信号的上升沿进行计数，也可以对脉冲信号的下降沿进行计数，还可以对脉冲信号的上升沿和下降沿均进行计数，这里不做限制。第二计数值的每个计数可以作为对应于一个第一计数值和一个行地址的索引值，示例性地，表 1 示出了页表中具有 9 个页表项的情况，每个页表项包括索引值 INDEX、第一计数值 CNT_VAL、行地址 ADDR 和页表项的状态，即页表中包括 9 个行地址和对应的 9 个第一计数值，索引值的取值为 1 至 9，可以理解的是，这里的每个索引值对应于一个页表项。如此，利用索引值作为行锤索引值，可以查找对应的一个页表项中存储的行地址和第一计数值，以便于对特定的第一计数单元 102 和地址寄存单元 101 进行操作。而状态 OP 表示该页表项未被占用，未存储行地址；状态 LO 表示该页表项被占用，存储了行地址。行地址和第一计数值的位数仅作参考。

页表			
索引值	行地址	第一计数值	状态
1	RA_ADDR1<15:0>	CNT1<8:0>	OP/LO
2	RA_ADDR2<15:0>	CNT2<8:0>	OP/LO
3	RA_ADDR3<15:0>	CNT3<8:0>	OP/LO
4	RA_ADDR4<15:0>	CNT4<8:0>	OP/LO
5	RA_ADDR5<15:0>	CNT5<8:0>	OP/LO
6	RA_ADDR6<15:0>	CNT6<8:0>	OP/LO
7	RA_ADDR7<15:0>	CNT7<8:0>	OP/LO
8	RA_ADDR8<15:0>	CNT8<8:0>	OP/LO
9	RA_ADDR9<15:0>	CNT9<8:0>	OP/LO

表 1

比较电路 110 连接页表 104，比较电路 110 可以通过多轮比较回合对多个第一计数值进行两两比较，以确定其中最大的计数值。示例性地，在每轮比较回合中，比较电路 110 可以比较其中两个第一计数值的大小，这里进行比较的两个第一计数值分别为，来自于上一轮比较回合中较大的一个第一计数值，以及另一个未经比较的第一计数值。如此，通过循环的多轮比较回合，比较电路 110 可以在最后一轮比较回合后，输出多个第一计数值中的最大计数值。由于多轮比较回合是依次循环进行的，故可以通过一个比较器和一个寄存器重复进行每轮比较回合，如此比较电路 110 的占用面积较小，处理速度较快。

行锤地址产生电路 120 连接比较电路 110 和页表 104。具体地，在每轮比较回合中，行锤地址产生电路 120 可以根据比较电路 110 中两个第一计数值的比较结果，选择并存储较大的一个第一计数值对应的行地址。如此，在每轮比较回合中，比较电路 110 和行锤地址产生电路 120 同步地输出较大的一个第一计数值和对应的行地址。而在最后一轮比较回合后，比较电路 110 和行锤地址产生电路 120 可以同步地输出最大计数值和对应的行锤地址，这里的行锤地址即上述实施例中的攻击者行。可以理解的是，由于行锤地址产生电路 120 同步地输出最大计数值对应的行锤地址，地址选择电路 100 中无需再设置其他电路或者单元，以在最后一轮比较回合后，再根据最大计数值，确定行锤地址，故地址选择电路 100 的占用面积相对较小。另外，地址选择电路 100 将采样到的多个行地址中访问次数最多的行地址作为行锤地址，可以提高生成行锤地址的准确性，以减少行锤效应带来的数据错误。

行锤索引产生电路 130 连接比较电路 110 和第二计数单元 103。具体地，在每轮比较回合中，行锤索引产生电路 130 可以根据比较电路 110 中两个第一计数值的比较结果，选择并存储较大的一个第一计数值对应的索引值，这里的索引值即对应于较大的一个第一计数值的第二计数值的计数。

如此，在每轮比较回合中，比较电路 110、行锤地址产生电路 120 和行锤索引产生电路 130 同步地输出较大的一个第一计数值和对应的行地址，以及对应的索引值。而在最后一轮比较回合后，比较电路 110、行锤地址产生电路 120 和行锤索引产生电路 130 同步地输出最大计数值、行锤地址和作为行锤索引值的索引值。由此，通过行锤索引值，可以查找行锤地址对应的页表项，从而在特定的时刻重置该页表项对应的第一计数单元 102 和地址寄存单元 101，以动态更新多个行地址，进一步地提高生成行锤地址的准确性。

在一些实施例中，比较电路还可以用于输出多个第一计数值中的最小计数值。而地址选择电路可以实现行锤索引值功能，具体包括最大行锤索引值和最小行锤索引值。其中，最大行锤索引值用于指向多个第一计数值中最大计数值对应的页表项，最小行锤索引值则用于指向多个第一计数值中最小计数值对应的页表项。

在一些实施例中，如图 2 所示，所述地址选择电路 100 还包括：控制电路 140，用于根据所述行锤索引值，重置对应的所述地址寄存单元 101 中存储的所述行地址，和对应的所述第一计数单元 102 生成的所述第一计数值。

在本公开实施例中，在对行锤地址相邻的受害者行进行刷新操作之后，控制电路 140 可以通过行锤索引值查找行锤地址对应的页表项，并控制对应的地址寄存单元 101 将存储的行地址替换为另一个重新采样到的行地址，可以理解的是，这里对应的地址寄存单元 101 中存储的行地址即为行锤地址。另外，控制电路 140 还可以将对应的第一计数单元 102 生成的第一计数值重置为 0，可以理解的是，这里对应的第一计数单元 102 生成的第一计数值即为最大计数值。如此，可以动态更新地址选择电路 100 中的多个行地址以及对应的多个第一计数值，进一步地提高生成行锤地址的准确性。

在一些实施例中，如图 3 所示，所述地址选择电路 100 还包括：多个地址寄存单元 101，位于所述页表 104 中；多个所述地址寄存单元 101 配置为输出并行的多个所述行地址；多个第一计数单元 102，位于所述页表 104 中；多个所述第一计数单元 102 配置为输出并行的多个所述第一计数值；第一转换单元 151，所述第一转换单元 151 的选择端连接所述第二计数单元 103，所述第一转换单元 151 的输入端连接多个所述第一计数单元 102，所述第一转换单元的 151 输出端连接所述比较电路 110；所述第一转换单元 151 配置为基于所述第二计数值的计数，将并行的多个所述第一计数值，依次输出为串行的多个所述第一计数值，直至所述第二计数值等于预设值；所述预设值与所述第一计数值的个数相等；第二转换单元 152，所述第二转换单元 152 的选择端连接所述第二计数单元 103，所述第二转换单元 152 的输入端连接多个所述地址寄存单元 101，所述第二转换单元 152 的输出端连接所述行锤地址产生电路 120；所述第二转换单元 152 配置为基于所述第二计数值的计数，将并行的多个所述行地址，依次输出为串行的多个所述行地址，直至所述第二计数值等于所述预设值。

在本公开实施例中，多个第一计数单元 102 可以输出并行的多个第一计数值，即多个第一计数值不分先后顺序地由多个第一计数单元 102 输出。地址选择电路 100 还可以包括用于将并行的多个第一计数值转换为串行的多个第一计数值的第一转换单元 151。这里串行的多个第一计数值可以为根据第二计数值的计数的顺序依次传输的多个第一计数值。示例性地，第一转换单元 151 可以为数据选择器 (Multiplexer, MUX)，多个第一计数单元 102 输出的多路并列的第一计数值通过第一转换单元 151 的分时选择，转换为按第二计数值的计数的顺序排列的一路数据进行输出，从而在比较电路 110 中进行逐轮比较，以输出其中的最大计数值。

多个地址寄存单元 101 可以输出并行的多个行地址，即多个行地址不分先后顺序地由多个地址寄存单元 101 输出。地址选择电路 100 还可以包括用于将并行的多个行地址转换为串行的多个行地址的第二转换单元 152。这里串行的多个行地址可以为根据第二计数值的计数的顺序依次传输的多个行地址。示例性地，第二转换单元 152 可以为数据选择器，多个地址寄存单元 101 输出的多路并列的行地址通过第二转换单元 152 的分时选择，转换为按第二计数值的计数的顺序排列的一路数据

进行输出，从而在行锤地址产生电路 120 中进行选择，以同步输出最大计数值对应的行锤地址。

示例性地，在第二计数值的计数为 1 的情况下，第一转换单元输出对应的第一个第一计数值，第二转换单元输出第一个第一计数值对应的行地址；在第二计数值的计数为 2 的情况下，第一转换单元输出对应的第二个第一计数值，第二转换单元输出第二个第一计数值对应的行地址……在第二计数值的计数为 n 的情况下，第一转换单元输出对应的第 n 个第一计数值，第二转换单元输出第 n 个第一计数值对应的行地址，这里的 n 为正整数。此外，在第二计数值等于预设值的情况下，第一转换单元 151 和第二转换单元 152 可以结束转换过程，这里的预设值可以为第一计数值的总数量。

可以理解的是，通过第一转换单元 151 和第二转换单元 152 将多个第一计数值和多个行地址由并行转换为串行，使得每个第二计数值的计数，即每个索引值，可以对应于一个第一计数值和一个行地址，如此，通过索引值即可确定对应的一个地址寄存单元 101 和一个第一计数单元 102。

在一些实施例，如图 3 所示，所述比较电路 110 包括：比较器 111、第一仲裁单元 112 和第一寄存单元 113；所述比较器 111 的输入端连接所述第一寄存单元 113 的输出端；所述第一仲裁单元 112 的输入端连接所述第一寄存单元 113 的输出端和所述比较器 111 的输出端；所述第一寄存单元 113 的输入端连接所述第一仲裁单元 112 的输出端；所述比较器 111 用于在每轮所述比较回合中，比较所述第一寄存单元 113 输出的上一轮比较回合中较大的一个所述第一计数值，和另一个未经比较的所述第一计数值的大小，并输出比较结果信号；所述第一仲裁单元 112 配置为在每轮所述比较回合中，根据所述比较结果信号，将所述第一寄存单元 113 输出的一个所述第一计数值和另一个未经比较的所述第一计数值中较大的一个所述第一计数值输出至所述第一寄存单元 113；所述第一寄存单元 113 配置为存储每轮所述比较回合中所述第一仲裁单元 112 输出的较大的一个所述第一计数值。

在本公开实施例中，示例性地，第一仲裁单元 112 可以为数据选择器，第一寄存单元 113 可以为 D 触发器（Delay Flipflop，DFF），以存储当前比较回合中较大的一个第一计数值，并输出上一轮比较回合中较大的一个第一计数值。在一轮比较回合中，比较器 111 可以将上一轮比较回合中较大的一个第一计数值，与另一个未经比较的第一计数值进行比较，并输出比较结果信号；而第一仲裁单元 112 则根据比较结果信号，选择其中较大的一个第一计数值进行输出。可以理解的是，上述上一轮比较回合中较大的一个第一计数值，即本轮比较回合中第一寄存单元 113 输出的第一计数值，上述另一个未经比较的第一计数值，即本轮比较回合中第一转换单元 151 输出的第一计数值。如此，通过循环的多轮比较回合，比较电路可以输出多个第一计数值中的最大计数值。由于比较电路中只包括一个比较器 111、一个第一仲裁单元 112 和一个第一寄存单元 113，且上述三者多轮比较回合中都是重复使用的，故电路的占用面积较小，处理速度较快；另外，第一寄存单元 113 仅存储每轮比较回合中较大的一个第一计数值，即不需要处理其他无用的中间过程数值，故电路的功耗较低。

在一些实施例中，第一寄存单元 113 为 D 触发器，D 触发器还可以根据上述脉冲信号的边沿，更新或保持自身存储的第一计数值。

在一些实施例中，如图 3 所示，所述比较电路 110 还包括：第一输出单元 114，连接所述第一寄存单元 113 和所述第二计数单元 103；所述第一输出单元 114 配置为在所述第二计数值大于所述预设值的情况下，输出所述第一寄存单元 113 存储的所述第一计数值，以作为所述最大计数值。

在本公开实施例中，由于第一寄存单元 113 可以存储每轮比较回合中较大的一个第一计数值，故在最后一轮比较回合后，第一输出单元 114 可以输出第一寄存单元 113 中存储的第一计数值以作为最大计数值。也就是说，第二计数值大于预设值，标志着多个第一计数值已逐轮完成比较，第一输出单元 114 可以输出最大计数值，这里的预设值可以为第一计数值的总数量。

在一些实施例中，第一输出单元 114 可以为数据选择器。第一输出单元 114 还连接至接地电压 VSS，这里的接地电压 VSS 可以使得第一输出单元 114 在第二计数值还未大于预设值的情况下，保

持输出 0，直至最后一轮比较回合后，才输出最大计数值。

在一些实施例中，如图 3 所示，所述行锤地址产生电路 120 包括：第二寄存单元 121，配置为存储每轮所述比较回合中，较大的一个所述第一计数值对应的所述行地址；第二仲裁单元 122，所述第二仲裁单元 122 的输入端连接所述第二转换单元 152 的输出端和所述第二寄存单元 121 的输出端，所述第二仲裁单元 122 的选择端连接所述比较器 111 的输出端；所述第二仲裁单元 122 的输出端连接所述第二寄存单元 121 的输入端；所述第二仲裁单元 122 配置为根据所述比较结果信号，选择每轮所述比较回合中较大的一个所述第一计数值对应的所述行地址，并输出至所述第二寄存单元 121。

在本公开实施例中，行锤地址产生电路 120 可以包括一个第二寄存单元 121 和一个第二仲裁单元 122，这里的第二仲裁单元 122 可以为数据选择器，且第二仲裁单元 122 的选择端连接比较器 111 的输出端，以接收比较结果信号。在一轮比较回合中，第二仲裁单元 122 可以根据比较结果信号，从第二寄存单元 121 输出的上一轮比较回合中较大一个第一计数值对应的行地址，和第二转换单元 152 输出的一个未经比较的第一计数值对应的行地址中，选择出较大的一个第一计数值对应的行地址，并输出至第二寄存单元 121。也就是说，在一轮比较回合中，根据比较结果信号，第一仲裁单元 112 和第二仲裁单元 122 可以同步地输出较大的一个第一计数值和对应的行地址，并由第一寄存单元 113 和第二寄存单元 121 分别存储。如此，在最后一轮比较回合后，第一寄存单元 113 和第二寄存单元 121 分别存储着最大计数值和最大计数值对应的行地址。

在一些实施例中，第二寄存单元 121 为 D 触发器，D 触发器还可以根据上述脉冲信号的边沿，更新或保持自身存储的行地址。第二寄存单元 121 还可以配置为在第一轮比较回合之前，重置自身存储的地址。

在一些实施例中，如图 3 所示，所述行锤地址产生电路 120 还包括：第二输出单元 124，连接所述第二寄存单元 121 和所述第二计数单元 103；所述第二输出单元 124 配置为在所述第二计数值大于所述预设值的情况下，输出所述第二寄存单元 121 存储的所述行地址，以作为所述行锤地址。

在本公开实施例中，由于第二寄存单元 121 可以存储每轮比较回合中较大的一个第一计数值对应的行地址，故在最后一轮比较回合后，第二输出单元 124 可以输出第二寄存单元 121 中存储的行地址以作为行锤地址。也就是说，第二计数值大于预设值，标志着多个第一计数值已逐轮完成比较，第二输出单元 124 可以输出最大计数值对应的行地址，这里的预设值可以为第一计数值的总数量。可以理解的是，在最后一轮比较回合后，第一输出单元 114 和第二输出单元 124 可以同步地输出最大计数值和行锤地址。

在一些实施例中，第二输出单元 124 可以为数据选择器。第二输出单元 124 还连接至接地电压 VSS，这里的接地电压 VSS 可以使得第二输出单元 124 在第二计数值还未大于预设值的情况下，保持输出无效地址，直至最后一轮比较回合后，才输出行锤地址。

在一些实施例中，如图 3 所示，所述行锤索引产生电路 130 包括：第三寄存单元 131，配置为存储每轮所述比较回合中，较大的一个所述第一计数值对应的所述索引值；第三仲裁单元 132，所述第三仲裁单元 132 的输入端连接所述第二计数单元 103 的输出端和所述第三寄存单元 131 的输出端，所述第三仲裁单元 132 的选择端连接所述比较器 111 的输出端；所述第三仲裁单元 132 的输出端连接所述第三寄存单元 131 的输入端；所述第三仲裁单元 132 配置为根据所述比较结果信号，选择每轮所述比较回合中较大的一个所述第一计数值对应的所述索引值，并输出至所述第三寄存单元 131。

在本公开实施例中，行锤索引产生电路 130 可以包括一个第三寄存单元 131 和一个第三仲裁单元 132，这里的第三仲裁单元 132 可以为数据选择器，且第三仲裁单元 132 的选择端连接比较器 111 的输出端，以接收比较结果信号。在一轮比较回合中，第三仲裁单元 132 可以根据比较结果信号，

从第三寄存单元 131 输出的上一轮比较回合中较大一个第一计数值对应的索引值, 和第二计数单元 103 输出的未经比较的一个第一计数值对应的索引值中 (即当前第二计数值的计数), 选择出较大的一个第一计数值对应的索引值, 并输出至第三寄存单元 131。也就是说, 在一轮比较回合中, 根据比较结果信号, 第一仲裁单元 112 和第三仲裁单元 132 可以同步地输出较大的一个第一计数值和对应的索引值, 并由第一寄存单元 113 和第三寄存单元 131 分别存储。如此, 在最后一轮比较回合后, 第一寄存单元 113 和第三寄存单元 131 分别存储着最大计数值和最大计数值对应的行锤索引值。

在一些实施例中, 第三寄存单元 131 为 D 触发器, D 触发器还可以根据上述脉冲信号的边沿, 更新或保持自身存储的行地址。第三寄存单元 131 还可以配置为在第一轮比较回合之前, 重置自身存储的地址。

在一些实施例中, 第一寄存单元 113、第二寄存单元 121 和第三寄存单元 131 还可以在第一轮比较回合前, 将自身存储的数据重置为 0。

在一些实施例中, 如图 3 所示, 所述行锤索引产生电路 130 还包括: 第三输出单元 134, 连接所述第三寄存单元 131 和所述第二计数单元 103; 所述第三输出单元 134 配置为在所述第二计数值大于所述预设值的情况下, 输出所述第三寄存单元 131 存储的所述索引值, 以作为所述行锤索引值。

在本公开实施例中, 由于第三寄存单元 131 可以存储每轮比较回合中较大的一个第一计数值对应的索引值, 故在最后一轮比较回合后, 第三输出单元 134 可以输出第三寄存单元 131 中存储的索引值以作为行锤索引值。也就是说, 第二计数值大于预设值, 标志着多个第一计数值已逐轮完成比较, 第三输出单元 134 可以输出最大计数值对应的行锤索引值, 这里的预设值可以为第一计数值的总数量。可以理解的是, 在最后一轮比较回合后, 第一输出单元 114 和第三输出单元 134 可以同步地输出最大计数值和行锤索引值。

在一些实施例中, 第三输出单元 134 可以为数据选择器。第三输出单元 134 还连接至接地电压 VSS, 这里的接地电压 VSS 可以使得第三输出单元 134 在第二计数值还未大于预设值的情况下, 保持输出 0, 直至最后一轮比较回合后, 才输出行锤索引值。

在一些实施例中, 所述地址选择电路 100 还包括: 振荡器, 连接所述第二计数单元; 所述振荡器用于提供时钟信号; 所述第二计数单元具体配置为对所述时钟信号的脉冲进行计数, 以生成并输出所述第二计数值。

在一些实施例中, 如图 4 所示为地址选择电路的局部示意图, 所述控制电路 140 还包括: 命令解码电路 160, 用于根据存储控制器发出的外部命令, 生成并输出激活信号; 地址采样电路 170, 连接所述命令解码电路 160 和所述页表; 所述地址采样电路 170 用于响应于所述激活信号, 采样所述激活信号对应的多个所述行地址并存储至所述页表中。

在本公开实施例中, 命令解码电路 160 可以对存储控制器 (Memory Controller, MC) 发送的外部命令进行解码, 这里的外部命令包括但不限于刷新命令 (Refresh, REF)、刷新管理命令 (Refresh Management, RFM)、自动刷新命令、激活命令等。根据存储控制器发送的激活命令, 命令解码电路 160 可以生成并输出激活信号, 以对多个行地址对应的多条字线进行激活操作。地址采样电路 170 可以响应于上述激活信号, 对激活信号对应的行地址进行随机抓取, 并将抓取到的行地址存储至页表中。在一些实施例中, 响应于自动刷新命令, 地址采样电路 170 还可以重新采样多个新的行地址, 以替换多个地址寄存单元中原有的行地址, 以保证行地址的动态更新, 提高生成行锤地址的准确性。

在一些实施例中, 所述比较电路还用于根据多个所述第一计数值, 输出最小计数值; 所述控制电路还用于将所述最小计数值对应的所述地址寄存单元中存储的所述行地址替换为新的行地址。

在本公开实施例中, 比较电路还可以通过多轮比较回合, 对多个第一计数值进行两两比较, 输出最小计数值。每轮比较回合中, 比较上一轮比较回合中较小的一个第一计数值, 与另一个未经比较的第一计数值, 并将其中较小的一个第一计数值输出至寄存单元。获取最小计数值的具体实现方

式参考上述实施例，这里不再赘述。控制电路可以根据最小计数值对应的索引值，确定最小计数值对应的行地址所在的地址寄存单元，并将最小计数值对应的地址寄存单元中存储的行地址替换为新的行地址，以保证行地址的动态更新，提高生成行锤地址的准确性。示例性地，控制电路还可以连接多个地址寄存单元，以将最小计数值对应的地址寄存单元中存储的行地址清除，并控制上述地址采样电路，将新的行地址输出至该地址寄存单元。

在一些实施例中，如图 4 所示，所述控制电路 140 还包括：地址运算电路 180，用于根据所述行锤地址，确定所述行锤地址相邻的至少一条行地址为行锤刷新地址。

在本公开实施例中，控制电路 140 中还具有地址运算电路 180。地址运算电路 180 可以将行锤地址相邻的至少一条行地址作为行锤刷新地址，这里的行锤刷新地址即为受害者行。如此，在一个刷新窗口时间内对受害者行对应的字线执行行锤刷新操作，可以减少行锤效应带来的数据错误，提高存储器工作的可靠性。在一些实施例中，根据存储器的性能和功耗要求，可以选择与行锤地址相邻的一条行地址作为行锤刷新地址进行刷新，以降低功耗；也可以选择与行锤地址相邻的多条行地址进行刷新，以提高刷新受害行的准确性。

第二方面，如图 5 所示，本公开实施例提供了一种地址选择方法，包括：

步骤 S10：在页表中存储多个行地址，并对所述行地址的访问次数进行计数以生成对应的第一计数值；所述页表的每一页表项包括一个行地址和对应的一个第一计数值；所述第一计数值表示所述行地址的访问次数；生成并输出第二计数值；所述第二计数值作为对应于一个所述页表项所述行地址和所述第一计数值的索引值；

步骤 S20：通过多轮比较回合输出多个所述第一计数值中的最大计数值；在最后一轮所述比较回合后，输出所述最大计数值对应的所述行地址以作为行锤地址，并输出所述最大计数值对应的所述索引值以作为行锤索引值，所述行锤索引值用于查找所述最大计数值对应的所述页表项。

在本公开实施例中，可以在页表中存储多个行地址，并对每个行地址的访问次数进行计数以生成对应的第一计数值。每个行地址在物理上可以对应于存储器中的一条字线。这里存储在页表中的行地址可以通过随机采样的方式从进行激活操作的行地址中获得。

分别对多个行地址中的每一个行地址的访问次数进行计数，以生成对应的多个第一计数值，这里的访问次数可以是行地址对应的字线进行激活操作的次数。在一些实施例中，还可以响应于自动刷新命令，将多个第一计数值重置为 0。这里的自动刷新可以设置刷新间隔，从而按照刷新间隔的时间自动对存储单元执行刷新操作。

对脉冲信号计数以生成第二计数值，也就是说，第二计数值可以随着接收到的脉冲数目的增加而逐渐增大。示例性地，这里的脉冲信号可以为振荡器提供的时钟信号，对时钟信号的上升沿进行计数可以生成第二计数值。值得注意的是，这里也可以对脉冲信号的下降沿进行计数，还可以对脉冲信号的上升沿和下降沿均进行计数，本公开实施例中不做限制。第二计数值的每个计数可以作为对应于一个第一计数值和一个行地址的索引值。

通过多轮比较回合对多个第一计数值进行两两比较，并在最后一轮比较回合后，同步地输出最大计数值、最大计数值对应的行锤地址和最大计数值对应的索引值。示例性地，在每轮比较回合中，比较上一轮比较回合中较大的一个第一计数值，以及另一个未经比较的第一计数值，并输出其中较大的一个第一计数值，如此重复多轮比较回合，可以在最后一轮比较回合后，输出最大计数值。在每轮比较回合中，还可以根据比较结果信号，选择并存储较大的一个第一计数值对应的行地址和索引值，以在最后一轮比较回合后，同步地输出最大计数值、行锤地址和作为行锤索引值的索引值。

如此，将采样到的多个行地址中访问次数最多的行地址作为行锤地址，可以提高生成行锤地址的准确性，以减少行锤效应带来的数据错误；此外，通过行锤索引值可以重置对应的行地址和第一计数值，以进一步地提高生成行锤地址的准确性。值得注意的是，上述步骤中，输出行地址、第一计数

值以及第二计数值可以是同步进行的，从而在每轮比较回合中，在比较两个第一计数值的大小的同时，根据比较结果信号选择对应的一个行地址和一个索引值。

在一些实施例中，所述方法还包括：根据所述行锤索引值，重置对应的所述页表项中的所述行地址和所述第一计数值。

在本公开实施例中，在对行锤地址相邻的受害者行进行刷新操作之后，可以根据行锤索引值，将对应存储的一个行地址替换为另一个重新采样到的行地址，可以理解的是，这里对应存储的一个行地址即为行锤地址。另外，还可以根据行锤索引值，将对应的一个第一计数值重置为 0，可以理解的是，这里对应的一个第一计数值即为最大计数值。如此，可以动态更新多个行地址以及对应的多个第一计数值，进一步地提高生成行锤地址的准确性。

在一些实施例中，所述输出多个第一计数值包括：所述方法还包括：通过所述页表输出并行的多个所述行地址；通过所述页表输出并行的多个所述第一计数值；基于所述第二计数值的计数，将并行的多个所述第一计数值，依次输出为串行的多个所述第一计数值，直至所述第二计数值等于预设值；所述预设值与所述第一计数值的个数相等；基于所述第二计数值的计数，将并行的多个所述行地址，依次输出为串行的多个所述行地址，直至所述第二计数值等于所述预设值。

在本公开实施例中，可以不分先后顺序地输出多个第一计数值，即并行的多个第一计数值。因此，上述方法还可以包括：根据第二计数值的计数的顺序，依次传输多个第一计数值。示例性地，可以通过数据选择器的分时选择，将多路并列传输的多个第一计数值，转换为按第二计数值的计数的顺序排列的一路数据进行输出，从而依次进行逐轮比较，以输出其中的最大计数值。多个行地址由并行传输转换为串行传输可以参考上述方式实现，这里不再赘述。

示例性地，在第二计数值的计数为 1 的情况下，输出对应的第一个第一计数值，并同步输出第一个第一计数值对应的行地址；在第二计数值的计数为 2 的情况下，输出对应的第二个第一计数值，并同步输出第二个第一计数值对应的行地址……在第二计数值的计数为 n 的情况下，输出对应的第 n 个第一计数值，并同步输出第 n 个第一计数值对应的行地址，这里的 n 为正整数。此外，在第二计数值等于预设值的情况下，可以结束转换过程，这里的预设值可以为第一计数值的总数量。

在一些实施例中，所述通过多轮比较回合输出多个所述第一计数值中的最大计数值，包括：在每轮所述比较回合中，比较上一轮比较回合中存储的一个所述第一计数值，和另一个未经比较的所述第一计数值，并输出比较结果信号；根据所述比较结果信号，输出其中较大的一个所述第一计数值；存储较大的一个所述第一计数值。

在一些实施例中，所述通过多轮比较回合输出多个所述第一计数值中的最大计数值，还包括：在所述第二计数值大于所述预设值的情况下，输出最后一轮所述比较回合中存储的一个所述第一计数值；其中，所述最后一轮所述比较回合中存储的一个所述第一计数值为所述最大计数值。

在一些实施例中，所述输出所述最大计数值对应的所述行地址以作为行锤地址，包括：根据所述比较结果信号，从上一轮比较回合存储的一个所述行地址，和另一个未经比较的所述第一计数值对应的所述行地址中，选择并输出较大的一个所述第一计数值对应的所述行地址；存储每轮所述比较回合中，较大的一个所述第一计数值对应的所述行地址。

示例性地，在一轮比较回合中，根据比较结果信号，可以同步地输出较大的一个第一计数值和对应的行地址，并分别进行存储。如此，在最后一轮比较回合后，即可得到多个第一计数值中的最大计数值，以及最大计数值对应的行锤地址。

在一些实施例中，所述输出所述最大计数值对应的所述行地址以作为行锤地址，还包括：在所述第二计数值大于所述预设值的情况下，输出最后一轮所述比较回合中较大的一个所述第一计数值对应的所述行地址，以作为所述行锤地址。

可以理解的是，在最后一轮比较回合后，可以同步地输出最大计数值和对应的行锤地址。

在一些实施例中，所述输出所述最大计数值对应的所述索引值以作为行锤索引值，包括：根据所述比较结果信号，从上一轮比较回合存储的一个所述索引值，和另一个未经比较的所述第一计数值对应的所述索引值中，选择并输出较大的一个所述第一计数值对应的所述索引值；存储每轮所述比较回合中，较大的一个所述第一计数值对应的所述索引值。

5 示例性地，在一轮比较回合中，根据比较结果信号，可以同步地输出较大的一个第一计数值和对应的索引值，并分别进行存储。如此，在最后一轮比较回合后，即可得到多个第一计数值中的最大计数值，以及最大计数值对应的索引值，并将该索引值作为行锤索引值。

10 在一些实施例中，所述输出所述最大计数值对应的所述索引值以作为行锤索引值，还包括：在所述第二计数值大于所述预设值的情况下，输出最后一轮所述比较回合中较大的一个所述第一计数值对应的所述索引值，以作为所述行锤索引值。

可以理解的是，在最后一轮比较回合后，可以同步地输出最大计数值和对应的索引值。

在一些实施例中，所述方法还包括：提供时钟信号；所述生成并输出第二计数值，包括：对所述时钟信号的脉冲进行计数，以生成并输出所述第二计数值。

15 在一些实施例中，所述方法还包括：根据存储控制器发出的外部命令，生成并输出激活信号；所述在页表中存储多个行地址包括：响应于所述激活信号，采样所述激活信号对应的多个所述行地址并存储至所述页表中。

20 在本公开实施例中，主机端发出的外部命令包括但不限于刷新命令、刷新管理命令、自动刷新命令、激活命令等。根据激活命令，可以生成并输出激活信号，以对多个行地址对应的多条字线进行激活操作。而响应于上述激活信号，可以随机抓取激活信号对应的行地址，并将抓取到的多个行地址进行存储。在一些实施例中，响应于自动刷新命令，还可以重新采样多个新的行地址，以替换原有的行地址。

在本公开实施例中，还可以对多个第一计数值进行比较，输出最小计数值。获取最小计数值的具体实现方式参考上述实施例，这里不再赘述。而根据最小计数值，可以将最小计数值对应的行地址替换为新的行地址，以保证行地址的动态更新，提高生成行锤地址的准确性。

25 在一些实施例中，所述方法还包括：根据所述行锤地址，确定所述行锤地址相邻的至少一条行地址为行锤刷新地址。

在一些实施例中，可以在特定时刻，将行锤地址相邻的至少一条行地址作为行锤刷新地址，同时将最小计数值对应的行地址替换为新的行地址。这里的特定时刻可以为接收到主机端发送的自动刷新命令的时刻。

30 第三方面，如图 6 所示，本公开实施例提供了一种刷新控制电路 200，包括：上述实施例中任一所述的地址选择电路 100；刷新电路 201，连接所述行锤地址产生电路；所述刷新电路 201 用于对与所述行锤地址对应的地址线相邻的至少一条地址线进行刷新操作。

35 在本公开实施例中，刷新控制电路 200 可以用于采样多个行地址，并确定其中访问次数最多的行地址为行锤地址，然后将行锤地址对应的地址线相邻的至少一条地址线进行刷新操作，以减少数据错误。刷新控制电路 200 包括地址选择电路 100，以及刷新电路 201，刷新电路 201 可以根据地址选择电路 100 输出的行锤地址，对行锤地址对应的字线相邻的至少一条字线进行刷新操作。示例性地，刷新电路 201 可以为存储器中的行解码器（Row Decoder）电路。在一些实施例中，地址选择电路 100 中具有地址运算电路，以根据行锤地址确定行锤刷新地址，故刷新电路 201 可以直接对行锤刷新地址对应的字线进行刷新。

40 第四方面，如图 7 所示，本公开实施例提供了一种存储系统 300，包括：存储器 310，包括外围电路 311 和存储单元阵列 312；其中，所述外围电路 311 包括上述实施例中任一所述的地址选择电路 100；存储控制器 320。

在本公开实施例中,存储器 310 可以包括但不限于 DRAM、静态随机存取存储器 (Static Random Access Memory, SRAM)、铁电随机存取存储器 (Ferroelectric Random Access Memory, FRAM)、磁性随机存取存储器 (Magnetoresistive Random Access Memory, MRAM)、相变随机存取存储器 (Phase Change Random Access Memory, PCRAM)、阻变随机存取存储器 (Resistive Random Access Memory, RRAM)、纳米随机存取存储器 (Nano Random Access Memory, NRAM) 等。存储控制器 320 可以根据主机发出的信号,控制存储器 310 进行各项操作。可以理解的是,在最后一轮比较回合后,比较电路输出最大计数值,行锤地址产生电路同步地输出最大计数值对应的行锤地址,行锤索引产生电路同步地输出最大计数值对应的行锤索引值。如此,一方面,将访问次数最多的行地址作为行锤地址,可以减少行锤效应带来的数据错误;另一方面,可以根据行锤索引值,确定行锤地址对应的地址寄存单元,以及最大计数值对应的第一计数单元,便于动态更新多个地址寄存单元中的行地址,进一步地提高生成行锤地址的准确性。

本公开些实施例还提供了一种地址选择电路 400,如图 8 所示为地址选择电路 400 的局部示意图。地址选择电路 400 可以具有行锤索引值,用于在某一自动刷新命令出现之前,指向最大计数值对应的第一计数单元和/或地址寄存单元(第一计数单元和地址寄存单元未在图 8 中示出)。地址选择电路 400 还可以输出最大计数值对应的行锤索引值,以在行锤刷新完成之后,将对应的地址寄存单元中存储的行锤地址替换为另一个重新采样的行地址,并将对应的第一计数单元生成的最大计数值重置为 0。

地址选择电路 400 中还可以包括振荡器 OSC、第二计数单元 403、第一转换单元 451、比较器 411、第一仲裁单元 412、第一寄存单元 413、第一输出单元 414、第二转换单元 452、第二仲裁单元 422、第二寄存单元 421、第二输出单元 424、第三仲裁单元 432、第三寄存单元 431、第三输出单元 434 等。其中,第一转换单元 451、第二转换单元 452、第一仲裁单元 412、第二仲裁单元 422、第三仲裁单元 432、第一输出单元 414、第二输出单元 424 和第三输出单元 434 可以为数据选择器,第一寄存单元 413、第二寄存单元 421 和第三寄存单元 431 可以为 D 触发器。下面以将 9 个行地址中访问次数最多的行地址作为行锤地址为例,对地址选择电路 400 的工作过程进行说明。这里的 9 个行地址分别为 RA_Dlut1<15:0>、RA_Dlut2<15:0>...RA_Dlut9<15:0>,通过 9 个地址寄存单元存储和并行输出。

首先,9 个第一计数单元对存储在 9 个地址寄存单元中的行地址的访问次数分别进行计数,以生成并行传输的 9 个第一计数值 CNT1<8:0>、CNT2<8:0>...CNT9<8:0>。振荡器 OSC 产生脉冲信号 CLK,第二计数单元 403 对脉冲信号的上升沿计数以生成第二计数值。第一寄存单元 413、第二寄存单元 421 和第三寄存单元 431 可以在第一轮比较回合前,将自身存储的数据重置为 0。第一转换单元 451 根据第二计数值的计数,将并行传输的 9 个第一计数值转换为串行传输;第二转换单元 452 根据第二计数值的计数,将并行传输的 9 个行地址转换为串行传输。

具体地,参考图 9 示出的工作时序图,在第二计数值等于 1 的情况下,第二计数单元 403 输出的索引值为 1,即第 1 轮比较回合中,第一转换单元 451 输出第 1 个第一计数值 CNT1<8:0>,第二转换单元 452 输出对应的第 1 个行地址 RA_Dlut1<15:0>;比较器 411 将第 1 个第一计数值 CNT1<8:0>与第一寄存单元 413 中存储的 0 进行比较,并输出比较结果信号 CNT_SEL;第一仲裁单元 412 根据比较结果信号 CNT_SEL 选择第 1 个第一计数值 CNT1<8:0>输出至第一寄存单元 413;第二仲裁单元 422 根据比较结果信号 CNT_SEL 选择第 1 个行地址 RA_Dlut1<15:0>输出至第二寄存单元 421;第三仲裁单元 432 根据比较结果信号 CNT_SEL 选择索引值 1 输出至第三寄存单元 431。

在第二计数值等于 2 的情况下,第二计数单元 403 输出的索引值为 2,即第 2 轮比较回合中,第一转换单元 451 输出第 2 个第一计数值 CNT2<8:0>,第二转换单元 452 输出对应的第 2 个行地址 RA_Dlut2<15:0>;比较器 411 将第 2 个第一计数值 CNT2<8:0>与第一寄存单元 413 中存储的第 1

个第一计数值 $CNT1<8:0>$ 进行比较, 并输出比较结果信号 CNT_SEL ; 第一仲裁单元 412 根据比较结果信号 CNT_SEL 选择其中较大的一个第一计数值 $CNT12<8:0>$ 输出至第一寄存单元 413; 第二仲裁单元 422 根据比较结果信号 CNT_SEL 选择较大的一个第一计数值 $CNT12<8:0>$ 对应的行地址 $RA_DLUT12<15:0>$ 输出至第二寄存单元 421; 第三仲裁单元 432 根据比较结果信号 CNT_SEL 选择较大的一个第一计数值对应的索引值 $INDEX12<3:0>$ 输出至第三寄存单元 431。

依次类推, 在第二计数值等于 9 的情况下, 第二计数单元 403 输出的索引值为 9, 即第 9 轮比较回合中, 第一转换单元 451 输出第 9 个第一计数值 $CNT9<8:0>$, 第二转换单元 452 输出对应的第 9 个行地址 $RA_DLUT9<15:0>$; 比较器 411 将第 9 个第一计数值 $CNT9<8:0>$ 与第一寄存单元 413 中存储的第 8 轮比较回合中较大的一个第一计数值 $CNT18<8:0>$ 进行比较, 并输出比较结果信号 CNT_SEL ; 第一仲裁单元 412 根据比较结果信号 CNT_SEL 选择其中较大的一个第一计数值 $CNT19<8:0>$ 输出至第一寄存单元 413; 第二仲裁单元 422 根据比较结果信号 CNT_SEL 选择较大的一个第一计数值 $CNT19<8:0>$ 对应的行地址 $RA_DLUT19<15:0>$ 输出至第二寄存单元 421; 第三仲裁单元 432 根据比较结果信号 CNT_SEL 选择索引值 $INDEX19<3:0>$ 输出至第三寄存单元 431。而在第二计数值等于 10 的情况下, 第一输出单元 414 输出第一寄存单元 413 中存储的第一计数值 $CNT19<8:0>$, 以作为最大计数值, 第二输出单元 424 同步地输出第二寄存单元 421 中存储的行地址 $RA_DLUT19<15:0>$, 以作为行锤地址, 第三输出单元 434 同步地输出第三寄存单元 431 中存储的索引值 $INDEX19<3:0>$, 以作为行锤索引值。可以理解的是, 第一输出单元 451、第二输出单元 452 和第三输出单元 434 在第二计数值小于 10 的情况下, 保持输出 0。

如此, 地址选择电路 400 采用分时复用的方法对多个第一计数值进行两两比较, 其中比较电路、行锤地址产生电路和行锤索引产生电路可以在多轮比较回合中重复使用, 并可以同步地输出最大计数值、对应的行锤地址和对应的行锤索引值。在一些实施例中, 地址选择电路 400 只需要一个占用面积为 49 个标准单元 (STD Cell) 的比较器, 其他部分为数量较少的 D 触发器或锁存器, 故相较于通过组合逻辑电路输出最大计数值, 地址选择电路 400 的占用面积相对较小。在一些实施例中, 地址选择电路 400 的每轮比较回合仅需要 2ns, 也就是说, 地址选择电路 400 可以在 18ns 内完成 9 个第一计数值的比较, 以输出其中的最大计数值。在一些实施例中, 由于第一寄存单元 411、第二寄存单元 421 和第三寄存单元 431 为 D 触发器, 仅存储每轮比较回合中较大的一个第一计数值、对应的行地址和对应的索引值, 即不需要处理其他无用的中间过程数据, 故电路的功耗较低。可以理解的是, 行地址的数量越多, 即需要进行统计和比较的第一计数值的数量越多, 地址选择电路 400 的上述优势越突出。

在一些实施例中, 地址选择电路 400 还可以用于寻找多个第一计数值中的最小计数值, 此时仅需在每轮比较回合中存储较小的一个第一计数值, 以及对应的行地址和索引值即可实现。

在一些实施例中, 还可以在刷新周期时间 (Time for Refresh Cycle, tRFC) 内, 完成对行锤地址相邻的行地址的刷新操作, 并将该行锤地址对应的地址寄存单元和最大计数值对应的第一计数单元清空, 以等待重新采样到的下一个待刷新的地址。

需要说明的是, 本公开所提供的几个方法或设备实施例中所揭露的特征, 在不冲突的情况下可以任意组合, 得到新的方法实施例或设备实施例。

以上所述, 仅为本公开的具体实施方式, 但本公开的保护范围并不局限于此, 任何熟悉本技术领域的技术人员在本公开揭露的技术范围内, 可轻易想到变化或替换, 都应涵盖在本公开的保护范围之内。因此, 本公开的保护范围应以所述权利要求的保护范围为准。

工业实用性

在本公开实施例提供的地址选择电路中, 在最后一轮比较回合后, 比较电路输出最大计数值,

行锤地址产生电路同步地输出最大计数值对应的行锤地址，行锤索引产生电路同步地输出最大计数值对应的索引值以作为行锤索引值。如此，一方面，将访问次数最多的行地址作为行锤地址，可以减少行锤效应带来的数据错误；另一方面，可以通过行锤索引值，查找最大计数值对应的页表项，便于动态更新多个页表项中的行地址，进一步地提高生成行锤地址的准确性。

权利要求书

1. 一种地址选择电路 (100), 包括:

页表 (104), 所述页表 (104) 的每一页表项包括一个行地址和对应的一个第一计数值; 所述第一计数值表示所述行地址的访问次数;

5 第二计数单元 (103), 配置为生成并输出第二计数值; 所述第二计数值作为对应于一个所述页表项的索引值;

比较电路 (110), 连接所述页表 (104); 所述比较电路 (110) 用于通过多轮比较回合输出多个所述第一计数值中的最大计数值;

10 行锤地址产生电路 (120), 连接所述比较电路 (110) 和所述页表 (104); 所述行锤地址产生电路 (120) 用于在最后一轮所述比较回合后, 输出所述最大计数值对应的所述行地址以作为行锤地址;

行锤索引产生电路 (130), 连接所述比较电路 (110) 和所述第二计数单元 (103); 所述行锤索引产生电路 (130) 用于在最后一轮所述比较回合后, 输出所述最大计数值对应的所述索引值以作为行锤索引值, 所述行锤索引值用于查找所述最大计数值对应的所述页表项。

2. 根据权利要求 1 所述的地址选择电路 (100), 其中, 所述比较电路 (110) 包括:

15 比较器 (111)、第一仲裁单元 (112) 和第一寄存单元 (113); 所述比较器 (111) 的输入端连接所述第一寄存单元 (113) 的输出端; 所述第一仲裁单元 (112) 的输入端连接所述第一寄存单元 (113) 的输出端和所述比较器 (111) 的输出端; 所述第一寄存单元 (113) 的输入端连接所述第一仲裁单元 (112) 的输出端;

20 所述比较器 (111) 用于在每轮所述比较回合中, 比较所述第一寄存单元 (113) 输出的上一轮比较回合中较大的一个所述第一计数值, 和另一个未经比较的所述第一计数值的大小, 并输出比较结果信号;

所述第一仲裁单元 (112) 配置为在每轮所述比较回合中, 根据所述比较结果信号, 将所述第一寄存单元 (113) 输出的一个所述第一计数值和另一个未经比较的所述第一计数值中较大的一个所述第一计数值输出至所述第一寄存单元 (113);

25 所述第一寄存单元 (113) 配置为存储每轮所述比较回合中所述第一仲裁单元 (112) 输出的较大的一个所述第一计数值。

3. 根据权利要求 2 所述的地址选择电路 (100), 其中, 所述比较电路 (110) 还包括:

30 第一输出单元 (114), 连接所述第一寄存单元 (113) 和所述第二计数单元 (103); 所述第一输出单元 (114) 配置为在所述第二计数值大于预设值的情况下, 输出所述第一寄存单元 (113) 存储的所述第一计数值, 以作为所述最大计数值。

4. 根据权利要求 2 或 3 所述的地址选择电路 (100), 其中, 还包括:

多个地址寄存单元 (101), 位于所述页表 (104) 中; 多个所述地址寄存单元 (101) 配置为输出并行的多个所述行地址;

35 多个第一计数单元 (102), 位于所述页表 (104) 中; 多个所述第一计数单元 (102) 配置为输出并行的多个所述第一计数值;

40 第一转换单元 (151), 所述第一转换单元 (151) 的选择端连接所述第二计数单元 (103), 所述第一转换单元 (151) 的输入端连接多个所述第一计数单元 (102), 所述第一转换单元 (151) 的输出端连接所述比较电路 (110); 所述第一转换单元 (151) 配置为基于所述第二计数值的计数, 将并行的多个所述第一计数值, 依次输出为串行的多个所述第一计数值, 直至所述第二计数值等于预设值; 所述预设值与所述第一计数值的个数相等;

第二转换单元 (152), 所述第二转换单元 (152) 的选择端连接所述第二计数单元 (103), 所述第二转换单元 (152) 的输入端连接多个所述地址寄存单元 (101), 所述第二转换单元 (152) 的输

出端连接所述行锤地址产生电路(120);所述第二转换单元(152)配置为基于所述第二计数值的计数,将并行的多个所述行地址,依次输出为串行的多个所述行地址,直至所述第二计数值等于所述预设值。

5. 根据权利要求4所述的地址选择电路(100),其中,所述行锤地址产生电路(120)包括:

5 第二寄存单元(121),配置为存储每轮所述比较回合中,较大的一个所述第一计数值对应的所述行地址;

第二仲裁单元(122),所述第二仲裁单元(122)的输入端连接所述第二转换单元(152)的输出端和所述第二寄存单元(121)的输出端,所述第二仲裁单元(122)的选择端连接所述比较器(111)的输出端;所述第二仲裁单元(122)的输出端连接所述第二寄存单元(121)的输入端;所述第二
10 仲裁单元(122)配置为根据所述比较结果信号,选择每轮所述比较回合中较大的一个所述第一计数值对应的所述行地址,并输出至所述第二寄存单元(121)。

6. 根据权利要求5所述的地址选择电路(100),其中,所述行锤地址产生电路(120)还包括:

第二输出单元(124),连接所述第二寄存单元(121)和所述第二计数单元(103);所述第二输出单元(124)配置为在所述第二计数值大于所述预设值的情况下,输出所述第二寄存单元(121)
15 存储的所述行地址,以作为所述行锤地址。

7. 根据权利要求4至6中任一所述的地址选择电路(100),其中,所述行锤索引产生电路(130)包括:

第三寄存单元(131),配置为存储每轮所述比较回合中,较大的一个所述第一计数值对应的所述索引值;

20 第三仲裁单元(132),所述第三仲裁单元(132)的输入端连接所述第二计数单元(103)的输出端和所述第三寄存单元(131)的输出端,所述第三仲裁单元(132)的选择端连接所述比较器(111)的输出端;所述第三仲裁单元(132)的输出端连接所述第三寄存单元(131)的输入端;所述第三仲裁单元(132)配置为根据所述比较结果信号,选择每轮所述比较回合中较大的一个所述第一计数值对应的所述索引值,并输出至所述第三寄存单元(131)。

8. 根据权利要求7所述的地址选择电路(100),其中,所述行锤索引产生电路(130)还包括:

25 第三输出单元(134),连接所述第三寄存单元(131)和所述第二计数单元(103);所述第三输出单元(134)配置为在所述第二计数值大于所述预设值的情况下,输出所述第三寄存单元(131)存储的所述索引值,以作为所述行锤索引值。

9. 根据权利要求1至8中任一所述的地址选择电路(100),其中,还包括:

30 振荡器,连接所述第二计数单元(103);所述振荡器用于提供时钟信号;所述第二计数单元(103)具体配置为对所述时钟信号的脉冲进行计数,以生成并输出所述第二计数值。

10. 根据权利要求1至9中任一所述的地址选择电路(100),其中,还包括:

控制电路(140),用于根据所述行锤索引值,重置对应的所述页表项中的所述行地址和所述第一计数值。

11. 根据权利要求10所述的地址选择电路(100),其中,所述控制电路(140)包括:

命令解码电路(160),用于根据存储控制器发出的外部命令,生成并输出激活信号;

地址采样电路(170),连接所述命令解码电路(160)和所述页表(104);所述地址采样电路(170)用于响应于所述激活信号,采样所述激活信号对应的多个所述行地址并存储至所述页表(104)中。

12. 一种地址选择方法,包括:

40 在页表中存储多个行地址,并对所述行地址的访问次数进行计数以生成对应的第一计数值;所述页表的每一页表项包括一个行地址和对应的一个第一计数值;

生成并输出第二计数值;所述第二计数值作为对应于一个所述页表项的索引值;

通过多轮比较回合输出多个所述第一计数值中的最大计数值；

在最后一轮所述比较回合后，输出所述最大计数值对应的所述行地址以作为行锤地址，并输出所述最大计数值对应的所述索引值以作为行锤索引值，所述行锤索引值用于查找所述最大计数值对应的所述页表项。

- 5 13. 根据权利要求 12 所述的方法，其中，所述通过多轮比较回合输出多个所述第一计数值中的最大计数值，包括：

在每轮所述比较回合中，比较上一轮比较回合中存储的一个所述第一计数值，和另一个未经比较的所述第一计数值，并输出比较结果信号；

根据所述比较结果信号，输出其中较大的一个所述第一计数值；

- 10 存储较大的一个所述第一计数值。

14. 根据权利要求 13 所述的方法，其中，所述通过多轮比较回合输出多个所述第一计数值中的最大计数值，还包括：

在所述第二计数值大于预设值的情况下，输出最后一轮所述比较回合中存储的一个所述第一计数值；其中，所述最后一轮所述比较回合中存储的一个所述第一计数值为所述最大计数值。

- 15 15. 根据权利要求 13 或 14 所述的方法，其中，还包括：

通过所述页表输出并行的多个所述行地址；

通过所述页表输出并行的多个所述第一计数值；

基于所述第二计数值的计数，将并行的多个所述第一计数值，依次输出为串行的多个所述第一计数值，直至所述第二计数值等于预设值；所述预设值与所述第一计数值的个数相等；

- 20 基于所述第二计数值的计数，将并行的多个所述行地址，依次输出为串行的多个所述行地址，直至所述第二计数值等于所述预设值。

16. 根据权利要求 15 所述的方法，其中，所述输出所述最大计数值对应的所述行地址以作为行锤地址，包括：

- 25 根据所述比较结果信号，从上一轮比较回合存储的一个所述行地址，和另一个未经比较的所述第一计数值对应的所述行地址中，选择并输出较大的一个所述第一计数值对应的所述行地址；

存储每轮所述比较回合中，较大的一个所述第一计数值对应的所述行地址。

17. 根据权利要求 16 所述的方法，其中，所述输出所述最大计数值对应的所述行地址以作为行锤地址，还包括：

- 30 在所述第二计数值大于所述预设值的情况下，输出最后一轮所述比较回合中较大的一个所述第一计数值对应的所述行地址，以作为所述行锤地址。

18. 根据权利要求 15 至 17 所述的方法，其中，所述输出所述最大计数值对应的所述索引值以作为行锤索引值，包括：

根据所述比较结果信号，从上一轮比较回合存储的一个所述索引值，和另一个未经比较的所述第一计数值对应的所述索引值中，选择并输出较大的一个所述第一计数值对应的所述索引值；

- 35 存储每轮所述比较回合中，较大的一个所述第一计数值对应的所述索引值。

19. 根据权利要求 18 所述的方法，其中，所述输出所述最大计数值对应的所述索引值以作为行锤索引值，还包括：

在所述第二计数值大于所述预设值的情况下，输出最后一轮所述比较回合中较大的一个所述第一计数值对应的所述索引值，以作为所述行锤索引值。

- 40 20. 根据权利要求 12 至 19 中任一所述的方法，其中，还包括：

提供时钟信号；

所述生成并输出第二计数值，包括：

对所述时钟信号的脉冲进行计数，以生成并输出所述第二计数值。

21. 根据权利要求 12 至 20 中任一所述的方法，其中，还包括：

根据所述行锤索引值，重置对应的所述页表项中的所述行地址和所述第一计数值。

22. 根据权利要求 21 所述的方法，其中，还包括：

5 根据存储控制器发出的外部命令，生成并输出激活信号；

所述在页表中存储多个行地址包括：

响应于所述激活信号，采样所述激活信号对应的多个所述行地址并存储至所述页表中。

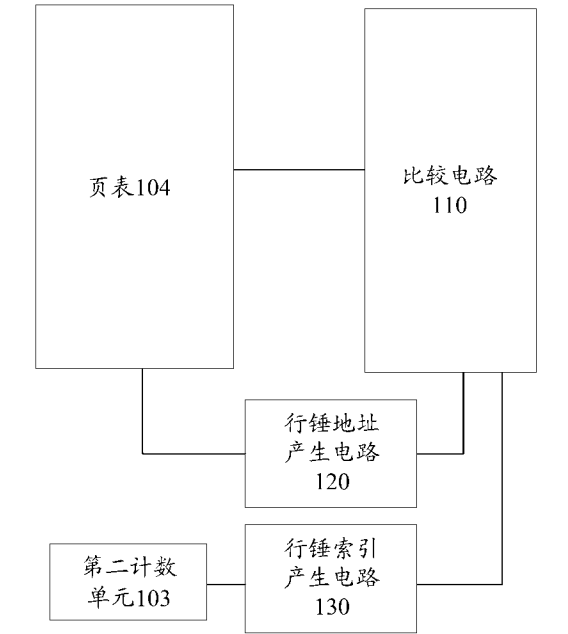
23. 根据权利要求 1 至 11 中任一所述的地址选择电路（100），其中，所述地址选择电路用于在刷新控制电路中提供所述行锤地址，所述刷新控制电路还包括：

10 刷新电路（201），连接所述行锤地址产生电路（120）；所述刷新电路（201）用于对与所述行锤地址对应的地址线相邻的至少一条地址线进行刷新操作。

24. 一种存储系统（300），包括：

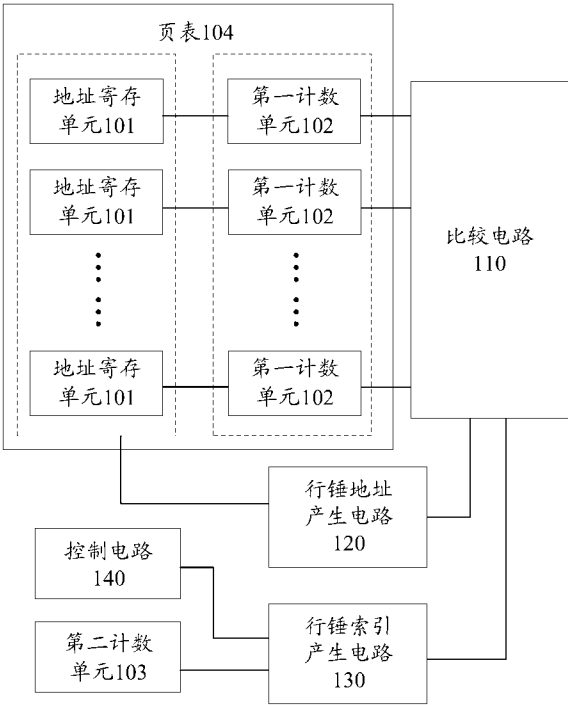
存储器（310），包括外围电路（311）和存储单元阵列（312）；其中，所述外围电路（311）包括如权利要求 1 至 11 中任一所述的地址选择电路（100）；

15 存储控制器（320）。



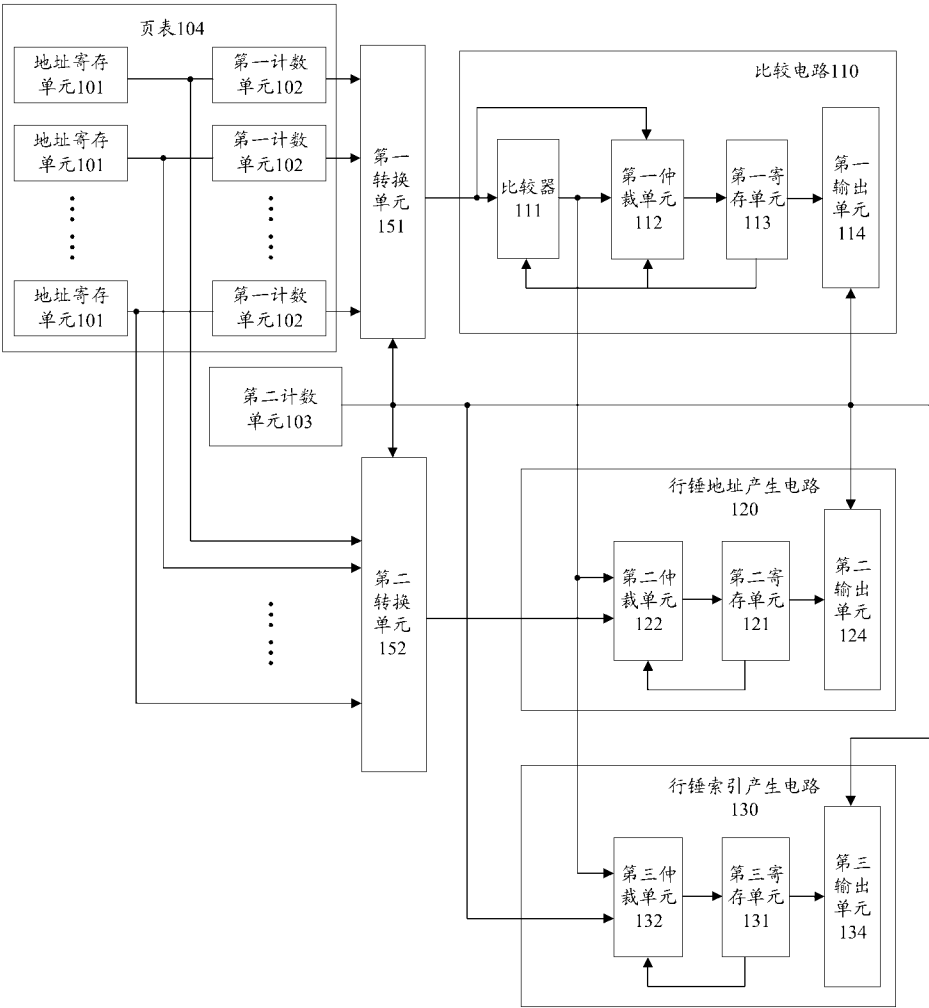
100

图 1



100

图 2



100

图 3

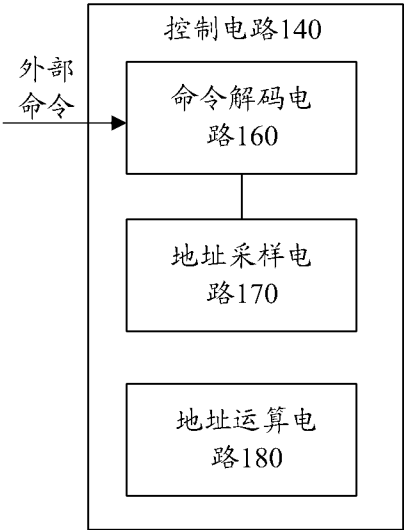


图 4

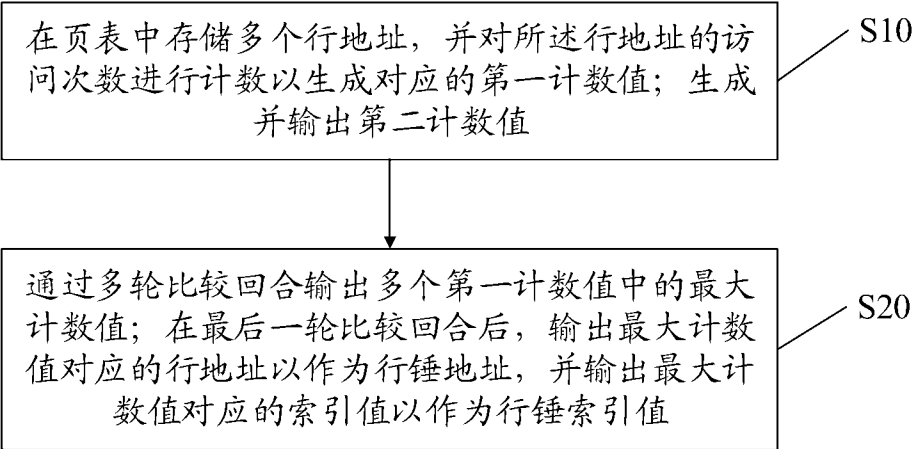


图 5

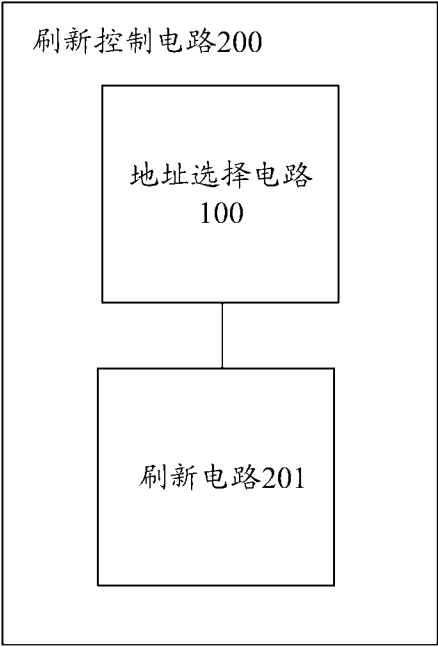


图 6

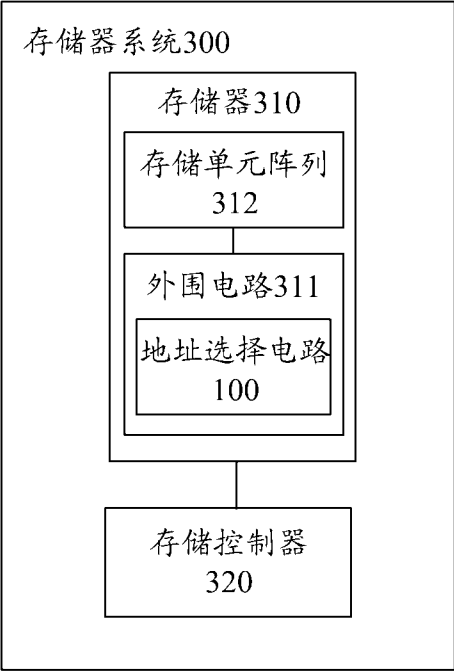


图 7

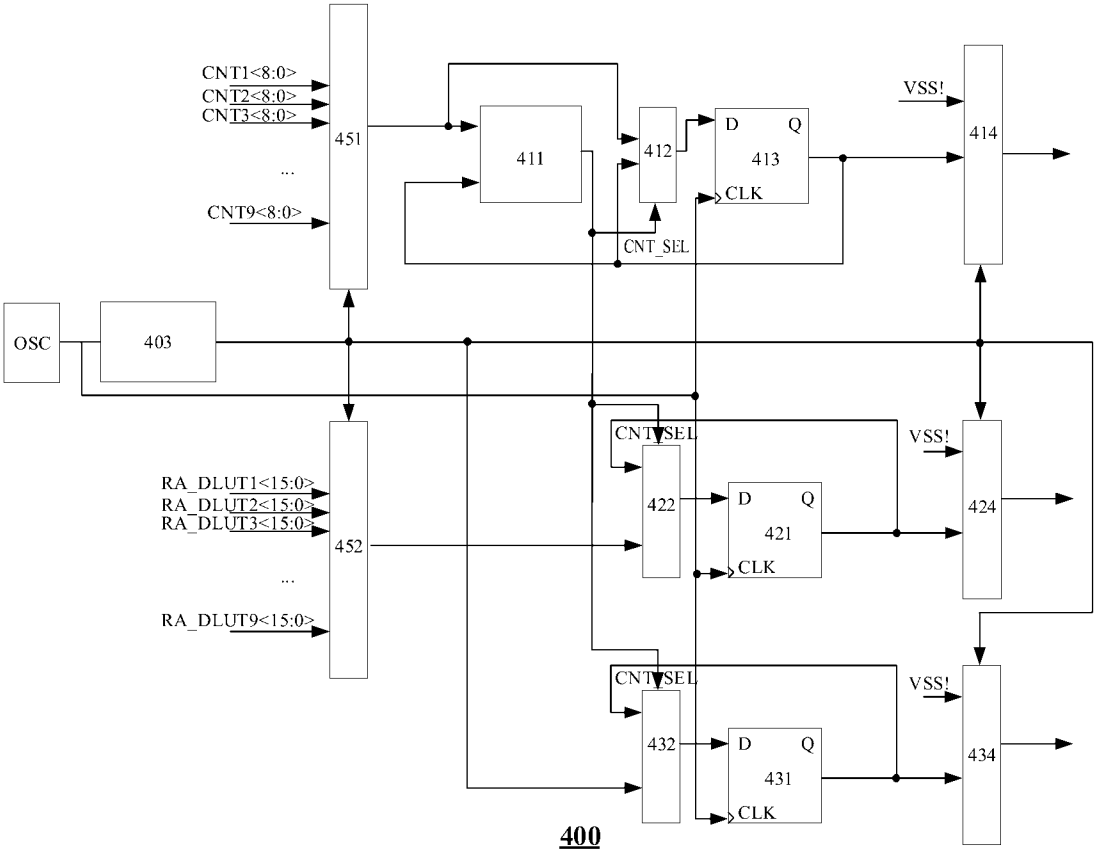


图 8

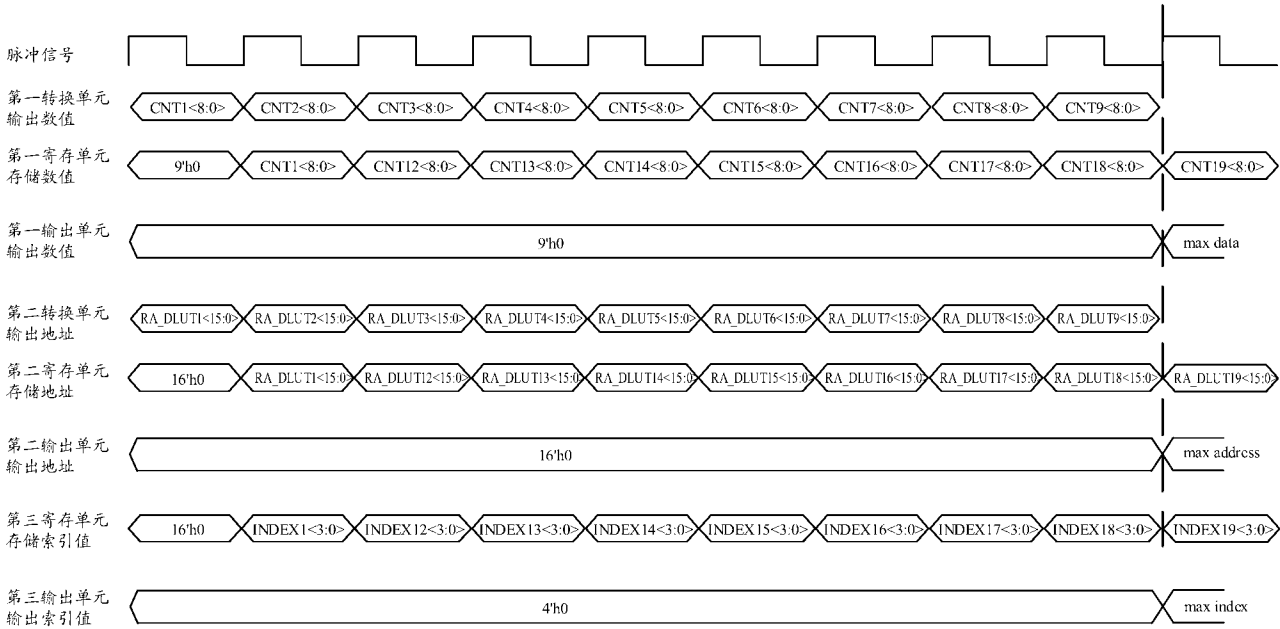


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/079010

A. CLASSIFICATION OF SUBJECT MATTER G11C11/406(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC																							
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: G11C Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 行地址, 行锤, 激活, 比较, 最大, 最小, 计数, 索引, 存储器, 控制器, row address, row hammer, bank, active, recharg+, compare+, maximum, minimum, count+, index+, memorizer, control+																							
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 110741436 A (UPOMEM, INC.) 31 January 2020 (2020-01-31) description, paragraphs 0001-0171, and figure 1</td> <td>1, 9-12, 20-24</td> </tr> <tr> <td>X</td> <td>CN 114267390 A (SAMSUNG ELECTRONICS CO., LTD.) 01 April 2022 (2022-04-01) description, paragraphs 0001-0123, and figures 1-13</td> <td>1, 9-12, 20-24</td> </tr> <tr> <td>A</td> <td>CN 109983538 A (ARM LIMITED) 05 July 2019 (2019-07-05) entire document</td> <td>1-24</td> </tr> <tr> <td>A</td> <td>CN 113342615 A (HYGON INFORMATION TECHNOLOGY CO., LTD.) 03 September 2021 (2021-09-03) entire document</td> <td>1-24</td> </tr> <tr> <td>A</td> <td>CN 114067876 A (MICRON TECHNOLOGY, INC.) 18 February 2022 (2022-02-18) entire document</td> <td>1-24</td> </tr> <tr> <td>A</td> <td>WO 2016113223 A1 (THE UNIVERSITY OF MANCHESTER) 21 July 2016 (2016-07-21) entire document</td> <td>1-24</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	CN 110741436 A (UPOMEM, INC.) 31 January 2020 (2020-01-31) description, paragraphs 0001-0171, and figure 1	1, 9-12, 20-24	X	CN 114267390 A (SAMSUNG ELECTRONICS CO., LTD.) 01 April 2022 (2022-04-01) description, paragraphs 0001-0123, and figures 1-13	1, 9-12, 20-24	A	CN 109983538 A (ARM LIMITED) 05 July 2019 (2019-07-05) entire document	1-24	A	CN 113342615 A (HYGON INFORMATION TECHNOLOGY CO., LTD.) 03 September 2021 (2021-09-03) entire document	1-24	A	CN 114067876 A (MICRON TECHNOLOGY, INC.) 18 February 2022 (2022-02-18) entire document	1-24	A	WO 2016113223 A1 (THE UNIVERSITY OF MANCHESTER) 21 July 2016 (2016-07-21) entire document	1-24
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																					
X	CN 110741436 A (UPOMEM, INC.) 31 January 2020 (2020-01-31) description, paragraphs 0001-0171, and figure 1	1, 9-12, 20-24																					
X	CN 114267390 A (SAMSUNG ELECTRONICS CO., LTD.) 01 April 2022 (2022-04-01) description, paragraphs 0001-0123, and figures 1-13	1, 9-12, 20-24																					
A	CN 109983538 A (ARM LIMITED) 05 July 2019 (2019-07-05) entire document	1-24																					
A	CN 113342615 A (HYGON INFORMATION TECHNOLOGY CO., LTD.) 03 September 2021 (2021-09-03) entire document	1-24																					
A	CN 114067876 A (MICRON TECHNOLOGY, INC.) 18 February 2022 (2022-02-18) entire document	1-24																					
A	WO 2016113223 A1 (THE UNIVERSITY OF MANCHESTER) 21 July 2016 (2016-07-21) entire document	1-24																					
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.																							
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family																							
Date of the actual completion of the international search 21 June 2023		Date of mailing of the international search report 23 June 2023																					
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.																					

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/079010

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	110741436	A	31 January 2020	JP	2020521267	A	16 July 2020
				JP	7142946	B2	28 September 2022
				WO	2018215715	A1	29 November 2018
				KR	20200014805	A	11 February 2020
				KR	102480349	B1	22 December 2022
				US	2021012832	A1	14 January 2021
				US	11049544	B2	29 June 2021
				FR	3066842	A1	30 November 2018
				FR	3066842	B1	08 November 2019
CN	114267390	A	01 April 2022	KR	20220036752	A	23 March 2022
				EP	3979249	A1	06 April 2022
				US	2022084564	A1	17 March 2022
				US	11532336	B2	20 December 2022
CN	109983538	A	05 July 2019	US	2019243778	A1	08 August 2019
				US	10853262	B2	01 December 2020
				WO	2018100363	A1	07 June 2018
				KR	20190087500	A	24 July 2019
				KR	102482516	B1	29 December 2022
CN	113342615	A	03 September 2021	None			
CN	114067876	A	18 February 2022	US	2022044720	A1	10 February 2022
				US	11120860	B1	14 September 2021
WO	2016113223	A1	21 July 2016	GB	201500446	D0	25 February 2015

国际检索报告

国际申请号

PCT/CN2023/079010

A. 主题的分类

G11C11/406 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

IPC: G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 行地址, 行锤, 激活, 比较, 最大, 最小, 计数, 索引, 存储器, 控制器, row address, row hammer, bank, active, recharg+, compare+, maximum, minimum, count+, index+, memorizer, control+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 110741436 A (优普梅姆公司) 2020年1月31日 (2020 - 01 - 31) 说明书第0001-0171段, 附图1	1, 9-12, 20-24
X	CN 114267390 A (三星电子株式会社) 2022年4月1日 (2022 - 04 - 01) 说明书第0001-0123段, 附图1-13	1, 9-12, 20-24
A	CN 109983538 A (ARM有限公司) 2019年7月5日 (2019 - 07 - 05) 全文	1-24
A	CN 113342615 A (海光信息技术股份有限公司) 2021年9月3日 (2021 - 09 - 03) 全文	1-24
A	CN 114067876 A (美光科技公司) 2022年2月18日 (2022 - 02 - 18) 全文	1-24
A	WO 2016113223 A1 (THE UNIVERSITY OF MANCHESTER) 2016年7月21日 (2016 - 07 - 21) 全文	1-24

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2023年6月21日

国际检索报告邮寄日期

2023年6月23日

ISA/CN的名称和邮寄地址

中国国家知识产权局

中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

赵文华

电话号码 (+86) 010-53961290

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/079010

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	110741436	A	2020年1月31日	JP	2020521267	A	2020年7月16日
				JP	7142946	B2	2022年9月28日
				WO	2018215715	A1	2018年11月29日
				KR	20200014805	A	2020年2月11日
				KR	102480349	B1	2022年12月22日
				US	2021012832	A1	2021年1月14日
				US	11049544	B2	2021年6月29日
				FR	3066842	A1	2018年11月30日
				FR	3066842	B1	2019年11月8日
CN	114267390	A	2022年4月1日	KR	20220036752	A	2022年3月23日
				EP	3979249	A1	2022年4月6日
				US	2022084564	A1	2022年3月17日
				US	11532336	B2	2022年12月20日
CN	109983538	A	2019年7月5日	US	2019243778	A1	2019年8月8日
				US	10853262	B2	2020年12月1日
				WO	2018100363	A1	2018年6月7日
				KR	20190087500	A	2019年7月24日
				KR	102482516	B1	2022年12月29日
CN	113342615	A	2021年9月3日	无			
CN	114067876	A	2022年2月18日	US	2022044720	A1	2022年2月10日
				US	11120860	B1	2021年9月14日
WO	2016113223	A1	2016年7月21日	GB	201500446	D0	2015年2月25日