(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3719890号
(P3719890)
(45)発行日　平成17年11月24日(2005.11.24)　(24)登録日　平成17年9月16日(2005.9.16)

(51)Int.Cl.[7]　F I
G11C 11/407　G11C 11/34 362S
G11C 11/34 354C

請求項の数 4　(全 16 頁)

(21)出願番号　特願平11-341465
(22)出願日　平成11年11月30日(1999.11.30)
(65)公開番号　特開2001-160288(P2001-160288A)
(43)公開日　平成13年6月12日(2001.6.12)
審査請求日　平成14年1月18日(2002.1.18)

(73)特許権者　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町２２番２２号
(74)代理人　100078282
弁理士　山本　秀策
(72)発明者　吉本　貴彦
大阪府大阪市阿倍野区長池町２２番２２号
シャープ株式会社内

審査官　堀田　和義

(56)参考文献　特開平１１－０７３７７４（ＪＰ，Ａ）
特開平０８－０１７１８２（ＪＰ，Ａ）
特開平１０－１４９６８２（ＪＰ，Ａ）
特開平０２－２０３６１１（ＪＰ，Ａ）
最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】
【請求項１】
システムクロックに同期して動作する同期型半導体記憶装置において、
アドレスデータを取り込む第１の帰還ループを有する第１ラッチ回路と、
該第１の帰還ループに対し、該アドレスデータのラッチ制御を行う第１のトランスファーゲートと、
該第１の帰還ループによってラッチされたデータのホールドを行う第２の帰還ループを有する第２ラッチ回路と、
該第２の帰還ループに対し、該第１の帰還ループによってラッチされたデータのホールド制御を行う第２のトランスファーゲートと、
該システムクロックと制御信号に基づいて、データ入力制御信号を生成するデータ入力制御信号生成回路と、
該システムクロックと該データ入力制御信号との論理和によりアドレスラッチ信号を生成するアドレスラッチ信号生成回路とを備え、
該第１のトランスファーゲートに、該アドレスラッチ信号を入力することにより、該アドレスデータのラッチ制御を行い、
該第２のトランスファーゲートに、該データ入力制御信号を入力することにより、該第１の帰還ループによってラッチされたデータのホールド制御を行い、
前記制御信号は、ＲＡＳ、ＣＡＳ、ＷＥ、ＣＳであり、
前記同期型半導体記憶装置は、前記ＣＳ（チップセレクト）とアドレス信号に基づいて

、前記第１ラッチ回路にラッチするためのデータ信号を生成する論理回路をさらに備え、
前記アドレスラッチ信号生成回路の遅延時間と前記論理回路の遅延時間を等しくすることを特徴とする同期型半導体記憶装置。
【請求項２】
システムクロックに同期して動作する同期型半導体記憶装置において、
アドレスデータを取り込む第１の帰還ループを有する第１ラッチ回路と、
該第１の帰還ループに対し、該アドレスデータのラッチ制御を行う第１のトランスファーゲートと、
該第１の帰還ループによってラッチされたデータのホールドを行う第２の帰還ループを有する第２ラッチ回路と、
該第２の帰還ループに対し、該第１の帰還ループによってラッチされたデータのホールド制御を行う第２のトランスファーゲートと、
該システムクロックと制御信号に基づいて、データ入力制御信号を生成するデータ入力制御信号生成回路と、
該システムクロックと該データ入力制御信号との論理和によりアドレスラッチ信号を生成するアドレスラッチ信号生成回路とを備え、
該第１のトランスファーゲートに、該アドレスラッチ信号を入力することにより、該アドレスデータのラッチ制御を行い、
該第２のトランスファーゲートに、該データ入力制御信号を入力することにより、該第１の帰還ループによってラッチされたデータのホールド制御を行い、
前記データ入力制御信号の立ち下がりは、前記システムクロックの同一周期のＬＯＷ期間であり、
前記制御信号は、ＲＡＳ、ＣＡＳ、ＷＥ、ＣＳであり、
前記同期型半導体記憶装置は、前記ＣＳ（チップセレクト）とアドレス信号に基づいて、前記第１ラッチ回路にラッチするためのデータ信号を生成する論理回路をさらに備え、
前記アドレスラッチ信号生成回路の遅延時間と前記論理回路の遅延時間を等しくすることを特徴とする同期型半導体記憶装置。
【請求項３】
複数のアドレス信号を同時にラッチするために、複数の第１ラッチ回路と、複数の第１のトランスファーゲートと、複数の第２ラッチ回路と、複数の第２のトランスファーゲートとを有することを特徴とする請求項１または請求項２に記載の同期型半導体記憶装置。
【請求項４】
前記データ入力制御信号生成回路と前記アドレスラッチ信号生成回路は、バッファの機能も有することを特徴とする請求項３に記載の同期型半導体記憶装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は半導体記憶装置に関し、特にシステムクロックの立ち上がりエッジに同期して動作する入力データホールド回路を有する半導体記憶装置に関する。
【０００２】
【従来の技術】
近年、マイクロプロセッサ等の高速化に伴い、半導体記憶装置も高速なものがますます要望されるようになっている。そこで、通常のランダムアクセスを高速化すると共に、アクセス方法は多少制限されるが、さらに高速読み出しを可能としたクロック信号に同期して動作するシンクロナスバースト動作モードを有する半導体記憶装置が開発されている。
【０００３】
前記シンクロナスバースト動作モードとは、あるクロック同期型半導体記憶装置において、システムクロックに同期し、ある一定のデータ列を連続して出力する高速アクセスモードを指す。
【０００４】

上記動作モードを備える半導体記憶装置としてシンクロナスＤＲＡＭ（以下ＳＤＲＡＭと称す）等がある。ＳＤＲＡＭにおいては、システムクロックを受けてその立ち上がりエッジにおいて外部からの制御信号並びにアドレス信号が時分割にて取り込まれる。

【０００５】

上記制御信号並びにアドレス信号はシステムクロックの立ち上がりエッジに同期して取り込まれるが、その際、上記制御信号（ＲＡＳ，ＣＡＳ，ＷＥ，ＣＳ）並びにアドレス信号はシステムクロック立ち上がりエッジに対し、一定のセットアップ時間ならびにホールド時間を持って入力する必要がある。近年のＳＤＲＡＭに代表される高速テバイスにおいては、システムクロックの高速化に伴い前記セット時間ならびにホールド時間が減少傾向にある。したがって、前記セットアップ時間ならびにホールド時間の仕様に対するマージン設計も今まで以上に無駄時間の削除が要求されることになる。

【０００６】

このような要求に対し、入力データラッチ回路部における前記制御信号並びにアドレス信号の遅延時間と、システムクロックの立ち上がりエッジの遅延時間を見かけ上なくすことにより、入力データとシステムクロックの立ち上がりエッジがほぼ同じタイミングで入力される場合、内部クロックを遅延させる必要がありデータ出力が遅れるという問題を解決しているセットアップ時間を補償したデータラッチ用のフリップフロップの構成が提案されている。

【０００７】

図８は、特開平２－２０３６１１号広報に開示されたラッチ回路を示す。この回路では、チップセレクト信号ＣＳ、アドレス信号Ａ０～Ａｘは、それぞれＣＳ入力バッファ２０２、アドレスバッファ２０３を介して、論理回路２０４に入力される。論理回路２０４の出力は、ラッチ回路２０に設けられたトランスファーゲートＮ２１、Ｐ２１に与えられる。クロック信号ＣＬＫは、ＣＬＫ入力バッファ２０５を介してＣＬＫ入力バッファ出力信号φ２０５として出力される。ＣＬＫ入力バッファ出力信号φ２０５は遅延回路２０１に与えられた後、上記トランスファーゲートＮ２１、Ｐ２１のゲート、および、ラッチ回路２０に設けられた別のトランスファーゲートＮ２２、Ｐ２２のゲートに、制御信号として入力される。それぞれのトランスファーゲートのゲートの一方には、遅延回路２０１による出力信号が、インバータＩＮＶ２５を介して与えられ、それぞれのトランスファーゲートのゲートの他方には、遅延回路２０１による出力信号が直接与えられる。

【０００８】

トランスファーゲートＮ２１、Ｐ２１より出力された信号は、インバータＩＮＶ２１、ＩＮＶ２２よりなる帰還ループを介して、トランスファーゲートＮ２２、Ｐ２２に与えられる。トランスファーゲートＮ２２、Ｐ２２による出力は、インバータＩＮＶ２３、ＩＮＶ２４よりなる帰還ループを介して、ラッチ回路２０より出力され、トランスファーゲートＮ２３、Ｐ２３に与えられる。

【０００９】

遅延回路２０１より出力される信号は、インバータＩＮＶ２６にも入力され、ＮＡＮＤゲートＮＡＮＤ２１の一方の入力に与えられる。ＣＬＫ入力バッファ２０５のＣＬＫ入力バッファ出力信号φ２０５は、ＮＡＮＤ２１の他方の入力に与えられる。ＮＡＮＤ２１の出力は、トランスファーゲートＮ２３、Ｐ２３およびトランスファーゲートＮ２４、Ｐ２４のゲートに入力される。それぞれのトランスファーゲートのゲートの一方には、ＮＡＮＤ２１の出力がインバータＩＮＶ２７を介して与えられ、それぞれのトランスファーゲートのゲートの他方には、、ＮＡＮＤ２１の出力が直接与えられる。トランスファーゲートＮ２４、Ｐ２４には、論理回路２０４より出力された信号が与えられる。トランスファーゲートＮ２３、Ｐ２３およびＮ２４、Ｐ２４それぞれの出力はバッファＢｕｆ２１を介して出力される。

【００１０】

この構成において、セットアップ時間に対しマージンを稼ぐためにシステムクロックから生成される内部クロックを遅延させることにより、入力データの遅延を見かけ上なくして

いる。

【００１１】

すなわち、仕様上のセットアップ時間が零のラッチ回路２０において入力データとシステムクロックが同時に到着していることを利用して、遅延回路２０１によってシステムクロックを遅延させた内部クロックが入力データをラッチするまでの時間中は、到着している入力データをラッチ回路２０とは別のパス、すなわちオンされたトランスファーゲートＮ２３、Ｐ２３およびＮ２４、Ｐ２４を介してＢｕｆ２１から出力される。

【００１２】

本方式は、アドレスデータの取り込みをデータ入力制御コマンドにより、タイミングの制御を行っている。したがって、内部アクセスを行う入力データ信号を得るためには、データ入力制御コマンド時にホールドする必要がある。このような問題を解決するために図９に示すように、ホールドを行うラッチ回路５１を設けた入力データホールド回路が提案されている。この装置では、図８と同様の構成をした回路より生成された信号は、ラッチ回路５１に設けられたトランスファーゲートＮ５５、Ｐ５５に与えられる。上記トランスファーゲートＮ５５、Ｐ５５のゲートおよびラッチ回路５１に設けられた別のトランスファーゲートＮ５６、Ｐ５６のゲートには、入力データ制御信号φ１２０が与えられる。トランスファーゲートＮ５５、Ｐ５５およびＮ５５、Ｐ５６のそれぞれの一方のゲートには、入力データ制御信号φ１２０がインバータＩＮＶ５１３を介して与えられ、それぞれのトランスファーゲートの他方のゲートには、入力データ制御信号φ１２０が直接与えられる。トランスファーゲートＮ５５、Ｐ５５の出力は、インバータＩＮＶ５９、ＩＮＶ５１０よりなる帰還ループに入力される。インバータＩＮＶ５９、ＩＮＶ５１０よりなる帰還ループの出力は、トランスファーゲートＮ５６、Ｐ５６を介して、ＩＮＶ５１１、ＩＮＶ５１２よりなる帰還ループに入力された後、ラッチ回路５１から出力される。

【００１３】

上記のように図９に示される構成例は、比較的回路規模が大きくなるといった問題がある。また、ラッチ回路５０のラッチを行うための内部クロックも遅延回路５０１の遅延時間分遅延させているため、内部アクセス時間がその分遅れるといった問題が残る。さらに、データ入力制御コマンド時にホールドするために、入力データ制御信号φ１２０を生成する入力データ制御信号生成回路（図１０参照）が、必要となる。図１１に図９のタイミングチャートを示す。図１１から分かるように内部アクセス時間は、入力バッファ回路の遅延時間を除くと、入力データ制御信号生成回路１２０、論理回路５０４およびラッチ回路５１のそれぞれの遅延時間の和となる。

【００１４】

また、仕様上セットアップ時間が数ｎｓある場合、そのセットアップ時間の一部を内部アクセスに割り当てることにより内部アクセス時間の高速化を図った構成が特開平８－１７１８２号広報によって開示されている。

【００１５】

前記特開平８－１７１８２号広報に開示された回路構成例を図１２に示す。図１２では、ＣＳ信号、アドレスバッファ信号は、それぞれＣＳ入力バッファ７３、アドレスバッファ７３を介して論理回路７４に入力される。論理回路７４の出力は、フリップフロップ回路７０に設けられたトランファーゲートＮ７１、Ｐ７１に与えられる。ＣＬＫ信号はＣＬＫ入力バッファ７１を介して、ＣＬＫ入力バッファ出力信号φ７１が生成され、トランスファーゲートＮ７１、Ｐ７１のゲートおよびフリップフロップ回路７０に設けられた別のトランファーゲートＮ７２、Ｐ７２のゲートに制御信号として与えられる。それぞれのトランスファーゲートのゲートの一方には、ＣＬＫバッファ出力信号φ７１がインバータＩＮＶ７５を介して入力され、それぞれのトランスファーゲートのゲートの他方にはＣＬＫバッファ出力信号φ７１が直接入力される。トランスファーゲートＮ７１、Ｐ７１の出力は、インバータＩＮＶ７１、ＩＮＶ７２よりなる帰還ループを介して、トランスファーゲートＮ７２、Ｐ７２に入力される。トランスファーゲートＮ７２、Ｐ７２の出力は、インバータＩＮＶ７３、ＩＮＶ７４よりなる帰還ループを介して出力される。

【００１６】
図１２に示されるこの回路構成において入力データの入力後の論理回路及び配線をラッチ回路前に配置することにより、前記論理回路及び配線遅延時間がセットアップ時間にインターリーブされ、システムクロックの立ち上がりエッジからみたラッチ回路出力が高速化される。
【００１７】
図１２において、システムクロック入力からフリップフロップ回路７０までの遅延時間とデータアドレス信号の入力からラッチ回路までの遅延時間を比較した場合、データアドレス信号の入力からフリップフロップ回路７０までのパスにおいて、システムクロック入力からフリップフロップ回路７０までの遅延時間に論理回路及び配線遅延時間が加算されている。これは、システムクロックと入力データが同時に入力された場合、フリップフロップ回路７０での入力データのラッチのタイミングにおいて論理回路および配線遅延時間がセットアップ時間のマージンを削減すること意味する。
【００１８】
したがって前記回路構成においては、論理回路および配線遅延時間がセットアップ時間よりも短い必要がある。
【００１９】
また、ＳＤＲＡＭに代表される同期型半導体記憶装置においては、アドレスデータの取り込みをデータ入力制御コマンドによるタイミングの制御によって行っている。したがって前記フリップフロップ回路７０によってセットアップ時間及びホールド時間に対しマージンを確保した上でシステムクロックの立ち上がりエッジにて取り込んだデータを前記データ入力制御コマンド入力時にホールドする必要がある。したがってフリップフロップ回路７０の後段にアドレスデータのホールドを行うフリップフロップ回路８０２が必要となり、たとえば図１３に示すような２段のフリップフロップ回路８０のような構成をもって初めてアドレスデータのホールドが可能となる。データをホールドするために追加する後段のフリップフロップ回路８０２の構成は、図９において追加したラッチ回路５１と同じ構成となっている。
【００２０】
図１３におかる、タイミングチャートを図１４に示す。図１４からわかるように、内部アクセス時間は、入力バッファ回路の遅延時間を除くと、論理回路８４、入力データ制御信号生成回路１２０およびラッチ回路８０２の遅延時間の和となっている。
【００２１】
前記フリップフロップ回路８０では、前段のフリップフロップ回路８０１をもってシステムクロックの立ち上がりエッジにてラッチしたアドレスデータをシステムクロックとデータ入力制御コマンドを入力とする入力データ制御信号生成回路（図１０参照）によって生成された入力制御信号φ１２０をもって、アドレスデータがホールドされＩＮＶ８８を経て内部回路にアドレスデータが供給される。
【００２２】
この際、入力データ制御信号φ１２０は、システムクロックの立ち上がりエッジに対し入力制御信号生成回路の遅延時間を含んでいるが前記フリップフロップ回路８０１によりシステムクロックの立ち上がりエッジに対しセットアップ時間及びホールド時間を確保した上で取り込んだアドレスデータは次のシステムクロックの立ち上がりエッジまでホールドされているため、システムクロックの約１周期分のマージンを持って後段のフリップフロップ回路８０２によってホールドすることが可能となる。
【００２３】
しかしながら、前記フリップフロップ回路８０は、２段のフリップフロップ回路を含んだ比較的大きな回路規模となり、本回路は１アドレスデータに対し１構成必要であるため、チップ上に占める面積も比較的大きくなるといった問題が存在する。
【００２４】
図１３に示されるフリップフロップ回路８０１に入力されるシステムクロックが前記デー

タ入力制御コマンド入力を受けて一連のパルス列からなる外部クロック入力から生成された１パルスのクロックを持ってラッチする場合図１５に示すようにフリップフロップ回路９０１のみで入力データのラッチ並びにホールドを行うことが可能となる。図１５では、図１２に示されるＣＬＫ入力バッファを介するクロック信号ＣＬＫの代わりに、入力データ制御信号φ１２０をフリップフロップ回路に入力する構成となっている。

【００２５】

しかし、図１５において、一連のパルス列からなる外部クロック入力から１パルスのクロックを生成する図１０の論理回路１２６が必要となるため、生成された１パルスのクロックは図１０の論理回路１２６において遅延を生じることになる。つまり、特開平８－１７１８２号広報において特徴とされた内部アクセスの高速化が図れないと共に、１パルスのクロックを生成する図１０の論理回路１２６の遅延がデータ入力初段回路後の図１５の論理回路９４での遅延時間を上回った場合、ホールド時間のマージンを削除するといった問題が存在する。

【００２６】

【発明が解決しようとする課題】

クロック同期型半導体装置においては、クロックの立ち上がりエッジに同期してデータを取りこむため、データの入力に対し、十分なセットアップ時間及びホールド時間を確保する必要がある。しかし、従来の回路（図１３）においては、クロックと入力データのラッチ回路までの経路において論理回路の段差に差があるため、その段数分だけスキューを生じていた。このスキューは、セットアップ時間もしくはホールド時間のマージンを削減する。そのため、クロック入力とデータ入力のラッチ回路までの経路における論理回路の段数は同じであることが望ましいが、従来の回路（図１３）においては、入力データのラッチ回路までの経路がクロック入力のラッチ回路までの経路と比較して大きかったために、セットアップ時間のマージンを削減していた。

【００２７】

さらに、従来回路（図９）における別のアプローチとしてクロック入力のラッチ回路までの経路に入力データのラッチ回路までの経路における論理回路と同じ段数のロジックを挿入することによりクロックと入力データのスキューを無くす構成があるが、これはセットアップ時間及びホールド時間に対しマージンを確保できるが、スキューを無くすことを目的としてクロック入力のラッチ回路までの経路にロジックを挿入することは、無駄時間を増大させクロックの立ち上がりエッジからの内部アクセスを遅らせるといった問題を招いていた。したがって、本発明は前記問題点を解消し、システムクロックに対して入力データを十分なセットアップ時間及びホールド時間を確保した上で、内部アクセスにおいてもチップサイズの増大を招くことなく、高速化を図った入力データラッチ回路を提供することを目的とする。

【００２８】

【課題を解決するための手段】

前記目的を達成するために、本発明ではシステムクロック配線にかかるゲート容量を低減することを目的として挿入されたバッファ兼アドレスラッチ信号生成回路から出力されるクロックの立ち上がりエッジにより入力データのラッチを行うラッチ回路と、システムクロックとＲＡＳ、ＣＡＳ、ＣＳなど各種制御信号の極性の組み合わせにより指定されるコマンドの取り込みを行うシステムクロックの立ち上がりエッジを含むパルスによって生成されたデータ入力制御信号生成回路からのデータ入力制御信号により前記ラッチ回路にてラッチされた入力データのホールドを行うように構成したことを特徴とする回路を提供する。

【００２９】

また、本発明は、クロック信号を入力するクロック入力端子と、アドレス信号および制御信号などの入力信号を入力するデータ入力端子と、ラッチ回路と、論理回路と、バッファ兼アドレスラッチ信号生成回路とを半導体チップ上に有し、前記データ入力端子から入力されるクロック信号をクロック配線にかかるゲート容量の低減を目的として挿入されたバ

ッファ兼アドレスラッチ信号生成回路から出力されるクロック信号により前記ラッチ回路にラッチするクロック同期型半導体記憶装置の入力回路において、前記データ入力端子と前記ラッチ回路との間に前記バッファ兼アドレスラッチ信号生成回路と同等の遅延時間を有する前記論理回路を配し、クロック入力端子からラッチ回路までのクロック信号の遅延時間とデータ入力端子からラッチ回路までのデータ信号の遅延時間が同等となるように構成した上で前記データ入力端子からのデータ信号を前記バッファ兼アドレスラッチ信号生成回路から出力されたクロック信号によって前記ラッチ回路によってラッチするように構成したことを特徴とするクロック同期型半導体記憶装置を提供する。

【００３０】

システムクロックに同期して動作する同期型半導体記憶装置において、アドレスデータを取り込む第１の帰還ループを有する第１ラッチ回路と、該第１の帰還ループに対し、該アドレスデータのラッチ制御を行う第１のトランスファーゲートと、該第１の帰還ループによってラッチされたデータのホールドを行う第２の帰還ループを有する第２ラッチ回路と、該第２の帰還ループに対し、該第１の帰還ループによってラッチされたデータのホールド制御を行う第２のトランスファーゲートと、該システムクロックと制御信号に基づいて、データ入力制御信号を生成するデータ入力制御信号生成回路と、該システムクロックと該データ入力制御信号との論理和によりアドレスラッチ信号を生成するアドレスラッチ信号生成回路とを備え、該第１のトランスファーゲートに、該アドレスラッチ信号を入力することにより、該アドレスデータのラッチ制御を行い、該第２のトランスファーゲートに、該データ入力制御信号を入力することにより、該第１の帰還ループによってラッチされたデータのホールド制御を行い、前記制御信号は、ＲＡＳ、ＣＡＳ、ＷＥ、ＣＳであり、前記同期型半導体記憶装置は、前記ＣＳ（チップセレクト）とアドレス信号に基づいて、前記第１ラッチ回路にラッチするためのデータ信号を生成する論理回路をさらに備え、前記アドレスラッチ信号生成回路の遅延時間と前記論理回路の遅延時間を等しくすることを特徴とする同期型半導体記憶装置により、上記課題が達成される。

システムクロックに同期して動作する同期型半導体記憶装置において、アドレスデータを取り込む第１の帰還ループを有する第１ラッチ回路と、該第１の帰還ループに対し、該アドレスデータのラッチ制御を行う第１のトランスファーゲートと、該第１の帰還ループによってラッチされたデータのホールドを行う第２の帰還ループを有する第２ラッチ回路と、該第２の帰還ループに対し、該第１の帰還ループによってラッチされたデータのホールド制御を行う第２のトランスファーゲートと、該システムクロックと制御信号に基づいて、データ入力制御信号を生成するデータ入力制御信号生成回路と、該システムクロックと該データ入力制御信号との論理和によりアドレスラッチ信号を生成するアドレスラッチ信号生成回路とを備え、該第１のトランスファーゲートに、該アドレスラッチ信号を入力することにより、該アドレスデータのラッチ制御を行い、該第２のトランスファーゲートに、該データ入力制御信号を入力することにより、該第１の帰還ループによってラッチされたデータのホールド制御を行い、前記データ入力制御信号の立ち下がりは、前記システムクロックの同一周期のＬＯＷ期間であり、前記制御信号は、ＲＡＳ、ＣＡＳ、ＷＥ、ＣＳであり、前記同期型半導体記憶装置は、前記ＣＳ（チップセレクト）とアドレス信号に基づいて、前記第１ラッチ回路にラッチするためのデータ信号を生成する論理回路をさらに備え、前記アドレスラッチ信号生成回路の遅延時間と前記論理回路の遅延時間を等しくすることを特徴とする同期型半導体記憶装置により、上記課題が達成される。

【００３１】

前記制御信号は、ＲＡＳ、ＣＡＳ、ＷＥ、ＣＳであってもよい。

【００３２】

前記ＣＳ（チップセレクト）と前記アドレス信号に基づいて、前記第１ラッチ回路にラッチするためのデータ信号を生成する論理回路を備えてもよい。

【００３５】

複数のアドレス信号を同時にラッチするために、複数の第１ラッチ回路と、複数の第１のトランスファーゲートと、複数の第２ラッチ回路と、複数の第２のトランスファーゲート

とを有してもよい。
【００３６】
前記データ入力制御信号生成回路と前記アドレスラッチ信号生成回路は、バッファの機能も有してもよい。
【００３７】
上記構成のもと、本発明によれば、データのラッチ回路までに必要となる所定の論理回路及び配線遅延時間をシステムクロックと入力データに対し、ラッチ回路前に同様に配置することにより、入力データに対するシステムクロックの見かけ上のスキューを無くし、セットアップ時間及びホールド時間それぞれに対し十分なマージンを確保した上で入力データのラッチを行うことが可能となると共に、データ入力制御信号生成回路の遅延時間後にラッチされたデータのホールドが可能となるため、内部アクセスも比較的高速化される。
【００３８】
また、上記の特徴を有する回路が比較的小規模で構成できるため、従来構成と比較してチップサイズの増大を招くことなく実現可能となる。
【００３９】
【発明の実施の形態】
次に本発明の実施の形態について図面を参照して説明する。
【００４０】
図１は、本発明の一実施例に係る同期型半導体記憶装置のホールド機能付きＤ型フリップフロップ回路の構成を示す図である。図２は図１の各信号波形のタイミング関係を示すタイミングチャート図である。
【００４１】
図１に示す同期型半導体記憶装置のホールド機能付きＤ型フリップフロップ回路では、６つの入力信号ＲＡＳ（ロウアドレスストローブ信号）、ＣＡＳ（カラムアドレスストローブ信号）、ＷＥ（ライトイネーブル信号）、ＣＬＫ（システムクロック信号）、ＣＳ（チップセレクト信号）およびＡ０～Ａｘ（アドレス信号）がそれぞれ入力される６つの端子を有する。各入力端子から入力された信号は、ＲＡＳ入力バッファ１２、ＣＡＳ入力バッファ１３、ＷＥ入力バッファ１４、ＣＬＫ入力バッファ１１、ＣＳ入力バッファ１５およびアドレスバッファ１６で、それぞれ増幅された後、内部回路へと伝達される。この時点において、入力バッファ回路における遅延時間は、各入力信号とも同じとなるため、各入力信号間でスキューを生じていない。
【００４２】
ＲＡＳ入力バッファ１２のＲＡＳ入力バッファ出力信号φ１２、ＣＡＳ入力バッファ１３のＣＡＳ入力バッファ出力信号φ１３、ＷＥ入力バッファ１４のＷＥ入力バッファ出力信号φ１４およびＣＳ入力バッファ１５のＣＳ入力バッファ出力信号φ１５は、入力データラッチ信号生成回路１０３に設けられたデータ入力制御信号生成回路１７に与えられている。また、ＣＬＫ入力バッファ１１のＣＬＫ入力バッファ出力信号φ１１も、データ入力制御信号生成回路１７に与えられている。ＣＬＫ入力バッファ出力信号φ１１、制御信号φ１２、φ１３、φ１４、φ１５を入力とするデータ入力制御信号生成回路１７は、データ入力制御信号φ１７を生成する。このデータ入力制御信号φ１７は、データ入力制御信号生成回路１７の遅延分の遅延を有している。データ入力制御信号φ１７は、以下に示すように、ラッチ回路にてラッチされた入力データをホールドするために用いられる。
【００４３】
また、データ入力制御信号φ１７は、入力データラッチ信号生成回路１０３におけるアドレスラッチ信号生成回路１９に設けられたＮＯＲゲートＮＯＲ１の一方の入力にもなっている。ＮＯＲ１の他方には、ＣＬＫ入力バッファ１１のＣＬＫ入力バッファ出力信号φ１１が与えられる。ＮＯＲ１の出力は、インバータＩＮＶ１７を介してアドレスラッチ信号φ１９として出力される。つまり、アドレスラッチ信号生成回路１９は、データ入力制御信号φ１７とＣＬＫ入力バッファ出力信号φ１１との論理和をとったアドレスラッチ信号φ１９を生成する。このアドレスラッチ信号φ１９は、アドレスラッチ信号生成回路１９

の遅延時間分の遅延を有している。アドレスラッチ信号φ１９は、以下に示すように、ラッチ回路にてラッチされた入力データをホールドするために用いられる。

【００４４】

ＣＳ入力バッファ１５のＣＳ入力バッファ出力信号φ１５は、ホールド機能付きＤ型フリップフロップ回路１００に設けられた論理回路１８にも入力される。アドレスバッファ１６のアドレスバッファ出力信号φ１６は、論理回路１８に入力され、φ１５およびφ１６が入力された論理回路１８は、論理回路１８の遅延時間分の遅延を有するφ１８を出力する。

【００４５】

論理回路１８からの出力信号φ１８は、ラッチ回路１０１に設けられたトランジスタＮ１、Ｐ１によるトランファーゲートに与えられる。トランスファーゲートのゲートには、制御信号として、上記アドレスラッチ信号生成回路１９のアドレスラッチ信号φ１９が入力される。トランスファーゲートの一方のゲートには、アドレスラッチ信号φ１９がインバータＩＮＶ１５を介して入力され、トランスファーゲートの他方のゲートには、アドレスラッチ信号φ１９が直接入力される。

【００４６】

トランジスタＮ１、Ｐ１によるトランファーゲートより出力された信号は、ラッチ回路１０１に設けられた、ＩＮＶ１１およびＩＮＶ１２よりなる第１の帰還ループに入力される。

【００４７】

第１の帰還ループより出力される信号φ１１０は、ホールド機能付きＤ型フリップフロップ回路１００に設けられたラッチ回路１０２のＮ２、Ｐ２よりなるトランスファーゲートに入力される。トランスファーゲートのゲートには、制御信号として、上記データ入力制御信号生成回路１７のデータ入力制御信号φ１７が入力される。トランスファーゲートの一方のゲートには、データ入力制御信号φ１７が、インバータＩＮＶ１６を介して入力され、トランスファーゲートの他方のゲートには、データ入力制御信号φ１７が直接入力される。

【００４８】

トランジスタＮ２、Ｐ２によるトランファーゲートより出力された信号は、ラッチ回路１０２に設けられた、インバータＩＮＶ１３およびＩＮＶ１４よりなる第２の帰還ループに入力される。第２の帰還ループより出力される信号は、システムクロック信号に同期したアドレス信号として使用される。

【００４９】

以上の構成を有する同期型半導体装置において、図２に示すように、ホールド機能付きＤ型フリップフロップ回路１００に入力される信号φ１８、φ１９は、論理回路１８、アドレスラッチ信号生成回路１９それぞれの遅延時間が同じであった場合、各入力端子からの遅延時間が等しくないスキューを生じないことになる。ただし、アドレスラッチ信号φ１９は立ち上がりエッジにおいて入力データ信号のラッチを行うため、パルスの立ち上がりエッジでの遅延時間において等しいとする。

【００５０】

したがって、アドレス入力信号φ１６のラッチを行うトランジスタＰ１，Ｎ１によるトランスファーゲートとＩＮＶ１１、ＩＮＶ１２による第１の帰還ループによって構成されるラッチ回路１０１においては入力端子部における入力データ信号とクロック信号のセットアップ時間及びホールド時間を確保したまま、論理回路１８の出力信号φ１８のラッチが可能となる。

【００５１】

また、ラッチ回路１０１によってラッチされたアドレスデータ信号は、入力端子部におけるクロック信号に対しデータ入力制御信号生成回路１７の遅延時間分の遅延をもってトランジスタＰ２、Ｎ２によるトランスファーゲートとＩＮＶ１３、ＩＮＶ１４による第２の帰還ループによって構成されるラッチ回路１０２によってラッチされるため、高速な内部

アクセスが可能となる。

【００５２】

図３は、入力初段回路となる入力バッファの一例である。構成としては、ヒス特性を有するＮＯＲゲートに外部端子より入力されるφｉｎとイネーブル信号となるφｅを入力し出力としてφｏｕｔを出力する構成となっている。

【００５３】

図４は制御信号ＣＳ，ＲＡＳ，ＣＡＳ，ＷＥ及びシステムクロックＣＬＫからデータ入力制御信号を生成するデータ入力制御信号生成回路の一例である。構成としては、５入力ＮＡＮＤゲートＮＡＮＤ４１とインバータＩＮＶ４１との直列回路によって構成され、論理的には、ＡＮＤ回路であり各入力信号の論理積を取った出力がデータ入力制御信号φ１７となる。機能としては、入力される制御信号の極性の組み合わせにより所望のコマンドのデコードを行い、クロック信号と論理積することによりクロックのパルス幅を最大とする１パルスを生成する。

【００５４】

図５は入力データ信号とＣＳ信号からラッチ用データ信号を生成する論理回路の一例である。構成としては、２入力ＮＡＮＤゲートＮＡＮＤ５１とインバータＩＮＶ５１との直列回路によって構成され、論理的には、ＡＮＤ回路であり各入力信号の論理積を取った信号がφ１８として出力される。機能としては、ＣＳ入力信号が活性化されていないタイミングにおいて入力データ信号を不活性化することによりラッチ回路１０１におけるＡＣ電流低減が可能となる。

【００５５】

ここで、データ入力制御信号φ１７の立ち下がりは、システムクロックの同一周期のＬＯＷ期間であることが必要である。図６に示すように、φ１７の立ち下がりがシステムクロックの次のＨＩ期間にあると、φ１９の立ち下がりが正しくなくなる。システムクロックの同一周期のＬＯＷ期間にφ１７の立ち下がりが生じる場合、同一コマンドを連続して入力することが可能となる。

【００５６】

実施例においては、図７に示すようにアドレス信号のラッチといった複数の入力信号を同時にラッチする場合、前記ホールド機能付きＤ型フリップフロップ回路１００が同時にラッチを行う個数だけ必要となる。したがって、アドレス信号以外に前記ホールド機能付きＤ型フリップフロップ回路１００へ入力されるφ１７，φ１９の信号配線にかかるゲート容量は、比較的大きくなる。これは、システムクロックなどをバッファせずに前記フリップフロップ回路１００に入力した場合、配線に係るトータル容量の増大に伴い波形が鈍りアクセスが遅くなるといった問題が生じる。よって、本実施例においては、アドレスラッチ信号生成回路１９、データ入力制御信号生成回路１７にバッファの機能を兼用することにより、内部アクセスに対する無駄時間をなくし、内部アクセスの高速化を図っている。

【００５７】

【発明の効果】

本発明によれば、データのラッチ回路までに必要となる所定の論理回路及び配線遅延時間をシステムクロックと入力データに対し、ラッチ回路前に同様に配置することにより、入力データに対するシステムクロックの見かけ上のスキューを無くし、セットアップ時間及びホールド時間それぞれに対し十分なマージンを確保した上で入力データのラッチを行うことが可能となると共に、データ入力制御信号生成回路の遅延時間後にラッチされたデータのホールドが可能となるため、内部アクセスにおいても高速化される。また、上記の特徴を有する回路が比較的小規模で構成できるため、従来構成と比較してチップサイズの増大を招くことなく実現可能となる。

【図面の簡単な説明】

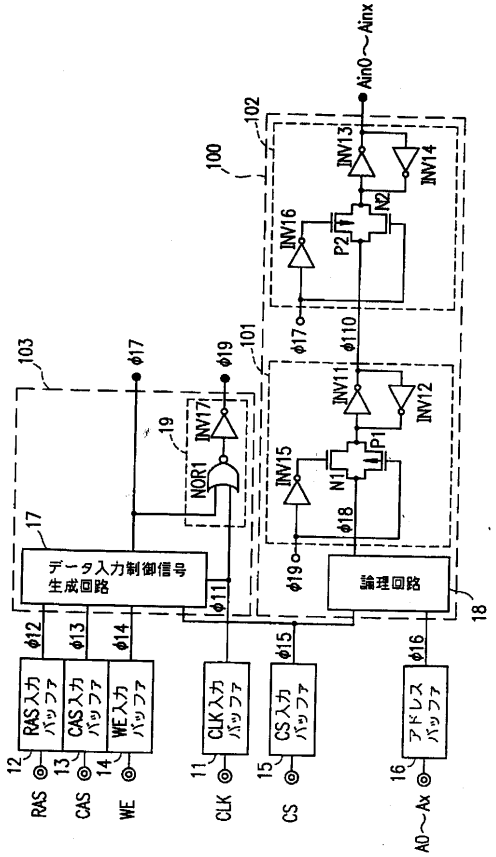
【図１】本発明に係る同期型半導体記憶装置のホールド機能付きＤ型フリップフロップ回路の実施例を示す図である。

【図２】本発明に係る同期型半導体記憶装置の入力データ信号のラッチにかかるタイミン

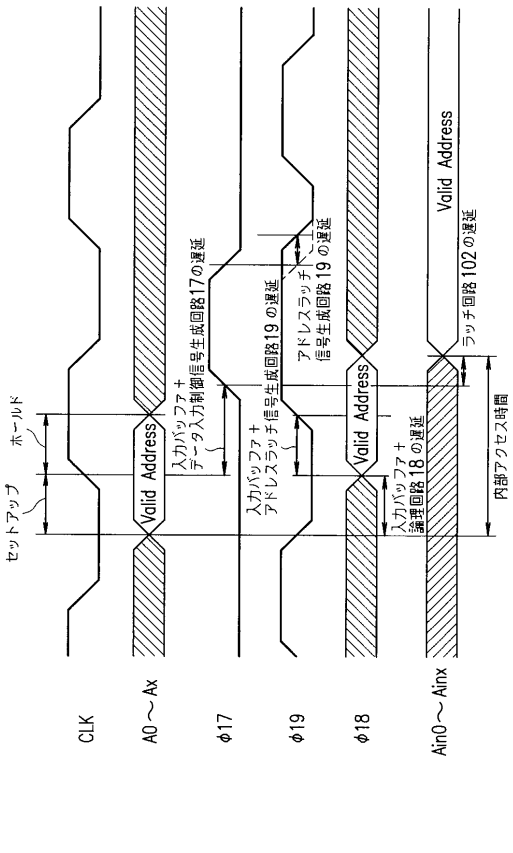
グ図である。
【図３】本発明及び従来例などで一般的に用いられる入力バッファ回路の構成の一例を示す図である。
【図４】本発明にかかる制御信号及びシステムクロックからデータ入力制御信号を生成するデータ入力制御信号生成回路の例を示す図である。
【図５】本発明及び従来例などで一般的に用いられる入力データ信号とＣＳ信号からラッチ用データ信号を生成する論理回路の一例を示す図である。
【図６】本発明において、データ入力制御信号の立ち下がりがシステムクロックの次のＨＩ期間にあるときの、入力データラッチ信号が不正確になることを示すタイミング図である。
【図７】本発明に係る同期型半導体記憶装置のホールド機能付きＤ型フリップフロップ回路の実使用時における構成の一例を示した図である。
【図８】従来例の入力ラッチ回路の一部の構成の一例を示す図である。
【図９】従来例の入力ラッチ回路に入力データのホールド機能を持たせた場合の構成の一例を示す図である。
【図１０】従来例の入力データ制御信号生成回路の構成の一例を示す図である。
【図１１】従来例の図１２に示す構成図の入力データ信号のラッチにかかるタイミング図である。
【図１２】従来例の入力ラッチ回路の一部の構成の一例を示す図である。
【図１３】従来例の入力ラッチ回路に入力データのホールド機能を持たせた場合の構成の一例を示す図である。
【図１４】従来例の図８に示す構成図の入力データ信号のラッチにかかるタイミング図である。
【図１５】従来例の入力ラッチ回路に入力データのホールド機能を持たせた場合の別構成の一例を示す図である。
【符号の説明】
１１～１６，７１～７３，８１～８３，９２,９３　入力バッファ回路
１７　データ入力制御信号生成回路
１８，７４，８４，９４　論理回路
１９　アドレスラッチ信号生成回路
８０　２段構成フリップフロップ回路
１００　ホールド機能付きＤ型フリップフロップ回路
１０１，１０２　ラッチ回路
１０３　入力データラッチ信号生成回路
７０，８０１，８０２，９０１，２０，５０，５１　フリップフロップ回路
２０１，５０１　遅延回路
ＩＮＶ１１～１７，ＩＮＶ３１，ＩＮＶ４１，ＩＮＶ５１，ＩＮＶ７１～７５，ＩＮＶ８１～８１０，ＩＮＶ９１～９５，ＩＮＶ２１～２７，ＩＮＶ５１～５９，ＩＮＶ５１０～５１３，ＩＮＶ１２１～１２５　インバータ
ＮＡＮＤ４１，ＮＡＮＤ５０，ＮＡＮＤ５１　ＮＡＮＤゲート
ＮＯＲ１　ＮＯＲゲート
Ｎ１，Ｎ２，Ｎ３１～３４，Ｎ７１，Ｎ７２，Ｎ８１～８４，Ｎ９１，Ｎ９２，Ｎ２１～２４，Ｎ５１～５６，Ｎ１２１，Ｎ１２２　Ｎｃｈトランジスタ
Ｐ１，Ｐ２，Ｐ３１～３２，Ｐ７１，Ｐ７２，Ｐ８１～８４，Ｐ９１，Ｐ９２，Ｐ２１～２４，Ｐ５１～５６，Ｐ１２１，Ｐ１２２　Ｐｃｈトランジスタ
φ１１，φ７１，φ８１　ＣＬＫ入力バッファ出力信号
φ１２，φ１２２　ＲＡＳ入力バッファ出力信号
φ１３，φ１２３　ＣＡＳ入力バッファ出力信号
φ１４．φ１２４　ＷＥ入力バッファ出力信号
φ１５，φ７２，φ８２，φ９２，φ１２５　ＣＳ入力バッファ出力信号

φ１６，φ７３，φ８３，φ９３　アドレスバッファ出力信号
φ１７　データ入力制御信号
φ１９，φ１２０　アドレスラッチ信号
φ７４，φ８４，φ９４，　φ１２６　論理回路出力信号
φ８０１，φ１１０，φ７５，φ２１，φ５２　アドレスラッチ回路出力信号

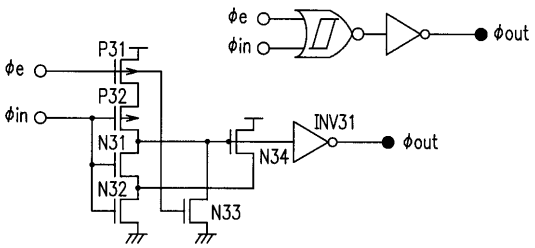
【図１】



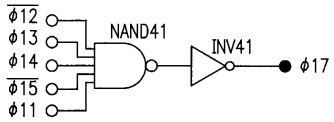
【図２】



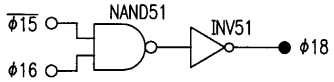
【図３】



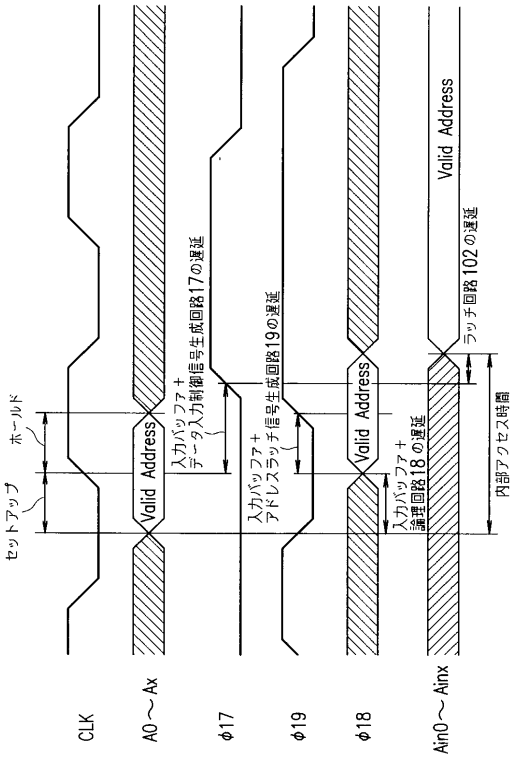
【図４】



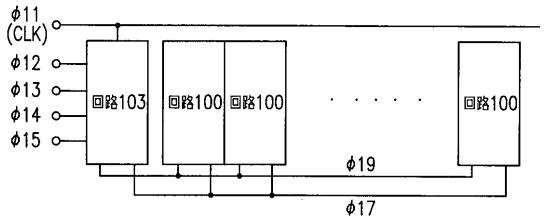
【図５】



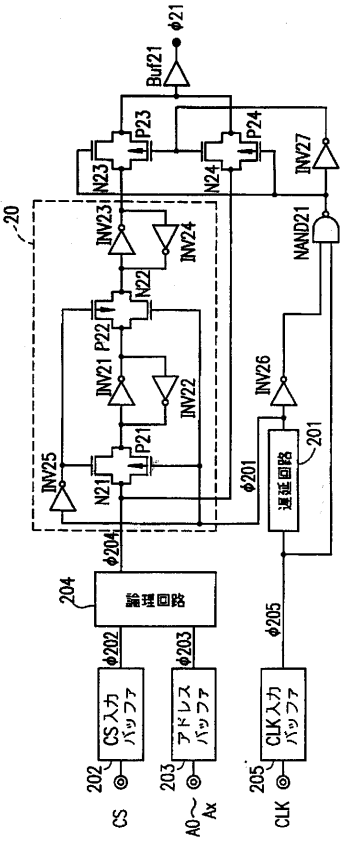
【図６】



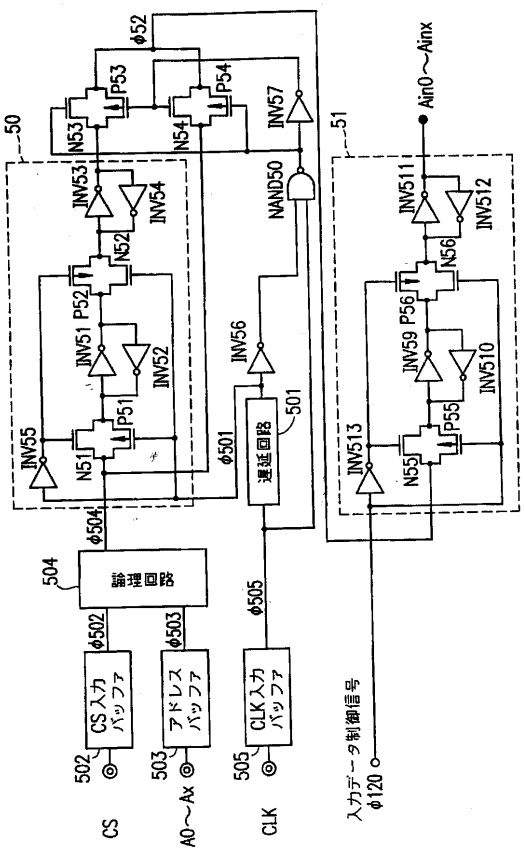
【図７】



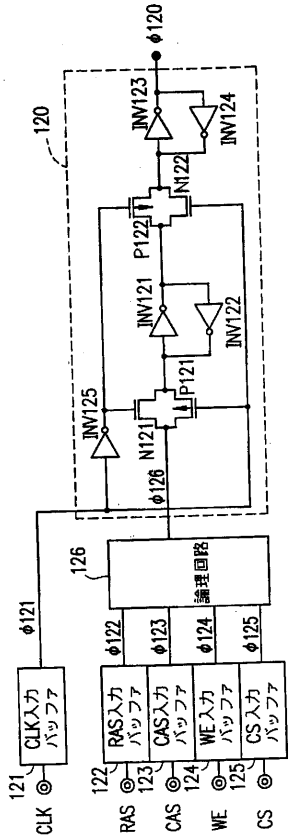
【図８】



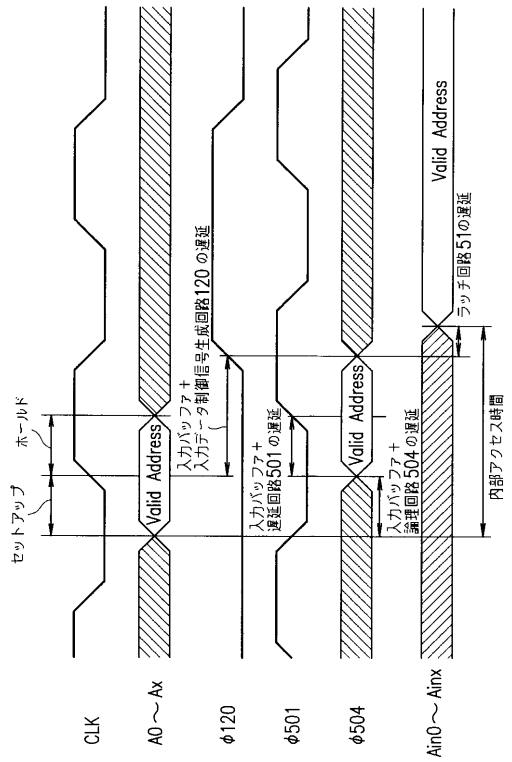
【図９】



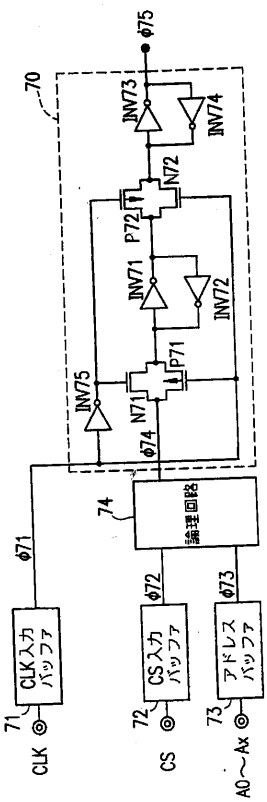
【図１０】



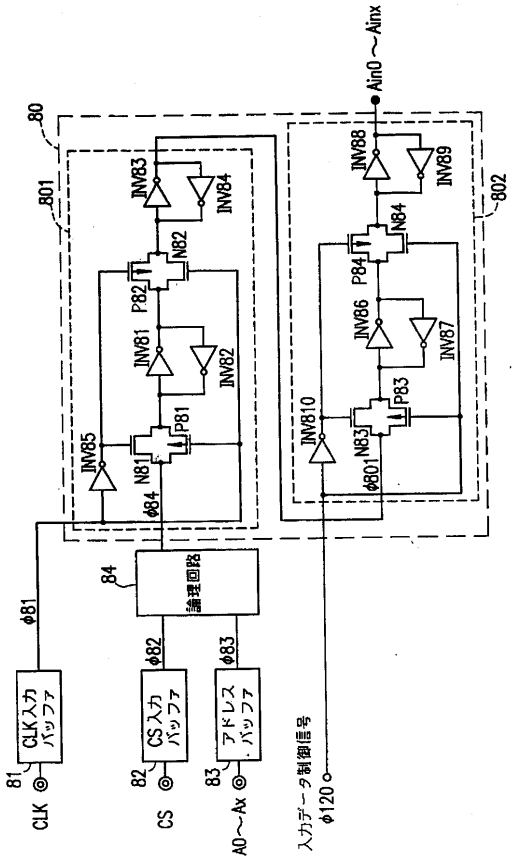
【図１１】



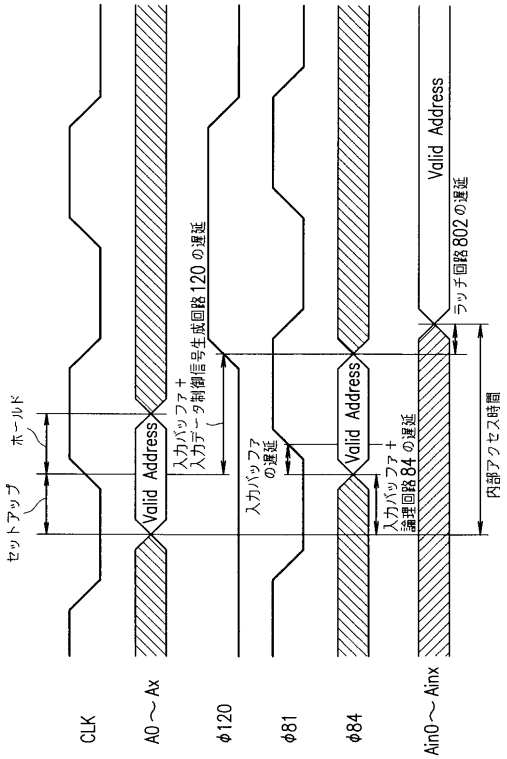
【図１２】



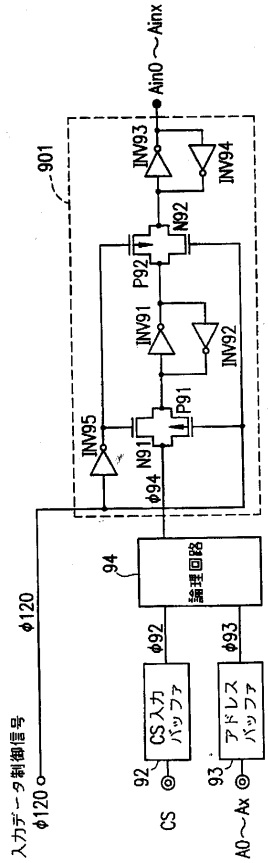
【図１３】


80
801
802
Ain0～Ainx
INV83
INV84
INV82
N82
P82
INV81
INV82
P81
INV85
N81
φ84
INV88
INV89
N84
P84
INV86
INV87
P83
INV810
N83
φ801
84
論理回路
φ81
φ82
φ83
CLK入力バッファ
CS入力バッファ
アドレスバッファ
81
82
83
CLK
CS
A0～Ax
入力データ制御信号
φ120

【図１４】


ホールド
セットアップ
Valid Address
入力バッファ＋
入力データ制御信号生成回路120の遅延
入力バッファ
の遅延
入力バッファ＋
論理回路84の遅延
ラッチ回路802の遅延
内部アクセス時間
CLK
A0～Ax
φ120
φ81
φ84
Ain0～Ainx

【図１５】


901
Ain0～Ainx
INV93
INV94
N92
P92
INV91
INV92
P91
INV95
N91
φ94
94
論理回路
φ120
φ92
φ93
CS入力バッファ
アドレスバッファ
92
93
CS
A0～Ax
入力データ制御信号
φ120

フロントページの続き

(58)調査した分野(Int.Cl.[7], ＤＢ名)
G11C 11/407