

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年11月2日(02.11.2017)



(10) 国際公開番号

WO 2017/188416 A1

(51) 国際特許分類:
H03K 19/177 (2006.01) G06F 11/00 (2006.01)

都江東区新木場一丁目18番7号NECソリューションイノベータ株式会社内Tokyo (JP).

(21) 国際出願番号: PCT/JP2017/016865

(22) 国際出願日: 2017年4月27日(27.04.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-090727 2016年4月28日(28.04.2016) JP

(71) 出願人: NECソリューションイノベータ株式会社(NEC SOLUTION INNOVATORS, LTD.) [JP/JP]; 〒1368627 東京都江東区新木場一丁目18番7号Tokyo (JP).

(72) 発明者: 池浦 潔(IKEURA, Kiyoshi); 〒1368627 東京都江東区新木場一丁目18番7号NECソリューションイノベータ株式会社内Tokyo (JP).
元井 康仁(MOTOI, Yasuhito); 〒1368627 東京

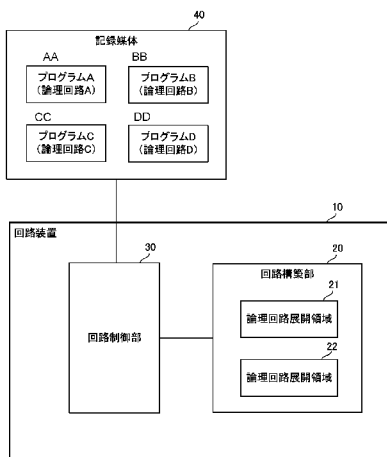
(74) 代理人: 特許業務法人ブライタス(BRIGHTAS IP ATTORNEYS); 〒5300057 大阪府大阪市北区曽根崎2丁目5番10号Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS,

(54) Title: CIRCUIT DEVICE, CIRCUIT REWRITING METHOD, AND COMPUTER-READABLE RECORDING MEDIUM

(54) 発明の名称: 回路装置、回路書き換え方法、及びコンピュータ読み取り可能な記録媒体



- 10 Circuit device
20 Circuit configuration unit
21, 22 Logic circuit layout region
30 Circuit control unit
40 Recording medium
AA Program A (logic circuit A)
BB Program B (logic circuit B)
CC Program C (logic circuit C)
DD Program D (logic circuit D)

(57) Abstract: A circuit device 10 is provided with: a circuit configuration unit 20 having logic circuit laying out regions 21 and 22 which are capable of laying out a logic circuit; and a circuit control unit 30 that lays out a specified logic circuit in the logic circuit laying out regions, wherein in the case when an instruction is issued to rewrite a logic circuit having been laid out in one of the logic circuit laying out regions into a new logic circuit, the circuit control part 30 lays out a new logic circuit in the other logic circuit laying out region, and upon completion of the laying out of the new logic circuit, stops the operation of the logic circuit that has been laid out in the one of the logic circuit laying out regions.

(57) 要約: 回路装置10は、論理回路を展開可能な論理回路展開領域21及び22を有する、回路構築部20と、指定された論理回路を論理回路展開領域に展開する、回路制御部30と、を備え、回路制御部30は、論理回路展開領域の一つに展開されている論理回路に対して、新たな論理回路への書き換えが指示された場合に、別の論理回路展開領域に新たな論理回路を展開し、新たな論理回路の展開が終了してから、論理回路展開領域の一つに先に展開されている論理回路の動作を停止させる。

MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：

回路装置、回路書き換え方法、及びコンピュータ読み取り可能な記録媒体
技術分野

[0001] 本発明は、論理回路の書き換えが可能となった回路装置、それを用いた回路書き換え方法、及びこれらを実現するためのプログラムを記録したコンピュータ読み取り可能な記録媒体に関する。

背景技術

[0002] F P G A (Field Programmable Gate Array) は、ユーザが自由にプログラミングできる集積回路である。近年、F P G Aは、その特性から、デジタルカメラ、カムコーダ、ハードディスクレコーダといった種々の電子機器において採用されている。

[0003] 具体的には、F P G Aは、論理ブロックを複数備えており、各論理ブロックをプログラムに応じて電氣的に接続することで、種々の論理回路を構成することができる。また、F P G Aにおいては、論理回路の一部を動的に書き換えること（パーシャル・リコンフィギュレーション）が可能となっており、組み込み先の電子機器の仕様変更に対応できる。

[0004] 例えば、非特許文献1は、書き換えが不可能な論理回路が構築されているスタティック領域と、書き換えが可能な論理回路が構築されているリコンフィギュラブル領域と、を備えたF P G Aを開示している。非特許文献1に開示されたF P G Aでは、回路構成が記述されたファイルを読み込むことで、リコンフィギュラブル領域における論理回路の書き換えが可能となっている。

先行技術文献

非特許文献

[0005] 非特許文献1：「Vivado Design Suite ユーザーガイド」、[online]、2015年11月18日、ザイリンクス、[2016年4月1日検索]、インタ

ーネット<URL : http://japan.xilinx.com/support/documentation/sw_manuals_j/xilinx2015_4/ug909-vivado-partial-reconfiguration.pdf>

発明の概要

発明が解決しようとする課題

- [0006] しかしながら、非特許文献 1 に開示された F P G A では、リコンフィギュラブル領域に構築されている現在の論理回路を新たな論理回路に書き換えるためには、まず、現在の論理回路を一旦停止し、その後に、新たな論理回路を再構築する必要がある。このため、非特許文献 1 に開示された F P G A には、論理回路を書き換えている間、処理を実行できないという問題がある。
- [0007] 本発明の目的の一例は、上記問題を解消し、F P G A において、処理を停止することなく、論理回路の書き換えを実行し得る、回路装置、回路書き換え方法、及びコンピュータ読み取り可能な記録媒体を提供することにある。

課題を解決するための手段

- [0008] 上記目的を達成するため、本発明の一側面における第 1 の回路装置は、論理回路を展開可能な領域を少なくとも 2 つ有する、回路構築部と、指定された論理回路を前記領域に展開する、回路制御部と、を備え、前記回路制御部は、前記領域の一つに展開されている論理回路に対して、新たな論理回路への書き換えが指示された場合に、別の前記領域に前記新たな論理回路を展開し、前記新たな論理回路の展開が終了してから、前記領域の一つに先に展開されている前記論理回路の動作を停止させる、ことを特徴とする。
- [0009] 上記目的を達成するため、本発明の一側面における第 2 の回路装置は、論理回路を展開可能な領域を有する、回路構築部と、指定された論理回路を前記領域に展開する、回路制御部と、を備え、前記回路制御部は、前記領域に展開されている前記論理回路に対して、新たな論理回路への書き換えが指示された場合に、先に展開されている前記論理回路の代わりに、前記論理回路が実行すべき処理を実行すると共に、前記領域に前記新たな論理回路を展開し、前記新たな論理回路の展開が終了して

から、前記処理の実行を停止する、
ことを特徴とする。

[0010] また、上記目的を達成するため、本発明の一側面における第1の回路書き換え方法は、

論理回路を展開可能な領域を少なくとも2つ有する、回路装置を用いた方法であって、(a) 前記回路装置が備えるプロセッサによって、指定された論理回路を前記領域に展開する、ステップと、

(b) 前記領域の一つに展開されている論理回路に対して、新たな論理回路への書き換えが指示された場合に、前記プロセッサによって、別の前記領域に前記新たな論理回路を展開し、前記新たな論理回路の展開が終了してから、前記領域の一つに先に展開されている前記論理回路の動作を停止させる、ステップと、

を有する、ことを特徴とする。

[0011] また、上記目的を達成するため、本発明の一側面における第2の回路書き換え方法は、

論理回路を展開可能な領域を有する、回路装置を用いた方法であって、

(a) 前記回路装置が備えるコンピュータによって、指定された論理回路を前記領域に展開する、ステップと、

(b) 前記領域に展開されている前記論理回路に対して、新たな論理回路への書き換えが指示された場合に、前記コンピュータによって、先に展開されている前記論理回路の代わりに、前記論理回路が実行すべき処理を実行すると共に、前記領域に前記新たな論理回路を展開し、前記新たな論理回路の展開が終了してから、前記処理の実行を停止する、ステップと、

を有する、ことを特徴とする。

[0012] 更に、上記目的を達成するため、本発明の一側面における第1のコンピュータ読み取り可能な記録媒体は、

論理回路を展開可能な領域を少なくとも2つ有する回路装置に備えられたコンピュータに、

(a) 指定された論理回路を前記領域に展開する、ステップと、
(b) 前記領域の一つに展開されている論理回路に対して、新たな論理回路への書き換えが指示された場合に、別の前記領域に前記新たな論理回路を展開し、前記新たな論理回路の展開が終了してから、前記領域の一つに先に展開されている前記論理回路の動作を停止させる、ステップと、
を実行させる命令を含む、プログラムを記録していることを特徴とする。

[0013] 更に、上記目的を達成するため、本発明の一側面における第2のコンピュータ読み取り可能な記録媒体は、

論理回路を展開可能な領域を有する回路装置に備えられたコンピュータに、

(a) 指定された論理回路を前記領域に展開する、ステップと、
(b) 前記領域に展開されている前記論理回路に対して、新たな論理回路への書き換えが指示された場合に、先に展開されている前記論理回路の代わりに、前記論理回路が実行すべき処理を実行すると共に、前記領域に前記新たな論理回路を展開し、前記新たな論理回路の展開が終了してから、前記処理の実行を停止する、ステップと、
を実行させる命令を含む、プログラムを記録していることを特徴とする。

発明の効果

[0014] 以上のように、本発明によれば、FPGAにおいて、処理を停止することなく、論理回路の書き換えを実行することができる。

図面の簡単な説明

[0015] [図1]図1は、本発明の実施の形態1における回路装置の構成を示すブロック図である。

[図2]図2は、本発明の実施の形態1における回路装置の機能を示す図である。

[図3]図3は、本発明の実施の形態1における回路装置の動作を示すフロー図である。

[図4]図4は、本発明の実施の形態2における回路装置の構成を示すブロック

図である。

[図5]図5は、本発明の実施の形態2における回路装置の機能を示す図である。

[図6]図6は、本発明の実施の形態2における回路装置の動作を示すフロー図である。

[図7]図7は、本発明の実施の形態1及び2において回路装置を実現するコンピュータの一例を示すブロック図である。

発明を実施するための形態

[0016] (実施の形態1)

以下、本発明の実施の形態1における、回路装置、回路書き換え方法、及びプログラムについて、図1～図3を参照しながら説明する。

[0017] [装置構成]

最初に、図1を用いて、本実施の形態1における回路装置の構成について説明する。図1は、本発明の実施の形態1における回路装置の構成を示すブロック図である。

[0018] 図1に示す本実施の形態1における回路装置10は、FPGA(Field Programmable Gate Array)であり、ユーザが自由にプログラミングできる集積回路である。図1に示すように、回路装置10は、回路構築部20と、回路制御部30とを備えている。

[0019] 回路構築部20は、論理回路を展開可能な領域(以下「論理回路展開領域」)を少なくとも2つ有している。なお、図1の例では、2つの論理回路展開領域21及び22が例示されている。

[0020] 回路制御部30は、指定された論理回路を論理回路展開領域21又は22に展開する。また、回路制御部30は、論理回路展開領域21及び22の一つに展開されている論理回路に対して、新たな論理回路への書き換えが指示された場合に、別の論理回路展開領域に新たな論理回路を展開する。更に、論理回路制御部30は、新たな論理回路の展開が終了してから、論理回路展開領域の一つに先に展開されている論理回路の動作を停止させる。

[0021] このように、本実施の形態 1 では、論理回路を動的に書き換える必要が生じた場合に、既存の論理回路を停止する前に、新たな論理回路を構築することができる。つまり、本実施の形態 1 によれば、FPGAにおいて、処理を停止することなく、論理回路の書き換えを実行することが可能となる。

[0022] ここで、図 1 に加えて図 2 を用いて、本実施の形態 1 における回路装置の構成及び機能について更に具体的に説明する。図 2 は、本発明の実施の形態 1 における回路装置の機能を示す図である。なお、図 2 においては、説明のために、回路構築部 20 のみを図示している。

[0023] 図 1 に示すように、本実施の形態では、回路装置 10 において、回路制御部 30 は、記録媒体 40 から、論理回路を展開するためのプログラムを読み出し、読み出したプログラムを実行することによって論理回路展開領域に論理回路を展開する。また、図 1 において、プログラム A は論理回路 A を展開し、プログラム B は論理回路 B を展開し、プログラム C は論理回路 C を展開し、プログラム D は論理回路 D を展開する。

[0024] そして、図 2 の上側の図に示すように、論理回路展開領域 21 に論理回路 A が展開され、論理回路展開領域 22 が未使用である場合に、論理回路 A に対して、論理回路 C への書き換えが指示されたとする。

[0025] この場合、図 2 の中央の図に示すように、回路制御部 30 は、論理回路 A の動作を継続させた状態で、記録媒体 40 からプログラム C を読み出し、読み出したプログラム C を実行して、論理回路展開領域 22 に論理回路 C を展開する。これにより、回路構築部 20 においては、論理回路 A と論理回路 C とが展開された状態となる。

[0026] 続いて、図 2 の下側の図に示すように、回路制御部 30 は、論理回路 C の展開が終了すると、論理回路 A の動作を停止させ、代わりに論理回路 C の動作を開始させる。この結果、論理回路 A から論理回路 C への切り替えはシームレスに行なわれ、論理回路が動作を停止している時間の発生が抑制される。

[0027] [装置動作]

次に、本発明の実施の形態１における回路装置１０の動作について図３を用いて説明する。図３は、本発明の実施の形態１における回路装置の動作を示すフロー図である。以下の説明においては、適宜図１及び図２を参照する。また、本実施の形態１では、回路装置１０を動作させることによって、回路書き換え方法が実施される。よって、本実施の形態１における回路書き換え方法の説明は、以下の回路装置１０の動作説明に代える。

[0028] まず、前提として、回路制御部３０は、記録媒体４０から、いずれかの論理回路を展開するためのプログラムを読み出し、このプログラムを実行して、論理回路展開領域の１つに、論理回路を展開しているとする。

[0029] 図３に示すように、最初に、回路制御部３０は、論理回路の書き換えの指示を受け取る（ステップＡ１）。

[0030] 次に、回路制御部３０は、記録媒体４０から、書き換えが指示された新規の論理回路を展開するためのプログラムを読み出す（ステップＡ２）。

[0031] 次に、回路制御部３０は、ステップＡ２で読み出したプログラムを実行して、未使用の論理回路展開領域に、新規の論理回路を展開する（ステップＡ３）。

[0032] その後、回路制御部３０は、新規の論理回路の展開が終了したことを確認すると、先に展開されていた論理回路の動作を停止すると共に、新規の論理回路を動作させる（ステップＡ４）。

[0033] 以上のように本実施の形態１によれば、論理回路から論理回路への切り替えはシームレスに行なわれ、論理回路が動作を停止している時間の発生が抑制されるので、処理を停止することなく、論理回路の書き換えを実行することが可能となる。

[0034] [プログラム]

本実施の形態１におけるプログラムは、コンピュータに、図３に示すステップＡ１～Ａ４を実行させるプログラムであれば良い。このプログラムをコンピュータにインストールし、実行することによって、本実施の形態１における回路装置１０と回路書き換え方法とを実現することができる。この場合

、コンピュータのCPU（Central Processing Unit）は、回路制御部30として機能し、処理を行なう。

[0035]（実施の形態2）

次に本発明の実施の形態2における、回路装置、回路書き換え方法、及びプログラムについて、図4～図6を参照しながら説明する。

[0036] [装置構成]

最初に、図4を用いて、本実施の形態2における回路装置の構成について説明する。図4は、本発明の実施の形態2における回路装置の構成を示すブロック図である。

[0037] 図4に示す本実施の形態2における回路装置50も、実施の形態1における回路装置10と同様に、FPGA（Field Programmable Gate Array）であり、ユーザが自由にプログラミングできる集積回路である。

[0038] また、図4に示すように、回路装置50も、回路装置10と同様に、回路構築部60と、回路制御部70とを備えている。そして、回路構築部60は、論理回路を展開可能な論理回路展開領域61を有している。また、回路制御部70は、記録媒体40から、論理回路を展開するためのプログラムを読み出し、読み出したプログラムを実行することによって論理回路展開領域に論理回路を展開する。

[0039] 但し、本実施の形態2は、以下の点で実施の形態1と異なっている。以下、実施の形態1との相違点を中心に説明する。

[0040] まず、図4に示すように、本実施の形態1においては、回路構築部60が有する論理回路展開領域61は複数ではなく、1つのみである。このため、論理回路展開領域61に展開されている論理回路に対して、新たな論理回路への書き換えが指示された場合は、回路制御部70が、先に展開されている論理回路として動作する。

[0041] 具体的には、回路制御部70は、先に展開されている論理回路の代わりに、この論理回路が実行すべき処理を実行すると共に、論理回路展開領域に新たな論理回路を展開する。そして、回路制御部70は、新たな論理回路の展

開が終了してから、先に展開している論理回路が実行すべき処理の実行を停止する。

[0042] ここで、図5を用いて、本実施の形態2における回路装置の機能について更に具体的に説明する。図5は、本発明の実施の形態2における回路装置の機能を示す図である。なお、図5においては、説明のために、回路構築部60と回路制御部70のみを図示している。

[0043] 図5の上側の図に示すように、論理回路展開領域61に論理回路Aが展開されている場合に、論理回路Aに対して、論理回路Bへの書き換えが指示されたとする。この場合、回路制御部70は、論理回路Aから処理を引き続き、論理回路Aとしての処理を開始する。

[0044] 次に、図5の中央の図に示すように、回路制御部70は、論理回路Aとして処理を実行しながら、記録媒体40からプログラムBを読み出し、読み出したプログラムBを実行して、論理回路展開領域61に論理回路Bを展開する。また、回路制御部70は、論理回路Bを展開している間、論理回路Aとしての処理を実行しているので、この間に、論理回路Aの処理が滞ることはない。

[0045] 続いて、図5の下側の図に示すように、回路制御部70は、論理回路Bの展開が終了すると、論理回路Bの動作を開始させ、更に、論理回路Aとしての処理の実行を停止する。この結果、論理回路Aから論理回路Bへの切り替えはシームレスに行なわれ、論理回路が動作を停止している時間の発生が抑制される。

[0046] [装置動作]

次に、本発明の実施の形態2における回路装置50の動作について図6を用いて説明する。図6は、本発明の実施の形態2における回路装置の動作を示すフロー図である。以下の説明においては、適宜図4及び図5を参照する。また、本実施の形態2では、回路装置50を動作させることによって、回路書き換え方法が実施される。よって、本実施の形態2における回路書き換え方法の説明は、以下の回路装置50の動作説明に代える。

[0047] まず、前提として、回路制御部 70 は、記録媒体 40 から、いずれかの論理回路を展開するためのプログラムを読み出し、このプログラムを実行して、論理回路展開領域 61 に、論理回路を展開しているとする。

[0048] 図 6 に示すように、最初に、回路制御部 70 は、論理回路の書き換えの指示を受け取る（ステップ B 1）。

[0049] 次に、回路制御部 70 は、先に展開されている論理回路の代わりに、この論理回路が実行すべき処理を実行する（ステップ B 2）。

[0050] 次に、回路制御部 70 は、記録媒体 40 から、書き換えが指示された新規の論理回路を展開するためのプログラムを読み出す（ステップ B 3）。

[0051] 次に、回路制御部 70 は、ステップ B 3 で読み出したプログラムを実行して、論理回路展開領域 61 に、新規の論理回路を展開する（ステップ B 4）。

[0052] その後、回路制御部 70 は、新規の論理回路の展開が終了したことを確認すると、新規の論理回路を動作させ、更に、実行していた論理回路としての処理を停止する（ステップ B 5）。

[0053] 以上のように本実施の形態 2 においても、実施の形態 1 と同様に、論理回路から論理回路への切り替えはシームレスに行なわれ、論理回路が動作を停止している時間の発生が抑制されるので、処理を停止することなく、論理回路の書き換えを実行することが可能となる。

[0054] [プログラム]

本実施の形態 2 におけるプログラムは、コンピュータに、図 6 に示すステップ B 1 ～ B 5 を実行させるプログラムであれば良い。このプログラムをコンピュータにインストールし、実行することによって、本実施の形態 2 における回路装置 50 と回路書き換え方法とを実現することができる。この場合、コンピュータの CPU（Central Processing Unit）は、回路制御部 70 として機能し、処理を行なう。

[0055] （物理構成）

ここで、実施の形態 1 及び 2 におけるプログラムを実行することによって

、回路制御部を実現するコンピュータについて図7を用いて説明する。図7は、本発明の実施の形態1及び2において回路装置を実現するコンピュータの一例を示すブロック図である。

[0056] 図7に示すように、コンピュータ110は、CPU111と、メインメモリ112と、入カインターフェイス114と、データリーダ115とを備える。これらの各部は、バス113を介して、互いにデータ通信可能に接続される。

[0057] CPU111は、本実施の形態1または2におけるプログラム（コード）をメインメモリ112に展開し、これらを所定順序で実行することにより、各種の演算を実施する。メインメモリ112は、典型的には、DRAM（Dynamic Random Access Memory）等の揮発性の記憶装置である。また、本実施の形態におけるプログラムは、コンピュータ読み取り可能な記録媒体に格納された状態で提供される。なお、本実施の形態におけるプログラムは、インターネット上で流通するものであっても良い。

[0058] また、入カインターフェイス114は、CPU111と外部との間のデータ伝送を仲介する。データリーダ115は、CPU111と記録媒体との間のデータ伝送を仲介し、記録媒体からのデータの読み出しを実行する。

[0059] また、コンピュータ読み取り可能な記録媒体の具体例としては、CF（Compact Flash（登録商標））及びSD（Secure Digital）等の汎用的な半導体記憶デバイス、フレキシブルディスク（Flexible Disk）等の磁気記録媒体、又はCD-ROM（Compact Disk Read Only Memory）などの光学記録媒体が挙げられる。

[0060] 上述した実施の形態の一部又は全部は、以下に記載する（付記1）～（付記6）によって表現することができるが、以下の記載に限定されるものではない。

[0061] （付記1）

論理回路を展開可能な領域を少なくとも2つ有する、回路構築部と、指定された論理回路を前記領域に展開する、回路制御部と、を備え、

前記回路制御部は、前記領域の一つに展開されている論理回路に対して、新たな論理回路への書き換えが指示された場合に、別の前記領域に前記新たな論理回路を展開し、前記新たな論理回路の展開が終了してから、前記領域の一つに先に展開されている前記論理回路の動作を停止させる、ことを特徴とする回路装置。

[0062] (付記 2)

論理回路を展開可能な領域を有する、回路構築部と、
指定された論理回路を前記領域に展開する、回路制御部と、を備え、
前記回路制御部は、前記領域に展開されている前記論理回路に対して、新たな論理回路への書き換えが指示された場合に、先に展開されている前記論理回路の代わりに、前記論理回路が実行すべき処理を実行すると共に、前記領域に前記新たな論理回路を展開し、前記新たな論理回路の展開が終了してから、前記処理の実行を停止する、ことを特徴とする回路装置。

[0063] (付記 3)

論理回路を展開可能な領域を少なくとも 2 つ有する、回路装置を用いた方法であって、(a) 前記回路装置が備えるプロセッサによって、指定された論理回路を前記領域に展開する、ステップと、
(b) 前記領域の一つに展開されている論理回路に対して、新たな論理回路への書き換えが指示された場合に、前記プロセッサによって、別の前記領域に前記新たな論理回路を展開し、前記新たな論理回路の展開が終了してから、前記領域の一つに先に展開されている前記論理回路の動作を停止させる、ステップと、
を有する、ことを特徴とする回路書き換え方法。

[0064] (付記 4)

論理回路を展開可能な領域を有する、回路装置を用いた方法であって、
(a) 前記回路装置が備えるコンピュータによって、指定された論理回路を前記領域に展開する、ステップと、

(b) 前記領域に展開されている前記論理回路に対して、新たな論理回路への書き換えが指示された場合に、前記コンピュータによって、先に展開されている前記論理回路の代わりに、前記論理回路が実行すべき処理を実行すると共に、前記領域に前記新たな論理回路を展開し、前記新たな論理回路の展開が終了してから、前記処理の実行を停止する、ステップと、
を有する、ことを特徴とする回路書き換え方法。

[0065] (付記5)

論理回路を展開可能な領域を少なくとも2つ有する回路装置に備えられたコンピュータに、

(a) 指定された論理回路を前記領域に展開する、ステップと、
(b) 前記領域の一つに展開されている論理回路に対して、新たな論理回路への書き換えが指示された場合に、別の前記領域に前記新たな論理回路を展開し、前記新たな論理回路の展開が終了してから、前記領域の一つに先に展開されている前記論理回路の動作を停止させる、ステップと、
を実行させる命令を含む、プログラムを記録したコンピュータ読み取り可能な記録媒体。

[0066] (付記6)

論理回路を展開可能な領域を有する回路装置に備えられたコンピュータに、

(a) 指定された論理回路を前記領域に展開する、ステップと、
(b) 前記領域に展開されている前記論理回路に対して、新たな論理回路への書き換えが指示された場合に、先に展開されている前記論理回路の代わりに、前記論理回路が実行すべき処理を実行すると共に、前記領域に前記新たな論理回路を展開し、前記新たな論理回路の展開が終了してから、前記処理の実行を停止する、ステップと、
を実行させる命令を含む、プログラムを記録したコンピュータ読み取り可能な記録媒体。

[0067] 以上、実施の形態を参照して本願発明を説明したが、本願発明は上記実施

の形態に限定されるものではない。本願発明の構成や詳細には、本願発明の
スコープ内で当業者が理解し得る様々な変更をすることができる。

[0068] この出願は、2016年04月28日に提出された日本出願特願2016-
090727を基礎とする優先権を主張し、その開示の全てをここに取り込
む。

産業上の利用可能性

[0069] 以上のように、本発明によれば、FPGAにおいて、処理を停止すること
なく、論理回路の書き換えを実行することができる。本発明は、FPGAに
特に有用である。

符号の説明

[0070] 10 回路装置（実施の形態1）
20 回路構築部
21、22 論理回路展開領域
30 回路制御部
40 記録媒体
50 回路装置（実施の形態2）
60 回路構築部
61 論理回路展開領域
70 回路制御部
110 コンピュータ
111 CPU
112 メインメモリ
113 バス
114 入力インターフェイス
115 データリーダー

請求の範囲

- [請求項1] 論理回路を展開可能な領域を少なくとも2つ有する、回路構築部と、
、
指定された論理回路を前記領域に展開する、回路制御部と、を備え、
、
前記回路制御部は、前記領域の一つに展開されている論理回路に対して、新たな論理回路への書き換えが指示された場合に、別の前記領域に前記新たな論理回路を展開し、前記新たな論理回路の展開が終了してから、前記領域の一つに先に展開されている前記論理回路の動作を停止させる、
ことを特徴とする回路装置。
- [請求項2] 論理回路を展開可能な領域を有する、回路構築部と、
指定された論理回路を前記領域に展開する、回路制御部と、を備え、
、
前記回路制御部は、前記領域に展開されている前記論理回路に対して、新たな論理回路への書き換えが指示された場合に、先に展開されている前記論理回路の代わりに、前記論理回路が実行すべき処理を実行すると共に、前記領域に前記新たな論理回路を展開し、前記新たな論理回路の展開が終了してから、前記処理の実行を停止する、
ことを特徴とする回路装置。
- [請求項3] 論理回路を展開可能な領域を少なくとも2つ有する、回路装置を用いた方法であって、（a）前記回路装置が備えるプロセッサによって、指定された論理回路を前記領域に展開する、ステップと、
（b）前記領域の一つに展開されている論理回路に対して、新たな論理回路への書き換えが指示された場合に、前記プロセッサによって、別の前記領域に前記新たな論理回路を展開し、前記新たな論理回路の展開が終了してから、前記領域の一つに先に展開されている前記論理回路の動作を停止させる、ステップと、

を有する、ことを特徴とする回路書き換え方法。

[請求項4] 論理回路を展開可能な領域を有する、回路装置を用いた方法であって、

(a) 前記回路装置が備えるコンピュータによって、指定された論理回路を前記領域に展開する、ステップと、

(b) 前記領域に展開されている前記論理回路に対して、新たな論理回路への書き換えが指示された場合に、前記コンピュータによって、先に展開されている前記論理回路の代わりに、前記論理回路が実行すべき処理を実行すると共に、前記領域に前記新たな論理回路を展開し、前記新たな論理回路の展開が終了してから、前記処理の実行を停止する、ステップと、

を有する、ことを特徴とする回路書き換え方法。

[請求項5] 論理回路を展開可能な領域を少なくとも2つ有する回路装置に備えられたコンピュータに、

(a) 指定された論理回路を前記領域に展開する、ステップと、

(b) 前記領域の一つに展開されている論理回路に対して、新たな論理回路への書き換えが指示された場合に、別の前記領域に前記新たな論理回路を展開し、前記新たな論理回路の展開が終了してから、前記領域の一つに先に展開されている前記論理回路の動作を停止させる、ステップと、

を実行させる命令を含む、プログラムを記録したコンピュータ読み取り可能な記録媒体。

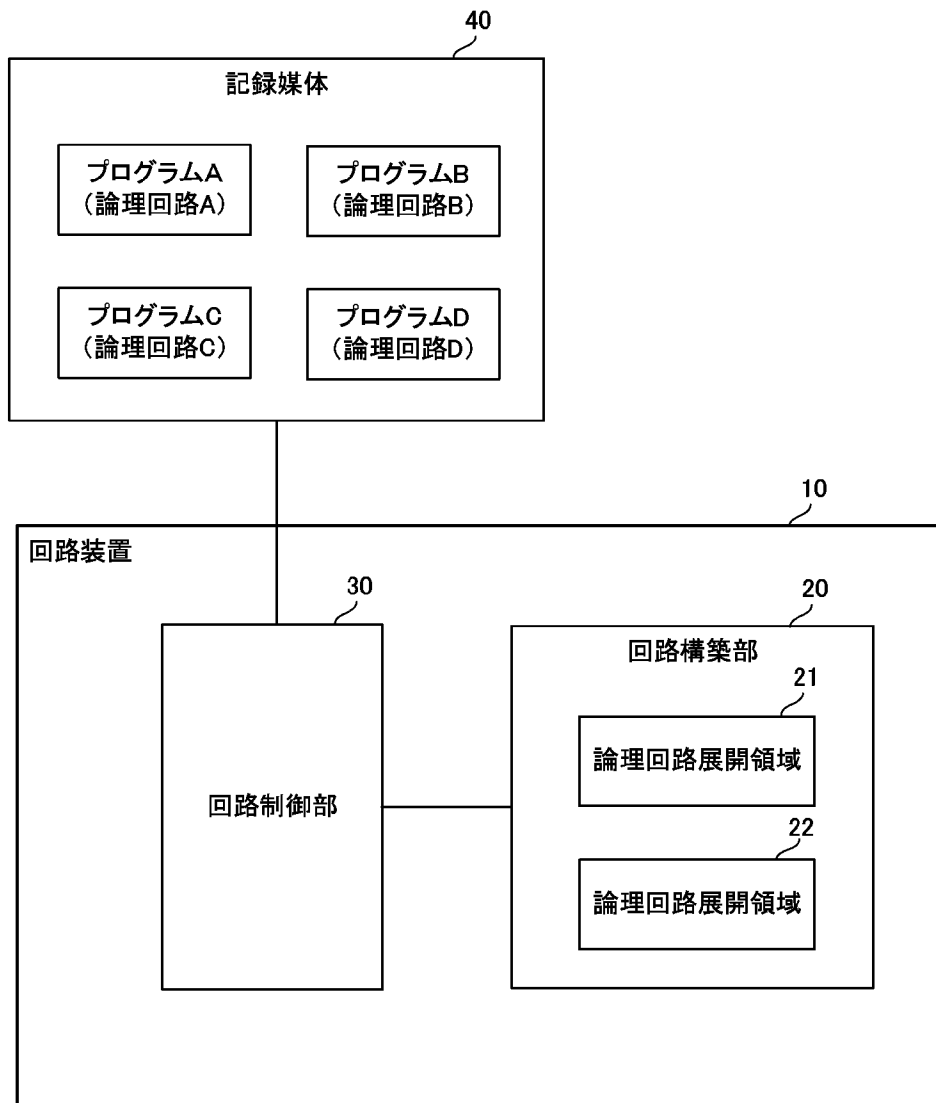
[請求項6] 論理回路を展開可能な領域を有する回路装置に備えられたコンピュータに、

(a) 指定された論理回路を前記領域に展開する、ステップと、

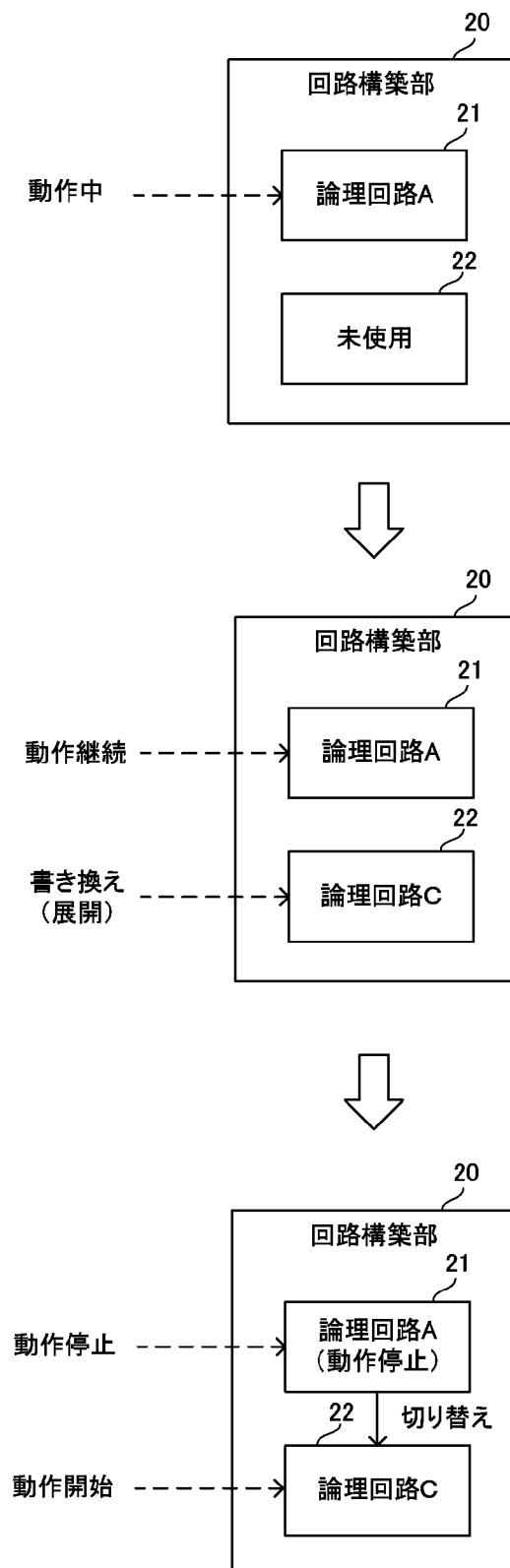
(b) 前記領域に展開されている前記論理回路に対して、新たな論理回路への書き換えが指示された場合に、先に展開されている前記論理回路の代わりに、前記論理回路が実行すべき処理を実行すると共に、

前記領域に前記新たな論理回路を展開し、前記新たな論理回路の展開が終了してから、前記処理の実行を停止する、ステップと、
を実行させる命令を含む、プログラムを記録したコンピュータ読み取り可能な記録媒体。

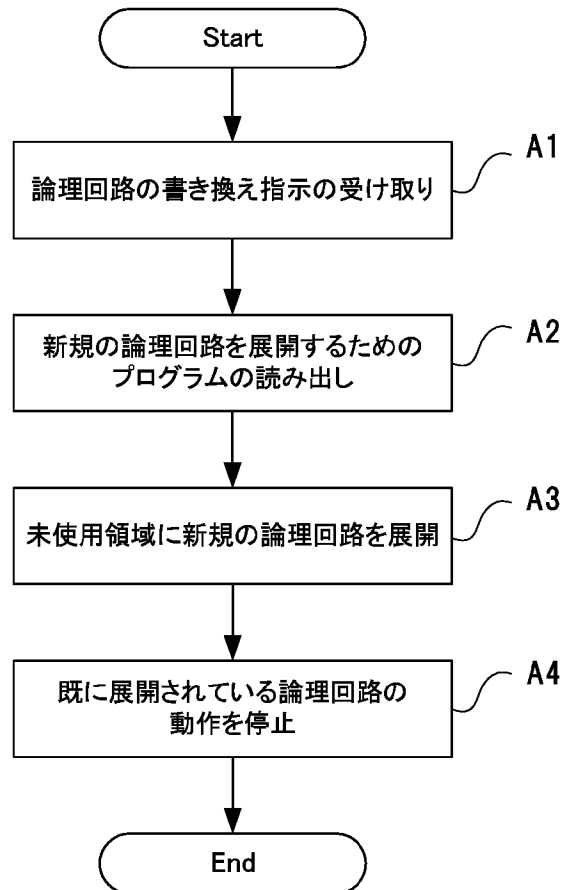
[図1]



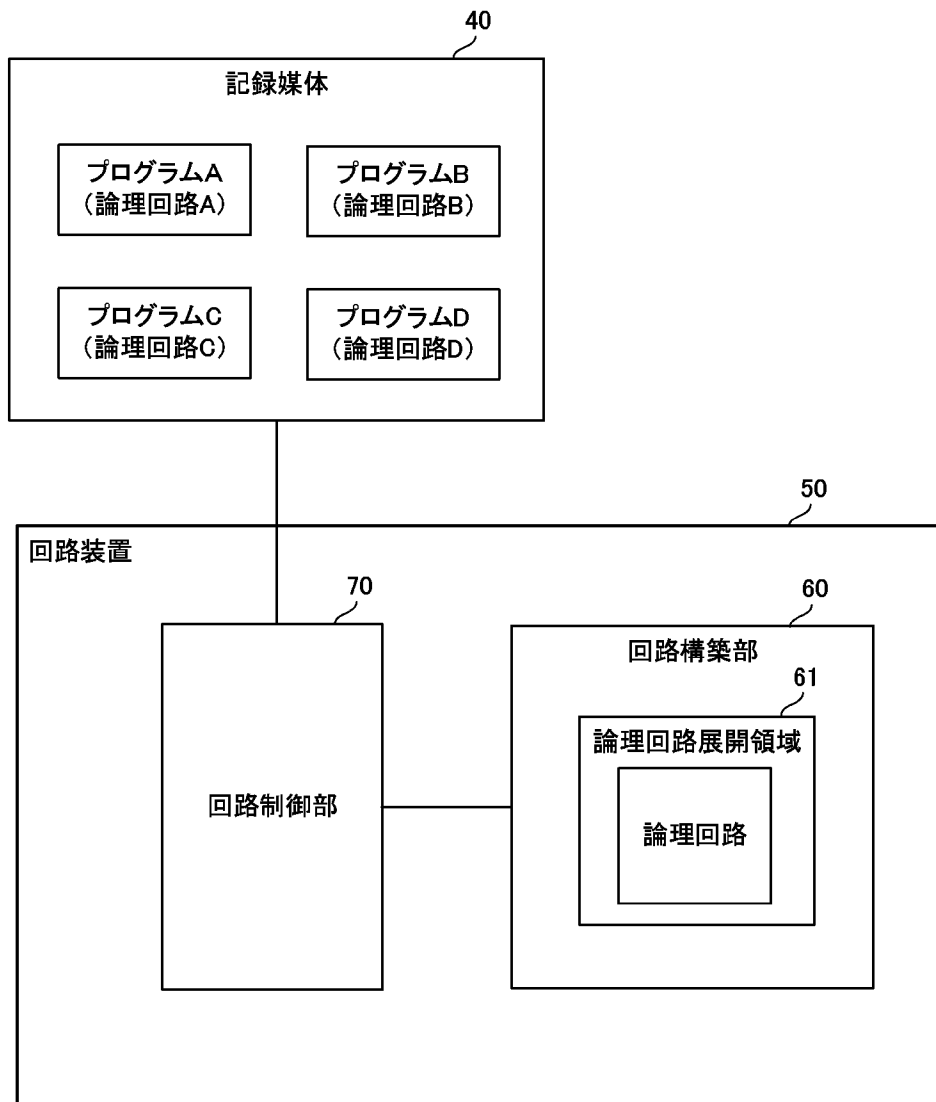
[図2]



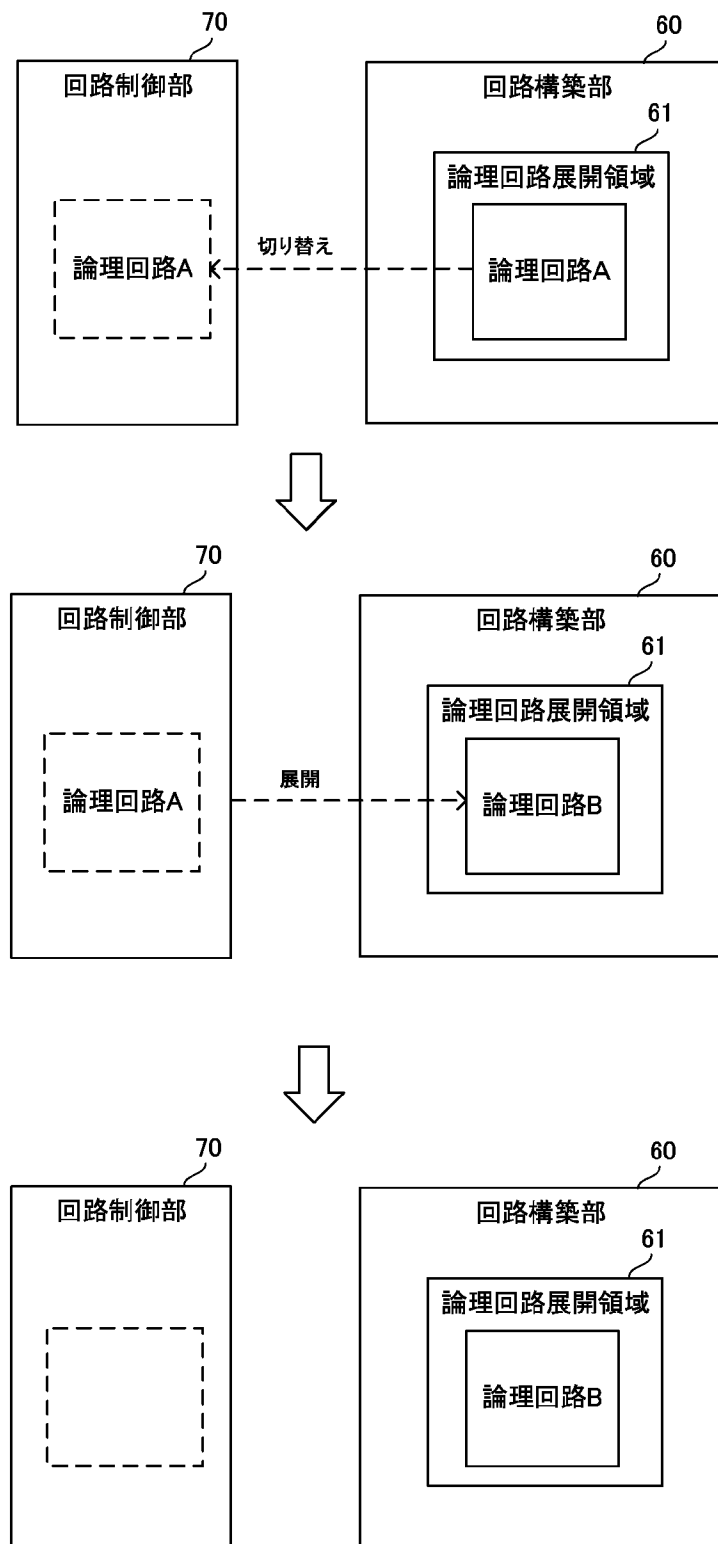
[図3]



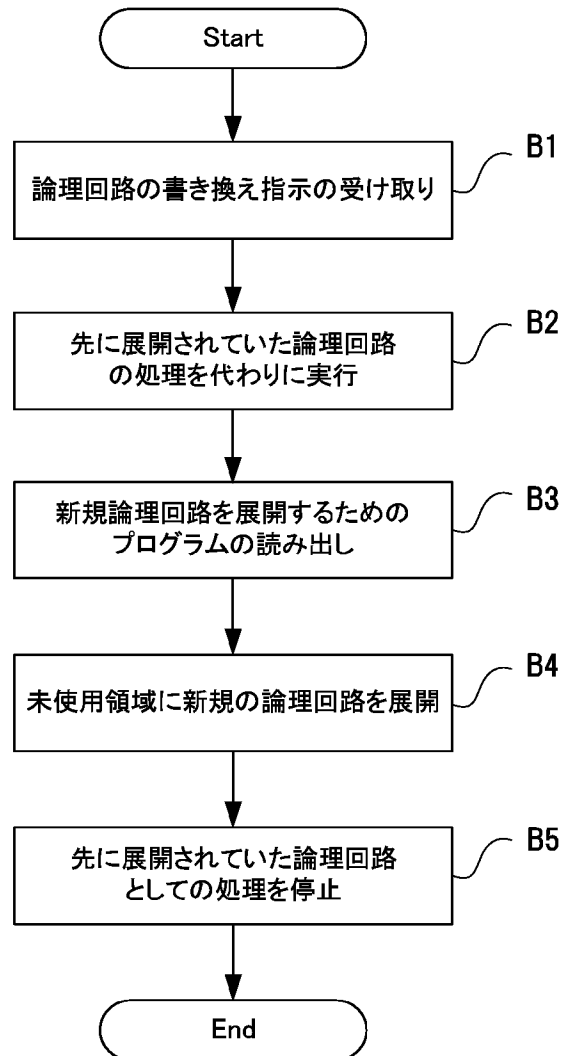
[図4]



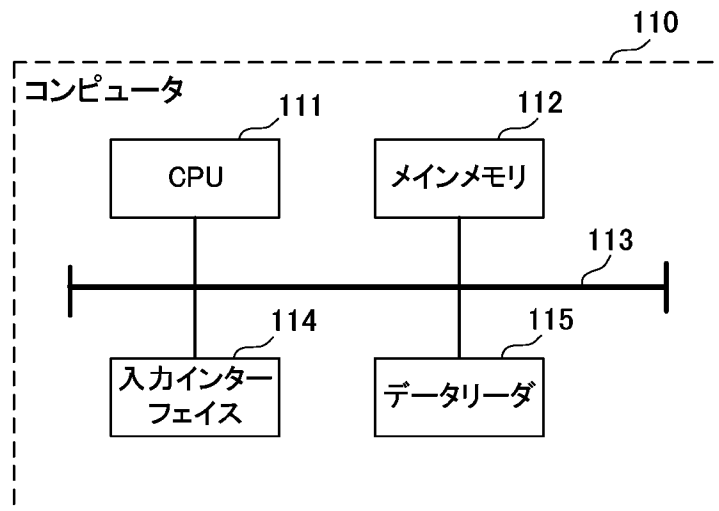
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/016865

A. CLASSIFICATION OF SUBJECT MATTER

H03K19/177(2006.01)i, G06F11/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K19/177, G06F11/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2014-138382 A (Sumitomo Electric Industries, Ltd.), 28 July 2014 (28.07.2014), paragraphs [0010], [0037] to [0084]; fig. 1 to 6 (Family: none)	1, 3, 5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 July 2017 (18.07.17)

Date of mailing of the international search report
25 July 2017 (25.07.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/016865

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
1, 3, 5

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/016865

Continuation of Box No.III of continuation of first sheet(2)

Document 1: JP 2014-138382 A (Sumitomo Electric Industries, Ltd.)
28 July 2014 (28.07.2014), paragraphs [0010], [0037] to [0084]; fig.
1 to 6 (Family: none)

Claims are classified into the following two inventions.

(Invention 1) claims 1, 3, 5

Document 1 describes a circuit device (signal processing device 101 corresponds thereto) characterized by being provided with a circuit construction unit (process blocks 21 to 25 correspond thereto) having at least two areas (process blocks 21 to 25 correspond thereto) where a logic circuit can be developed, and a circuit control unit (block control unit 40 and CPU 102 correspond thereto) that develops a specified logic circuit in the areas, and characterized in that the circuit control unit develops, in the case where an instruction to perform rewrite to a new logic circuit is given to the logic circuit (process block 24 corresponds thereto) developed in one of the areas, a new logic circuit in a different area (process block 25 corresponds thereto), and stops an operation of a logic circuit developed in a preceding area after developing the new logic circuit is terminated (see, in particular, paragraphs [0010], [0037] to [0084], and Figs. 1 to 6). Claim 1 is not novel over document 1, and thus does not have a special technical feature.

Consequently, claim 1 is classified into Invention 1.

In addition, claims 3, 5 are classified into Invention 1, since these claims have a relationship such that these claims are substantially same as or equivalent to claim 1.

(Invention 2) claims 2, 4, 6

It is not considered that claims 2, 4, 6 have a technical feature which is same as or corresponding to claim 1 classified into Invention 1.

Further, claims 2, 4, 6 are not dependent on claim 1.

Further, claims 2, 4, 6 have no relationship such that these claims are substantially same as or equivalent to any claim classified into Invention 1.

Consequently, claims 2, 4, 6 cannot be classified into Invention 1.

Further, claims 2, 4, and 6 are classified into Invention 2 because of having a special technical feature that the circuit control unit "executes, in the case where an instruction to perform rewrite to a new logic circuit is given to the logic circuit developed in the area, a process that should be executed by the logic circuit instead of the logic circuit previously developed, develops the new logic circuit in the area, and stops execution of the process after developing the new logic circuit is terminated".

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03K19/177(2006.01)i, G06F11/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03K19/177, G06F11/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2014-138382 A（住友電気工業株式会社）2014.07.28, 段落 [0010], [0037] - [0084], 図1-6（ファミリーなし）	1, 3, 5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

18.07.2017

国際調査報告の発送日

25.07.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

及川 尚人

5W

5888

電話番号 03-3581-1101 内線 3576

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
特別ページ参照

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

1, 3, 5

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

文献１：JP 2014-138382 A（住友電気工業株式会社）
2014.07.28, 段落 [0010], [0037] - [0084], 図 1-6
(ファミリーなし)

請求の範囲は、以下の２つの発明に区分される。

(発明１) 請求項 1、3、5

文献１には、論理回路を展開可能な領域（処理ブロック 21 - 25 が相当する。）を少なくとも２つ有する、回路構築部（処理ブロック 21 - 25 が相当する。）と、指定された論理回路を領域に展開する、回路制御部（ブロック制御部 40 と CPU 102 が相当する。）と、を備え、回路制御部は、領域の一つに展開されている論理回路（処理ブロック 24 が相当する。）に対して、新たな論理回路への書き換えが指示された場合に、別の領域（処理ブロック 25 が相当する。）に新たな論理回路を展開し、新たな論理回路の展開が終了してから、領域の一つに先に展開されている論理回路の動作を停止させる、ことを特徴とする回路装置（信号処理装置 101 が相当する。）が記載されており（特に、段落 [0010], [0037] - [0084], 図 1-6 を参照されたい。）、請求項 1 は、文献１により新規性が欠如しているため、特別な技術的特徴を有しない。したがって、請求項 1 を発明 1 に区分する。

また、請求項 3、5 は、請求項 1 と実質同一又はそれに準ずる関係にあるので発明 1 に区分する。

(発明２) 請求項 2、4、6

請求項 2、4、6 は、発明 1 に区分された請求項 1 と、同一の又は対応する技術的特徴を有しているとはいえない。

また、請求項 2、4、6 は、請求項 1 の従属項でもない。さらに、請求項 2、4、6 は、発明 1 に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。

したがって、請求項 2、4、6 は、発明 1 に区分できない。

そして、請求項 2、4、6 は、前記回路制御部が、「前記領域に展開されている前記論理回路に対して、新たな論理回路への書き換えが指示された場合に、先に展開されている前記論理回路の代わりに、前記論理回路が実行すべき処理を実行すると共に、前記領域に前記新たな論理回路を展開し、前記新たな論理回路の展開が終了してから、前記処理の実行を停止する」、という特別な技術的特徴を有しているので、発明 2 に区分する。