

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012 年 10 月 26 日 (26.10.2012)



(10) 国际公布号
WO 2012/142735 A1

- (51) 国际专利分类号:
H01L 27/112 (2006.01) H01L 29/788 (2006.01)
H01L 21/8246 (2006.01) H01L 45/00 (2006.01)
- (21) 国际申请号: PCT/CN2011/001352
- (22) 国际申请日: 2011 年 8 月 15 日 (15.08.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110101360.7 2011 年 4 月 22 日 (22.04.2011) CN
- (71) 申请人 (对除美国外的所有指定国): **复旦大学 (FUDAN UNIVERSITY)** [CN/CN]; 中国上海市邯郸路 220 号, Shanghai 200433 (CN)。
- (72) 发明人; 及
- (75) 发明人/申请人 (仅对美国): **王鹏飞 (WANG, Peng-fei)** [CN/CN]; 中国上海市邯郸路 220 号, Shanghai 200433 (CN)。 **林曦 (LIN, Xi)** [CN/CN]; 中国上海市邯郸路 220 号, Shanghai 200433 (CN)。 **孙清清 (SUN, Qingqing)** [CN/CN]; 中国上海市邯郸路 220 号, Shanghai 200433 (CN)。 **张卫 (ZHANG, Wei)** [CN/CN]; 中国上海市邯郸路 220 号, Shanghai 200433 (CN)。

(74) 代理人: 中国商标专利事务所有限公司 (CHINA TRADEMARK & PATENT LAW OFFICE CO., LTD.); 中国北京市西城区月坛南街 14 号月新大厦, Beijing 100045 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

根据细则 4.17 的声明:

— 发明人资格(细则 4.17(iv))

[见续页]

(54) Title: SEMICONDUCTOR MEMORY STRUCTURE AND METHOD FOR MANUFACTURING SAME

(54) 发明名称: 一种半导体存储器结构及其制造方法

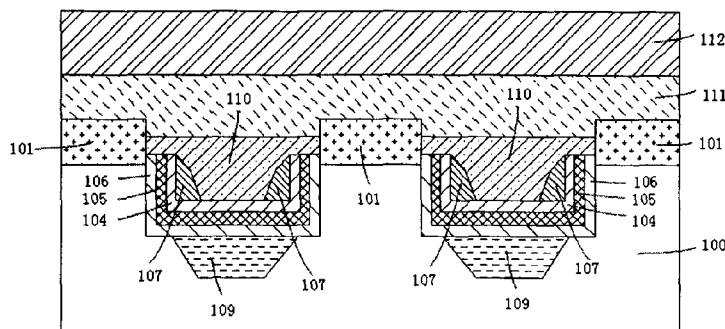


图13 /Fig.13

(57) Abstract: Provided is a semiconductor memory structure and a method for manufacturing the same, relating to the technical field of micro-electronic devices. The semiconductor memory performs, for example, erase operation and read operation control on a phase change memory or a resistive random access memory using a tunnelling field effect transistor. On one hand, the forward bias p-n junction current of the tunnelling field effect transistor can measure up to the feature that the phase change memory or the resistive random access memory requires a relatively large current to carry out the erase operation; on the other hand, the field effect transistor of a vertical structure can greatly increase the density of the memory device array. The semiconductor memory structure is manufactured using the self-aligning process, which is suitable for manufacturing memory chips.

[见续页]



WO 2012/142735 A1



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(57) 摘要:

提供一种半导体存储器结构及其制造方法,其属于微电子器件技术领域。该半导体存储器采用隧穿场效应晶体管对相变存储器或阻变存储器进行例如擦写操作和读操作的控制。一方面,隧穿场效应晶体管的正向偏置 p-n 结电流可以满足相变存储器或阻变存储器需要较大电流来进行擦写操作的特点;另一方面,垂直结构的场效应晶体管可以大大提高存储器件阵列的密度。半导体存储器结构采用自对准工艺来制造,适用于存储器芯片的制造。

一种半导体存储器结构及其制造方法

技术领域

5 本发明属于微电子器件技术领域，具体涉及一种半导体存储器结构及其制造方法，特别涉及一种采用隧穿场效应晶体管对相变存储器和阻变存储器进行控制的半导体存储器结构及其制造方法。

背景技术

Flash 浮栅存储器是实现断电保存信息的一种半导体存储器件。图 1 为现有技术一个半导体存储器件的等效电路图。如图 1 所示，存储器件由晶体管 313 和存储单元 314 组成，并且晶体管 313 和存储单元 314 被串联连接在位线 315 和源电位 312 之间，字线 311 用于晶体管 313 的开关控制。要存取存储单元 314 中的储存的数据时，字线 311 施加电压于晶体管 313，且开启晶体管 313，同时，位线 315 施加电压于存储单元 314，使得一读取电流经过存储单元 314 及晶体管 313。基于输出电流的大小，储存在存储单元 314 中的数据得以被读取。

20 随着集成电路器件技术的不断发展，半导体器件的尺寸不断缩小，使得集成电路的设计朝着片上系统集成（SOC）的方向发展，而实现 SOC 的一个关键技术就是低功耗、高密度、存取速度快的片上存储器的集成。如今的集成电路器件技术已经处于 30nm 左右，但是传统 Flash 浮栅存储器由于耦合比和电压较高等问题，很难缩小到 30nm 以下，因此新型的 Flash 浮栅存储器的开发成为了当前研究的热点。相变存储器和阻变存储器都可以作为新型的存储器。

25 相变存储器（phase change memory）是利用硫族化合物在晶态和非晶态时的巨大导电性差异来存储数据的。相变硫族化合物在由无定形相转向结晶相时会表现出可逆的相变现象，在无定形相时，材料是高度无序的状态，不存在晶体的网格结构。在此种状态下，材料具有高阻抗和高反射率。相反地，在结晶相，材料具有规律的晶体结构，具有低阻抗和低反射率。相变存储器利用的就是两相间的阻抗差。由电流注入产生的剧烈的热量可以引发材料的相变。相变后的材料性质由注入的电流、电压及操作时间决定。与传统的 Flash 浮栅存储器相比，相变存储器具有更快的写入和擦除速度和更好的缩放比例。

阻变存储器的信息读写是依靠读取或者改变阻变材料的电阻来实现的。通常的阻变材料具有高阻和低阻两种状态。与当前大多数半导体存储器的存储原理相同,阻变存储器并不依靠电容式结构中所存储的电荷量来存储信息,而是依靠材料本身的电阻率的改变来存储信息。由于材料本身的电阻率与材料的尺度无关,因此理论上阻变存储器的存储性能并不会随着器件尺寸的缩小而退化。这就决定了阻变存储器潜在的集成能力远远高于当前主流的Flash 浮栅存储器。另一方面,阻变存储器的器件结构简单,可以非常容易地实现与现有的CMOS 生产工艺的集成。

但是相变存储器和阻变存储器都需要较大的擦写电流,因此需要特殊的阵列存取器件对其进行擦写。

发明的公开

本发明的目的在于提出一种可以用较小的电流对半导体存储器进行读、写等操作的半导体存储器结构。

本发明提出的半导体存储器结构,包括至少一个电阻可变的存储单元和一个用于对半导体存储器进行操作的隧穿场效应晶体管结构;其中,所述的隧穿场效应晶体管包括至少一个源极、一个漏极,一个低掺杂沟道区和一个栅极,所述隧穿场效应晶体管的栅极连至字线,源极连至源线,可变电阻的两端分别连至位线和所述隧穿场效应晶体管的漏极。

所述的隧穿场效应晶体管的漏极处于一个垂直于水平表面的平台结构的顶部,该平台结构采用的是半导体衬底材料,所述的源极处于该平台结构底部向外延伸的衬底内,所述的低掺杂沟道区处于所述漏极与源极之间,所述的栅极将该平台结构的低掺杂区以下的部位覆盖以控制通过沟道区域的源极与漏极之间的电流大小。

所述的电阻可变的存储器单元由相变材料构成或者阻变材料构成,并且所述的电阻可变的存储器单元与所述隧穿场效应晶体管的源极或者漏极相连,所述隧穿场效应晶体管的栅极可以控制通过所述存储器单元的电流,从而实现对该存储器单元的读写操作。

所述的半导体衬底为单晶硅、多晶硅或者绝缘体上的硅(SOI)。所述的栅极是一个叠层结构,其包括至少一个导电层和一个将所述导电层与所述半导体衬底隔离的绝缘层,所述的导电层为多晶硅、无定形硅、钨金属、氮化钛、氮化钽或者金属硅化物,所述的绝缘层为SiO₂、HfO₂、HfSiO、HfSiON、SiON 或Al₂O₃,或者它们之中几种的混合物。并且,所述的栅极导电层环绕

在垂直的低掺杂沟道区周围形成边墙结构。

由于隧穿场效应晶体管是栅控的二极管结构，当隧穿场效应晶体管的 p-n 结正向偏置时该器件可以通过大电流，从而可以满足对阻变存储器和相变存储器进行写入的大电流要求。

5 本发明还提供了一种上述半导体存储器结构的制造方法，该方法包括下列步骤：提供一个半导体衬底；在所述衬底上注入离子形成第一种掺杂类型的区域；形成第一层绝缘薄膜；对第一层绝缘薄膜和半导体衬底进行刻蚀形成柱状的有源区；依次淀积形成高 K 材料介质层、导电层和多晶硅层；对多晶硅层进行刻蚀形成边墙以及用于进行离子注入的开口；进行离子注入形成
10 第二种掺杂类型的区域；对高 K 材料介质层、导电层和多晶硅层进行刻蚀，并刻蚀掉剩余的第一层绝缘薄膜；淀积形成一层氧化物介质层，并对其进行刻蚀形成通孔结构；依次淀积形成阻变材料薄膜和金属层，再对阻变材料薄膜和金属层进行刻蚀形成位线。

15 所述的半导体衬底为单晶硅、多晶硅或者绝缘体上的硅(SOI)，所述第一种掺杂类型为 n 型，所述的第二种掺杂类型为 p 型，或者掺杂类型互调。

所述的第一层绝缘薄膜为 SiO_2 、 Si_3N_4 或者它们之间相混合的绝缘材料，阻变材料薄膜为 ZnO_2 、 CuO 、low-k 材料或者 GeSbTe 材料，金属层为 TiN、Ti、Ta、或者 TaN。

20 采用本发明提出的制造方法后，栅极、漏极和源极是自对准的。而且，由于所述第一种掺杂的深度小于柱状有源区的高度，隧穿场效应晶体管的栅长可以由改变刻蚀的条件来控制。这种方法使存储器器件制造工序简化，并且制程更加稳定。

附图的简要说明

图 1 为当前技术一个半导体存储器器件的等效电路图。

25 图 2、图 4、图 5、图 7、图 8、图 10、图 12、图 13 和图 15 为本发明所提供的一种半导体存储器器件的实施工艺的截面图。

图 3 为对第一层绝缘薄膜和半导体衬底进行刻蚀形成柱状有源区结构时的俯视图。

图 6 为对多晶硅层进行刻蚀时的俯视图。

30 图 9 为对栅介质层和第一层绝缘薄膜进行刻蚀时的俯视图。

图 11 为对氧化物介质层进行刻蚀时的俯视图。

图 14 为对阻变材料薄膜和金属层进行刻蚀时的俯视图。

图 16 为图 15 所示半导体存储器器件的等效电路图。

实现本发明的最佳方式

5 下面将参照附图对本发明的一个示例性实施方式作详细说明。在图中，为了方便说明，放大了层和区域的厚度，所示大小并不代表实际尺寸。尽管这些图并不是完全准确的反映出器件的实际尺寸，但是它们还是完整的反映了区域和组成结构之间的相互位置，特别是组成结构之间的上下和相邻关系。

10 图 16 为 4 个本发明提出的半导体存储器并联时的电路图。可以看到本发明提出的半导体存储器结构包括至少一个电阻可变的存储单元和一个用于对半导体存储器进行操作的隧穿场效应晶体管结构。所述的隧穿场效应晶体管包括至少一个源极、一个漏极，一个低掺杂沟道区和一个栅极。以图 16 最左边的隧穿场效应晶体管 305a 与可变电阻 304a 组成的半导体存储器结构为例，通常组成半导体芯片进行操作时，所述隧穿场效应晶体管的栅极会连至字线 303a，源极连至源线 302，可变电阻 304a 的两端分别连至隧穿场效应晶体管 305a 的漏极与位线 301。这样可以通过控制隧穿场效应晶体管 305a 来控制通过可变电阻 304a 的电流并进行控制。

20 图 15 为沿着图 14 中位线 112 的剖面图。可以看到所述的隧穿场效应晶体管的漏极 101 处于一个垂直于水平表面的平台结构的顶部，该平台结构采用的是与半导体衬底 100 相同的材料，所述的源极 109 处于所述平台结构底部向外延伸的衬底内，所述的低掺杂沟道区处于所述漏极 101 与源极 109 之间，可以等同于原衬底的掺杂，所述的栅极 107 将该平台结构的低掺杂区以下的部位覆盖以控制通过沟道区域的源极与漏极之间的电流大小。

25 所述的电阻可变的存储器单元 111 由相变材料构成或者阻变材料构成，并且所述的电阻可变的存储器单元与所述隧穿场效应晶体管的漏极相连。如图 15 所示，电阻可变的存储器单元为 111，处于隧穿场效应晶体管的漏极于位线 112 之间。当漏极 101 与位线 112 之间有电压差时，会导致电阻可变的存储器单元 111 中有电流通过。所述隧穿场效应晶体管的栅极 107 可以控制通过所述存储器单元 111 的电流，从而实现对该存储器单元的读写操作。

30 所述的半导体衬底为单晶硅、多晶硅或者绝缘体上的硅(SOI)。所述的栅极是一个叠层结构，其包括至少一个导电层和一个将所述导电层与所述半导

体衬底隔离的绝缘层,所述的导电层为多晶硅、无定形硅、钨金属、氮化钛、氮化钽或者金属硅化物,所述的绝缘层为 SiO_2 、 HfO_2 、 HfSiO 、 HfSiON 、 SiON 、 Al_2O_3 或者它们之间的混合物。并且,所述的栅极导电层环绕在垂直的低掺杂沟道区周围形成边墙结构。

5 所述的电阻可变的存储器单元由相变材料构成或者阻变材料构成。所述的电阻可变的存储器单元与所述隧穿场效应晶体管的源极或者漏极相连。这样,隧穿场效应晶体管的栅极可以控制通过所述存储器单元的电流。

10 由于隧穿场效应晶体管是栅控的二极管结构,当隧穿场效应晶体管的 p-n 结正向偏置时该器件可以通过大电流,从而可以满足对阻变存储器和相变存储器进行写入的大电流要求。如果是用相同大小的 MOSFET (金属-氧化物-半导体场效应晶体管) 这种传统器件是很难达到这个大电流的。

下面是本发明提出的新型半导体存储器结构的制造方法实施例。

15 参考图是本发明的理想化实施例的示意图,本发明所示的实施例不应该被认为仅限于图中所示区域的特定形状,而是包括所得到的形状,比如制造引起的偏差。例如刻蚀得到的曲线通常具有弯曲或圆润的特点,但在本发明实施例中,均以矩形表示,图中的表示是示意性的,但这不应该被认为是限制本发明的范围。同时在下文的描述中,所使用的术语衬底可以理解为包括正在工艺加工中的半导体衬底,可能包括在其上所制备的其它薄膜层。

20 请参照图 2,提供一个半导体衬底 100,然后进行 n 型离子注入形成掺杂的区域 101。

接下来,在提供的半导体衬底上依次淀积形成薄膜 102 和薄膜 103,比如光阻层,然后刻蚀部分薄膜 103、薄膜 102 和半导体衬底形成开口 201 和开口 202,如图 4,这样就可以形成柱状的有源区。薄膜 102 为 SiO_2 、 Si_3N_4 或者它们之间相混合的绝缘材料,薄膜 103 为光阻层。

25 需要注意的是,在上述刻蚀过程中,之前形成的掺杂区域 101 也会部分被刻蚀掉,因此,隧穿场效应晶体管的栅长可以由改变刻蚀的条件来控制。图 3 为进行此次刻蚀时的俯视图。

30 接下来,去除薄膜 103,然后依次淀积形成薄膜 104、薄膜 105、薄膜 106、薄膜 107 和薄膜 108,薄膜 104 比如为 SiO_2 ,薄膜 105 为高 k 介质层,薄膜 106 比如为 TiN 或者 TaN,薄膜 107 比如为多晶硅,薄膜 108 为光阻层,如图 5。

如图 7, 对薄膜 107 进行刻蚀, 然后去除剩余的薄膜 108, 图 6 为本步骤进行刻蚀时的俯视图。

接下来进行 p 型离子注入形成掺杂的区域 109, 如图 8。

5 接下来, 按如图 10 所示, 对薄膜 104、薄膜 105 和膜 106 进行刻蚀, 图 9 为进行刻蚀时的俯视图。

接下来, 淀积形成一层薄膜 110 比如为 SiO_2 层, 然后将薄膜 110 刻蚀成槽结构, 如图 12, 图 11 为进行刻蚀时的俯视图。

10 再接下来, 依次淀积形成薄膜 111 和薄膜 112, 如图 13。薄膜 111 比如为 ZnO_2 、 CuO 或者 low-k 材料, 薄膜 112 为金属可以为 TiN 、 Ti 、 Ta 、或者 TaN 。

最后对薄膜 111 和薄膜 112 进行刻蚀形成如图 15 所示的结构, 图 14 为形成如图 15 所示结构时的俯视图。

15 图 16 为图 15 所示半导体存储器器件的等效电路图。如图 16 所示, 图 15 中薄膜 111 形成的存储单元 304a、304b、304c 和 304d 与位线 301 相连, 隧穿场效应晶体管 305a、305b、305c 和 305d 分别与存储单元 304a、304b、304c 和 304d 相串联, 并且隧穿场效应晶体管 305a、305b、305c 和 305d 的另一端与基准电压布线 302 相连, 位线 303a、303b、303c 和 303d 分别用于场效应晶体管 305a、305b、305c 和 305d 的开关控制。

20 这样一个采用隧穿场效应晶体管对半导体存储器进行比如擦写、读等操作的半导体存储器结构就形成了。

工业应用性

25 根据本发明, 半导体存储器采用隧穿场效应晶体管对相变存储器或阻变存储器进行比如擦写操作和读操作的控制, 一方面, 隧穿场效应晶体管的正向偏置 p-n 结电流可以满足相变存储器或阻变存储器需要较大的电流来进行擦写操作的特点; 另一方面, 垂直结构的场效应晶体管可以大大提高存储器阵列的密度。本发明还公开了一种使用自对准工艺来制造所述半导体存储器结构的方法, 非常适用于存储器芯片的制造。

30 如上所述, 在不偏离本发明精神和范围的情况下, 还可以构成许多有很大差别的实施例。应当理解, 除了如所附的权利要求所限定的, 本发明不限于在说明书中所述的具体实例。

权利要求

1、一种半导体存储器结构，其特征在于，该结构包括至少一个电阻可变的存储单元和一个用于对半导体存储器进行操作的隧穿场效应晶体管结构；

5 其中，所述的隧穿场效应晶体管包括至少一个源极、一个漏极，一个低掺杂沟道区和一个栅极；

所述隧穿场效应晶体管的栅极连至字线，源极连至源线，所述可变电阻的两端分别连至位线和所述隧穿场效应晶体管的漏极；

10 所述的隧穿场效应晶体管的漏极处于一个垂直于水平表面的平台结构的顶部，该平台结构采用的是半导体衬底材料，所述的源极处于所述平台结构底部向外延伸的衬底内，所述的低掺杂沟道区处于所述漏极与源极之间，所述的栅极将该平台结构的低掺杂区以下的部位覆盖以控制通过沟道区域的源极与漏极之间的电流大小。

15 2、根据权利要求 1 所述的半导体存储器结构，所述的半导体衬底为单晶硅、多晶硅或者绝缘体上的硅。

20 3、根据权利要求 1 所述的半导体存储器结构，其特征在于，所述的栅极是一个叠层结构，其包括至少一个导电层和一个将所述导电层与所述半导体衬底隔离的绝缘层；所述的导电层为多晶硅、无定形硅、钨金属、氮化钛、氮化钽或者金属硅化物，所述的绝缘层为 SiO_2 、 HfO_2 、 HfSiO 、 HfSiON 、 SiON 或 Al_2O_3 ，或者它们之中几种的混合物。

4、根据权利要求 3 所述的半导体存储器结构，其特征在于，所述的栅极导电层环绕在垂直的低掺杂沟道区周围形成边墙结构。

5、根据权利要求 1 或 4 所述的半导体存储器结构，其特征在于，所述的电阻可变的存储器单元由相变材料构成或者阻变材料构成。

25 6、根据权利要求 1 或 4 所述的半导体存储器结构，其特征在于，所述的电阻可变的存储器单元与所述隧穿场效应晶体管的源极或者漏极相连，所述隧穿场效应晶体管的栅极可以控制通过所述存储器单元的电流。

7、一种半导体存储器结构的制造方法，其特征在于，该方法包括下列步骤：

30 提供一个半导体衬底；

在所述衬底上注入离子形成第一种掺杂类型的区域;

形成第一层绝缘薄膜;

对第一层绝缘薄膜和半导体衬底进行刻蚀, 形成多个柱状的硅有源区;

依次淀积形成高 K 材料介质层、导电层和多晶硅层;

5 对多晶硅层进行各向异性刻蚀, 形成围绕垂直的沟道的边墙结构;

进行离子注入形成第二种掺杂类型的区域;

对高 K 材料介质层、导电层和多晶硅层进行刻蚀, 并刻蚀掉剩余的第一层绝缘薄膜;

淀积形成一层氧化物介质层, 并对其进行刻蚀形成通孔结构;

10 依次淀积形成阻变材料薄膜和金属层, 再对阻变材料薄膜和金属层进行刻蚀形成位线。

8、根据权利要求 7 所述的方法, 其特征在于, 所述的半导体衬底为单晶硅、多晶硅或者绝缘体上的硅。

15 9、根据权利要求 7 所述的方法, 其特征在于, 所述第一种掺杂类型为 n 型, 所述的第二种掺杂类型为 p 型; 或者所述第一种掺杂类型为 p 型, 所述的第二种掺杂类型为 n 型。

20 10、根据权利要求 7 所述的方法, 其特征在于, 所述的第一层绝缘薄膜为 SiO_2 、 Si_3N_4 或者它们之间相混合的绝缘材料; 所述的阻变材料薄膜为 ZnO_2 、 CuO 、low-k 材料或者 GeSbTe 材料; 所述的金属层为 TiN、Ti、Ta、或者 TaN。

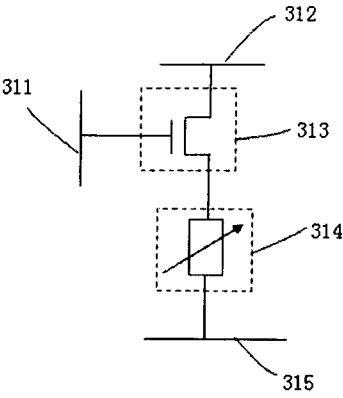


图1

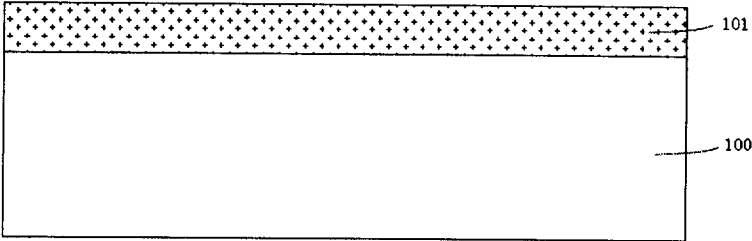


图 2

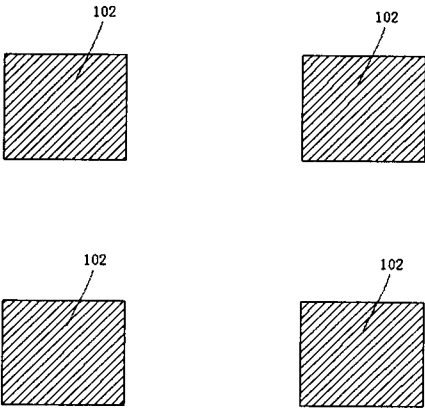


图 3

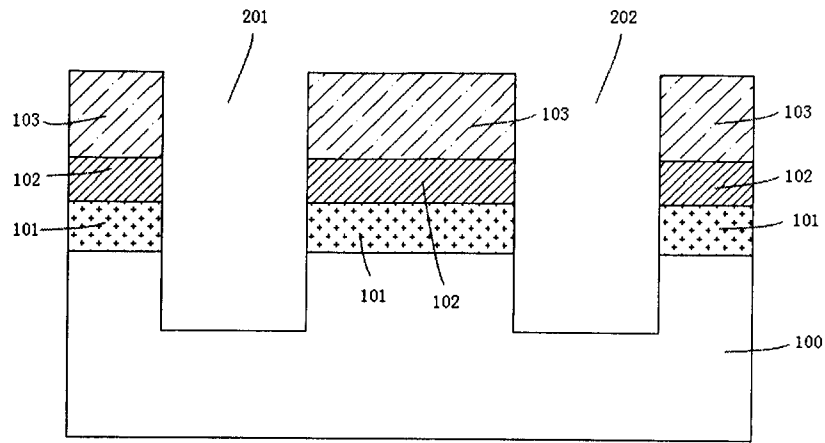


图4

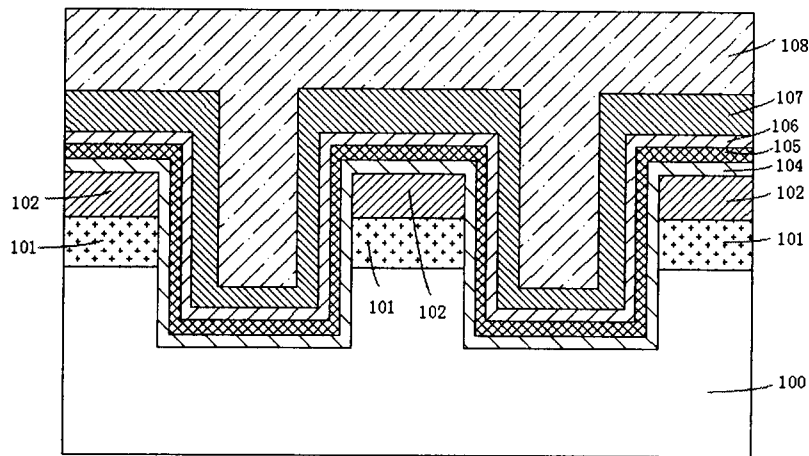


图5

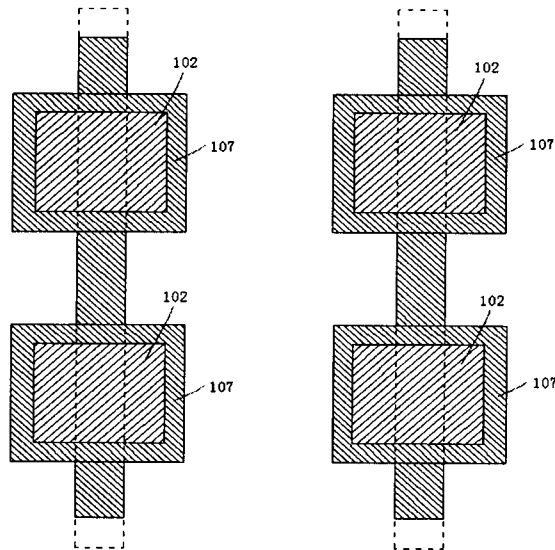


图6

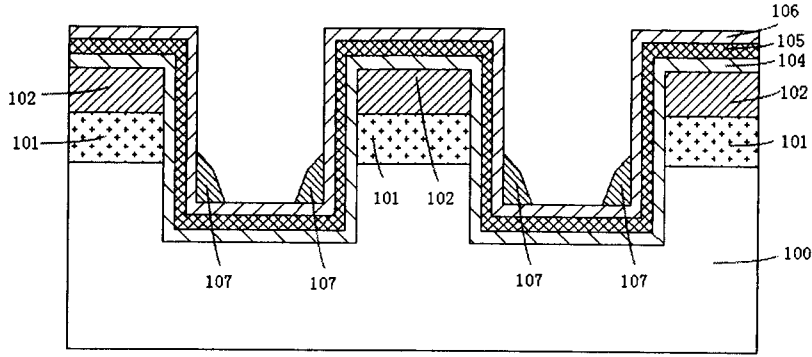


图7

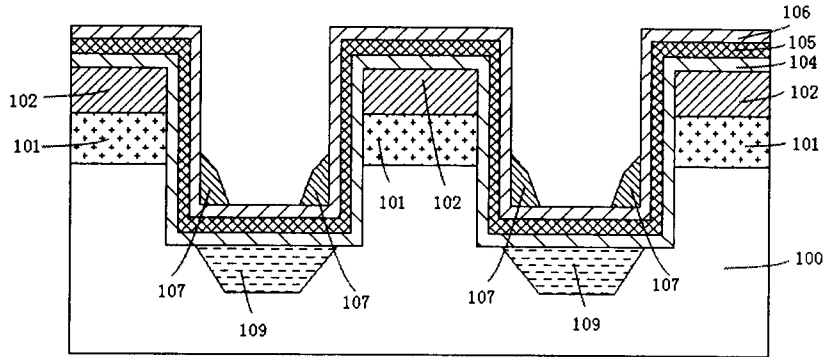


图8

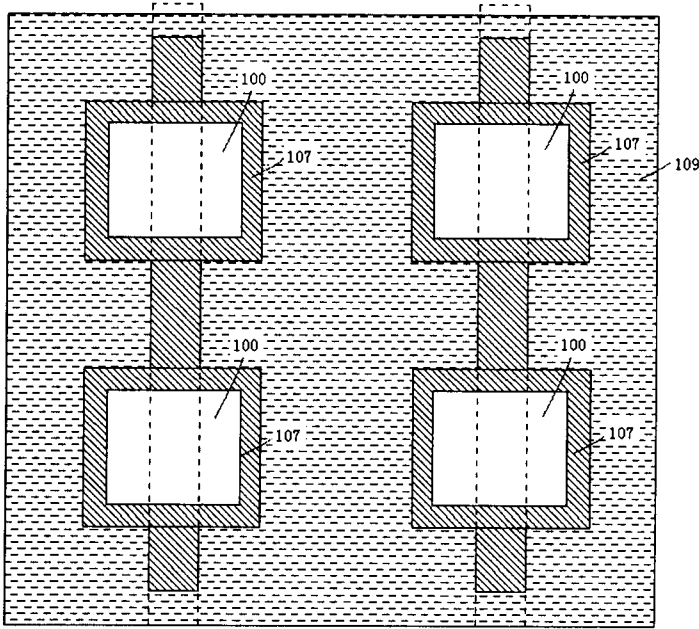


图9

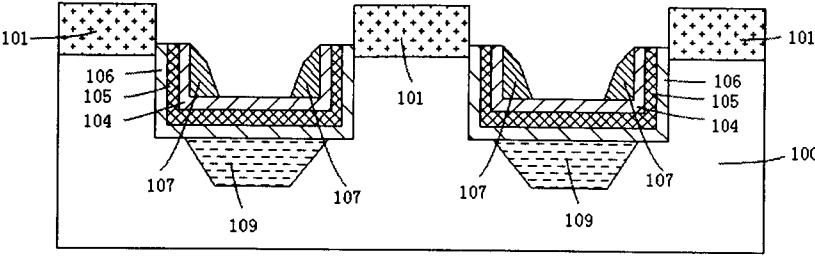


图10

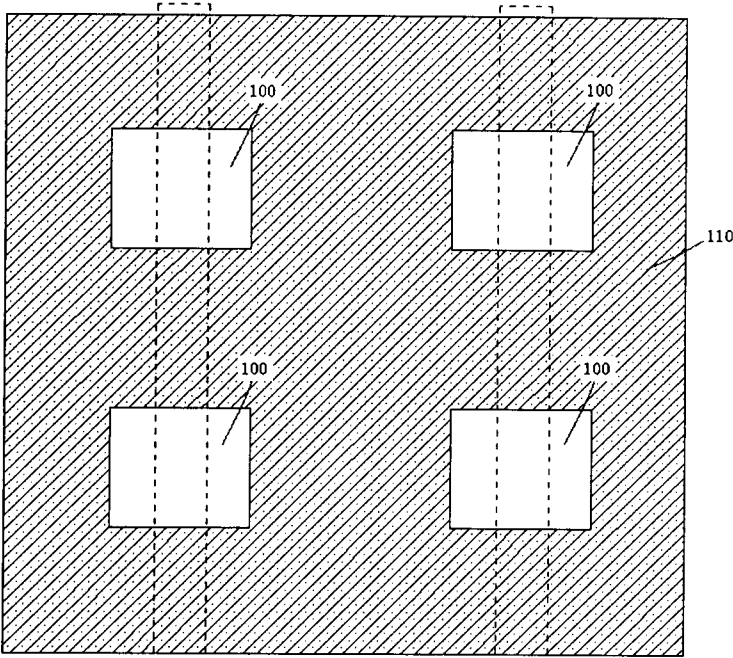


图11

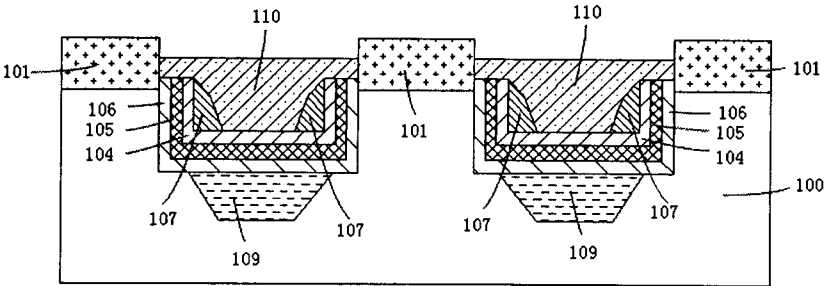


图12

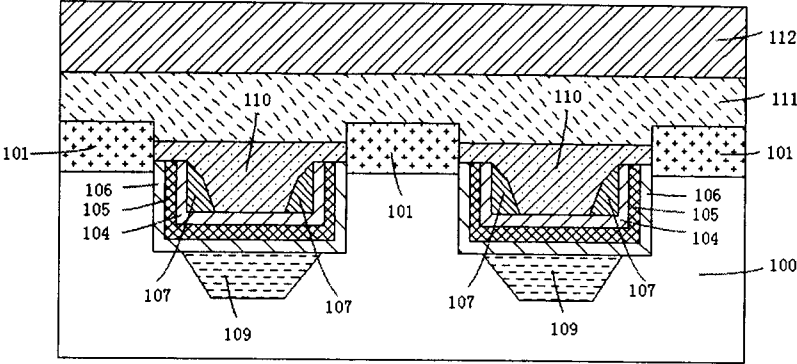


图13

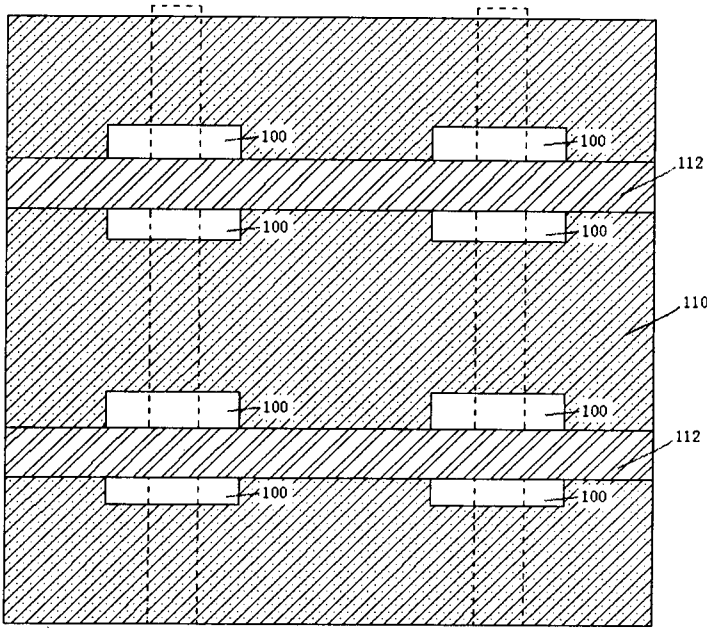


图14

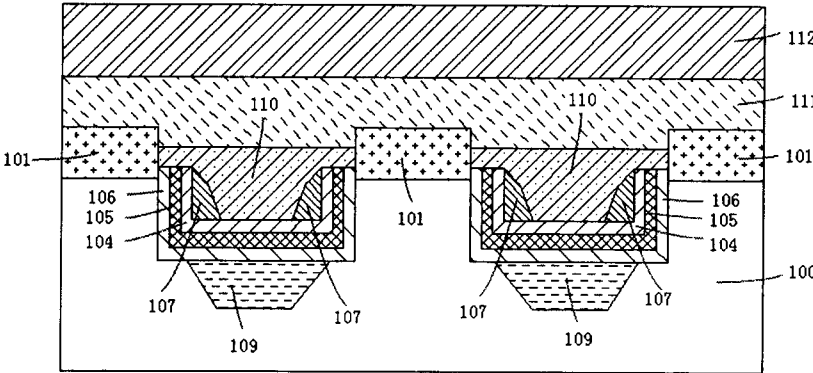


图15

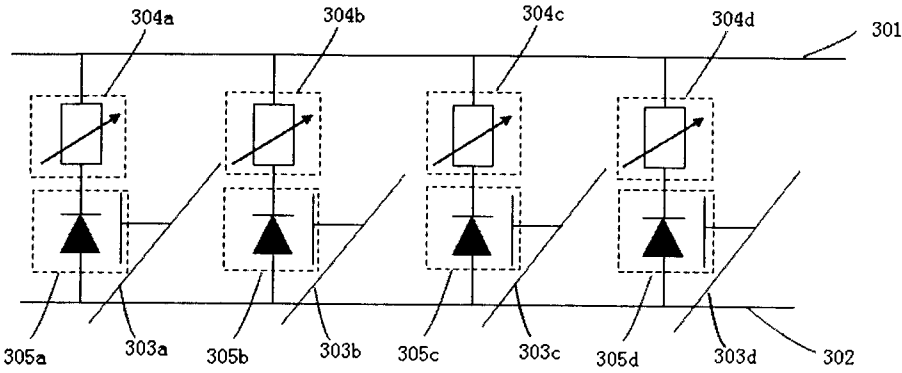


图16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/001352

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-, H01L 27/-, H01L 29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI: phase change, resistive, memory, tunneling, tunnel, transistor, field effect, trench, step, gate, source, drain

WPI, EPODOC: phase, resistor, memory, field, transistor, tunnel+, trench??, gate, source, drain

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101777570 A (FUDAN UNIVERSITY), 14 July 2010 (14.07.2010), paragraphs [0033]-[0046], claims 1-8, and figures 2-11	1-10
X	CN 101807596 A (FUDAN UNIVERSITY), 18 August 2010 (18.08.2010), paragraphs [0035]-[0043], and figure 9a	1-6
Y	US 2007/0267619 A1 (NIRSCHL), 22 November 2007 (22.11.2007), paragraphs [0017]-[0023], and figures 1-3	1-10
Y	CN 101350368 A (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY LIMITED), 21 January 2009 (21.01.2009), page 9, line 23 to page 10, line 27, and figure 2	1-10
A	US 2009/0034355 A1 (WANG, Pengfei), 05 February 2009 (05.02.2009), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 23 December 2011 (23.12.2011)	Date of mailing of the international search report 19 January 2012 (19.01.2012)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer CHE, Xiaolu Telephone No.: (86-10) 62411843

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2011/001352

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101777570 A	14.07.2010	None	
CN 101807596 A	18.08.2010	None	
US 2007/0267619 A1	22.11.2007	EP 1860702 A2	28.11.2007
		JP 2008021970 A	31.01.2008
		KR 20070112727 A	27.11.2007
		US 7880160 B2	01.02.2011
CN 101350368 A	21.01.2009	US 2008258200 A1	23.10.2008
		CN 100573917 C	23.12.2009
		CN 101714408 A	26.05.2010
US 2009/0034355 A1	05.02.2009	DE 102007037888 A1	05.02.2009

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/001352

CONTINUATION: CLASSIFICATION OF SUBJECT MATTER

H01L 27/112 (2006.01) i

H01L 21/8246 (2006.01) i

H01L 29/788 (2006.01) n

H01L 45/00 (2006.01) n

国际检索报告

国际申请号
PCT/CN2011/001352

A. 主题的分类

参见 附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L 21/-, H01L 27/-, H01L 29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT,CNKI: 相变,阻变,存储,隧穿,隧道,晶体管,场效应,沟槽,台阶,栅,源,漏 WPI,EPODOC: phase, resistor, memory, field, transistor, tunnel+, trench??, gate, source, drain

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN101777570A (复旦大学) 14.7 月 2010 (14.07.2010) 第[0033]-[0046]段, 权利要求 1-8, 附图 2-11	1-10
X	CN101807596A (复旦大学) 18.8 月 2010 (18.08.2010) 第[0035]-[0043]段, 附图 9a	1-6
Y	US2007/0267619A1 (Nirschl) 22. 11 月 2007 (22.11.2007) 第[0017]-[0023]段, 附图 1-3	1-10
Y	CN101350368A (台湾积体电路制造股份有限公司) 21.1 月 2009 (21.01.2009) 第 9 页第 23 行到第 10 页第 27 行, 附图 2	1-10
A	US2009/0034355A1 (Peng-fei WANG) 05.2 月 2009 (05.02.2009) 全文	1-10

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇
引用文件的公布日而引用的或者因其他特殊理由而引
用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了
理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的
发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件
结合并且这种结合对于本领域技术人员为显而易见时,
要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
23.12 月 2011 (23.12.2011)

国际检索报告邮寄日期
19.1 月 2012 (19.01.2012)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员

车晓璐
电话号码: (86-10) **62411843**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/001352

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101777570A	14.07.2010	无	
CN101807596A	18.08.2010	无	
US2007/0267619A1	22.11.2007	EP1860702A2	28.11.2007
		JP2008021970A	31.01.2008
		KR20070112727A	27.11.2007
		US7880160B2	01.02.2011
CN101350368A	21.01.2009	US2008258200A1	23.10.2008
		CN100573917C	23.12.2009
		CN101714408A	26.05.2010
US2009/0034355A1	05.02.2009	DE102007037888A1	05.02.2009

续：主题的分类

H01L 27/112 (2006.01) i

H01L 21/8246 (2006.01) i

H01L 29/788 (2006.01) n

H01L 45/00 (2006.01) n