

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 3 月 26 日 (26.03.2020)



(10) 国际公布号
WO 2020/056932 A1

(51) 国际专利分类号:
H01L 27/11504 (2017.01)

(21) 国际申请号: PCT/CN2018/119974

(22) 国际申请日: 2018 年 12 月 10 日 (10.12.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201811111419.9 2018 年 9 月 23 日 (23.09.2018) CN

(71) 申请人: 复旦大学 (FUDAN UNIVERSITY) [CN/CN]; 中国上海市邯郸路 220 号, Shanghai 200000 (CN)。

(72) 发明人: 江安全(JIANG, Anquan); 中国上海市邯郸路 220 号, Shanghai 200000 (CN)。 柴晓杰(CHAI, Xiaojie); 中国上海市邯郸路 220 号, Shanghai 200000 (CN)。 张岩(ZHANG, Yan); 中国上海市邯郸路 220 号, Shanghai 200000 (CN)。

(74) 代理人: 中国专利代理 (香港) 有限公司 (CHINA PATENT AGENT (HK)LTD.); 中国香港特别行政区湾仔港湾道 23 号鹰君中心 22 字楼, Hong Kong (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条 (3))。

(54) Title: THREE-DIMENSIONAL NON-VOLATILE FERROELECTRIC MEMORY

(54) 发明名称: 一种三维非易失性铁电存储器

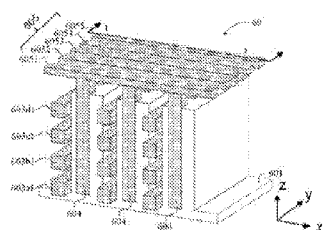


图 3 (a)

(57) Abstract: A three-dimensional non-volatile ferroelectric memory, comprising a ferroelectric memory array structure. The ferroelectric memory array structure comprises multiple stacked ferroelectric memory cell arrays, and each ferroelectric memory cell array comprises ferroelectric memory cells arranged in rows and columns, wherein basically orthogonal word lines and bits are correspondingly arranged opposite each other respectively at two sides of ferroelectric memory cells, and reference ferroelectrics are correspondingly arranged adjacent to the ferroelectric memory cells; the directions of polarization of the electric domains in the ferroelectric memory cells are not perpendicular to the direction of an electric field of a write voltage signal applied to the word lines and the bit lines; moreover, the write voltage signal is applied between the word lines and the bit lines, the electric domains in the ferroelectric memory cells are reversed and a domain wall conducting channel is established between the reference ferroelectrics adjacent thereto, wherein the domain wall conducting channel is electrically connected to the word lines and the bit lines at the two sides of the ferroelectric memory cells. The three-dimensional non-volatile ferroelectric memory has high density and low costs.

(57) 摘要：一种三维非易失性铁电存储器，包括铁电存储器阵列结构，铁电存储器阵列结构包括堆叠式地布置的多层铁电存储单元阵列，每层铁电存储器单元阵列包括按行和列排列的铁电存储单元；其中，对应铁电存储单元的两侧分别相对地布置有基本正交的字线和位线，对应所述铁电存储单元邻接地布置参考铁电体；铁电存储单元中的电畴的极化方向与施加在字线和位线上的写电压信号的电场方向不垂直；并且，在字线和位线之间施加所述写电压信号时，能够使所述铁电存储单元的电畴发生反转并与其邻接的所述参考铁电体之间建立畴壁导电通道，其中，畴壁导电通道能电连接所述铁电存储单元的两侧的字线和位线。该三维非易失性铁电存储器密度高、成本低。

一种三维非易失性铁电存储器

技术领域

本发明属于铁电存储技术领域，具体涉及一种三维非易失性铁电存储器。

背景技术

传统的铁电随机存储器 FRAM (Ferroelectric Random Access Memory) 是利用铁电畴（或称为“电畴”）在电场中两种不同极化取向作为逻辑信息（“0”或“1”）来存储数据的非易失性存储器(Non-volatile Memory)，其也可以称为“铁电存储器”。

江安全（Anquan JIANG）等人已经提出了基于畴壁导电的铁电存储器件，例如，在美国发明专利号 US9685216B2、美国专利公开号 US2016/0358639A1 等的专利中已经描述了这种铁电存储器的存储机制，其存储机制明显区别于传统的铁电存储器，并且，可以实现基于电流读取方式非破坏性读出数据。目前，这种畴壁导电存储机制的铁电存储器件，一方面开态（ON 态）读电流可达到 10^{-7}A 至 10^{-6}A ，读电流大；另一方面 ON 态电流和关态（Off 态）电流比（即开关比）能够大于 10^6 ，数据的保持性能好；因此，备受业界关注。

随着全球物联网、大数据中心、智能家居、便携设备等应用的发展，对存储器的存储容量、存储密度的要求不断提高。传统半导体存储器芯片通过提高单位面积的存储能力实现存储容量增长，但在后摩尔时代已不可避免地面临存储器单元间串扰加剧、单字位成本增加等瓶颈。因此，在存储密度、容量、成本和功耗等方面寻求存储技术的突破和创新。

3D NAND 是革新性的半导体存储技术，通过增加存储叠层而非缩小器件二维尺寸实现存储密度增长，将半导体存储器的发展空间带入第三维度，成为未来实现存储器芯片容量可持续增长的关键。

发明内容

按照本发明的一方面，提供一种三维非易失性铁电存储器，其包括铁电存储器阵列结构，所述铁电存储器阵列结构包括堆叠式地布置

的多层铁电存储单元阵列，每层铁电存储器单元阵列包括按行和列排列的铁电存储单元；

其中，对应所述铁电存储单元的两侧分别相对地布置有基本正交的字线和位线，对应所述铁电存储单元邻接地布置参考铁电体；

所述铁电存储单元中的电畴的极化方向与施加在所述字线和位线上的写电压信号的电场方向不垂直；并且，在所述字线和位线之间施加所述写电压信号时，能够使所述铁电存储单元的电畴发生反转并与其邻接的所述参考铁电体之间建立畴壁导电通道，其中，所述畴壁导电通道能电连接所述铁电存储单元的两侧的字线和位线。

根据本发明一实施例的三维非易失性铁电存储器，其中，所述铁电存储单元和所述参考铁电体通过同一铁电单晶层或铁电薄膜层一体地形成。

根据本发明又一实施例或前述任一实施例的三维非易失性铁电存储器，其中，每条所述位线被所述多层铁电存储单元阵列的在其堆叠方向上对应排列的多个铁电存储单元共用；每层所述铁电存储单元阵列的每条位线被该铁电存储单元阵列的在列/行方向上对应排列的多个铁电存储单元共用。

根据本发明又一实施例或前述任一实施例的三维非易失性铁电存储器，其中，还包括：

位元线层，其被布置在所述多层铁电存储单元阵列的顶层和/或底层，其中所述位元线层的每条与在行/列方向上依次排列的多条所述位线电连接。

根据本发明又一实施例或前述任一实施例的三维非易失性铁电存储器，其中，所述字线在行/列方向上的两侧分别与两列/行所述铁电存储单元耦合被所述两列/行铁电存储单元共用；和/或

所述位线在行/列方向上的两侧分别与在所述堆叠方向上对应排列的两直列所述铁电存储单元耦合被所述两直列铁电存储单元共用。

根据本发明又一实施例或前述任一实施例的三维非易失性铁电存储器，其中，所述多层铁电存储单元阵列的所述铁电存储单元以及相应的所述参考铁电体均通过同一铁电单晶层或铁电薄膜层一体地形成。

根据本发明又一实施例或前述任一实施例的三维非易失性铁电存储器，其中，所述铁电单晶层或铁电薄膜层被构图形成有在所述堆叠

方向上延伸的第一深槽和第二深槽，所述位线形成在所述第一深槽中，多条所述字线形成在同一所述第二深槽中并且相应的所述字线通过第二深槽中的介质层隔离；

其中，所述多层铁电存储单元阵列的所述铁电存储单元以及相应的所述参考铁电体被形成在所述第一深槽和第二深槽之间的铁电体之中，与所述第二深槽中的介质层对应邻接的铁电体部分为所述参考铁电体，与所述第二深槽中的字线对应邻接的铁电体部分为所述铁电存储单元。

根据本发明又一实施例或前述任一实施例的三维非易失性铁电存储器，其中，同一所述第二深槽中的多条所述字线和多个介质层在所述堆叠方向上依次交错设置，多个所述参考铁电体和多个所述铁电存储单元在所述堆叠方向上依次交错设置。

根据本发明又一实施例或前述任一实施例的三维非易失性铁电存储器，其中，每层所述铁电存储单元阵列包括：

作为所述参考铁电体的铁电基层；

相对所述铁电基层凸起设置的按行和列排列的多个铁电存储单元；以及

在所述铁电基层上布置的包括多条字线的字线层；

其中，所述位线在所述堆叠方向上延伸穿过多层所述铁电存储单元阵列的铁电基层。

根据本发明又一实施例或前述任一实施例的三维非易失性铁电存储器，其中，每层所述铁电存储单元阵列包括：

用于形成多条位线/字线的位线层/字线层；

在所述位线层上的铁电体层；

在所述铁电体层上的用于形成多条字线/位线的字线层/位线层；

其中，对应所述字线和所述位线的交接位置的铁电体层用于形成所述铁电存储单元，铁电体层的剩余部分用于形成所述参考铁电体。

根据本发明又一实施例或前述任一实施例的三维非易失性铁电存储器，其中，每个所述铁电存储单元在开态下具有单向导通特性。

根据本发明又一实施例或前述任一实施例的三维非易失性铁电存储器，其中，所述三维非易失性铁电存储器的读电压大于所述铁电存储单元的使其单向导通的开启电压且小于所述铁电存储单元的矫顽电

压。

根据本发明又一实施例或前述任一实施例的三维非易失性铁电存储器，其中，所述铁电单晶层或铁电薄膜层所使用的铁电材料选择以下的一种或多种：

铁电材料为钽酸锂盐 LiTaO_3 、铌酸锂盐 LiNbO_3 或铁酸铋 BiFeO_3 ，

掺杂选自 MgO 、 Mn_2O_5 、 Fe_2O_3 或 La_2O_3 的钽酸锂盐 LiTaO_3 、铌酸锂盐 LiNbO_3 或铁酸铋 BiFeO_3 ，

锆钛酸铅 $(\text{Pb,Zr})\text{TiO}_3$ 或 BaTiO_3 ，

黑化钽酸锂盐 LiTaO_3 或铌酸锂盐 LiNbO_3 。

根据本发明又一实施例或前述任一实施例的三维非易失性铁电存储器，其中，所述铁电存储单元的电畴的极化方向与其两侧的所述字线和位线的连线方向存在夹角并且使所述电畴在该连线方向上有分量。

附图说明

从结合附图的以下详细说明中，将会使本发明的上述和其他目的及优点更加完整清楚，其中，相同或相似的要素采用相同的标号表示。

图 1 是按照本发明第一实施例的三维非易失性铁电存储器的铁电存储器阵列结构及其操作原理的示意图。

图 2 是按照本发明第二实施例的三维非易失性铁电存储器的铁电存储器阵列结构及其操作原理的示意图。

图 3 是按照本发明第三实施例的三维非易失性铁电存储器的铁电存储器阵列结构及其操作原理的示意图。

图 4 是按照本发明第四实施例的三维非易失性铁电存储器的铁电存储器阵列结构及其操作原理的示意图。

图 5 是按照本发明第五实施例的三维非易失性铁电存储器的铁电存储器阵列结构及其操作原理的示意图。

图 6(a) 是按照本发明一实施例的在单晶铌酸锂 (LiNbO_3) 表面形成的单个铁电存储单元及其通过电压扫描方式进行读写操作的 I-V 特性曲线图；图 6(b) 是发明一实施例的铁电存储单元的开启电压 V_{on} 随右电极与铁电存储单元的间隙 g 而变化的示意图。

图 7 是按照本发明一实施例的在铌酸锂 (LiNbO_3) 单晶薄膜表面

形成的单个铁电存储单元通过电压扫描方式进行读写操作的 I-V 特性曲线图。

具体实施方式

下面介绍的是本发明的多个可能实施例中的一些，旨在提供对本发明的基本了解，并不旨在确认本发明的关键或决定性的要素或限定所要保护的范围。

在附图中，为了清楚起见，夸大了层和区域的厚度，图示中的各部分之间的尺寸比例关系并不反映实际的尺寸比例关系。

在以下实施例中，为了描述的清楚，示例性地给出了电畴方向或者极化方向，但是应当理解到，铁电存储器的电畴方向或极化方向并不限于如图所示实施例示出的方向。

在本文中，铁电单晶体是指内部不存在多晶结构的“晶界”的单晶结构或类单晶结构；其上形成的存储单元阵列的存储单元也是一个单晶结构，存储单元的尺寸不限。所述铁电单晶体可以是铁电单晶薄膜层或铁电单晶基片，铁电单晶薄膜层可以是外延单晶生长所形成的单晶薄膜、或者从铁电单晶基片分离或切割所形成的薄膜层。

在以下实施例中，非易失性存储器非易失性铁电存储器包括铁电存储器阵列，铁电存储器阵列中的多个铁电存储器单元是按行和列的方式排列；这样，通过读写电路，相应行相应列的铁电存储器单元可以被选中进行相应的写操作或读操作。需要说明的是，铁电存储器阵列中的铁电存储器单元具体数量、排列方式等不是限制性的。

图 1 所示为按照本发明第一实施例的三维非易失性铁电存储器的铁电存储器阵列结构及其操作原理的示意图。为清楚及方便说明起见，图 1(a)示意出该实施例的铁电存储器阵列结构 40 的三维结构示意图，图 1(b)为无顶位元线层的铁电存储器阵列结构 40 的俯视图，图 1(c)为在图 1(a)中沿着 I-J 所绘制的剖面图，图 1(d)示意对铁电存储器阵列结构 40 的一铁电存储单元写入数据“1”的操作原理图，图 1(e)示意对铁电存储器阵列结构 40 的一铁电存储单元写入数据“0”的操作原理图，图 1(f)示意对铁电存储器阵列结构 40 的一铁电存储单元读数据“1”的操作原理图。为方便示意说明，在图 1 至图 5 示意的铁电存储器阵列结构中，z 方向定义为多层铁电存储单元阵列的堆叠方向，其

一般地垂直于基底，x 方向定义为每层铁电存储单元阵列的行所在的方向，y 方向定义为每层铁电存储单元阵列的列所在的方向。

如图 1 所示，铁电存储器阵列结构 40 被包含在三维非易失性铁电存储器中，对应其可以配置有相应的外围读写电路，外围读写电路的具体结构不是限制性的，为清楚描述本发明，在此省略对外围读写电路的描述。

铁电存储器阵列结构 40 可以包括：多个铁电基底层 401（例如由下至上依次堆叠地布置的铁电基底层 401a、401b 和 401c）、多层存储单元阵列 402（例如由下至上依次堆叠地布置的存储单元阵列 402a、402b 和 402c）、多个字线层 403（例如由下至上依次堆叠地布置的字线层 403a、403b 和 403c）、位线阵列 404、顶位元线层 405 以及多层绝缘层 406。其中，最上层的绝缘层 406 可以使顶位元线层 405 与铁电基底层 401 等相隔离，中间位置的绝缘层 406 可以使多个字线层 403 之间彼此隔离；其他空隙可以用绝缘材料填充。

这样，铁电存储器阵列结构 40 包括有堆叠式地布置的多层铁电存储单元阵列，它们在 z 方向上依次层叠，也即它们的堆叠方向为 z 方向；每层铁电存储单元阵列对应包括一铁电基底层 401、在该铁电基底层 401 上布置的存储单元阵列 402、在该铁电基底层 401 上设置的一字线层 403。其中，字线层 403 的每条字线在 y 方向上延伸，多条字线在 x 方向上依次平行地排列，例如字线层 403a 的字线 403a1 和 403a2 平行地排列、字线层 403b 的字线 403b1 和 403b2 平行地排列、字线层 403c 的字线 403c1 和 403c2 平行地排列；每层存储单元阵列 402（例如存储单元阵列 402a、存储单元阵列 402b 或存储单元阵列 402c）中的多个铁电存储单元按行和列的方向排列，例如在 x 方向和 y 方向上点阵排列，每层铁电基底层 401 在 xy 平面内布置。具体地，每层铁电基底层 401 上的存储单元阵列 402 的多个铁电存储单元可以相对其以凸块的形式布置，例如多个铁电存储单元相对铁电基底层 401 凸起设置，每个铁电存储单元的大小（例如在 x 方向的尺寸 L、在 y 方向的尺寸 W 的具体大小）不是限制性的。

继续如图 1 所示，顶位元线层 405 设置在顶层位置，例如布置在字线层 403c 的上方，位线阵列 404 被布置成基本垂直于多个铁电基底层 401 并与顶位元线层 405 电性连接；顶位元线层 405 的位元线可以在 x

方向延伸，其中多条位元线可以在 y 方向依次基本平行排列。位线通过顶位元线层 405 的位元线，可以与铁电存储器阵列结构 40 外部的读写电路耦接。

继续如图 1 所示，位线阵列 404 的每条位线是在 z 方向上延伸（例如从其与顶位元线层 405 的连接位置向下延伸），并与不同字线层的多条字线在空间上正交。这样，每条位线可以被多层铁电存储单元阵列的在其堆叠方向上对应排列的多个铁电存储单元共用。对于每个铁电存储单元来说，其 x 方向的两侧分别邻接一字线层 403 的一字线和位线阵列 404 中的一位线，也即，每个铁电存储单元被设置在字线和位线的正交位置处，它们形成了本发明一示例的 Crossbar 结构。

需要说明的是，铁电基底层 401 及其上的多个铁电存储单元可以通过对铁电单晶层或铁电薄膜材料层使用例如刻蚀等方法构图形成，铁电基底层 401 可以用来形成铁电存储单元的参考铁电体（例如也可以称为“参考单元”），其与每个铁电存储单元邻接，在它们大致的邻接位置可以建立畴壁导电通道。

每个铁电存储单元的电畴的初始极化方向可以限定为在 x 方向上有分量，也可以理解为存储单元的电畴的初始极化方向与铁电基底层 401 存在一定的夹角但在铁电基底层 401 上有分量，但不可以与铁电基底层 401 垂直（例如不在 z 方向）。这样，铁电存储单元中的电畴的极化方向与施加在其两侧的字线和位线上的写电压信号的电场方向不垂直。如图 1(c) 所示，实线箭头所指为铁电存储单元和铁电基底层 401 中的电畴的初始极化方向，其例如可以平行于 x 方向。将理解，每个铁电存储单元和其对应的参考铁电体（例如铁电基底层 401）的电畴的初始极化方向不限于为图 1 中示出的方向，例如其还可以与 x 方向呈一定夹角但不垂直于 x 方向，这样，在 x 方向上有分量。

需要说明的是，每个铁电存储单元的电畴的初始极化方向在 x 方向也有分量也可以理解为该初始极化方向在 x 方向上有投影。

如图 1(a) 所示，字线层 403 可具有但不限于为三个层级，它们依次形成在铁电基底层 401 上。每个层级的字线具有沿着 y 方向延伸的彼此基本平行的多条字线，并且依次填充在 x 方向的相邻的铁电存储单元列之间的间隙中。字线层 403 可以在 z 方向上垂直对准，即，在多个层级中的每一者中的字线可定位于每一层级的相同位置处，以便

于不同层的字线在 z 方向上对准。

继续如图 1 所示，存储单元阵列 402 的每个铁电存储单元在开态（ON 态）下具有单向导通特性，因此，在开态（ON 态）下读出电流时，该铁电存储单元表现为具有开关特性，并具有相对可测的开启电压 V_{on} 。对如图 1 (f) 所示的字线 403b1 和位元线 4053 所选中的铁电存储单元中，该铁电存储单元的电畴极化方向与下方邻接的参考铁电体的极化方向相反，在它们界面处容易形成导电的畴壁，即畴壁导电通道；对该铁电存储单元施加的电压小于矫顽电压 V_c 并大于开启电压 V_{on} 条件下，如果有较大的开态电流流过，可以读出存储的数据为“1”，反之，则读出存储的数据为“0”。

以下进一步结合图 1 (d) 至图 1 (f) 示例说明本发明一实施例的三维非易失性铁电存储器的读写工作原理。

如图 1 (d) 所示，假设铁电存储器阵列结构 40 的某个铁电存储单元被选中进行写数据“1”的操作，例如字线 403b1 和位元线 4053 被选中。配置字线 403b1 为高电压 V_{write1} ， V_{write1} 值大于铁电存储单元的矫顽电压 V_c ，将其他字线悬空或者配置为半高电平 $V_c/2$ ，同时，配置位元线 4053 接地，其他位元线悬空或者配置为半高电平 $V_c/2$ ；这样，被选中的铁电存储单元将被施加与其初始极化方向相反的电场，该铁电存储单元的电畴沿 x 方向的正方向发生反转，写入数据“1”，空心箭头所示的方向即为电畴的发生反转后的极化方向。写入数据“1”结束后，可以将字线 403b1 和位元线 4053 悬空或者配置为半高电平 $V_c/2$ 。

如图 1 (e) 所示，假设铁电存储器阵列结构 40 的某个铁电存储单元继续被选中进行写数据“0”的操作，例如字线 403b1 和位元线 4053 被选中。配置字线 403b1 为接地，将其他字线悬空或者配置为半高电平 $V_c/2$ ；配置位元线 4053 高电压 V_{write0} ， V_{write0} 值大于铁电存储单元的矫顽电压 V_c ；这样，被选中的铁电存储单元将被施加与初始极化方向相同的电场，该铁电存储单元的电畴沿 x 方向的反方向发生翻转，写入数据“0”，空心箭头所示的方向即为电畴的发生反转后的极化方向。写入数据“0”结束后，可以将字线 403b1 和位元线 4053 悬空或者配置为半高电平 $V_c/2$ 。

如图 1 (f) 所示，假设铁电存储器阵列结构 40 的某个铁电存储单元继续被选中进行读操作（例如读取数据“1”的读操作），例如字线

403b1 和位元线 4053 被选中。配置字线 403b1 为电压 V_{read1} , V_{read1} 值大于开启电压 V_{on} 且小于铁电存储单元的矫顽电压 V_c , 将其他字线悬空或者配置为半高电平 $V_c/2$; 同时配置位元线 4053 接地, 其他位元线悬空或者配置为半高电平 $V_c/2$ 。由于选中的铁电存储单元与参考铁电体 (例如铁电基底层 401b) 之间存在畴壁导电通道 (如图 1 (f) 中黑色实线示意), 有较大的开态电流 (例如可达到 10^{-7}A 至 10^{-6}A) 流过, 从而可以读出该选中的铁电存储单元所存储的数据为“1”。读取结束后, 可以将字线 403b1 和位元线 4053 悬空或者配置为半高电平 $V_c/2$ 。同理, 可以读出畴壁消失对应的数据状态, 例如数据“0”, 此时读出非常小的关态电流, 即读出存储数据“0”。需要说明的是, 读取信息过程中 所选择的读电压 V_{read} 是可调的。

图 2 所示为按照本发明第二实施例的三维非易失性铁电存储器的铁电存储器阵列结构及其操作原理的示意图。为清楚及方便说明起见, 图 2(a) 示意出该实施例的铁电存储器阵列结构 50 的三维结构示意图, 图 2(b) 为无顶位元线层的铁电存储器阵列结构 50 的俯视图, 图 2(c) 为在图 2(a) 中沿着 I-J 所绘制的剖面图, 图 2(d) 示意对铁电存储器阵列结构 50 的一铁电存储单元写入数据“1”的操作原理图, 图 2(e) 示意对铁电存储器阵列结构 50 的一铁电存储单元写入数据“0”的操作原理图, 图 2(f) 示意对铁电存储器阵列结构 50 的一铁电存储单元读数据“1”的操作原理图。

如图 2 所示, 铁电存储器阵列结构 50 被包含在三维非易失性铁电存储器中, 对应其可以配置有相应的外围读写电路, 外围读写电路的具体结构不是限制性的, 为清楚描述本发明, 在此省略对外围读写电路的描述。

铁电存储器阵列结构 50 可以包括: 多个铁电基底层 501 (例如由下至上依次堆叠地布置的铁电基底层 501a、501b 和 501c)、多层存储单元阵列 502 (例如由下至上依次堆叠地布置的存储单元阵列 502a、502b 和 502c)、多个字线层 503 (例如由下至上依次堆叠地布置的字线层 503a、503b 和 503c)、位线阵列 504 (例如位线阵列 504a 和 504b)、顶位元线层 505a、底位元线层 505b 以及多层绝缘层 506。其中, 最上层的绝缘层 506 可以使顶位元线层 505 与铁电基底层 501 等相隔离, 中间位置的绝缘层 506 (例如第二深槽中的介质层) 可以使多个字线层

503 之间彼此隔离；其他空隙可以用绝缘材料填充。

这样，铁电存储器阵列结构 50 包括有堆叠式地布置的多层铁电存储单元阵列，它们在 z 方向上依次层叠，也即它们的堆叠方向为 z 方向；每层铁电存储单元阵列对应包括一铁电基底层 501、在该铁电基底层 501 上布置的存储单元阵列 502、在该铁电基底层 501 上布置的一字线层 503。其中，字线层 503 的每条字线在 y 方向上延伸，多条字线在 x 方向上依次平行地排列，例如字线层 503a 的字线 503a1 和 503a2 平行地排列、字线层 503b 的字线 503b1 和 503b2 平行地排列、字线层 503c 的字线 503c1 和 503c2 平行地排列；每层存储单元阵列 502（例如存储单元阵列 502a、存储单元阵列 502b 或存储单元阵列 502c）中的多个铁电存储单元按行和列的方向排列，例如在 x 方向和 y 方向上点阵排列，每层铁电基底层 501 在 xy 平面内布置。具体地，每层铁电基底层 501 上的存储单元阵列 502 的多个铁电存储单元可以相对其以凸块的形式布置，例如多个铁电存储单元相对铁电基底层 501 凸起设置。相比于图 1 中示出的字线与铁电存储单元的布置方式，在图 2 中，字线层 503 的字线阵列的中间的字线被布置在两个铁电存储单元之间，这样，字线在 x 方向上的两侧分别与两列铁电存储单元耦合被该两列铁电存储单元共用。因此，相比于图 1 实施例，图 2 所示实施例的三维非易失性铁电存储器的铁电存储器阵列结构 50 可以减少字线，存储密度可以进一步提高。

继续如图 2 所示，顶位元线层 505a 设置在顶层位置，例如布置在字线层 503c 的上方，位线阵列 504a 被布置成基本垂直于多个铁电基底层 501 并与顶位元线层 505a 电性连接；底位元线层 505b 设置在底层位置，例如布置底层铁电存储单元阵列的下方（例如在铁电基底层 501a 的下方），位线阵列 504b 被布置成基本垂直于多个铁电基底层 501 并与底位元线层 505b 电性连接。顶位元线层 505a 和底位元线层 505b 的位元线可以在 x 方向延伸，其中多条位元线可以在 y 方向依次基本平行排列。位线通过顶位元线层 505a 或底位元线层 505b 的位元线，可以与铁电存储器阵列结构 50 外部的读写电路耦接。

继续如图 2 所示，位线阵列 504 包括位线阵列 504a 和位线阵列 504b，位线阵列 504 的每条位线是在 z 方向上延伸，其中，位线阵列 504a 的每条位线从其与顶位元线层 505a 的连接位置向下延伸，位线阵列 504b

的每条位线从与其与底位元线层 505b 的连接位置向下延伸；并且，每条位线与不同字线层的多条字线在空间上正交。这样，每条位线可以被多层铁电存储单元阵列的在其堆叠方向上对应排列的多个铁电存储单元共用。对于每个铁电存储单元来说，其 x 方向的两侧分别邻接一字线层 503 的一字线和位线阵列 504 中的一位线，也即，每个铁电存储单元被设置在字线和位线的正交位置处，它们形成了本发明一示例的 Crossbar 结构。

继续如图 2 所示，相比于图 1 中示出的字线与铁电存储单元的布置方式，在图 2 中，位线在 x 方向的两侧均邻接地布置有铁电存储单元，这样，位线在 x 方向上的两侧分别与在 z 上对应排列的两直列铁电存储单元耦合被该两直列铁电存储单元共用。因此，相比于图 1 实施例，图 2 所示实施例的三维非易失性铁电存储器的铁电存储器阵列结构 50 可以减少位线，存储密度可以进一步提高。

需要说明的是，铁电基底层 501 及其上的多个铁电存储单元可以通过对铁电单晶层或铁电薄膜材料层使用例如刻蚀等方法构图形成，铁电基底层 501 可以用来形成铁电存储单元的参考铁电体（例如也可以称为“参考单元”），其与每个铁电存储单元邻接，在它们大致的邻接位置可以建立畴壁导电通道。

每个铁电存储单元的电畴的初始极化方向可以限定为在 x 方向上有分量，也可以理解为存储单元的电畴的初始极化方向与铁电基底层 501 存在一定的夹角但在铁电基底层 501 上有分量，但不可以与铁电基底层 501 垂直（例如不在 z 方向）。这样，铁电存储单元中的电畴的极化方向与施加在其两侧的字线和位线上的写电压信号的电场方向不垂直。如图 2(c) 所示，实线箭头所指为铁电存储单元和铁电基底层 501 中的电畴的初始极化方向，其例如可以平行于 x 方向。将理解，每个铁电存储单元和其对应的参考铁电体（例如铁电基底层 501）的电畴的初始极化方向不限于为图 2 中示出的方向，例如其还可以与 x 方向呈一定夹角但不垂直于 x 方向，这样，在 x 方向上有分量。

需要说明的是，每个铁电存储单元的电畴的初始极化方向在 x 方向也有分量也可以理解为该初始极化方向在 x 方向上有投影。

如图 2(a) 所示，字线层 503 可具有但不限于为三个层级，它们依次形成在铁电基底层 501 上。每个层级的字线具有沿着 y 方向延伸的

彼此基本平行的多条字线，并且依次填充在 x 方向的相邻的铁电存储单元列之间的间隙中。字线层 503 可以在 z 方向上垂直对准，即，在多个层级中的每一者中的字线可定位于每一层级的相同位置处，以便于不同层的字线在 z 方向上对准（例如字线 503a2、503b2、503c2 彼此在 z 方向上基本对准）。

继续如图 2 所示，存储单元阵列 502 的每个铁电存储单元在开态（ON 态）下具有单向导通特性，因此，在开态（ON 态）下读出电流时，该铁电存储单元表现为具有开关特性，并具有相对可测的开启电压 V_{on} 。对如图 2 (f) 所示的字线 503b1 和位元线 505b3 所选中的铁电存储单元中，该铁电存储单元的电畴极化方向与下方邻接的参考铁电体的极化方向相反，在它们界面处容易形成导电的畴壁，即畴壁导电通道；对该铁电存储单元施加的电压小于矫顽电压 V_c 并大于开启电压 V_{on} 条件下，如果有较大的开态电流流过，可以读出存储的数据为“1”，反之，则读出存储的数据为“0”。

以下进一步结合图 2 (d) 至图 2 (f) 示例说明本发明一实施例的三维非易失性铁电存储器的读写工作原理。

如图 2 (d) 所示，假设铁电存储器阵列结构 50 的某个铁电存储单元被选中进行写数据“1”的操作，例如字线 503b1 和位元线 505b3 被选中。配置字线 503b1 为高电压 V_{write1} ， V_{write1} 值大于铁电存储单元的矫顽电压 V_c ，将其他字线悬空或者配置为半高电平 $V_c/2$ ，同时，配置位元线 505b3 接地，其他位元线悬空或者配置为半高电平 $V_c/2$ ；这样，被选中的铁电存储单元将被施加与其初始极化方向相反的电场，该铁电存储单元的电畴沿 x 方向的正方向发生反转，写入数据“1”，空心箭头所示的方向即为电畴的发生反转后的极化方向。写入数据“1”结束后，可以将字线 503b1 和位元线 505b3 悬空或者配置为半高电平 $V_c/2$ 。

如图 2 (e) 所示，假设铁电存储器阵列结构 50 的某个铁电存储单元继续被选中进行写数据“0”的操作，例如字线 503b1 和位元线 505b3 被选中。配置字线 503b1 为接地，将其他字线悬空或者配置为半高电平 $V_c/2$ ；配置顶位元线 505b3 高电压 V_{write0} ， V_{write0} 值大于铁电存储单元的矫顽电压 V_c ；这样，被选中的铁电存储单元将被施加与初始极化方向相同的电场，该铁电存储单元的电畴沿 x 方向的反方向发生翻转，写入数据“0”，空心箭头所示的方向即为电畴的发生反转后的极化方向。

写入数据“0”结束后，可以将字线 503b1 和位元线 505b3 悬空或者配置为半高电平 $V_c/2$ 。

如图 2 (f) 所示，假设铁电存储器阵列结构 50 的某个铁电存储单元继续被选中进行读操作（例如读取数据“1”的读操作），例如字线 503b1 和位元线 505b3 被选中。配置字线 503b1 为电压 V_{read1} ， V_{read1} 值大于开启电压 V_{on} 且小于铁电存储单元的矫顽电压 V_c ，将其他字线悬空或者配置为半高电平 $V_c/2$ ；同时配置位元线 505b3 接地，其他位元线悬空或者配置为半高电平 $V_c/2$ 。由于选中的铁电存储单元与参考铁电体（例如铁电基底层 501b）之间存在畴壁导电通道（如图 2 (f) 中黑色实线示意），有较大的开态电流（例如可达到 $10^{-7}A$ 至 $10^{-6}A$ ）流过，从而可以读出该选中的铁电存储单元所存储的数据为“1”。读取结束后，可以将字线 503b1 和位元线 505b3 悬空或者配置为半高电平 $V_c/2$ 。同理，可以读出畴壁消失对应的数据状态，例如数据“0”，此时读出非常小的关态电流，即读出存储数据“0”。需要说明的是，读取信息过程中所选择的读电压 V_{read} 是可调的。

图 3 所示为按照本发明第三实施例的三维非易失性铁电存储器的铁电存储器阵列结构及其操作原理的示意图。为清楚及方便说明起见，图 3(a) 示意出该实施例的铁电存储器阵列结构 60 的三维结构示意图，图 3(b) 为无顶位元线层的铁电存储器阵列结构 60 的俯视图，图 3(c) 为在图 3 (a) 中沿着 I-J 所绘制的剖面图，图 3 (d) 示意对铁电存储器阵列结构 60 的一铁电存储单元写入数据“1”的操作原理图，图 3(e) 示意对铁电存储器阵列结构 60 的一铁电存储单元写入数据“0”的操作原理图，图 3 (f) 示意对铁电存储器阵列结构 60 的一铁电存储单元读数据“1”的操作原理图。

如图 3 所示，铁电存储器阵列结构 60 被包含在三维非易失性铁电存储器中，对应其可以配置有相应的外围读写电路，外围读写电路的具体结构不是限制性的，为清楚描述本发明，在此省略对外围读写电路的描述。

铁电存储器阵列结构 60 可以包括：一个铁电基底层 601、多层存储单元阵列 602、多个字线层 603（例如由下至上依次堆叠地布置的字线层 603a、603b、603c 和 603d）、位线阵列 604、顶位元线层 605 以及多层绝缘层 606。其中，最上层的绝缘层 606 可以使顶位元线层 605 与

铁电基底层 601 等相隔离，中间位置的绝缘层 606 可以使上下相邻的字线层 603 之间彼此隔离；其他空隙可以用绝缘材料填充。

继续如图 3 所示，一个铁电基底层 601 和多层存储单元阵列 602 可以通过同一铁电单晶层或铁电薄膜层一体地形成，从而，在形成 3D 结构的多层铁电存储单元阵列时，可以大大减少铁电单晶层或铁电薄膜层的沉积次数，简化工艺过程并降低成本；例如，一次沉积或生长形成较厚的铁电单晶层或铁电薄膜层，对铁电单晶层或铁电薄膜层进行构图，形成多个深槽；深槽之间的铁电体可以被操作用来形成多层存储单元阵列 602 的多个铁电存储单元，上下相邻的铁电存储单元之间的铁电体可以用来形成参考铁电体，铁电存储单元可以被编程来与参考铁电体形成大致左右方向的畴壁导电通道，该畴壁导电通道可以用来电连接其左右两侧的字线和位线。

具体如图 3 所示，至少用于形成铁电基底层 601 的铁电单晶层或铁电薄膜层可以被构图形成有在堆叠方向上延伸的第一深槽（或深孔）和第二深槽，位线阵列 604 的位线形成在第一深槽中，分别属于不同字线层 603 的多条字线（例如位线 603a1、603b1、603c1、603d1）形成在同一第二深槽中，并且，该第二深槽中还形成用于隔离多条字线的介质层，这样，第二深槽中的上下相邻字线通过第二深槽中的介质层隔离，该介质层可以实现绝缘层 606 的部分功能。

这样，尽管多层存储单元阵列 602 中形成的多个铁电存储单元以及相应的多个参考铁电体均通过同一铁电单晶层或铁电薄膜层一体地形成，铁电存储器阵列结构 60 也可以包括有堆叠式地布置的多层铁电存储单元阵列（尽管多层存储单元阵列 602 之间没有实质的物理分层界面），它们在 z 方向上层叠；每层铁电存储单元阵列对应包括在 z 方向的某一高度上的一层存储单元阵列 602、该高度上对应的一字线层 603。其中，字线层 603 的每条字线在 y 方向上延伸，多条字线在 x 方向上依次平行地排列；每层存储单元阵列 602 中的多个铁电存储单元在 xy 平面内按行和列的方向排列，每层参考铁电体也在 xy 平面内按行和列的方向布置。

继续如图 3 所示，顶位元线层 605 设置在顶层位置，例如布置在字线层 603d 的上方，位线阵列 604 被布置成基本垂直于多个铁电基底层 601 并与顶位元线层 605 电性连接。顶位元线层 605 的多条位元线（例

如位元线 6051、6052、6053、6054 和 6055) 可以在 x 方向延伸, 其中多条位元线可以在 y 方向依次基本平行排列。位线通过顶位元线层 605 的位元线, 可以与铁电存储器阵列结构 60 外部的读写电路耦接。

继续如图 3 所示, 位线阵列 604 的每条位线从其与顶位元线层 605 的连接位置向下延伸并形成在存储单元阵列 602 之间的第一深槽中; 并且, 每条位线与不同字线层的多条字线在空间上正交。这样, 每条位线可以被多层铁电存储单元阵列的在其堆叠方向上对应排列的多个铁电存储单元共用。对于每个铁电存储单元来说, 其 x 方向的两侧分别邻接一字线层 603 的一字线和位线阵列 604 中的一位线, 也即, 对应正交的一字线和一位线之间的铁电体 (位于第一深槽和第二深槽之间), 形成本发明一实施例的铁电存储单元; 同样地, 每个铁电存储单元被设置在字线和位线的正交位置处, 它们形成了本发明一示例的 Crossbar 结构。

需要说明的是, 对应正交的一位线和介质层之间的铁电体, 形成本发明一实施例的参考铁电体, 该参考铁电体在上下方向上与铁电存储单元邻接, 并且, 在上下方向上交替布置的多个参考铁电体和多个铁电存储单元都是通过第一深槽和第二深槽之间的统一铁电体形成; 这样, 与第二深槽中的介质层对应邻接的铁电体部分为参考铁电体, 与第二深槽中的字线对应邻接的铁电体部分为铁电存储单元。

继续如图 3 所示, 相比于图 1 中示出的字线与铁电存储单元的布置方式, 在图 3 中, 位线在 x 方向的两侧均邻接地布置有铁电存储单元, 这样, 位线在 x 方向上的两侧分别与在 z 上对应排列的两直列铁电存储单元耦合被该两直列铁电存储单元共用。因此, 相比于图 1 实施例, 图 3 所示实施例的三维非易失性铁电存储器的铁电存储器阵列结构 60 可以减少位线, 存储密度可以进一步提高。

进一步相比于图 1 中示出的字线与铁电存储单元的布置方式, 在图 3 中, 字线层 603 的字线阵列的中间的字线被布置在两个铁电存储单元之间, 这样, 字线在 x 方向上的两侧分别与两列铁电存储单元耦合被该两列铁电存储单元共用。因此, 相比于图 1 实施例, 图 3 所示实施例的三维非易失性铁电存储器的铁电存储器阵列结构 60 可以减少字线, 存储密度可以进一步提高。

同时相比于图 1 和图 2 所示实施例的铁电存储器阵列结构, 铁电存

储器阵列结构 60 可以减少铁电基底层 601 的数量；同时可以一次生成或沉积较厚的铁电单晶层或铁电薄膜层来实现，从而，一方面，不同层的铁电存储单元阵列中的铁电存储单元以及参考铁电体在性能（例如铁电性能等）方面更一致，因此，可以获得更好的一致性，另一方面，可以大大减少铁电存储单元以及参考铁电体中的缺陷，减少无效存储单元，提高存储器的成品率。

需要说明的是，每个铁电存储单元的电畴的初始极化方向可以限定为在 x 方向上有分量，也可以理解为存储单元的电畴的初始极化方向与铁电基底层 601 存在一定的夹角但在铁电基底层 601 上有分量，但不可以与铁电基底层 601 垂直（例如不在 z 方向）。这样，铁电存储单元中的电畴的极化方向与施加在其两侧的字线和位线上的写电压信号的电场方向不垂直。如图 3 (c) 所示，实线箭头所指为铁电存储单元和铁电基底层 601 中的电畴的初始极化方向，其例如可以平行于 x 方向。将理解，每个铁电存储单元和其对应的参考铁电体（例如铁电基底层 601）的电畴的初始极化方向不限于为图 3 中示出的方向，例如其还可以与 x 方向呈一定夹角但不垂直于 x 方向，这样，在 x 方向上有分量。

需要说明的是，每个铁电存储单元的电畴的初始极化方向在 x 方向也有分量也可以理解为该初始极化方向在 x 方向上有投影。

继续如图 3 所示，存储单元阵列 602 的每个铁电存储单元在开态（ON 态）下具有单向导通特性，因此，在开态（ON 态）下读出电流时，该铁电存储单元表现为具有开关特性，并具有相对可测的开启电压 V_{on} 。对如图 3 (f) 所示的字线 603b1 和位元线 6055 所选中的铁电存储单元中，该铁电存储单元的电畴极化方向与下方和/或上方邻接的参考铁电体的极化方向相反，在它们界面处容易形成导电的畴壁（例如两个），即畴壁导电通道；对该铁电存储单元施加的电压小于矫顽电压 V_c 并大于开启电压 V_{on} 条件下，如果有较大的开态电流流过，可以读出存储的数据为“1”，反之，则读出存储的数据为“0”。

以下进一步结合图 3 (d) 至图 3 (f) 示例说明本发明一实施例的三维非易失性铁电存储器的读写工作原理。

如图 3 (d) 所示，假设铁电存储器阵列结构 60 的某个铁电存储单元被选中进行写数据“1”的操作，例如字线 603b1 和位元线 6055 被选中。

配置字线 603b1 为高电压 V_{write1} , V_{write1} 值大于铁电存储单元的矫顽电压 V_c , 将其他字线悬空或者配置为半高电平 $V_c/2$, 同时, 配置位元线 6055 接地, 其他位元线悬空或者配置为半高电平 $V_c/2$; 这样, 被选中的铁电存储单元将被施加与其初始极化方向相反的电场, 该铁电存储单元的电畴沿 x 方向的正方向发生反转, 写入数据“1”, 空心箭头所示的方向即为电畴的发生反转后的极化方向。写入数据“1”结束后, 可以将字线 603b1 和位元线 6055 悬空或者配置为半高电平 $V_c/2$ 。

如图 3 (e) 所示, 假设铁电存储器阵列结构 60 的某个铁电存储单元继续被选中进行写数据“0”的操作, 例如字线 603b1 和位元线 6055 被选中。配置字线 603b1 为接地, 将其他字线悬空或者配置为半高电平 $V_c/2$; 配置顶位元线 6055 高电压 V_{write0} , V_{write0} 值大于铁电存储单元的矫顽电压 V_c ; 这样, 被选中的铁电存储单元将被施加与初始极化方向相同的电场, 该铁电存储单元的电畴沿 x 方向的反方向发生翻转, 写入数据“0”, 空心箭头所示的方向即为电畴的发生反转后的极化方向。写入数据“0”结束后, 可以将字线 603b1 和位元线 6055 悬空或者配置为半高电平 $V_c/2$ 。

如图 3 (f) 所示, 假设铁电存储器阵列结构 60 的某个铁电存储单元继续被选中进行读操作 (例如读取数据“1”的读操作), 例如字线 603b1 和位元线 6055 被选中。配置字线 603b1 为电压 V_{read1} , V_{read1} 值大于开启电压 V_{on} 且小于铁电存储单元的矫顽电压 V_c , 将其他字线悬空或者配置为半高电平 $V_c/2$; 同时配置位元线 6055 接地, 其他位元线悬空或者配置为半高电平 $V_c/2$ 。由于选中的铁电存储单元与参考铁电体 (例如铁电基底层 601b) 之间存在畴壁导电通道 (如图 3 (f) 中黑色实线示意), 有较大的开态电流 (例如可达到 10^{-7}A 至 10^{-6}A) 流过, 从而可以读出该选中的铁电存储单元所存储的数据为“1”。读取结束后, 可以将字线 603b1 和位元线 6055 悬空或者配置为半高电平 $V_c/2$ 。同理, 可以读出畴壁消失对应的数据状态, 例如数据“0”, 此时读出非常小的关态电流, 即读出存储数据“0”。需要说明的是, 读取信息过程中所选择的读电压 V_{read} 是可调的。

图 4 所示为按照本发明第四实施例的三维非易失性铁电存储器的铁电存储器阵列结构及其操作原理的示意图。为清楚及方便说明起见, 图 4(a) 示意出该实施例的铁电存储器阵列结构 70 的三维结构示意图,

图 4(b)为无顶位元线层的铁电存储器阵列结构 70 的俯视图,图 4(c)为在图 4(a)中沿着 I-J 所绘制的剖面图,图 4(d)示意对铁电存储器阵列结构 70 的一铁电存储单元写入数据“1”的操作原理图,图 4(e)示意对铁电存储器阵列结构 70 的一铁电存储单元写入数据“0”的操作原理图,图 4(f)示意对铁电存储器阵列结构 70 的一铁电存储单元读取数据“1”的操作原理图。

如图 4 所示,铁电存储器阵列结构 70 被包含在三维非易失性铁电存储器中,对应其可以配置有相应的外围读写电路,外围读写电路的具体结构不是限制性的,为清楚描述本发明,在此省略对外围读写电路的描述。

铁电存储器阵列结构 70 可以包括:一个铁电基层 701、多层存储单元阵列 702、多个字线层 703 (例如由下至上依次堆叠地布置的字线层 703a、703b、703c 和 703d)、位线阵列 704 (例如位线阵列 704a 和 704b)、顶位元线层 705a、底位元线层 705ab 以及多层绝缘层 706。其中,最上层的绝缘层 706 可以使顶位元线层 705a 与铁电基层 701 等相隔离,中间位置的绝缘层 706 (例如介质层)可以使上下相邻的字线层 703 之间彼此隔离;其他空隙可以用绝缘材料填充。

继续如图 4 所示,一个铁电基层 701 和多层存储单元阵列 702 可以通过同一铁电单晶层或铁电薄膜层一体地形成,从而,在形成 3D 结构的多层铁电存储单元阵列时,可以大大减少铁电单晶层或铁电薄膜层的沉积次数,简化工艺过程并降低成本;例如,一次沉积或生长形成较厚的铁电单晶层或铁电薄膜层,对铁电单晶层或铁电薄膜层进行构图,形成多个深槽;深槽之间的铁电体可以被操作用来形成多层存储单元阵列 702 的多个铁电存储单元,上下相邻的铁电存储单元之间的铁电体可以用来形成参考铁电体,铁电存储单元可以被编程来与参考铁电体形成大致左右方向的畴壁导电通道,该畴壁导电通道可以用来电连接其左右两侧的字线和位线。

具体如图 4 所示,至少用于形成铁电基层 701 的铁电单晶层或铁电薄膜层可以被构图形成有在堆叠方向上延伸的第一深槽 (或深孔) 和第二深槽,位线阵列 704 的位线形成在第一深槽中,分别属于不同字线层 704 的多条字线 (例如位线 703a1、703b1、703c1、703d1) 形成在同一第二深槽中,并且,该第二深槽中还形成用于隔离多条字线

的介质层，这样，第二深槽中的上下相邻字线通过第二深槽中的介质层隔离，该介质层可以实现绝缘层 706 的部分功能。

这样，尽管多层存储单元阵列 702 中形成的多个铁电存储单元以及相应的多个参考铁电体均通过同一铁电单晶层或铁电薄膜层一体地形成，铁电存储器阵列结构 70 也可以包括有堆叠式地布置的多层铁电存储单元阵列（尽管多层存储单元阵列 702 之间没有实质的物理分层界面），它们在 z 方向上层叠；每层铁电存储单元阵列对应包括在 z 方向的某一高度上的一层存储单元阵列 702、该高度上对应的一字线层 703。其中，字线层 703 的每条字线在 y 方向上延伸，多条字线在 x 方向上依次平行地排列；每层存储单元阵列 702 中的多个铁电存储单元在 xy 平面内按行和列的方向排列，每层参考铁电体也在 xy 平面内按行和列的方向布置。

继续如图 4 所示，顶位元线层 705a 设置在顶层位置，例如布置在字线层 703d 的上方，位线阵列 704a 被布置成基本垂直于多个铁电基底层 701 并与顶位元线层 705a 电性连接；

底位元线层 705a 设置在底层位置，例如布置底层铁电存储单元阵列的下方（例如在铁电基底层 701 的下方），位线阵列 704b 被布置成基本垂直于多个铁电基底层 501 并与底位元线层 705b 电性连接。顶位元线层 705a 的多条位元线（例如位元线 705a1、705a2、705a3、705a4 和 705a5）可以在 x 方向延伸，底位元线层 705b 的多条位元线（例如位元线 705b1、705b2、705b3、705b4 和 705b5）可以在 x 方向延伸，其中多条位元线可以在 y 方向依次基本平行排列。位线通过顶位元线层 705a 或底位元线层 705b 的位元线，可以与铁电存储器阵列结构 70 外部的读写电路耦接。

继续如图 4 所示，位线阵列 704a 的每条位线从其与顶位元线层 705a 的连接位置向下延伸并形成在存储单元阵列 702 之间的第一深槽中，位线阵列 704b 的每条位线从其与底位元线层 705b 的连接位置向上延伸并形成在存储单元阵列 702 之间的第一深槽中；位线阵列 704a 的位线与位线阵列 704b 的位线在 x 方向上交替地布置；并且，每条位线与不同字线层的多条字线在空间上正交。这样，每条位线可以被多层铁电存储单元阵列的在其堆叠方向上对应排列的多个铁电存储单元共用。对于每个铁电存储单元来说，其 x 方向的两侧分别邻接一字线层 703

的一字线和位线阵列 704 中的一位线，也即，对应正交的一字线和一位线之间的铁电体（位于第一深槽和第二深槽之间），形成本发明一实施例的铁电存储单元；同样地，每个铁电存储单元被设置在字线和位线的正交位置处，它们形成了本发明一示例的 Crossbar 结构。

需要说明的是，对应正交的一位线和介质层之间的铁电体，形成本发明一实施例的参考铁电体，该参考铁电体在上下方向上与铁电存储单元邻接，并且，在上下方向上交替布置的多个参考铁电体和多个铁电存储单元都是通过第一深槽和第二深槽之间的统一铁电体形成；这样，与第二深槽中的介质层对应邻接的铁电体部分为参考铁电体，与第二深槽中的字线对应邻接的铁电体部分为铁电存储单元。

继续如图 4 所示，与图 3 所示的铁电存储阵列结构类似，位线在 x 方向上的两侧分别与在 z 上对应排列的两直列铁电存储单元耦合被该两直列铁电存储单元共用，字线在 x 方向上的两侧分别与两列铁电存储单元耦合被该两列铁电存储单元共用。因此，相比于图 1 实施例，图 4 所示实施例的三维非易失性铁电存储器的铁电存储器阵列结构 70 可以减少字线和位线，存储密度可以进一步提高。

同时相比于图 1 和图 2 所示实施例的铁电存储器阵列结构，铁电存储器阵列结构 70 可以减少铁电基底层 701 的数量；同时可以一次生成或沉积较厚的铁电单晶层或铁电薄膜层来实现，从而，一方面，不同层的铁电存储单元阵列中的铁电存储单元以及参考铁电体在性能（例如铁电性能等）方面更一致，因此，可以获得更好的一致性，另一方面，可以大大减少铁电存储单元以及参考铁电体中的缺陷，减少无效存储单元，提高存储器的成品率。

需要说明的是，每个铁电存储单元的电畴的初始极化方向可以限定为在 x 方向上有分量，也可以理解为存储单元的电畴的初始极化方向与铁电基底层 701 存在一定的夹角但在铁电基底层 701 上有分量，但不可以与铁电基底层 701 垂直（例如不在 z 方向）。这样，铁电存储单元中的电畴的极化方向与施加在其两侧的字线和位线上的写电压信号的电场方向不垂直。如图 4 (c) 所示，实线箭头所指为铁电存储单元和铁电基底层 701 中的电畴的初始极化方向，其例如可以平行于 x 方向。将理解，每个铁电存储单元和其对应的参考铁电体（例如铁电基底层 701）的电畴的初始极化方向不限于为图 4 中示出的方向，例如

其还可以与 x 方向呈一定夹角但不垂直于 x 方向，这样，在 x 方向上有分量。

需要说明的是，每个铁电存储单元的电畴的初始极化方向在 x 方向也有分量也可以理解为该初始极化方向在 x 方向上有投影。

继续如图 4 所示，存储单元阵列 702 的每个铁电存储单元在开态（ON 态）下具有单向导通特性，因此，在开态（ON 态）下读出电流时，该铁电存储单元表现为具有开关特性，并具有相对可测的开启电压 V_{on} 。对如图 4 (f) 所示的字线 703b1 和位元线 705a5 所选中的铁电存储单元中，该铁电存储单元的电畴极化方向与下方和/或上方邻接的参考铁电体的极化方向相反，在它们界面处容易形成导电的畴壁（例如两个），即畴壁导电通道；对该铁电存储单元施加的电压小于矫顽电压 V_c 并大于开启电压 V_{on} 条件下，如果有较大的开态电流流过，可以读出存储的数据为“1”，反之，则读出存储的数据为“0”。

以下进一步结合图 4 (d) 至图 4 (f) 示例说明本发明一实施例的三维非易失性铁电存储器的读写工作原理。

如图 4 (d) 所示，假设铁电存储器阵列结构 70 的某个铁电存储单元被选中进行写数据“1”的操作，例如字线 703b1 和位元线 705a5 被选中。配置字线 703b1 为高电压 V_{write1} ， V_{write1} 值大于铁电存储单元的矫顽电压 V_c ，将其他字线悬空或者配置为半高电平 $V_c/2$ ，同时，配置位元线 705a5 接地，其他位元线悬空或者配置为半高电平 $V_c/2$ ；这样，被选中的铁电存储单元将被施加与其初始极化方向相反的电场，该铁电存储单元的电畴沿 x 方向的正方向发生反转，写入数据“1”，空心箭头所示的方向即为电畴的发生反转后的极化方向。写入数据“1”结束后，可以将字线 703b1 和位元线 705a5 悬空或者配置为半高电平 $V_c/2$ 。

如图 4 (e) 所示，假设铁电存储器阵列结构 70 的某个铁电存储单元继续被选中进行写数据“0”的操作，例如字线 703b1 和位元线 705a5 被选中。配置字线 703b1 为接地，将其他字线悬空或者配置为半高电平 $V_c/2$ ；配置顶位元线 705a5 高电压 V_{write0} ， V_{write0} 值大于铁电存储单元的矫顽电压 V_c ；这样，被选中的铁电存储单元将被施加与初始极化方向相同的电场，该铁电存储单元的电畴沿 x 方向的反方向发生翻转，写入数据“0”，空心箭头所示的方向即为电畴的发生反转后的极化方向。写入数据“0”结束后，可以将字线 703b1 和位元线 705a5 悬空或者配置

为半高电平 $V_c/2$ 。

如图 4 (f) 所示, 假设铁电存储器阵列结构 70 的某个铁电存储单元继续被选中进行读操作 (例如读取数据“1”的读操作), 例如字线 703b1 和位元线 705a5 被选中。配置字线 703b1 为电压 V_{read1} , V_{read1} 值大于开启电压 V_{on} 且小于铁电存储单元的矫顽电压 V_c , 将其他字线悬空或者配置为半高电平 $V_c/2$; 同时配置位元线 705a5 接地, 其他位元线悬空或者配置为半高电平 $V_c/2$ 。由于选中的铁电存储单元与参考铁电体 (例如铁电基底层 701b) 之间存在畴壁导电通道 (如图 4 (f) 中黑色实线示意), 有较大的开态电流 (例如可达到 $10^{-7}A$ 至 $10^{-6}A$) 流过, 从而可以读出该选中的铁电存储单元所存储的数据为“1”。读取结束后, 可以将字线 703b1 和位元线 705a5 悬空或者配置为半高电平 $V_c/2$ 。同理, 可以读出畴壁消失对应的数据状态, 例如数据“0”, 此时读出非常小的关态电流, 即读出存储数据“0”。

图 5 所示为按照本发明第五实施例的三维非易失性铁电存储器的铁电存储器阵列结构及其操作原理的示意图。为清楚及方便说明起见, 图 5(a) 示意出该实施例的铁电存储器阵列结构 80 的三维结构示意图, 图 5 (b) 为在图 5 (a) 中沿着 I-J 所绘制的剖面图, 图 5 (c) 示意对铁电存储器阵列结构 80 的一铁电存储单元写入数据“1”的操作原理图, 图 5(d) 示意对铁电存储器阵列结构 80 的一铁电存储单元写入数据“0”的操作原理图, 图 5 (e) 示意对铁电存储器阵列结构 80 的一铁电存储单元读数据“1”的操作原理图。

如图 5 所示, 铁电存储器阵列结构 80 被包含在三维非易失性铁电存储器中, 对应其可以配置有相应的外围读写电路, 外围读写电路的具体结构不是限制性的, 为清楚描述本发明, 在此省略对外围读写电路的描述。

铁电存储器阵列结构 80 可以包括: 多个铁电薄膜层 801 (例如由下至上依次堆叠地布置的铁电薄膜层 801a、801b 和 801c)、对应分别在多层铁电薄膜层 801 中形成的多层存储单元阵列 802、多个字线层 803 (例如由下至上依次堆叠地布置的字线层 803a、803b 和 803c)、多个位线层 804 (例如由下至上依次堆叠地布置的位线层 804a、804b 和 804c) 以及多层绝缘层 806。

这样, 铁电存储器阵列结构 80 包括有堆叠式地布置的多层铁电存

储单元阵列,它们在 z 方向上依次层叠,也即它们的堆叠方向为 z 方向;每层铁电存储单元阵列对应包括一位线层 804、一铁电薄膜层 801、一字线层 803 和一绝缘层 806。

其中,每一字线层 803 的每条字线在 y 方向上延伸,多条字线在 x 方向上依次平行地排列,例如字线层 803a 的字线 803a1、803a2、803a3 和 803a4 平行地排列、字线层 803c 的字线 803c1、803c2、803c3 和 803c4 平行地排列;每一位线层 804 的每条位线在 x 方向上延伸,多条位线在 y 方向上依次平行地排列,例如位线层 804a 的位线 804a1、804a2、804a3 和 804a4 平行地排列、位线层 804c 的位线 804c1、804c2、804c3 和 804c4 平行地排列。这样,每层铁电存储单元阵列中,位线与字线在空间上正交,在对应字线和位线的正交位置处,铁电薄膜层 801 中形成存储单元阵列 802 的铁电存储单元,铁电存储单元可以在铁电薄膜层 801 中按行和列地形成。字线、铁电存储单元和位线形成了本发明一示例的 Crossbar 结构。每层存储单元阵列 802 中的多个铁电存储单元按行和列的方向排列,例如在 x 方向和 y 方向上点阵排列,每层铁电薄膜层 801 在 xy 平面内布置。

需要说明的是,铁电薄膜层 801 中的铁电存储单元之外的部分可以用作参考铁电体(例如也可以称为“参考单元”),其与每个铁电存储单元邻接,在它们大致的邻接位置可以建立畴壁导电通道。

每个铁电存储单元的电畴的初始极化方向可以限定为在 x 方向上有分量,也可以理解为存储单元的电畴的初始极化方向与铁电薄膜层 801 存在一定的夹角但在铁电薄膜层 801 上有分量,但不可以与铁电薄膜层 801 垂直(例如不在 z 方向)。这样,铁电存储单元中的电畴的极化方向与施加在其两侧的字线和位线上的写电压信号的电场方向不垂直。如图 5(b)所示,实线箭头所指为铁电存储单元和铁电薄膜层 801 中的电畴的初始极化方向,其例如可以平行于 z 方向。将理解,每个铁电存储单元和其对应的参考铁电体(例如铁电薄膜层 801)的电畴的初始极化方向不限于为图 5 中示出的方向,例如其还可以与 z 方向呈一定夹角但不垂直于 z 方向,这样,在 z 方向上有分量。

如图 5(a)所示,铁电薄膜层 801、字线层 803 和位线层 804 可具有但不限于为三个层级。字线层 803 可以在 z 方向上垂直对准,即,在多个层级中的每一者中的字线可定位于每一层级的相同位置处,以

便于不同层的字线在 z 方向上对准;位线层 804 可以在 z 方向上垂直对准,即,在多个层级中的每一者中的位线可定位于每一层级的相同位置处,以便于不同层的位线在 z 方向上对准。

继续如图 5 所示,存储单元阵列 802 的每个铁电存储单元在开态 (ON 态) 下具有单向导通特性,因此,在开态 (ON 态) 下读出电流时,该铁电存储单元表现为具有开关特性,并具有相对可测的开启电压 V_{on} 。对如图 5 (e) 所示的字线 803b1 和位元线 804c4 所选中的铁电存储单元中,该铁电存储单元的电畴极化方向与下方邻接的参考铁电体的极化方向相反,在它们界面处容易形成导电的畴壁,即畴壁导电通道;对该铁电存储单元施加的电压小于矫顽电压 V_c 并大于开启电压 V_{on} 条件下,如果有较大的开态电流流过,可以读出存储的数据为“1”,反之,则读出存储的数据为“0”。

以下进一步结合图 5 (c) 至图 5 (e) 示例说明本发明一实施例的三维非易失性铁电存储器的读写工作原理。

如图 5 (c) 所示,假设铁电存储器阵列结构 80 的某个铁电存储单元被选中进行写数据“1”的操作,例如字线 803b1 和位元线 804c4 被选中。配置字线 803b1 为高电压 V_{write1} , V_{write1} 值大于铁电存储单元的矫顽电压 V_c , 将其他字线悬空或者配置为半高电平 $V_c/2$, 同时,配置位元线 804c4 接地,其他位元线悬空或者配置为半高电平 $V_c/2$; 这样,被选中的铁电存储单元将被施加与其初始极化方向相反的电场,该铁电存储单元的电畴沿 x 方向的正方向发生反转,写入数据“1”,空心箭头所示的方向即为电畴的发生反转后的极化方向。写入数据“1”结束后,可以将字线 803b1 和位元线 804c4 悬空或者配置为半高电平 $V_c/2$ 。

如图 5 (d) 所示,假设铁电存储器阵列结构 80 的某个铁电存储单元继续被选中进行写数据“0”的操作,例如字线 803b1 和位元线 804c4 被选中。配置字线 803b1 为接地,将其他字线悬空或者配置为半高电平 $V_c/2$; 配置顶位元线 804c4 高电压 V_{write0} , V_{write0} 值大于铁电存储单元的矫顽电压 V_c ; 这样,被选中的铁电存储单元将被施加与初始极化方向相同的电场,该铁电存储单元的电畴沿 x 方向的反方向发生翻转,写入数据“0”,空心箭头所示的方向即为电畴的发生反转后的极化方向。写入数据“0”结束后,可以将字线 803b1 和位元线 804c4 悬空或者配置为半高电平 $V_c/2$ 。

如图 5 (e) 所示, 假设铁电存储器阵列结构 80 的某个铁电存储单元继续被选中进行读操作 (例如读取数据“1”的读操作), 例如字线 803b1 和位元线 804c4 被选中。配置字线 803b1 为电压 V_{read1} , V_{read1} 值大于开启电压 V_{on} 且小于铁电存储单元的矫顽电压 V_c , 将其他字线悬空或者配置为半高电平 $V_c/2$; 同时配置位元线 804c4 接地, 其他位元线悬空或者配置为半高电平 $V_c/2$ 。由于选中的铁电存储单元与参考铁电体 (例如铁电薄膜层 801b) 之间存在畴壁导电通道 (如图 5 (e) 中黑色实线示意), 有较大的开态电流 (例如可达到 10^{-7}A 至 10^{-6}A) 流过, 从而可以读出该选中的铁电存储单元所存储的数据为“1”。读取结束后, 可以将字线 803b1 和位元线 804c4 悬空或者配置为半高电平 $V_c/2$ 。同理, 可以读出畴壁消失对应的数据状态, 例如数据“0”, 此时读出非常小的关态电流, 即读出存储数据“0”。

由此可见, 利用本发明以上实施例的 3D 非易失性铁电存储器的铁电存储单元的单向导通特性, 使在特别是读操作时, 大大降低对选中的铁电存储单元的邻近存储单元的产生串扰, 漏电功耗也小; 因此, 对于铁电存储单元来说, 完全可以直接省去选通管或开关管, Crossbar 结构也变得更简单、成本更低。

还需要说明的是, 以上实施例的使用 Crossbar 结构的铁电存储器阵列结构 40-80 完全可以实现多层铁电存储单元阵列的三维堆叠, 大大提高存储密度, 明显降低单位存储容量的制造成本。

需要理解的是, 尽管以上图 1 至图 5 中是以 3 层或 4 层铁电存储单元阵列来示例说明的, 铁电存储器阵列结构 40 中所堆叠的铁电存储单元阵列层数不是限制性的, 本领域技术人员可以根据存储密度等要求来选择铁电存储单元阵列的层数; 当然, 两个或两个以上的铁电存储器阵列结构 40 也可以在 z 方向上堆叠地设置来提高存储密度。

在以上图 1 至图 5 实施例的 3D 非易失性铁电存储器中, 铁电存储单元和/或参考铁电体的铁电单晶层或铁电薄膜层所使用的铁电材料选择以下的一种或多种:

铁电材料为钽酸锂盐 LiTaO_3 、铌酸锂盐 LiNbO_3 或铁酸铋 BiFeO_3 ,
掺杂选自 MgO 、 Mn_2O_5 、 Fe_2O_3 、 La_2O_3 的一种或多种的钽酸锂盐 LiTaO_3 、铌酸锂盐 LiNbO_3 或铁酸铋 BiFeO_3 ,
锆钛酸铅 $(\text{Pb,Zr})\text{TiO}_3$ 或 BaTiO_3 ,

黑化钽酸锂盐 LiTaO_3 或铌酸锂盐 LiNbO_3 。

在本发明一具体实施例中，在 X 切割的掺 5%Mg 铌酸锂(LiNbO_3) 单晶表面成功制备尺寸为 $200 \times 200 \text{ nm}^2$ 单个铁电存储单元；其中图 9a 示出了尺寸为 $200 \times 200 \text{ nm}^2$ 存储单元的原子力形貌像，器件两端连接左右电极(L 和 R)；图 9b 为面内压电成像，通过在 L 和 R 电极上施加一个大于矫顽电压(V_c)的写电压 ($\pm 10\text{V}$)，可以实现铁电畴向右或向左的反转，即图中黑色或白色成像区域，从而非挥发地存储逻辑“1”和“0”的数据信息。

需要特别说明的是，每个铁电存储单元的开态电流天然地具有二极管电流单向导通特性，且每个单元中开态电流读电压需大于一个大小可调的 V_{on} 。通过改变电极和铁电存储单元接触的间距 ($0-100\text{nm}$)，可以调节电流读出的开启电压。图 6(a) 左边显示在 LiNbO_3 单晶表面所制备的另外两个铁电存储单元的扫描电镜的形貌像，右电极与铁电存储单元的间隙(g)分别为 0nm (图 6(a) 的左上图) 和 49nm (图 6(a) 的左下图)。图 6(a) 的右图显示以上两种器件分别在 $\pm 12\text{V}$ 写入“1” (黑色曲线) 和“0” (灰色曲线) 信息后所测量的电流-电压(I-V)曲线。当写入“1”信息后，铁电存储单元内写入电畴与底部不变的块体电畴反平行，它们之间形成导电畴壁，当 I-V 曲线测量电压从 0V 增大时，电流开始为 0，但是当电压大于某一开启电压 V_{on} 时，电流突然增大，而且 V_{on} 随右电极与铁电存储单元的间隙 g 变化：当 $g=0\text{nm}$ 时， $V_{on}=1.8\text{V}$ ；当 $g=49\text{nm}$ 时， $V_{on}=5\text{V}$ 。以上研究结果证明，开启电压 V_{on} 可调，图 6(b) 的测量结果证明了 V_{on} 随间隙 g 线性变化。 V_{on} 可调为 Crossbar 阵列中读电压的选择提供便利。

在本发明又一具体实施例中，在硅单晶衬底上通过离子键合低温制备的 300nm 厚度的 LN 单晶薄膜，然后在薄膜表面制备的尺寸为 $200 \times 200 \text{ nm}^2$ 铁电存储单元。

如图 7 所示，在 $\pm 5\text{V}$ 写入“1” (黑色曲线) 和“0” (灰色曲线) 信息后，器件读出电流分别处于开态和关态。电流-电压曲线测量结果证明，开启电压为 2.7V ，矫顽电压 V_c 约为 4V 。

在以上描述中，使用方向性术语以及类似术语描述的各种实施方式的部件表示附图中示出的方向或者能被本领域技术人员理解的方向。这些方向性术语用于相对的描述和澄清，而不是要将任何实施例的定

向限定到具体的方向或定向。示例地，在其他替换实施例中，以上“列”对应的方向也可以变换为“行”对应的方向，同时以上“行”对应的方向也可以变换为“列”对应的方向。

以上例子主要说明了本发明的低功耗 3D 非易失性铁电存储器。尽管只对其中一些本发明的实施方式进行了描述，但是本领域普通技术人员应当了解，本发明可以在不偏离其主旨与范围内以许多其他的形式实施。因此，所展示的例子与实施方式被视为示意性的而非限制性的，在不脱离如所附各权利要求所定义的本发明精神及范围的情况下，本发明可能涵盖各种的修改与替换。

权 利 要 求

1. 一种三维非易失性铁电存储器，其包括铁电存储器阵列结构，其特征在于，所述铁电存储器阵列结构包括堆叠式地布置的多层铁电存储单元阵列，每层铁电存储器单元阵列包括按行和列排列的铁电存储单元；

其中，对应所述铁电存储单元的两侧分别相对地布置有基本正交的字线和位线，对应所述铁电存储单元邻接地布置参考铁电体；

所述铁电存储单元中的电畴的极化方向与施加在所述字线和位线上的写电压信号的电场方向不垂直；并且，在所述字线和位线之间施加所述写电压信号时，能够使所述铁电存储单元的电畴发生反转并与其邻接的所述参考铁电体之间建立畴壁导电通道，其中，所述畴壁导电通道能电连接所述铁电存储单元的两侧的字线和位线。

2. 如权利要求 1 所述的三维非易失性铁电存储器，其特征在于，所述铁电存储单元和所述参考铁电体通过同一铁电单晶层或铁电薄膜层一体地形成。

3. 如权利要求 1 所述的三维非易失性铁电存储器，其特征在于，每条所述位线被所述多层铁电存储单元阵列的在其堆叠方向上对应排列的多个铁电存储单元共用；每层所述铁电存储单元阵列的每条位线被该铁电存储单元阵列的在列/行方向上对应排列的多个铁电存储单元共用。

4. 如权利要求 3 所述的三维非易失性铁电存储器，其特征在于，还包括：

位元线层，其被布置在所述多层铁电存储单元阵列的顶层和/或底层，其中所述位元线层的每条与在行/列方向上依次排列的多条所述位线电连接。

5. 如权利要求 3 所述的三维非易失性铁电存储器，其特征在于，所述字线在行/列方向上的两侧分别与两列/行所述铁电存储单元耦合被所述两列/行铁电存储单元共用；和/或

所述位线在行/列方向上的两侧分别与在所述堆叠方向上对应排列的两直列所述铁电存储单元耦合被所述两直列铁电存储单元共用。

6. 如权利要求 3 所述的三维非易失性铁电存储器，其特征在于，所述多层铁电存储单元阵列的所述铁电存储单元以及相应的所述参考铁电体均通过同一铁电单晶层或铁电薄膜层一体地形成。

7. 如权利要求 6 所述的三维非易失性铁电存储器，其特征在于，所述铁电单晶层或铁电薄膜层被构图形成有在所述堆叠方向上延伸的第一深槽和第二深槽，所述位线形成在所述第一深槽中，多条所述字线形成在同一所述第二深槽中并且相应的所述字线通过第二深槽中的介质层隔离；

其中，所述多层铁电存储单元阵列的所述铁电存储单元以及相应的所述参考铁电体被形成在所述第一深槽和第二深槽之间的铁电体之中，与所述第二深槽中的介质层对应邻接的铁电体部分为所述参考铁电体，与所述第二深槽中的字线对应邻接的铁电体部分为所述铁电存储单元。

8. 如权利要求 6 所述的三维非易失性铁电存储器，其特征在于，同一所述第二深槽中的多条所述字线和多个介质层在所述堆叠方向上依次交错设置，多个所述参考铁电体和多个所述铁电存储单元在所述堆叠方向上依次交错设置。

9. 如权利要求 3 所述的三维非易失性铁电存储器，其特征在于，每层所述铁电存储单元阵列包括：

作为所述参考铁电体的铁电基层层；

相对所述铁电基层层凸起设置的按行和列排列的多个铁电存储单元；以及

在所述铁电基层层上布置的包括多条字线的字线层；

其中，所述位线在所述堆叠方向上延伸穿过多层所述铁电存储单元阵列的铁电基层层。

10. 如权利要求 1 所述的三维非易失性铁电存储器，其特征在于，每层所述铁电存储单元阵列包括：

用于形成多条位线/字线的位线层/字线层；

在所述位线层上的铁电体层；

在所述铁电体层上的用于形成多条字线/位线的字线层/位线层；

其中，对应所述字线和所述位线的交接位置的铁电体层用于形成所述铁电存储单元，铁电体层的剩余部分用于形成所述参考铁电体。

11. 如权利要求 1 所述的三维非易失性铁电存储器, 其特征在于, 每个所述铁电存储单元在开态下具有单向导通特性。

12. 如权利要求 11 所述的三维非易失性铁电存储器, 其特征在于, 所述三维非易失性铁电存储器的读电压大于所述铁电存储单元的使其单向导通的开启电压且小于所述铁电存储单元的矫顽电压。

13. 如权利要求 2 所述的三维非易失性铁电存储器, 其特征在于, 所述铁电单晶层或铁电薄膜层所使用的铁电材料选择以下的一种或多种:

铁电材料为钽酸锂盐 LiTaO_3 、铌酸锂盐 LiNbO_3 或铁酸铋 BiFeO_3 ,
掺杂选自 MgO 、 Mn_2O_5 、 Fe_2O_3 或 La_2O_3 的钽酸锂盐 LiTaO_3 、铌酸锂盐 LiNbO_3 或铁酸铋 BiFeO_3 ,

锆钛酸铅 $(\text{Pb,Zr})\text{TiO}_3$ 或 BaTiO_3 ,

黑化钽酸锂盐 LiTaO_3 或铌酸锂盐 LiNbO_3 。

14. 如权利要求 1 所述的三维非易失性铁电存储器, 其特征在于, 所述铁电存储单元的电畴的极化方向与其两侧的所述字线和位线的连线方向存在夹角并且使所述电畴在该连线方向上有分量。

1/6

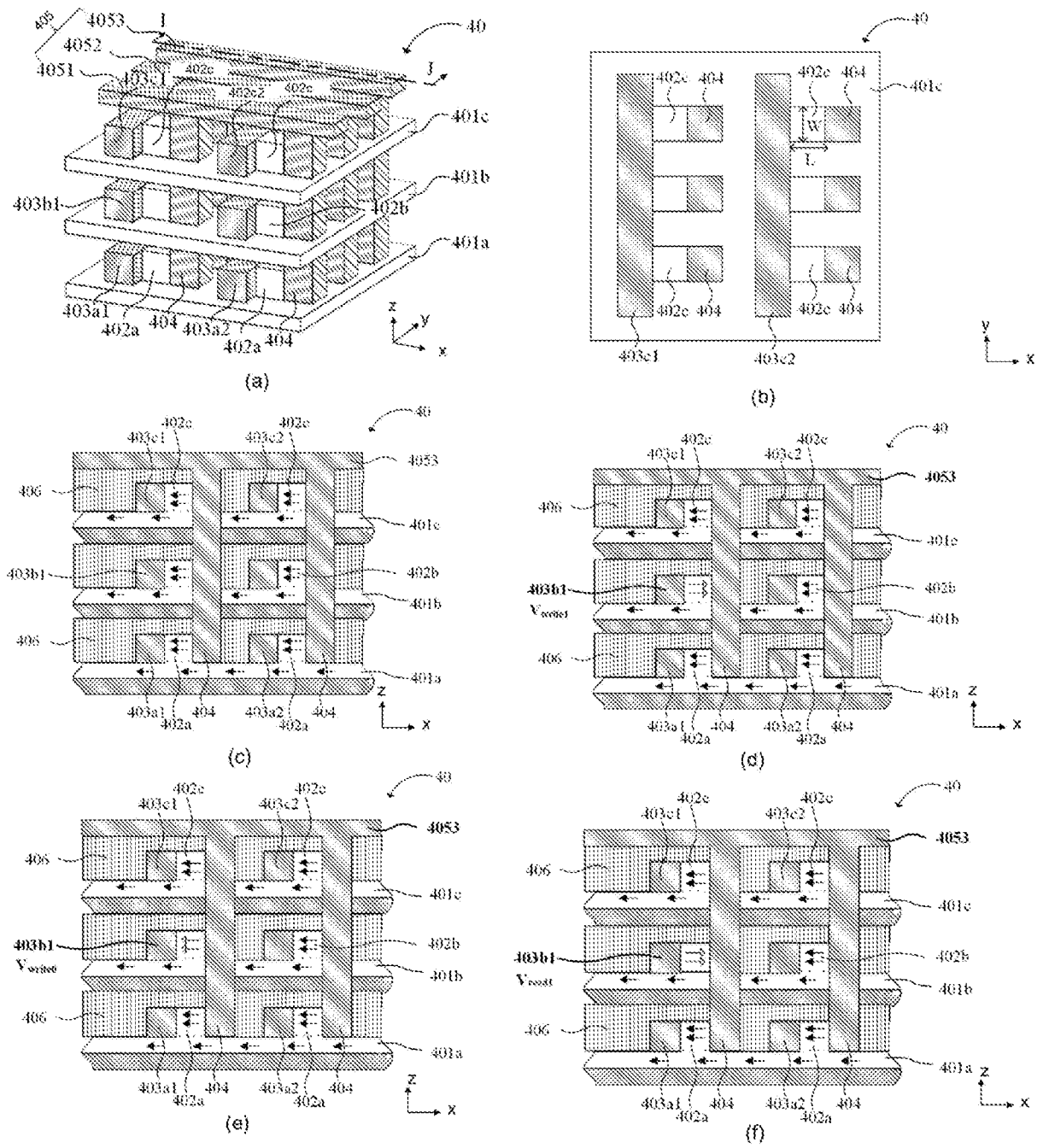


图 1

2/6

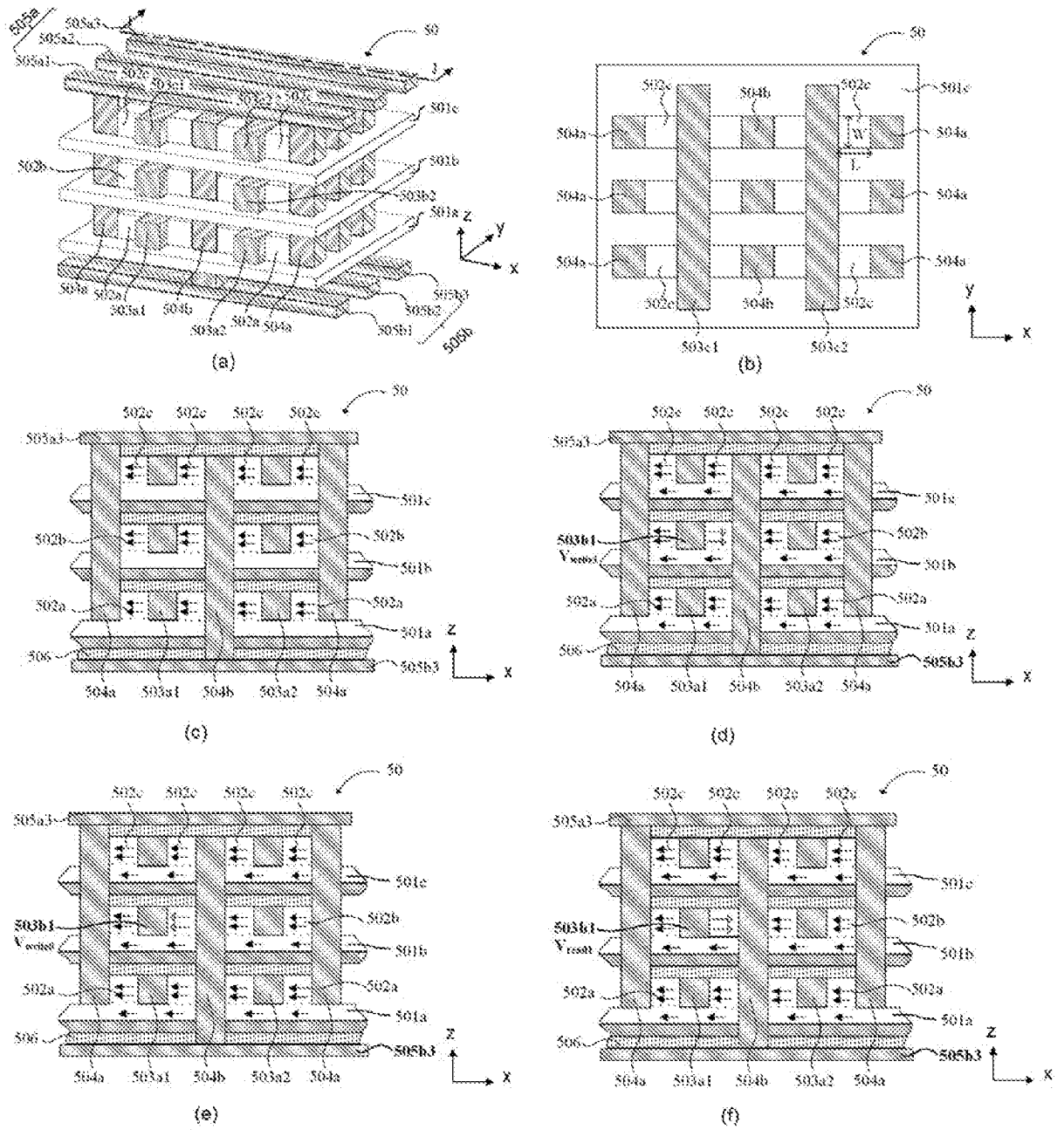


图 2

3/6

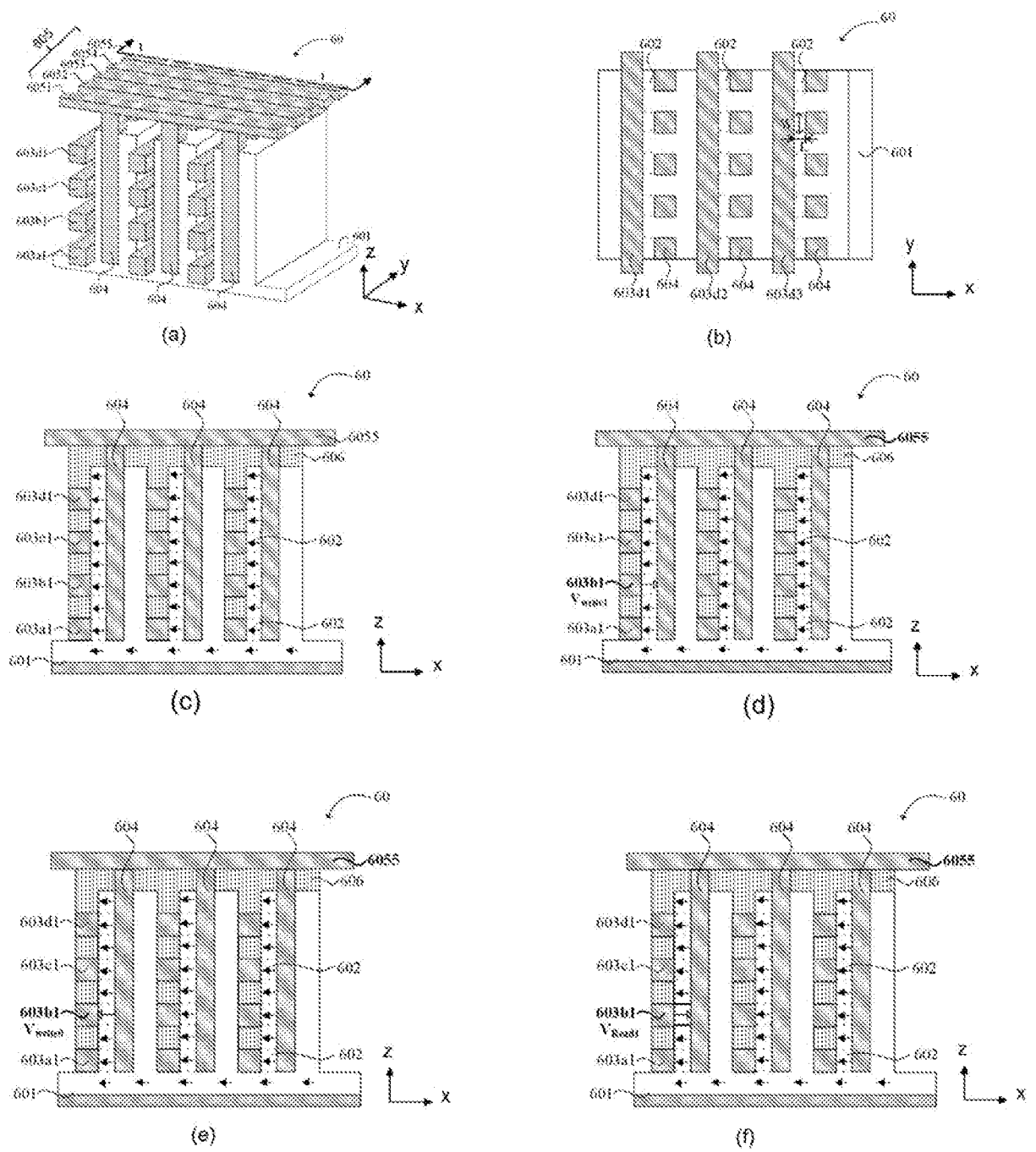
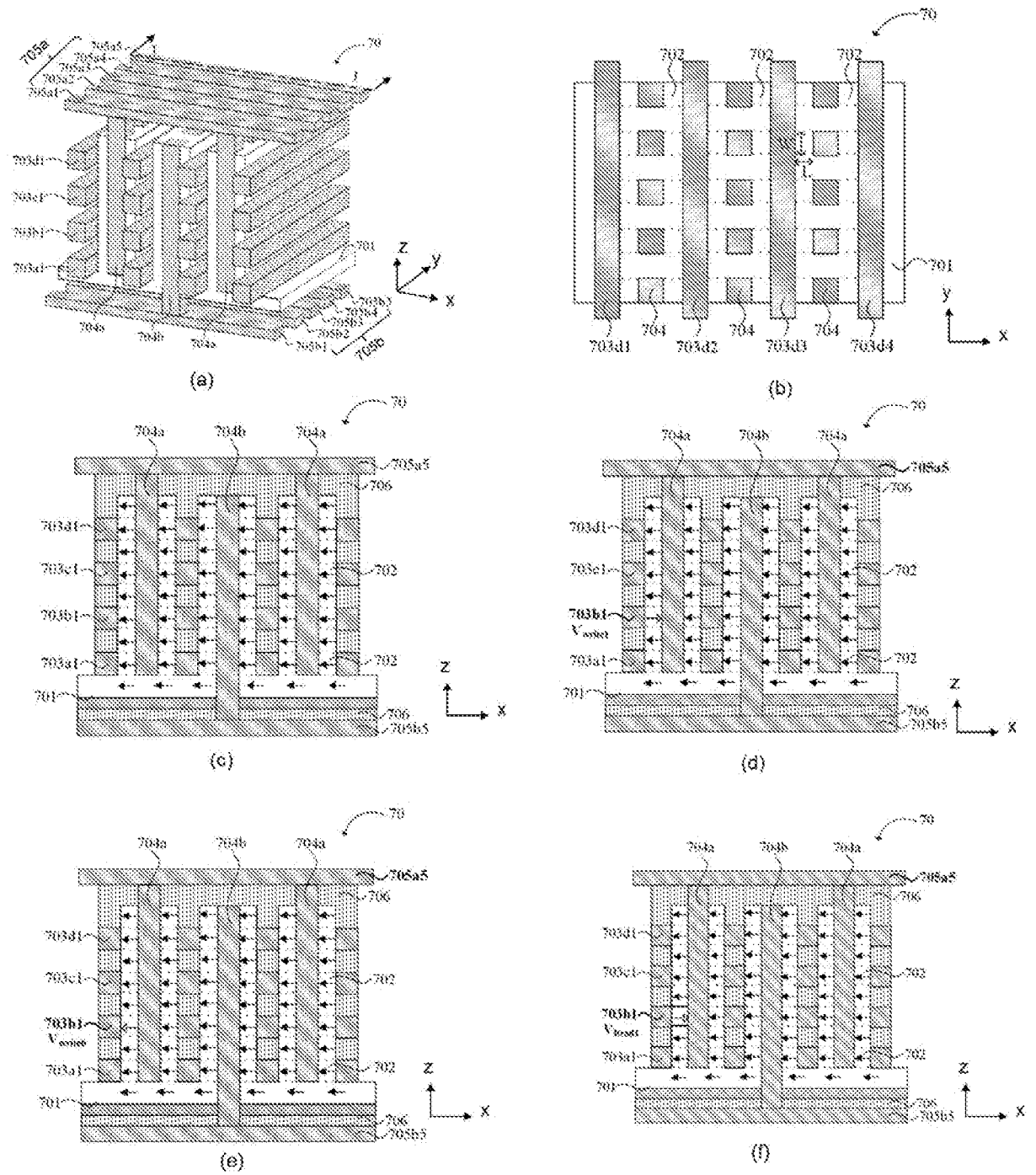


图 3

4/6



5/6

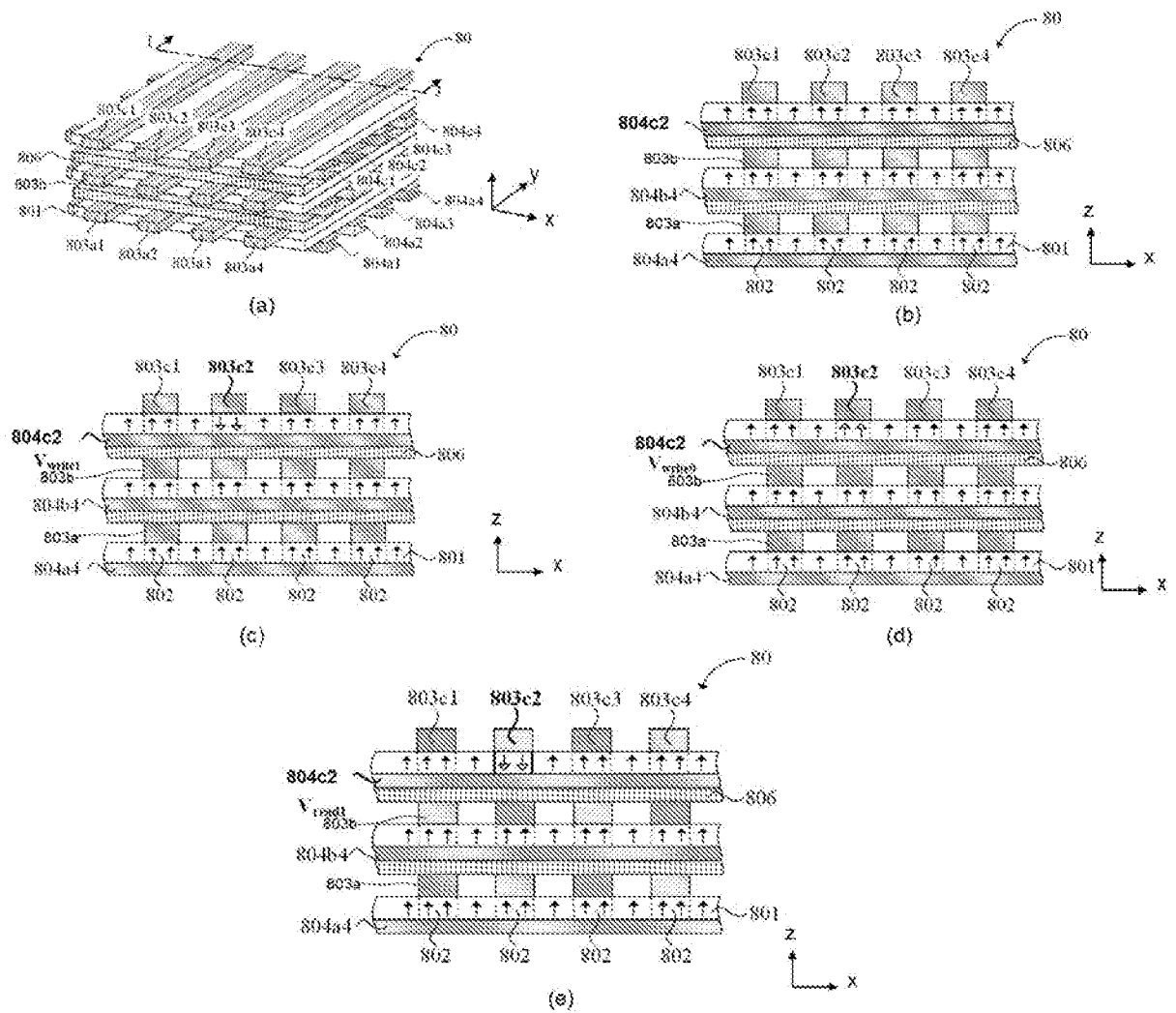


图 5

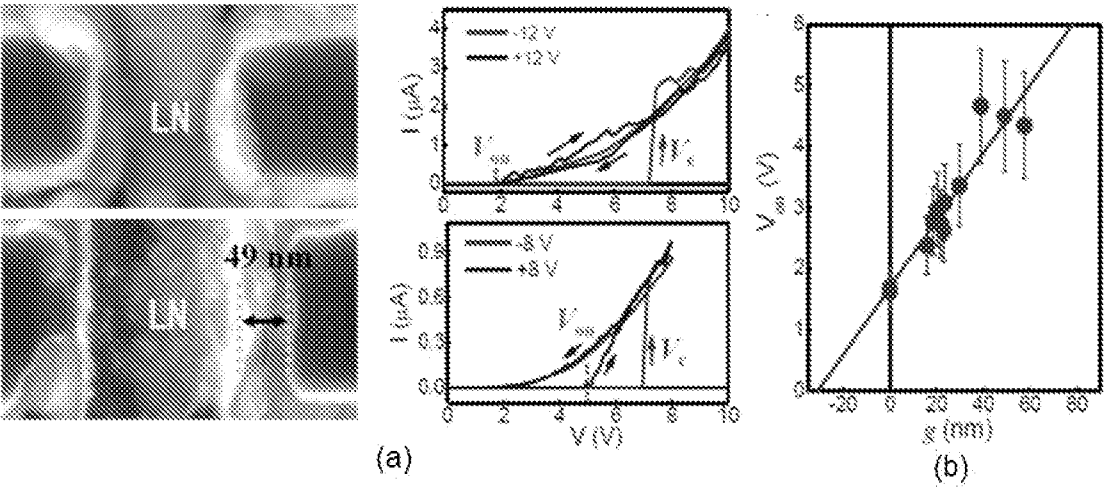


图 6

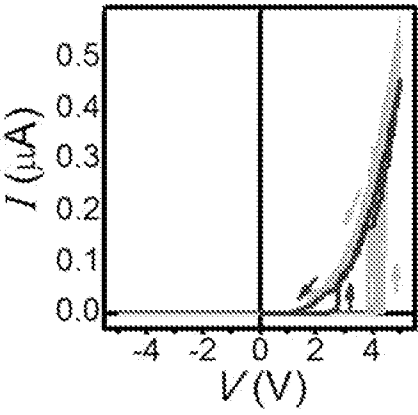


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/119974

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/11504(2017.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, IEEE: 铁电存储器, 三维, 3D, 堆叠, 参考, 基准, 存储阵列, 电畴, 电场, 不垂直, ferroelectric random access memory, FeRAM, ferroelectric domain, reference, three-dimensional, array, stack

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2018005682 A1 (MICRON TECHNOLOGY INC.) 04 January 2018 (2018-01-04) description, paragraphs [0032] and [0071], and figure 2	1-14
A	US 2004114416 A1 (NOH, K.H.) 17 June 2004 (2004-06-17) entire document	1-14
A	CN 1574356 A (HITACHI GLOBAL STORAGE TECHNOLOGIES NETHERLANDS B.V.) 02 February 2005 (2005-02-02) entire document	1-14
A	CN 1892897 A (SEIKO EPSON CORPORATION) 10 January 2007 (2007-01-10) entire document	1-14
A	CN 108520879 A (XIANGTAN UNIVERSITY) 11 September 2018 (2018-09-11) entire document	1-14

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 June 2019

Date of mailing of the international search report

28 June 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/119974

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2018005682	A1	04 January 2018	None			
US	2004114416	A1	17 June 2004	KR	20040051680	A	19 June 2004
CN	1574356	A	02 February 2005	JP	2004362753	A	24 December 2004
				SG	148016	A1	31 December 2008
				US	2008037349	A1	14 February 2008
				US	2004245547	A1	09 December 2004
				KR	20040104413	A	10 December 2004
				EP	1492124	A2	29 December 2004
				TW	200509365	A	01 March 2005
CN	1892897	A	10 January 2007	JP	2007013011	A	18 January 2007
				US	2007002605	A1	04 January 2007
				KR	20070003567	A	05 January 2007
				KR	20070120932	A	26 December 2007
				JP	2007227547	A	06 September 2007
CN	108520879	A	11 September 2018	None			

国际检索报告

国际申请号

PCT/CN2018/119974

A. 主题的分类 H01L 27/11504 (2017.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L; G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) WPI, EPDOC, CNPAT, CNKI, IEEE: 铁电存储器, 三维, 3D, 堆叠, 参考, 基准, 存储阵列, 电畴, 电场, 不垂直, ferroelectric random access memory, FeRAM, ferroelectric domain, reference, three-dimensional, array, stack		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US 2018005682 A1 (MICRON TECHNOLOGY INC.) 2018年 1月 4日 (2018 - 01 - 04) 说明书第[0032]段, 第[0071]段, 图2	1-14
A	US 2004114416 A1 (NOH, KEUM HWAN) 2004年 6月 17日 (2004 - 06 - 17) 全文	1-14
A	CN 1574356 A (日立环球储存科技荷兰有限公司) 2005年 2月 2日 (2005 - 02 - 02) 全文	1-14
A	CN 1892897 A (精工爱普生株式会社) 2007年 1月 10日 (2007 - 01 - 10) 全文	1-14
A	CN 108520879 A (湘潭大学) 2018年 9月 11日 (2018 - 09 - 11) 全文	1-14
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2019年 6月 12日		2019年 6月 28日
ISA/CN的名称和邮寄地址		受权官员
中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		曾璇 电话号码 86-(10)-53961373

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/119974

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2018005682	A1	2018年 1月 4日	无			
US	2004114416	A1	2004年 6月 17日	KR	20040051680	A	2004年 6月 19日
CN	1574356	A	2005年 2月 2日	JP	2004362753	A	2004年 12月 24日
				SG	148016	A1	2008年 12月 31日
				US	2008037349	A1	2008年 2月 14日
				US	2004245547	A1	2004年 12月 9日
				KR	20040104413	A	2004年 12月 10日
				EP	1492124	A2	2004年 12月 29日
				TW	200509365	A	2005年 3月 1日
CN	1892897	A	2007年 1月 10日	JP	2007013011	A	2007年 1月 18日
				US	2007002605	A1	2007年 1月 4日
				KR	20070003567	A	2007年 1月 5日
				KR	20070120932	A	2007年 12月 26日
				JP	2007227547	A	2007年 9月 6日
CN	108520879	A	2018年 9月 11日	无			