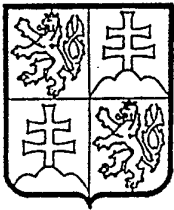


ČESKÁ A SLOVENSKÁ
FEDERATIVNÍ
REPUBLIKA
(19)



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

PATENTOVÝ SPIS 275 754

(21) Číslo přihlášky : 5262-88. T

(22) Přihlášeno : 22 07 88

(30) Prioritní data :

(40) Zveřejněno : 12 10 90

(47) Uděleno : 20 12 91

(24) Oznámeno udělení ve Věstníku : 18 03 92

(13) Druh dokumentu : B6

(51) Int. Cl.⁵ :

G 06 F 5/06

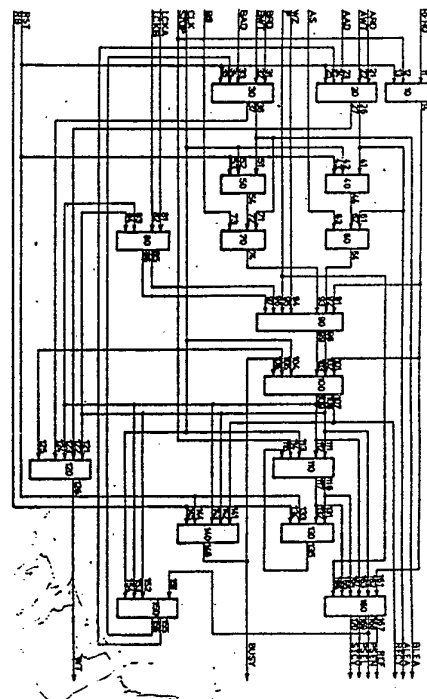
(73) Majitel patentu : VÝSKUMNÝ ÚSTAV VÝPOČTOVEJ TECHNIKY, š. p.,
ŽILINA

(72) Původce vynálezu : KIRNER JOZEF ing.,
HOGHOVÁ DAGMAR ing., ŽILINA

(54) Název vynálezu : Arbitr dvojportového památového
zariadenia

(57) Anotace :

Riešeným problémom je návrh zapojenia arbitra dvojportového pamätového zariadenia. Podstatou riešenia je zapojenie, ktoré vykonáva v pamätovom zariadení arbitráž medzi požiadavkou o vykonanie cyklu v režime obnovenia, požiadavkou o vykonanie cyklu v režime čítania a zápisu z prvého portu a požiadavkou o vykonanie cyklu v režime čítania alebo zápisu z druhého portu. Požiadavky o vykonanie cyklu z prvého portu a z druhého portu môžu byť synchronne alebo asynchrónne ku hodinovému vstupu arbitra dvojportového zariadenia a ich priorita je voliteľná. Zapojenie, ktoré je možné realizovať ako monolitický integrovaný obvod na báze hradlového poľa HP200, je určené pre použitie v dvojportových pamätových zariadeniach s dynamickými pamätovými integrovanými obvodmi v mikropočítačoch a minipočítačoch. Toto zapojenie pri čiastočnom využití jeho funkcie je možné použiť v jednoportových pamätových zariadeniach s dynamickými pamätovými integrovanými obvodmi, alebo v dvojportových pamätových zariadeniach so statickými pamätovými integrovanými obvodmi.



Vynález sa týka arbitra dvojportového pamäťového zariadenia.

V doteraz známych pamäťových zariadeniach s dynamickými pamäťovými integrovanými obvodmi je zapojenie arbitra dvojportového pamäťového zariadenia realizované integrovanými obvodmi VLSI TTL, alebo môže byť realizované dvadsiatimi integrovanými obvodmi SSI TTL. Nevýhodou zapojenia s integrovanými obvodmi VLSI TTL je to, že nie sú vyrábané v štátoch RVHP, z čoho vyplývajú vyššie finančné náklady pri jeho použití. Nevýhodou zapojenia s vyššie uvedeným počtom integrovaných obvodov SSI TTL sú jeho horšie dynamické a statické parametre a nižšia spoľahlivosť.

Uvedené nedostatky odstraňuje arbiter dvojportového pamäťového zariadenia podľa vynálezu, ktorého podstatou je to, že vstup požiadavky o obnovenie je pripojený na prvý vstup registra požiadavky o obnovenie, vstup požiadavky prvého portu o čítanie je pripojený na prvý vstup registra požiadaviek prvého portu, vstup požiadavky prvého portu o zápis je pripojený na druhý vstup registra požiadaviek prvého portu, vstup adresného výberu prvého portu je pripojený na tretí vstup registra požiadaviek prvého portu, vstup voľby synchronizácie prvého portu je pripojený na tretí vstup prvého multiplexera, vstup indikácie inicializačného zápisu je pripojený na štvrtý vstup rozhodovacieho obvodu, vstup voľby priority portov je pripojený na piaty vstup rozhodovacieho obvodu a na šiesty vstup kombinačného obvodu, vstup požiadavky druhého portu o čítanie je pripojený na prvý vstup registra požiadaviek druhého portu, vstup požiadavky druhého portu o zápis je pripojený na druhý vstup registra požiadaviek druhého portu, vstup adresného výberu druhého portu je pripojený na tretí vstup registra požiadaviek druhého portu, vstup voľby synchronizácie druhého portu je pripojený na tretí vstup druhého multiplexera, hodinový vstup je pripojený na druhý vstup prvého synchronizačného registra, na druhý vstup druhého synchronizačného registra, na štvrtý vstup prvého vybavovacieho obvodu, na tretí vstup druhého vybavovacieho obvodu a na štvrtý vstup posúvacieho registra, vstup ukončenia cyklu je pripojený na druhý vstup registra požiadavky o obnovenie, na piaty vstup prvého vybavovacieho obvodu, na štvrtý vstup druhého vybavovacieho obvodu a na piaty vstup druhého preklápacieho obvodu, vstup blokovania z prvého portu je pripojený na prvý vstup prvého preklápacieho obvodu, vstup blokovania z druhého portu je pripojený na druhý vstup prvého preklápacieho obvodu, vstup nulovania je pripojený na tretí vstup registra požiadavky o obnovenie, na piaty vstup registra požiadaviek prvého portu, na piaty vstup registra požiadaviek druhého portu, na tretí vstup prvého synchronizačného registra, na tretí vstup druhého synchronizačného registra, na tretí vstup prvého blokovacieho obvodu a na štvrtý vstup druhého blokovacieho obvodu, vstup ukončenia vnútorného obsadenia je pripojený na štvrtý vstup prvého blokovacieho obvodu a na piaty vstup druhého blokovacieho obvodu, výstup registra požiadavky o obnovenie je pripojený na prvý vstup rozhodovacieho obvodu, na prvý vstup prvého vybavovacieho obvodu a na prvý vstup kombinačného obvodu, prvý výstup registra požiadaviek prvého portu je pripojený na prvý vstup prvého synchronizačného registra, na prvý vstup prvého multiplexera a na výstup hradlovania adresy prvého portu, druhý výstup registra požiadaviek prvého portu je pripojený na druhý vstup druhého preklápacieho obvodu, prvý výstup registra požiadaviek druhého portu je pripojený na prvý vstup druhého synchronizačného registra, na prvý vstup druhého multiplexera a na výstup hradlovania adresy druhého portu, druhý výstup registra požiadaviek druhého portu je pripojený na štvrtý vstup druhého preklápacieho obvodu, výstup prvého synchronizačného registra je pripojený na druhý vstup prvého multiplexera, výstup druhého synchronizačného registra je pripojený na druhý vstup druhého multiplexera, výstup prvého multiplexera je pripojený na druhý vstup rozhodovacieho obvodu, výstup druhého multiplexera je pripojený na tretí vstup rozhodovacieho obvodu, prvý výstup prvého preklápacieho obvodu je pripojený na šiesty vstup rozhodovacieho obvodu, druhý výstup prvého preklápacieho obvodu je pripojený na siedmy vstup rozhodovacieho obvodu, prvý výstup rozhodovacieho obvodu je pripojený na druhý vstup prvého vybavovacieho obvodu, druhý výstup rozhodovacieho obvodu je pripojený na tretí vstup prvého vybavovacieho obvodu, prvý výstup prvého vybavovacieho obvodu je pripojený na výstup indikácie cyklu obnovenia a na prvý vstup druhého blokovacieho obvodu, druhý výstup prvého vybavovacieho obvodu je

pripojený na štvrtý vstup prvého preklápacieho obvodu, na prvý vstup druhého vybavovacieho obvodu, na prvý vstup druhého preklápacieho obvodu, na druhý vstup druhého blokovacieho obvodu, na druhý vstup posúvacieho registra a na druhý vstup kombinačného obvodu, tretí výstup prvého vybavovacieho obvodu je pripojený na tretí vstup prvého preklápacieho obvodu, na druhý vstup druhého vybavovacieho obvodu, na tretí vstup druhého preklápacieho obvodu, na tretí vstup druhého blokovacieho obvodu, na tretí vstup posúvacieho registra a na tretí vstup kombinačného obvodu, prvý výstup druhého vybavovacieho obvodu je pripojený na prvý vstup prvého blokovacieho obvodu a na štvrtý vstup kombinačného obvodu, druhý výstup druhého vybavovacieho obvodu je pripojený na druhý vstup prvého blokovacieho obvodu a na piaty vstup kombinačného obvodu, výstup druhého preklápacieho obvodu je pripojený na výstup indikácie režimu zápisu, výstup prvého blokovacieho obvodu je pripojený na piaty vstup druhého vybavovacieho obvodu, výstup druhého blokovacieho obvodu je pripojený na šiesty vstup prvého vybavovacieho obvodu a na výstup vnútorného obsadenia, prvý výstup posúvacieho registra je pripojený na štvrtý vstup registra požiadaviek prvého portu, druhý výstup posúvacieho registra je pripojený na štvrtý vstup registra požiadaviek druhého portu, prvý výstup kombinačného obvodu je pripojený na výstup indikácie obnovenia, druhý výstup kombinačného obvodu je pripojený na prvý vstup posúvacieho registra a na výstup povolenia výberu portu, tretí výstup kombinačného obvodu je pripojený na výstup výberu portu, štvrtý výstup kombinačného obvodu je pripojený na výstup indikácie cyklu.

Hlavnou výhodou arbitra dvojportového pamäťového zariadenia podľa vynálezu je to, že ako monolitický integrovaný obvod na báze hradlového poľa HP200 predstavuje samostatný konštrukčný prvok, ktorý rozhoduje o spôsobe vybavenia požiadaviek o vykonanie cyklu v pamäťovom zariadení v požadovanom režime a ktorý generuje výstupné signály, ktoré určujú vykonávaný režim obnovenia, režim čítania alebo režim zápisu a ktorý určuje port dvojportového pamäťového zariadenia, pre ktorý bude vykonaný cyklus v pamäťovom zariadení. Výhodou arbitra dvojportového pamäťového zariadenia je tiež to, že požiadavka o cyklus v režime obnovenia má vždy vyššiu prioritu ako požiadavky prvého portu a druhého, ktorých vzájomná priorita je voliteľná, ďalej to, že požiadavky prvého portu a druhého portu môžu byť synchronne alebo asynchronne ku vstupnému riadiacemu hodinovému signálu, ktorého frekvencia môže byť 16,0MHz a to, že z prvého portu môže byť vykonané zablokovanie vybavenia požiadavky druhého portu na ľubovoľne dlhý časový interval a to, že z druhého portu môže byť vykonané zablokovanie vybavenia požiadavky prvého portu na ľubovoľne dlhý časový interval.

Obvody arbitra dvojportového pamäťového zariadenia sú realizované tak, že register 10 požiadavky o obnovenie je realizovaný R-S preklápacím obvodom, podstatná časť registra 20 vstupných požiadaviek prvého portu je realizovaná dvoma D-preklápacími obvodmi, podstatná časť registra 30 vstupných požiadaviek druhého portu je realizovaná dvoma D-preklápacími obvodmi, podstatná časť prvého synchronizačného registra 40 je realizovaná D-preklápacím obvodom, podstatná časť druhého synchronizačného registra 50 je realizovaná D-preklápacím obvodom, prvý multiplexer 60 a druhý multiplexer 70 sú realizované dvojkanálovými jednobitovými multiplexermi, podstatná časť prvého preklápacieho obvodu 80 je realizovaná dvoma R-S preklápacími obvodmi, rozhodovací obvod 90 je realizovaný kombinačnými obvodmi, podstatná časť prvého vybavovacieho registra 100 je realizovaná troma D-preklápacími obvodmi, podstatná časť druhého vybavovacieho registra 110 je realizovaná dvoma D-preklápacími obvodmi, podstatná časť druhého preklápacieho obvodu 120 je realizovaná R-S preklápacím obvodom, prvý blokovací obvod 130 a druhý blokovací obvod 140 sú realizované R-S preklápacími obvodmi, podstatná časť posúvacieho registra 150 je realizovaná štyrmi D-preklápacími obvodmi. Vyššie uvedené obvody, ktoré sú realizované D-preklápacími obvodmi obsahujú tiež kombinačné obvody.

Arbiter dvojportového pamäťového zariadenia sa nastaví do základného stabilného stavu hodnotou 1 signálu na vstupe RST nulovania a hodnotou 1 signálu na vstupe STOP ukončenia cyklu. Hodnota 1 signálu na vstupe RST nulovania, ktorý je pripojený na tretí vstup 13 registra 10 požiadavky o obnovenie, na piaty vstup 25 registra 20 požiadaviek prvého portu, na piaty vstup 35 registra 30 požiadaviek druhého portu, na tretí vstup 43 prvého synchro-

nizačného registra 40, na tretí vstup 53 druhého synchronizačného registra 50, na tretí vstup 133 prvého blokovacího obvodu 130 a na štvrtý vstup 144 druhého blokovacího obvodu 140, spôsobí nastavenie hodnoty 1 signálov na výstupe 14 registra 10 požiadavky o obnovenie, na prvom výstupe 26 registra 20 požiadaviek prvého portu, na výstupe ALEA hradlovania adresy prvého portu, na druhom výstupe 27 registra 20 požiadaviek prvého portu, na prvom výstupe 36 registra 30 požiadaviek druhého portu, na výstupe BLEA hradlovania adresy druhého portu, na druhom výstupe 37 registra 30 požiadaviek druhého portu, na výstupe 44 prvého synchronizačného registra 40, na výstupe 54 druhého synchronizačného registra 50, na výstupe 135 prvého blokovacího obvodu 130, na výstupe 146 druhého blokovacího obvodu 140 a na výstupe BUSY vnútorného obsadenia. Hodnota 1 signálu na vstupe STOP ukončenia cyklu, ktorý je pripojený na druhý vstup 12 registra 10 požiadavky o obnovenie, na piaty vstup 105 prvého vybavovacieho obvodu 100, na štvrtý vstup 114 druhého vybavovacieho obvodu 110 a na piaty vstup 25 registra 20 požiadaviek prvého portu, spôsobí nastavenie hodnoty 1 signálov na prvom výstupe 107 prvého vybavovacieho obvodu 100, na výstupe RFCY indikácie cyklu obnovenia, na druhom výstupe 108 prvého vybavovacieho obvodu 100, na treťom výstupe 109 prvého vybavovacieho obvodu 100, na prvom výstupe 116 druhého vybavovacieho obvodu 110, na druhom výstupe 117 druhého vybavovacieho obvodu 110, na výstupe 126 druhého preklápacieho obvodu 120 a na výstupe WT indikácie režimu zápisu. Hodnoty vyššie uvedených signálov spôsobia nastavenie hodnoty 0 signálu na výstupe indikácie obnovenia, hodnoty 1 signálov na výstupe PSEN povolenia výberu portu a na výstupe STCY indikácie cyklu, nastavenie hodnoty 0 signálu na výstupe PSEL výberu portu, ak má hodnotu 0 signál na vstupe P voľby priority portov, alebo nastavenie hodnoty 1 signálu na výstupe PSEL výberu portu, ak má hodnotu 1 signál na vstupe P voľby priority portov. Ak je na vstupe RFRQ požiadavky o obnovenie signál s hodnotou 0, na vstupe AAD adresného výberu prvého portu signál s hodnotou 1, na vstupe BAD adresného výberu druhého portu signál s hodnotou 0, potom po zmene z hodnoty 1 na hodnotu 0 signálu na vstupe RST nulovania a signálu na vstupe STOP ukončenia cyklu budú hodnoty signálov na všetkých vyššie uvedených výstupoch rovnaké ako pred touto zmenou.

Arbiter dvojportového pamäťového zariadenia vybaví požiadavku o obnovenie po ukončení nulovania zo vstupu RST nulovania a zo vstupu STOP ukončenia cyklu tak, že hodnota 1 signálu, ktorý je prenášaný cez vstup RFRQ požiadavky o obnovenie na prvý vstup 11 registra 10 požiadavky o obnovenie, spôsobí nastavenie hodnoty 0 signálu na výstupe 14 registra 10 požiadavky o obnovenie, ktorý je pripojený na prvý vstup 91 rozhodovacieho obvodu 90, na prvý vstup 101 prvého vybavovacieho obvodu 100 a na prvý vstup 161 kombinačného obvodu 160. Hodnota 0 signálu na prvom vstupe 91 rozhodovacieho obvodu 90 spôsobí nastavenie hodnoty 1 signálov na prvom výstupe 98 rozhodovacieho obvodu 90 a na druhom výstupe 99 rozhodovacieho obvodu 90. Zmenou z hodnoty 0 na hodnotu 1 hodinového signálu, ktorý je pripojený cez hodinový vstup CLK na štvrtý vstup 104 prvého vybavovacieho obvodu 100, sa nastaví signál, ktorý je pripojený z prvého výstupu 107 prvého vybavovacieho obvodu 100 na výstup RFCY indikácie cyklu obnovenia a na prvý vstup 141 druhého blokovacího obvodu 140, na hodnotu 0. Hodnota 0 signálu na prvom vstupe 141 druhého blokovacího obvodu 140 spôsobí nastavenie signálu na výstupe 146 druhého blokovacího obvodu 140, na výstupe BUSY vnútorného obsadenia a na šiestom vstupe 106 prvého vybavovacieho obvodu 100 na hodnotu 0 a tým spôsobí zablokovanie ďalšieho účinku hodinového signálu na štvrtom vstupe 104 prvého vybavovacieho obvodu 100. Hodnota 0 signálu na prvom vstupe 161 kombinačného obvodu 160 spôsobí nastavenie hodnoty 1 signálu na prvom výstupe 167 kombinačného obvodu 160 a na výstupe REF indikácie obnovenia. Zmena z hodnoty 1 na hodnotu 0 signálu na vstupe RFRQ požiadavky o obnovenie nespôsobí zmenu hodnoty signálu na výstupe 14 registra 10 požiadavky o obnovenie. Pre správnu činnosť arbitra dvojportového pamäťového zariadenia musí byť vykonaná zmena z hodnoty 1 na hodnotu 0 signálu na vstupe RFRQ požiadavky o obnovenie pred vykonaním zmeny z hodnoty 0 na hodnotu 1 signálu na vstupe STOP ukončenia cyklu. Ukončenie vybavenia požiadavky o obnovenie a tým ukončenie generovania výstupných signálov pre cyklus pamäťového zariadenia v režime obnovenia sa vykoná nastavením signálu na vstupe STOP ukončenia cyklu a signálu na vstupe RB ukončenia vnútorného obsadenia na hodnotu 1. Hodnota 1 signálu,

ktorý je pripojený cez vstup STOP ukončenia cyklu na druhý vstup 12 registra 10 požiadavky o obnovenie a na piaty vstup 105 prvého vybavovacieho obvodu 100, spôsobí nastavenie signálu na výstupe 14 registra 10 požiadavky o obnovenie na hodnotu 1 a tým nastavenie signálu na výstupe REF indikácie obnovenia na hodnotu 0 a spôsobí nulovanie prvého vybavovacieho registra 100 a tým nastavenie na hodnotu 1 signálov na prvom výstupe 107 prvého vybavovacieho obvodu 100, na výstupe REFCY indikácie cyklu obnovenia a na prvom vstupe 141 druhého blokovacieho obvodu 140. Hodnota 1 signálu, ktorý je pripojený cez vstup RB ukončenia vnútorného obsadenia na piaty vstup 145 druhého blokovacieho obvodu 140 spôsobí nastavenie hodnoty 1 signálu na výstupe 146 druhého blokovacieho obvodu 140 a na výstupe BUSY vnútorného obsadenia a týmto sa uvoľní štvrtý vstup 104 prvého vybavovacieho obvodu 100, na ktorý je pripojený hodinový signál. Obvody, ktoré nie sú uvedené vo vyššie uvedenom vybavení požiadavky o cyklus obnovenia, nemajú vplyv na generovanie výstupných signálov arbitra dvojportového pamäťového zariadenia, ak v čase tohoto vybavenia neboli zaregistrované požiadavky prvého portu alebo druhého portu. Po zmene hodnoty 1 na hodnotu 0 signálov na vstupe RST ukončenia cyklu a na vstupe RB ukončenia vnútorného obsadenia budú mať výstupné signály rovnaké hodnoty ako pred touto zmenou.

Hodnota 0 signálu, ktorý je pripojený cez vstup WZ indikácie inicializačného zápisu na štvrtý vstup 94 rozhodovacieho obvodu 90, spôsobí nastavenie hodnoty 1 signálov na prvom výstupe 98 rozhodovacieho obvodu 90 a na druhom výstupe 99 rozhodovacieho obvodu 90 a týmto zablokovanie vybavenia požiadaviek prvého portu a druhého portu. Hodnota 1 signálu na vstupe WZ indikácie inicializačného zápisu nemá vplyv na funkciu arbitra dvojportového pamäťového zariadenia.

Časový interval od zmeny z hodnoty 0 na hodnotu 1 signálu na vstupe STOP ukončenia cyklu do zmeny z hodnoty 0 na hodnotu 1 signálu na vstupe RB ukončenia vnútorného blokovania je definovaný časovým parametrom TRP signálu RAS dynamických pamätí použitých v pamäťovom zariadení.

Arbiter dvojportového pamäťového zariadenia vybaví synchronnú požiadavku o zápis prvého portu s vyššou prioritou ako majú požiadavky druhého portu po ukončení nulovania zo vstupu RST nulovania tak, že ak má hodnotu 0 signál, ktorý je pripojený cez vstup AAD adresného výberu prvého portu na tretí vstup 23 registra 20 požiadaviek prvého portu, potom zmena z hodnoty 1 na hodnotu 0 signálu, ktorý je pripojený cez vstup AWT požiadavky prvého portu o zápis na druhý vstup 22 registra 20 požiadaviek prvého portu spôsobí nastavenie hodnoty 0 signálu pripojeného z prvého výstupu 26 registra 20 požiadaviek prvého portu na prvý vstup 41 prvého synchronizačného registra 40, na prvý vstup 61 prvého multiplexera 60 a na výstup ALEA hradlovania adresy prvého portu a ďalej spôsobí nastavenie hodnoty 0 signálu pripojeného z druhého výstupu 27 registra 20 požiadaviek prvého portu na druhý vstup 122 druhého preklápacieho obvodu 120. Vyššie uvedená činnosť sa vykoná tiež zmenou z hodnoty 1 na hodnotu 0 signálu na vstupe AAD adresného výberu prvého portu, ak má hodnotu 0 signál na vstupe AWT požiadavky prvého portu o zápis. Pre synchronnú požiadavku prvého portu musí mať hodnotu 0 signál, ktorý je pripojený cez vstup AS voľby synchronizácie prvého portu na tretí vstup 63 prvého multiplexera 60. Hodnota 0 signálu na prvom vstupe 61 prvého multiplexera 60 sa prenesie cez výstup 64 prvého multiplexera 60 na druhý vstup 92 rozhodovacieho obvodu 90 a spôsobí nastavenie hodnoty 0 signálu len na prvom výstupe 98 rozhodovacieho obvodu 90, ktorý je pripojený na druhý vstup 102 prvého vybavovacieho registra 100. Zmenou z hodnoty 0 na hodnotu 1 hodinového signálu, ktorý je pripojený cez hodinový vstup CLK na štvrtý vstup 104 prvého vybavovacieho registra 100 sa nastaví na hodnotu 0 signál, ktorý je pripojený z druhého výstupu 108 prvého vybavovacieho registra 100 na druhý vstup 142 druhého blokovacieho obvodu 140, na prvý vstup 121 druhého preklápacieho obvodu 120, na druhý vstup 152 posúvacieho registra 150 a na druhý vstup 162 kombináčného obvodu 160. Hodnota 0 signálov na prvom vstupe 121 druhého preklápacieho obvodu 120 a na druhom vstupe 122 druhého preklápacieho obvodu 120 spôsobí nastavenie hodnoty 0 signálu, ktorý je pripojený z výstupu 126 druhého preklápacieho obvodu 120 na výstup WT indikácie režimu zápisu. Hodnota 0 signálu na druhom vstupe 142 druhého blokovacieho obvodu

140 spôsobí nastavenie hodnoty 0 signálu, ktorý je pripojený z výstupu 146 druhého blokovacieho obvodu 140 na šiesty vstup 106 prvého vybavovacieho obvodu 100 a na výstup BUSY vnútorného obsadenia a tým sa vykoná zablokovanie ďalšieho účinku hodinového signálu na štvrtom vstupe 104 prvého vybavovacieho registra 100. Hodnota 0 signálu na druhom vstupe 162 kombinačného obvodu 160 spôsobí nastavenie hodnoty 0 signálu, ktorý je pripojený z druhého výstupu 168 kombinačného obvodu 160 na prvý výstup 151 posúvacieho registra 150 a na výstup PSEN povolenia výberu portu, spôsobí nastavenie hodnoty 0 signálu, ktorý je pripojený zo štvrtého výstupu 170 kombinačného obvodu 160 na výstup STCY indikácie cyklu. Po vykonaní tretej zmeny z hodnoty 0 na hodnotu 1 hodinového signálu na štvrtom vstupe 154 posúvacieho registra 150 od nastavenia hodnoty 0 na prvom vstupe 151 posúvacieho registra 150 sa nastaví hodnota 0 signálu, ktorý je pripojený z prvého výstupu 155 na štvrtý vstup 24 registra 20 požiadaviek prvého portu, ktorý sa týmto vynuluje a signály na prvom výstupe 26 registra 20 požiadaviek prvého portu a na druhom výstupe 27 registra 20 požiadaviek prvého portu sa nastaví na hodnotu 1. Po nastavení hodnoty 0 na prvom výstupe 155 posúvacieho registra 150 sa posúvací register 150 samočinne vynuluje a signál na štvrtom vstupe 24 registra 20 požiadaviek prvého portu sa nastaví na hodnotu 1. Ukončenie vybavenia požiadavky prvého portu o zápis a tým ukončenie generovania výstupných signálov pre cyklus pamäťového zariadenia v režime zápisu sa vykoná nastavením signálu na vstupe STOP ukončenie cyklu a signálu na vstupe RB ukončenia vnútorného obsadenia na hodnotu 1. Hodnota 1 signálu, ktorý je pripojený cez vstup STOP ukončenia cyklu na piaty vstup 105 prvého vybavovacieho registra 100 a na piaty vstup 125 druhého preklápacieho obvodu 120, spôsobí ich nulovanie a tým nastavenie hodnoty 1 signálu na druhom výstupe 108 prvého vybavovacieho registra 100 a nastavenie hodnoty 1 signálu na výstupe WT indikácie režimu zápisu. Hodnota 1 signálu, ktorý je pripojený cez vstup RB ukončenia vnútorného obsadenia na piaty vstup 145 druhého blokovacieho obvodu 140 spôsobí nastavenie hodnoty 1 signálu na výstupe 146 druhého blokovacieho obvodu 140 a na výstupe BUSY vnútorného obsadenia a týmto sa uvoľní štvrtý vstup 104 prvého vybavovacieho registra 100, na ktorý je pripojený hodinový signál. Obvody, ktoré nie sú uvedené vo vyššie uvedenom vybavení požiadavky prvého portu o cyklus zápisu, nemajú vplyv na generovanie výstupných signálov arbitra dvojportového pamäťového zariadenia, ak v čase tohoto vybavenia neboli zaregistrované požiadavky druhého portu a požiadavka o obnovenie. Po zmene z hodnoty 0 na hodnotu 1 signálov na vstupe RST ukončenia cyklu a na vstupe RB ukončenia vnútorného obsadenia budú mať výstupné signály rovnaké hodnoty ako pred touto zmenou.

Arbiter dvojportového pamäťového zariadenia v čase vybavovania asynchrónnej požiadavky prvého portu o zápis s vyššou prioritou ako majú požiadavky druhého portu vykonáva svoju činnosť tak, ako v čase vyššie uvedeného vybavovania synchronnej požiadavky prvého portu o zápis s vyššou prioritou ako majú požiadavky druhého portu s tým rozdielom, že hodnota 0 signálu pripojeného z prvého výstupu 26 registra 20 požiadaviek prvého portu na prvý vstup 41 prvého synchronizačného registra 40 spôsobí po zmene z hodnoty 0 na hodnotu 1 hodinového signálu na druhom vstupe 42 prvého synchronizačného registra 40 nastavenie hodnoty 0 na výstupe 44 prvého synchronizačného registra 40. Pre asynchrónnu požiadavku prvého portu musí mať hodnotu 1 signál, ktorý je pripojený cez vstup AS voľby synchronizácie prvého portu na tretí vstup 63 prvého multiplexera 60. Potom sa hodnota 0 signálu na druhom vstupe 62 prvého multiplexera 60 prenesie cez výstup 64 prvého multiplexera 60 na druhý vstup 92 rozhodovacieho obvodu 90 a signál, ktorý je pripojený z prvého výstupu 98 rozhodovacieho obvodu 90 na druhý vstup 102 prvého vybavovacieho obvodu 100 sa nastaví na hodnotu 0. Hodnota 0 tohoto signálu sa zapíše do prvého vybavovacieho registra 100 nasledujúcou zmenou z hodnoty 0 na hodnotu 1 hodinového signálu na štvrtom vstupe 104 prvého vybavovacieho obvodu 100 po vyššie uvedenej zmene hodnoty hodinového signálu na druhom vstupe 42 prvého synchronizačného registra 40. Týmto sa vykoná synchronizácia asynchrónnej požiadavky prvého portu o zápis a vylúči sa nesprávna činnosť arbitra dvojportového pamäťového zariadenia pri vzniku nestabilného stavu, ktorý môže vzniknúť na výstupe 44 prvého synchronizačného registra 40 pri nedodržaní predstihu a presahu hodnoty 0 signálu na prvom

vstupe 41 prvého synchronizačného registra 40 ku zmene z hodnoty 0 na hodnotu 1 hodinového signálu na druhom vstupe 42 prvého synchronizačného registra 40.

Arbiter dvojportového pamäťového zariadenia v čase vybavovania synchronnej a asynchrónnej požiadavky prvého portu o čítanie s vyššou prioritou ako majú požiadavky druhého portu vykonáva svoju činnosť tak, ako v čase vybavovania vyššie uvedenej synchronnej a asynchrónnej požiadavky prvého portu s tým rozdielom, že ak má hodnotu 0 signál, ktorý je pripojený cez vstup AAD adresného výberu prvého portu na tretí vstup 23 registra 20 požiadaviek prvého portu, potom zmena z hodnoty 1 na hodnotu 0 signálu, ktorý je pripojený cez vstup ARD požiadavky prvého portu o čítanie na prvý vstup 21 registra 20 požiadaviek prvého portu, spôsobí nastavenie hodnoty 0 signálu na prvom výstupe 26 registra 20 požiadaviek prvého portu. Hodnota 1 signálu na druhom výstupe 27 registra 20 požiadaviek prvého portu sa nezmení a signál, ktorý je pripojený z výstupu 126 druhého preklápacieho obvodu 120 na výstup WT indikácie režimu zápisu bude mať v čase vybavovania požiadavky prvého portu o čítanie hodnotu 1.

Arbiter dvojportového pamäťového zariadenia v čase vybavovania synchronných a asynchrónnych požiadaviek o zápis a čítanie druhého portu s vyššou prioritou ako majú požiadavky prvého portu vykonáva svoju činnosť tak, ako v čase vybavovania vyššie uvedených synchronných a asynchrónnych požiadaviek prvého portu o zápis a čítanie s vyššou prioritou ako majú požiadavky druhého portu s tým rozdielom, že hodnotu 0 má signál na vstupe BAD adresného výberu druhého portu, signál na vstupe BWT požiadavky druhého portu o zápis pri vybavovaní požiadavky o zápis a signál na vstupe BRD požiadavky druhého portu o čítanie pri vybavovaní požiadavky o čítanie. Signály na vstupe AAD adresného výberu prvého portu na vstupe AWT požiadavky prvého portu o zápis a na vstupe ARD požiadavky prvého portu o čítanie majú hodnotu 1. Vykonávanie funkcie zabezpečuje register 30 požiadaviek druhého portu, druhý synchronizačný register 50, druhý multiplexer 70 a funkčný význam týchto obvodov je zhodný s funkčným významom registra 20 požiadaviek prvého portu, prvého synchronizačného registra 40 a prvého multiplexera 60. Signály na druhom výstupe 99 rozhodovacieho obvodu 90, na treťom výstupe 109 prvého vybavovacieho obvodu 100 a na druhom výstupe 156 posúvacieho registra 150 majú zhodný funkčný význam ako signály na prvom výstupe 98 rozhodovacieho obvodu 90, na druhom výstupe 108 prvého vybavovacieho obvodu 100 a na prvom výstupe 155 posúvacieho registra 150. Signál pripojený cez vstup BS voľby synchronizácie druhého portu na tretí vstup 73 druhého multiplexera 70 má zhodný funkčný význam ako signál na vstupe AS voľby synchronizácie prvého portu. Pri vybavovaní požiadaviek druhého portu sa nastaví hodnota 0 signálu na výstupe BLEA hradlovania adresy druhého portu a signál na výstupe ALEA hradlovania adresy prvého portu bude mať hodnotu 1.

Arbiter dvojportového pamäťového zariadenia rozhoduje o vybavení požiadavky o cyklus pamäťového zariadenia v určitom režime vtedy, keď požiadavka o obnovenie, požiadavka prvého portu a požiadavka druhého portu vzniknú súčasne, alebo vtedy, keď je vybavovaná jedna z vyššie uvedených požiadaviek a v čase jej vybavovania vznikne jedna alebo dve iné požiadavky.

Arbiter dvojportového pamäťového zariadenia vybaví súčasne zaregistrované požiadavky o cyklus pamäťového zariadenia v určitom režime tak, že hodnota 1 signálu na vstupe RFRQ požiadavky o obnovenie spôsobí nastavenie hodnoty 0 signálu na výstupe 14 registra 10 požiadavky o obnovenie, ďalej tak, že ak signál na vstupe AAD adresného výberu prvého portu má hodnotu 0, potom zmena z hodnoty 1 na hodnotu 0 signálu na vstupe ARD požiadavky prvého portu o čítanie spôsobí nastavenie hodnoty 0 signálu na prvom výstupe 26 registra 20 požiadaviek prvého portu a ďalej tak, že ak signál na vstupe BAD adresného výberu druhého portu má hodnotu 0, potom zmena z hodnoty 1 na hodnotu 0 signálu na vstupe BWT požiadavky druhého portu o zápis spôsobí nastavenie hodnoty 0 signálu na prvom výstupe 36 registra 30 požiadaviek druhého portu a na druhom vstupe 37 registra 30 požiadaviek druhého portu. Po vyššie uvedenom zaregistrovaní uvedených požiadaviek má signál na prvom vstupe 91 rozhodovacieho obvodu 90 hodnotu 0 a ak sú uvedené požiadavky prvého portu a druhého portu

synchronne, potom majú signály hodnotu 0 na druhom vstupe 92 rozhodovacieho obvodu 90 a na treťom vstupe 93 rozhodovacieho obvodu 90. Preto, že požiadavka o obnovenie má pevne nastavenú najvyššiu prioritu, tak hodnota 0 signálu na prvom vstupe 91 rozhodovacieho obvodu 90 zablokuje prvý vstup 98 rozhodovacieho obvodu 90, druhý výstup 99 rozhodovacieho obvodu 90 a signály na týchto výstupoch budú mať hodnotu 1 a arbiter dvojportového pamäťového zariadenia vykoná svoju činnosť podľa vyššie uvedeného vybavenia požiadavky o obnovenie. Po ukončení vybavenia požiadavky o obnovenie má signál na prvom vstupe 91 rozhodovacieho obvodu 90 hodnotu 1, ktorá uvoľní činnosť rozhodovacieho obvodu 90, a arbiter dvojportového pamäťového zariadenia vybaví tú zaregistrovanú požiadavku prvého portu a druhého portu, ktorá má vyššiu prioritu. Hodnota 0 signálu, ktorý je pripojený cez vstup P voľby priority portov na piaty vstup 95 rozhodovacieho obvodu 90 a na šiesty vstup 165 kombinačného obvodu 160, určuje vyššiu prioritu pre prvý port. Hodnota 1 signálu na vstupe P voľby priority portov určuje vyššiu prioritu pre druhý port. Keď má signál na piatom vstupe 95 rozhodovacieho obvodu 90 hodnotu 0, potom hodnota 0 signálu na druhom vstupe 92 rozhodovacieho obvodu 90 spôsobí nastavenie hodnoty 0 signálu na prvom výstupe 98 rozhodovacieho obvodu 90 a ďalej spôsobí zablokovanie druhého výstupu 99 rozhodovacieho obvodu 90 a signál na tomto výstupe bude mať hodnotu 1 a arbiter dvojportového pamäťového zariadenia vykoná svoju činnosť podľa vyššie uvedeného vybavenia synchronnej požiadavky prvého portu o čítanie s vyššou prioritou ako majú požiadavky druhého portu. Po nulovaní registra 10 požiadavky o obnovenie bude mať signál na druhom vstupe 92 rozhodovacieho obvodu 90 hodnotu 1, ktorá spôsobí nastavenie hodnoty 1 signálu na prvom výstupe 98 rozhodovacieho obvodu 90 a nastavenie hodnoty 0 signálu na druhom výstupe 99 rozhodovacieho obvodu 90, pretože na treťom vstupe 93 rozhodovacieho obvodu 90 je hodnota 0 signálu zaregistrovanej požiadavky druhého portu o zápis. Po nastavení hodnoty 1 signálu na šiestom vstupe 106 prvého vybavovacieho obvodu 100, prvá zmena z hodnoty 0 na hodnotu 1 hodinového signálu na štvrtom vstupe 104 prvého vybavovacieho obvodu 100 spôsobí nastavenie hodnoty 0 signálu na treťom výstupe 109 prvého vybavovacieho obvodu 100 a tým spôsobí nastavenie hodnoty 1 na výstupe PSEL výberu portu, nastavenie hodnoty 0 signálu na výstupe WT indikácie režimu zápisu, nastavenie hodnoty 0 signálu BUSY indikácie vnútorného obsadenia a tým zablokovanie ďalšieho účinku hodinového signálu na štvrtom vstupe 104 prvého vybavovacieho obvodu 100. Prvá zmena z hodnoty 0 na hodnotu 1 hodinového signálu na treťom vstupe 13 registra 10 požiadavky o obnovenie po nastavení hodnoty 0 na druhom vstupe 112 druhého vybavovacieho obvodu 110 spôsobí nastavenie hodnoty 0 signálu, ktorý je pripojený z druhého výstupu 117 druhého vybavovacieho obvodu 110 na druhý vstup 132 prvého blokovacieho obvodu 130 a na piaty vstup 165 kombinačného obvodu 160. Hodnota 0 signálu na piatom vstupe 165 kombinačného obvodu 160 spôsobí nastavenie hodnoty 0 signálov na výstupe STCY indikácie cyklu a na výstupe PSEN povolenia výberu portu. Hodnota 0 na druhom vstupe 132 prvého blokovacieho obvodu 130 spôsobí nastavenie hodnoty 0 signálu, ktorý je pripojený z výstupu 135 prvého blokovacieho obvodu 130 na piaty vstup 115 druhého vybavovacieho obvodu 110 a spôsobí zablokovanie ďalšieho účinku hodinového signálu na treťom vstupe 13 registra 10 požiadavky o obnovenie. Časový interval medzi zmenou hodnoty signálu na výstupe PSEL výberu portu a zmenou hodnoty signálu na výstupe STCY indikácie cyklu je rovný perióde hodinového signálu a tým sa zabezpečí predstih uvoľnenia vstupných adresných obvodov portu bez priority v pamäťovom zariadení pred začiatkom cyklu pamäťového zariadenia v určitom režime. Ďalšie vykonávanie vybavenia požiadavky druhého portu o zápis bez priority a jeho ukončenie je zhodné s vyššie uvedeným vykonávaním vybavenia synchronných a asynchronných požiadaviek druhého portu s vyššou prioritou ako majú požiadavky prvého portu.

Ak sú v čase vybavovania jednej požiadavky zaregistrované iné dve požiadavky, potom arbiter dvojportového pamäťového zariadenia po ukončení vykonávania vybavovania požiadavky vybaví najskôr tú z dvoch požiadaviek, ktorá má vyššiu prioritu.

Arbiter dvojportového pamäťového zariadenia umožňuje zablokovanie vybavenia požiadaviek druhého portu povelom z prvého portu, alebo zablokuje vybavenia požiadaviek prvého portu povelom z druhého portu. Nastavenie hodnoty 1 signálu, ktorý je pripojený zo vstupu

LCKA blokovania z prvého portu na prvý vstup 81 prvého preklápacieho obvodu 80 v čase vybavovania požiadavky prvého portu o čítanie alebo o zápis, v ktorom má signál na štvrtom vstupe 84 prvého preklápacieho obvodu 80 hodnotu 0, spôsobí nastavenie hodnoty 0 signálu, ktorý je pripojený z prvého výstupu 85 prvého preklápacieho obvodu 80 na šiesty vstup 96 rozhodovacieho obvodu 90. Hodnota 0 signálu na šiestom vstupe 96 rozhodovacieho obvodu 90 spôsobí zablokovanie druhého výstupu 99 rozhodovacieho obvodu 90 a nastavenie hodnoty 1 signálu na tomto výstupe a tým zablokovanie vybavenia požiadavky druhého portu o čítanie alebo o zápis. Uvoľnenie druhého výstupu 99 rozhodovacieho obvodu 90 spôsobí hodnota 0 signálu na vstupe LCKA blokovania z prvého portu. Nastavenie hodnoty 1 signálu, ktorý je pripojený zo vstupu LCKB blokovania z druhého portu na druhý vstup 82 prvého preklápacieho obvodu 80 v čase vybavovania požiadaviek druhého portu o čítanie alebo o zápis, v ktorom má signál na treťom vstupe 83 prvého preklápacieho obvodu 80 hodnotu 0, spôsobí nastavenie hodnoty 0 signálu, ktorý je pripojený z druhého výstupu 86 prvého preklápacieho obvodu 80 na siedmy vstup 97 rozhodovacieho obvodu 90. Hodnota 0 signálu na siedmom vstupe 97 rozhodovacieho obvodu 90 spôsobí zablokovanie prvého vstupu 98 rozhodovacieho obvodu 90 a nastavenie hodnoty 1 signálu na tomto výstupe a tým zablokovanie vybavenia požiadavky prvého portu o čítanie alebo o zápis. Uvoľnenie prvého výstupu 98 rozhodovacieho obvodu 90 spôsobí hodnota 0 signálu na vstupe LCKB blokovania z druhého portu.

P A T E N T O V É N Á R O K Y

Arbiter dvojportového pamäťového zariadenia, vyznačujúci sa tým, že vstup (RFRQ) požiadavky o obnovenie je pripojený na prvý vstup (11) registra (10) požiadavky o obnovenie, vstup (ARD) požiadavky prvého portu o čítanie je pripojený na prvý vstup (21) registra (20) požiadaviek prvého portu, vstup (AWT) požiadavky prvého portu o zápis je pripojený na druhý vstup (22) registra (20) požiadaviek prvého portu, vstup (AAD) adresného výberu prvého portu je pripojený na tretí vstup (23) registra (20) požiadaviek prvého portu, vstup (AS) voľby synchronizácie prvého portu je pripojený na tretí vstup (63) prvého multiplexera (60), vstup (WZ) indikácie inicializačného zápisu je pripojený na štvrtý vstup (94) rozhodovacieho obvodu (90), vstup (P) voľby priority portov je pripojený na piaty vstup (95) rozhodovacieho obvodu (90) a na šiesty vstup (166) kombinačného obvodu (160), vstup (BRD) požiadavky druhého portu o čítanie je pripojený na prvý vstup (31) registra (30) požiadaviek druhého portu, vstup (BWT) požiadavky druhého portu o zápis je pripojený na druhý vstup (32) registra (30) požiadaviek druhého portu, vstup (BAD) adresného výberu druhého portu je pripojený na tretí vstup (33) registra (30) požiadaviek druhého portu, vstup (BS) voľby synchronizácie druhého portu je pripojený na tretí vstup (73) druhého multiplexera (70), hodinový vstup (CLK) je pripojený na druhý vstup (42) prvého synchronizačného registra (40), na druhý vstup (52) druhého synchronizačného registra (50), na štvrtý vstup (104) prvého vybavovacieho obvodu (100), na tretí vstup (113) druhého vybavovacieho obvodu (110) a na štvrtý vstup (154) posúvacieho registra (150), vstup (STOP) ukončenia cyklu je pripojený na druhý vstup (12) registra (10) požiadavky o obnovenie, na piaty vstup (105) prvého vybavovacieho obvodu (100), na štvrtý vstup (114) druhého vybavovacieho obvodu (110) a na piaty vstup (125) druhého preklápacieho obvodu (120), vstup (LCKA) blokovania z prvého portu je pripojený na prvý vstup (81) prvého preklápacieho obvodu (80), vstup (LCKB) blokovania z druhého portu je pripojený na druhý vstup (82) prvého preklápacieho obvodu (80), vstup (RST) nulovania je pripojený na tretí vstup (13) registra (10) požiadavky o obnovenie, na piaty vstup (25) registra (20) požiadaviek prvého portu, na piaty vstup (35) registra (30) požiadaviek druhého portu, na tretí vstup (43) prvého synchronizačného registra (40), na tretí vstup (53) druhého synchronizačného registra (50), na tretí vstup (133) prvého blokovacieho obvodu (130) a na štvrtý vstup (144) druhého blokovacieho obvodu (140), vstup (RB) ukončenia vnútorného obsadenia je pripojený na štvrtý vstup (134) prvého blokovacieho obvodu (130) a na piaty vstup (145) druhého blokovacieho

obvodu (140), výstup (14) registra (10) požiadavky o obnovenie je pripojený na prvý vstup (91) rozhodovacieho obvodu (90), na prvý vstup (101) prvého vybavovacieho obvodu (100) a na prvý vstup (161) kombinačného obvodu (160), prvý výstup (26) registra (20) požiadaviek prvého portu je pripojený na prvý vstup (41) prvého synchronizačného registra (40), na prvý vstup (61) prvého multiplexera (60) a na výstup (ALEA) hradlovania adresy prvého portu, druhý výstup (27) registra (20) požiadaviek prvého portu je pripojený na druhý vstup (122) druhého preklápacieho obvodu (120), prvý výstup (36) registra (30) požiadaviek druhého portu je pripojený na prvý vstup (51) druhého synchronizačného registra (50), na prvý vstup (71) druhého multiplexera (70) a na výstup (BLEA) hradlovania adresy druhého portu, druhý výstup (37) registra (30) požiadaviek druhého portu je pripojený na štvrtý vstup (124) druhého preklápacieho obvodu (120), výstup (44) prvého synchronizačného registra (40) je pripojený na druhý vstup (62) prvého multiplexera (60), výstup (54) druhého synchronizačného registra (50) je pripojený na druhý vstup (72) druhého multiplexera (70), výstup (64) prvého multiplexera (60) je pripojený na druhý vstup (92) rozhodovacieho obvodu (90), výstup (74) druhého multiplexera (70) je pripojený na tretí vstup (93) rozhodovacieho obvodu (90), prvý výstup (85) prvého preklápacieho obvodu (80) je pripojený na šiesty vstup (96) rozhodovacieho obvodu (90), druhý výstup (86) prvého preklápacieho obvodu (80) je pripojený na siedmy vstup (97) rozhodovacieho obvodu (90), prvý výstup (98) rozhodovacieho obvodu (90) je pripojený na druhý vstup (102) prvého vybavovacieho obvodu (100), druhý výstup (99) rozhodovacieho obvodu (90) je pripojený na tretí vstup (103) prvého vybavovacieho obvodu (100), prvý výstup (107) prvého vybavovacieho obvodu (100) je pripojený na výstup (RFCY) indikácie cyklu obnovenia a na prvý vstup (141) druhého blokovacieho obvodu (140), druhý výstup (108) prvého vybavovacieho obvodu (100) je pripojený na štvrtý vstup (84) prvého preklápacieho obvodu (80), na prvý vstup (111) druhého vybavovacieho obvodu (110), na prvý vstup (121) druhého preklápacieho obvodu (120), na druhý vstup (142) druhého blokovacieho obvodu (140), na druhý vstup (152) posúvacieho registra (150) a na druhý vstup (162) kombinačného obvodu (160), tretí výstup (109) prvého vybavovacieho obvodu (100) je pripojený na tretí vstup (83) prvého preklápacieho obvodu (80), na druhý vstup (112) druhého vybavovacieho obvodu (110), na tretí vstup (123) druhého preklápacieho obvodu (120), na tretí vstup (143) druhého blokovacieho obvodu (140), na tretí vstup (153) posúvacieho registra (150) a na tretí vstup (163) kombinačného obvodu (160), prvý výstup (116) druhého vybavovacieho obvodu (110) je pripojený na prvý vstup (131) prvého blokovacieho obvodu (130) a na štvrtý vstup (164) kombinačného obvodu (160), druhý výstup (117) druhého vybavovacieho obvodu (110) je pripojený na druhý vstup (132) prvého blokovacieho obvodu (130) a na piaty vstup (165) kombinačného obvodu (160), výstup (126) druhého preklápacieho obvodu (120) je pripojený na výstup (WT) indikácie režimu zápisu, výstup (135) prvého blokovacieho obvodu (130) je pripojený na piaty vstup (115) druhého vybavovacieho obvodu (110), výstup (146) druhého blokovacieho obvodu (140) je pripojený na šiesty vstup (106) prvého vybavovacieho obvodu (100) a na výstup (BUSY) vnútorného obsadenia, prvý výstup (155) posúvacieho registra (150) je pripojený na štvrtý vstup (24) registra (20) požiadaviek prvého portu, druhý výstup (156) posúvacieho registra (150) je pripojený na štvrtý vstup (34) registra (30) požiadaviek druhého portu, prvý výstup (167) kombinačného obvodu (160) je pripojený na výstup (REF) indikácie obnovenia, druhý výstup (168) kombinačného obvodu (160) je pripojený na prvý vstup (151) posúvacieho registra (150) a na výstup (PSEN) povolenia výberu portu, tretí výstup (169) kombinačného obvodu (160) je pripojený na výstup (PSEL) výberu portu, štvrtý výstup (170) kombinačného obvodu (160) je pripojený na výstup (STCY) indikácie cyklu.

