發明專利說明書

公告本

（本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※申請案號：096108282

※申請日期：96 年 03 月 09 日　※IPC 分類：G11C 17/18 (2006.01)

一、發明名稱：

(中) 高速可程式化一次（ＯＴＰ）之感測方式及裝置

(英) High speed one-time-programmable (OTP) sensing scheme and apparatus

二、申請人：(共 1 人)

1.姓　名：（中）席登斯公司
（英）SIDENSE CORP.
代表人：（中）1.伍洛德克　庫加諾維克茲
（英）1.KURJANOWICZ, WLODEK
地　址：（中）加拿大安大略省坎納塔市泰瑞福斯大道三四九號
（英）349 Terry Fox Drive, Kanata ON K2K 2V6, Canada
國籍：（中英）加拿大　CANADA

三、發明人：(共 2 人)

1.姓　名：（中）伍洛德克　庫加諾維克茲
（英）KURJANOWICZ, WLODEK
國　籍：（中）加拿大
（英）CANADA

2.姓　名：（中）史蒂芬　史密斯
（英）SMITH, STEVEN
國　籍：（中）加拿大
（英）CANADA

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利☐主張國際優先權：
【格式請依：受理國家（地區）；申請日；申請案號數　順序註記】
1.美國　；2006/12/29；11/618,330 ☑有主張優先權

五、中文發明摘要

發明之名稱：高速可程式化一次（OTP）之感測方式及裝置

本發明揭露一種用於非依電性記憶體陣列的高速感測方案。該記憶體陣列包含以一互補位元線組態所設置的非依電性記憶體單元，該互補位元線組態包含：預先充電電路，用以將位元線預先充電至一第一電壓位準(例如 VSS)；參考電路，用以施加一參考電荷至互補位元線對中的參考位元線；以及位元線感測放大器，用以感測互補位元線對之間的電壓差動。當連接至一經啓動的字元線之一經程式化的非依電性記憶體單元將字元線電壓耦接至資料位元線時，該資料位元線上的電壓係改變。

六、英文發明摘要

發明之名稱：

High speed one-time-programmable (OTP) sensing scheme and apparatus

A high speed sensing scheme for a non-volatile memory array is disclosed. The memory array includes non volatile memory cells arranged in a complementary bitline configuration includes precharge circuits for precharging the bitlines to a first voltage level such as VSS, a reference circuits for applying a reference charge on the reference bitlines of the complementary bitline pairs, and bitline sense amplifiers for sensing a voltage differential between the complementary bitline pairs. A voltage on the data bitline being changed when a programmed non-volatile memory cell connected to an activated wordline couples the wordline voltage to the data bitline.

七、指定代表圖：

（一）、本案指定代表圖為：第(16)圖。

（二）、本代表圖之元件代表符號簡單說明：

1000：折疊式位元線反熔絲記憶體陣列
1002：n通道反熔絲電晶體
1004：n通道反熔絲電晶體
1006：n通道隔離電晶體
1008：n通道隔離電晶體
1010：預先充電電路
1012：參考電荷電路
1014：位元線感測放大器
1016：n通道預先充電電晶體
1018：n通道預先充電電晶體
1020：n通道操縱電晶體
1022：n通道操縱電晶體
1024：n通道電晶體
1026：p通道預先充電電晶體
1028：p通道電晶體
1030：p通道電晶體
1032：n通道電晶體
1034：n通道電晶體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

九、發明說明

【發明所屬之技術領域】

本發明係大致關於非依電性記憶體。具體而言，本發明係針對用於可程式化一次（OTP）的記憶體之感測方案。

【先前技術】

過去三十年來，反熔絲技術已明顯地吸引許多發明者、IC設計者與製造者。一反熔絲係一結構，可改變至一導電狀態，或換句話說，一電子裝置改變狀態，從不導電變成導電。也就是說，因應電應力（例如程式化電壓或電流），二元狀態可爲高電阻或低電阻其中一者。已有許多嘗試發展與應用反熔絲於微電子產業，但截至目前爲止，最成功的反熔絲應用可見於 Actel 與 Quicklogic 所製造的FGPA裝置，與使用於Micron所製造的DRAM裝置中之冗餘或選項程式化。

以下係以公布的美國專利來說明反熔絲發展的進展概要。

反熔絲科技發展始於美國專利第 3,423,646 號，其揭露一薄膜可變形的（formable）二極體 PROM，係製成水平與垂直的導體陣列，導體之間（於其相交處）有一薄電介質（氧化鋁）。此 NVM 記憶體係經由貫穿該電介質於一些相交處而被程式化。一可變形的二極體可作爲開電路（open circuit），直到具有足夠強度與持續期間的電壓被

施加至該相交處，以造成氧化鋁中間層的形成，於此時，裝置可作爲一通道二極體。

美國專利第 3,423,929 號揭露一內金屬半導體反熔絲陣列，由薄電介質電阻器（AlO2、SiO2 或 Si3N4）構成的反熔絲之結構利用連接至位於上連接至半導體二極體及位於其上之兩個（Al）導體。

使用一 MOS 電容器與一 MOS 切換元件之可程式化的電介質 ROM 記憶體結構係顯示於美國專利第 4,322,822 號（McPherson）。此單元係形成爲具有一閘極連接（利用埋入式接觸）至一 MOS 電晶體的一標準閘極氧化物於基板上（gate-oxide-over-substrate）之電阻器。爲了降低氧化物崩潰電壓（與 MOS 切換器相比，反熔絲電容器需要更小的氧化物崩潰電壓），提出於電容器區域中的 V 形凹槽。由於該電容器係形成於多晶閘極（poly gate）與接地的 p 型基板之間，必須經由一存取電晶體施加破裂（rupture）電壓至該電容器。該存取電晶體的閘極/汲極與閘極/源極邊緣係位於第二場氧化物，比該通道區域中的閘極氧化物厚的多，其大大提昇的閘極/S-D 崩潰電壓。

美國專利第 4,507,757 號（McElroy）提出一種經由崩塌接合崩潰（avalanche junction breakdown）而降低閘極崩潰電壓的方法。雖然 McElroy 原來的想法由使用經閘極的二極體（gated diodes）以局部地導入崩塌崩潰而逐漸發展出，其接著藉由提昇的電子通道而降低電介質破裂，事實上他導入或體現其他也許更重要的元件到反熔絲技術

：（a）雙閘極氧化物反熔絲：比反熔絲電介質厚的存取電晶體閘極氧化物。McElroy 的雙閘極氧化物程序步驟爲：開始閘極氧化、蝕刻區域以得到較薄的閘極氧化物、接著閘極氧化。此程序目前使用於標準 CMOS 技術（針對“I/O”與“1T”裝置）。（b）“共同閘極”（類似平面 DRAM）反熔絲連接，其中存取電晶體連接至反熔絲擴散（汲極）節點，而所有反熔絲閘極係連接在一起。此係與 McPherson 的排列相反，且導致更密集的單元，因爲埋入式接觸被消除。（c）共用反熔絲閘極與外接地之間的限制電阻器。（d）二端反熔絲 MOS 裝置（半電晶體）：McElroy 推斷反熔絲電容器僅需要兩個終端：D 與 G。源極並非反熔絲程式化或操作所需，且可完全從主動區域隔離。傳統連接沒有任何作爲，除了用於崩塌崩潰。所以該源極的角色被限制爲收集來自崩塌崩潰的載子（carrier），該局部基板電位應增加至朝偏壓由 D、B、S 形成的寄生 n-p-n 裝置之射極的順向偏壓。

一直到 1985 年，美國專利第 4,543,594 號（Mohsen）提出一種可用於冗餘恢復之反熔絲設計。當此應用需要較 PROM 更低的密度時，供應外高電壓（使該氧化物破裂所需者）而不須真的經由該存取記憶體傳送此電壓，會較爲容易。Mohsen 的反熔絲結構由在摻雜的區域上之薄氧化物（50-150A SiO2）多晶矽電容器所構成。他相信來自基板的矽或來自電極（其係使用多晶矽電極）的矽熔化進入絕緣層的針孔，以提供該導體，且他的測試資料顯示，

該氧化物層約 100A 厚，且具有面積約 10 至 500um^2，熔化發生於 12 至 16 伏特的電壓。造成此熔化所需的電流係小於 0.1uA/um2 的電容器面積，且所得熔化的鏈結具有約 0.5 至 2K 歐姆的電阻。鏈結一旦被熔化，在其恢復至開熔絲之前（open fuse），於室溫下一秒鐘可處理達 100 毫安培的電流。考慮到電子移動耗損，鏈結一旦被熔化，預期的耗損生命週期，大約大於 3E8 小時。

在電流應力之下反熔絲自恢復的可能性似乎爲應用此技術於此領域（如 PROM、PLD、FPGA，其中需要接觸熔絲應力）主要的障礙。反熔絲自恢復的問題之後被在 Actel 的 Mohsen 與其他人解決於美國專利第 4,823,181 號。Actel 教示實現可靠的可程式化的低阻抗反熔絲元件的方式，係藉由使用 ONO 結構代替二氧化矽。Actel 的方法需要在電介質破裂之後的歐姆接觸。此係藉由使用重度摻雜的擴散或將 ONO 電介質置於兩個金屬電極（或矽化物層）之間而實現。砷摻雜的底擴散電極之必要性之後被修訂於美國專利第 4,899,205 號，其允許頂多晶（top-poly）或底擴散以重度摻雜。

美國專利第 5,019,878 號教示，若汲極被矽化，則從汲極施加於 10 至 15 伏特的範圍內之程式化電壓至源極，將可靠地形成一熔化的絲越過該通道區域。可施加一閘極電壓以控制特定電晶體熔化。IBM 發現類似的效應，提出一通道反熔絲於美國專利第 5,672,994 號。他們發現，以 0.5um 技術，用於 nmos 電晶體的 BVDSS 不僅在 6.5V 的

等級，且一旦 S-D 貫穿發生，其產生永久損害，導致幾個千歐姆漏洩於源極與汲極之間。

美國專利第 5,241,496 號與第 5,110,754 號（Micron）揭露以 DRAM 單元爲基之反熔絲（溝槽與堆疊）。於 1996，Micron 導入井至閘極（well-to-gate）電容器作爲反熔絲於美國專利第 5,742,555 號。美國專利第 6,087,707 號提出 N 井耦接的反熔絲作爲消除關聯於多晶矽蝕刻的缺陷的一種方式。美國專利申請案第 2002/0027,822 號提出一種反熔絲結構，但 n+區域被移除，使用 N 井作爲汲極電極，以產生不對稱（“不平衡”）的高電壓存取電晶體。

美國專利第 6,515,344 號提出一範圍的 P+/N+反熔絲組態，利用兩個相反類型的擴散區域之間的最小尺寸閘極來實現。

該項技藝中已知使用標準深 N 井程序製造於隔離的 P 井之 nmos 反熔絲。另一變化的以深 N 井爲基的反熔絲係揭露於美國專利第 6,611,040 號。

美國專利申請案第 2002,0074,616 號與第 2004,0023,440 號揭露其他深 N 井反熔絲。這些反熔絲由特徵爲直接通道電流（而不是 Fowler Nordheim 電流）的電容器所構成。這些申請案確認：對於較薄的閘極氧化物電容器（約 20A，對於 0.13um 程序的電晶體），反熔絲效能係普遍提升。

美國專利第 6,580,145 號揭露利用雙閘極氧化物之新版本的傳統反熔絲結構，較厚的閘極氧化物被使用於

nmos（或 pmos）存取電晶體而較薄的閘極氧化物用於電容器。N 井（或 P 井）係使用作爲反熔絲電容器的底極板。

藉由經由閘極個別地破裂電晶體之 S-G 與 D-G 電介質區域而產生源極汲極短路的想法係揭露於美國專利第 6,597,234 號。

美國專利申請案第 2004,0004,269 號揭露一種反熔絲，由 MOS 電晶體製成，該 MOS 電晶體係具有連接至電容器的閘極、由較薄的閘極氧化物退化、及以額外的植入物（二極體）在通道之下重度摻雜。該破裂電壓係被施加至該電容器的底極板。

於美國專利第 6,667,902 號（Peng），Peng 嘗試藉由導入“列程式化線（其連接至該等電容器且與該等字元線平行）”而改善典型的平面類似 DRAM 的反熔絲陣列。若列程式化線被解碼，其可最小化存取電晶體的暴露至一高程式化電壓，不然其將透過已被程式化的單元來發生。Peng 與 Fong 進一步改善其陣列於美國專利第 6,671,040 號，係藉由加入控制程式化電流之可改變的電壓，其宣稱控制閘極氧化物崩潰的程度，允許多位準或類比儲存應用。

最近，美國專利申請案第 2003/0202376 號（Peng）顯示使用單一電晶體結構的一記憶體陣列。於所提出的記憶體單元中，Peng 消除來自一般 NMOS 電晶體的 LDD 擴散。相交點陣列結構係由水平的主動區域（S/D）帶相交

垂直的多晶閘極帶而形成。汲極接點係共用於鄰近單元之間且連接至水平的字元線。源極區域亦共用且處於浮動狀態。Peng 假設若 LDD 擴散被省略，則閘極氧化物崩潰位置將離該汲極區域夠遠，而局部 N+區域將被產生而非 D-G（汲極-閘極）短路。若此一區域被產生，則被程式化的單元將被藉由明確地偏壓該閘極及感測該閘極至汲極電流而偵測。爲了減低 G-D 或 S-D（源極-汲極）短路可能性，Peng 提出於 G-D 或 S-D 邊緣經由閘極側壁氧化程序的修改而增加閘極氧化物厚度。Peng 的陣列需要源極與汲極區域兩者存在記憶體單元、列字元線耦接至電晶體汲極區域、及行位元線從電晶體閘極形成。此一不正常的連接必須非常特定 Peng 的程式化與讀取方法，需要施加至所有汲極線（除了即將被程式化的那一個以外）之解碼的高電壓（8V 於 1.8V 程序）。該解碼的高電壓（8V）係被施加至即將被程式化的行的閘極，同時其他閘極係保持於 3.3V。

雖然 Peng 達成相交點記憶體架構，他的陣列需要 CMOS 程序修改（LDD 消除，於該邊緣之較厚的閘極氧化物）且具有以下缺點：（a）所有列解碼器、行解碼器及感測放大器必須切換大範圍的電壓：8V/3.3V/0V 或 8V/1.8V/0V。（b）程式化操作期間，3.3V 行驅動器係經由被程式化的單元而有效率地短路至 8V 列驅動器或 0V 驅動器。此加入許多限制於陣列尺寸、影響驅動器尺寸、及影響程式化的可靠性與效率。（c）各程式化操作需要

所有陣列主動區域（除了被程式化的列以外）被偏壓於8V。此導致大 N++漏洩電流，並再次限制陣列尺寸。（d）閘極氧化物破裂點（breaking spot）係假設被置於遠離該汲極區域，故該貫穿不在 8V 偏壓發生。於此同時，電晶體必須正確地操作於 1.8V 偏壓-連接至通道區域。此情形沒有明顯的程序修改是無法達成的。（e）Peng 假設：若 LDD 不存在，則閘極氧化物不會在源極或汲極邊緣破裂。然而，所屬技術領域中具有通常知識者熟知 S/D 邊緣係氧化物崩潰最可能位置，係因爲陡的邊緣附近之缺陷與電場密度。

Peng 嘗試解決一些高電壓切換問題於美國專利申請案第 2003/0206467 號。於字元線與位元線上的高阻擋電壓現在以“浮動”字元線與位元線代替，且從通道至源極與汲極區域之距離的限制已被改變。雖然浮動字元線與位元線可減輕高電壓切換的問題，他們沒有解決任何上述基本的問題。此外，他們引入嚴重的耦接問題於切換的與浮動的線之間。

今日，反熔絲發展專注於三度空間薄膜結構與特別內金屬材料。所有這些反熔絲技術需要額外的程序步驟（非標準 CMOS 程序可用者），妨礙反熔絲應用於典型 VLSI 與 ASIC 設計，其中程式化能力可幫助克服持續收縮裝置生命週期與不斷地提升晶片發展成本之問題。因此，該產業明顯需要利用標準 CMOS 程序之可靠的反熔絲結構。

先前技術的反熔絲單元與陣列需要特別的程序步驟或

MOS 切換元件需承受高電壓暴露，導致製造能力與可靠性的問題。其亦限制於低密度記憶體應用，除了 Peng 的單一電晶體單元，其具有兩倍的製造能力。

電流非依電性記憶體（例如 Flash 與 OTP 記憶體）的明顯問題係記憶體單元可感測的資料狀態之速度，其直接地影響記憶體的整體效能。記憶體的效能（不論是嵌入於一系統或是一分離的記憶體裝置）可爲系統的效能瓶頸，其係相關於由該系統所執行的部份程序。非依電性記憶體（例如 Flash 記憶體與 OTP 記憶體）使用電流感測方案爲該領域所熟知。這些方案係典型爲單端，亦即感測放大器電路比較經由一位元線（其傳送與其相連的記憶體單元之資料）所驅動的電流與一參考電流。該參考電流可以多種方式產生，包含由參考電壓產生器來合成，或經由參考記憶體單元。來自電流感測放大器之單一位元數位輸出代表有關該參考電流之該位元線電流的狀態。於 Flash 記憶體中，記憶體單元的一位元線之電流將取決於被程式化的臨限值。於反熔絲 OTP 記憶體中，一位元線的電流將取決於所形成的反熔絲鏈結之導電性。

不幸地，電流感測方案係相對地慢。另一方面，DRAM 感測比電流感測方案快的多，由於電壓或電荷係於位元線上感測。DRAM 記憶體係被組織成折疊式位元線架構，其中位元線對係連接至其所擁有的位元線感測放大器。位元線（互補）係在讀取操作之前被預先充電至某中點電壓位準，然後記憶體單元將加入電荷至其中一個位元線

，或從其中一個位元線移除電荷。即使是折疊式位元線之間的一小電壓差動可藉由位元線感測放大器而很快的被偵測。

DRAM 提供高密度與效能之最佳平衡，此爲其被專門地使用於電腦系統（具有對於容量與效能持續增加的需求）的原因。對比之下，電流反熔絲 OTP 記憶體係相對地慢，但具有有用的非依電性應用，其中 DRAM 不適合或不切實際來製造。應用包含：板上 FLASH 更換、啓動區（boot）與處理器碼儲存、PROM、EEPROM、EPROM 更換、MASK ROM 更換、及其他應用，其中在缺少電源的情形，資料必須安全地保持。不幸地，甚至對於此應用，反熔絲 OTP 記憶體的相對低效能會負面地影響該依賴反熔絲 OTP 記憶體之系統的效能，不論其是機上盒（set-top box）、PDA、或行動電話。

因此，期望提供簡單且可靠的高密度反熔絲陣列架構，可用於以高速感測效能實現於標準 CMOS 技術。

【發明內容】

本發明之目的在於消除或減輕先前非依電性感測方案之至少一個缺點。具體而言，本發明之目的在於提供用於高速感測的非依電性記憶體之電路與方法，更具體而言，係用於反熔絲 OTP 記憶體。

於第一形態中，本發明提供一記憶體陣列，包含可程式化一次（one-time-programmable；OTP）的記憶體單元

。記憶體陣列包含一對互補位元線、一預先充電電路、連接至該等 OTP 記憶體單元的閘極終端之字元線、及一位元線感測放大器。該對互補位元線中的各位元線係連接至該等 OTP 記憶體單元的擴散終端。該預先充電電路將該對互補位元線預先充電至一第一電壓位準。該等字元線係連接至該等 OTP 記憶體單元的閘極終端，且至少一個字元線能夠經由一對應的 OTP 記憶體單元之一可程式化導電鏈接，而將該對互補位元線中的一個位元線驅動至一第二電壓位準。該位元線感測放大器係感測該對互補位元線上的電壓差動。

根據本形態之一實施例，該預先充電電路可包含行預先充電裝置，用以將鄰近該對互補位元線中的各位元線之位元線，選擇性地預先充電至一第三電壓位準，該第三電壓位準與該第一電壓位準不同。於進一步的實施例中，各 OTP 記憶體單元係一單一電晶體反熔絲記憶體單元或一二電晶體反熔絲記憶體單元。該二電晶體反熔絲記憶體單元具有連接至該字元線的一存取電晶體及連接至該存取電晶體的一反熔絲裝置。該反熔絲裝置具有連接至一輔助字元線之一閘極，其中在一讀取操作期間，該字元線與該輔助字元線係電氣地或邏輯地連接在一起。

於本形態之另一實施例中，該記憶體陣列更包含一參考電路，用以選擇性地提供一參考電荷至該對互補位元線中的一個位元線。該參考電路包含一電荷儲存電容器電路及複數個操縱電路，該等操縱電路係用以將該電荷儲存電

容器電路耦接至該對互補位元線中的該一個位元線。該等操縱電路包含虛擬記憶體單元，用以將該電荷儲存電容器電路選擇性地耦接至該對互補位元線中的該一個位元線。再者，該參考電路包含複數個額外的電容器電路，該等電容器電路係連接至該電荷儲存電容器電路，各額外的電容器電路係因應一對應的控制訊號而被選擇性地致能。

於本形態之另一實施例中，該記憶體陣列更包含一參考電路，用以在位元線感測操作期間，選擇性地將一電容負載機構耦接至該對互補位元線中的一個位元線。該參考電路包含一操縱電路，用以在位元線預先充電操作期間，將該電容負載機構耦接至該對互補位元線中的該一個位元線。

於第二形態中，本發明提供一種用以感測連接至互補位元線之可程式化一次（OTP）的記憶體單元之方法。該方法包含：a）將一對互補位元線預先充電至一第一電壓位準，該對互補位元線包含一資料位元線與一參考位元線；b）將至少一個字元線驅動至一第二電壓位準；c）若一OTP 記憶體單元被程式化，則藉由連接至該字元線的該OTP 記憶體單元，將該資料位元線朝該第二電壓充電；以及 d）感測該參考位元線與該資料位元線之間的電壓差動。

根據本形態之實施例，該將至少一個字元線驅動的步驟包含：驅動對應於連接至該資料位元線的一第一 OTP 記憶體單元之一第一字元線、及驅動對應於連接至該資料位

元線的一第二 OTP 記憶體單元之一第二字元線。替代地，該將至少一個字元線驅動的步驟包含：驅動對應於連接至該資料位元線的一第一 OTP 記憶體單元之一第一字元線、及驅動對應於連接至該參考位元線的一第二 OTP 記憶體單元之一第二字元線。替代地，該將至少一個字元線驅動的步驟包含：驅動對應於連接至該資料位元線的一第一 OTP 記憶體單元之一第一字元線、驅動對應於連接至該資料位元線的一第二 OTP 記憶體單元之一第二字元線、驅動對應於連接至該參考位元線的一第三 OTP 記憶體單元之一第三字元線、及驅動對應於連接至該參考位元線的一第四 OTP 記憶體單元之一第四字元線。

於進一步的實施例，該方法更包含下列步驟：將一參考電荷加入該資料位元線與該參考位元線之其中一者，而該預先充電的步驟包括：將鄰近該對互補位元線中的各位元線之位元線預先充電至一第三電壓位準。該第一電壓位準係一晶片供應電壓與一接地電壓之其中一者，而該第二電壓位準係能將一經程式化的 OTP 記憶體單元切換成一導電狀態的預定強度。該第二電壓位準與該第三電壓位準皆大於或小於該第一電壓位準。

現在說明本形態的進一步實施例。實質上同時驅動該至少一個字元線與加入該參考電荷。該將一參考電荷加入的步驟包含：啓動一操縱裝置，以將該參考電荷耦接至該資料位元線與該參考位元線之其中一者，該參考電荷係由一電荷儲存機構所提供。該電荷儲存機構係在啓動該操縱

裝置的步驟之前被預先充電，而該操縱裝置包含一操縱電晶體。該操縱裝置包含一虛擬 OTP 記憶體單元，而該電荷儲存機構係在啓動該操縱裝置的步驟之前被預先充電，且在該操縱裝置被啓動之後持續一預定期間的時間。該操縱裝置係在啓動一感測放大器之前被禁能，以感測該電壓差動。該將一參考電荷加入的步驟包含：選擇性地耦接除了一預設電荷儲存機構以外之至少一個補充電荷儲存機構，該參考電荷係由該預設電荷儲存機構所提供。

於第三形態中，本發明提供一種用以感測連接至一對互補位元線之可程式化一次（OTP）的記憶體單元之方法，該對互補位元線包含一資料位元線與一參考位元線。該方法包含：a）將電容機構耦接至該資料位元線，該電容機構界定一感測放大器的補償；b）將該資料位元線與該參考位元線預先充電至一第一電壓位準；c）將一字元線驅動至一第二電壓位準；d）若一 OTP 記憶體單元被程式化，則藉由連接至該字元線的該 OTP 記憶體單元，將該資料位元線朝該第二電壓位準充電；以及 e）啓動該感測放大器，以判定該資料位元線與該參考位元線之間的電壓差動。

於本形態的實施例中，該預先充電的步驟包括：將鄰近該資料位元線與該參考位元線之位元線預先充電至一第三電壓位準，而該耦接的步驟包含：啓動一操縱裝置，以將該電容機構耦接至該資料位元線。

於第四形態中，本發明提供一種互補位元線記憶體陣

列。該互補位元線記憶體陣列包含：連接至位元線與字元線之可程式化一次（OTP）的記憶體單元、一第一預先充電電路、一第二預先充電電路、及一感測放大器。該第一預先充電電路將一經選擇的互補位元線對，選擇性地預先充電至一第一電壓位準。該第二預先充電電路將鄰近該經選擇的互補位元線對的位元線，選擇性地預先充電至一第二電壓位準。該感測放大器係因應經解碼的行位址訊號，而經由行選擇裝置，來耦接至該經選擇的互補位元線對。於本形態之一實施例中，在啓動至少一個字元線之前或緊接在啓動該至少一個字元線之後，該第一預先充電電路與該第二預先充電電路係被關斷，以使該經選擇的互補位元線與鄰近該經選擇的互補位元線的該等位元線浮動。

於第五形態中，本發明提供一種將具有可程式化一次（OTP）的記憶體單元之一互補位元線記憶體陣列預先充電之方法。該方法包含：a）將經選擇的位元線對預先充電至一第一電壓位準；b）將鄰近該經選擇的位元線對之未經選擇的位元線對預先充電至一第二電壓位準；c）驅動連接至該等 OTP 記憶體單元之至少一個字元線，若該等 OTP 記憶體單元被程式化，則該等 OTP 記憶體單元能將各經選擇的位元線對中之一個位元線朝該字元線電壓位準充電，同時連接至被預先充電至該第二電壓位準的該等位元線之該等 OTP 記憶體單元的驅動能力被抑制。

根據目前所說明的形態之實施例，各 OTP 記憶體單元可包含一多晶矽閘極、一擴散區域、及一可變厚度閘極氧

化物。該多晶矽閘極係設置於一基板中的通道區域上方，該通道具有由一第一端與一第二端所界定之一預先設定長度。該擴散區域係鄰近該通道區域的該第一端。該可變厚度閘極氧化物係在該多晶矽閘極與該基板之間。該可變厚度閘極氧化物具有：一厚閘極氧化物部份，係由該通道區域之該第一端延伸至該預先設定長度的一預定距離；以及一薄閘極氧化物部份，係由該預定距離延伸至該通道區域之該第二端。

於本實施例的形態中，各 OTP 記憶體單元可進一步包含一抗崩潰存取邊緣與一氧化物崩潰區。該抗崩潰存取邊緣係鄰近該通道區域之該第一端，用以在該多晶矽閘極與該擴散區域之間傳導電流。該氧化物崩潰區係鄰近該通道區域之該第二端，且該氧化物崩潰區係可熔化的，以形成該多晶矽閘極與該通道區域之間的導電鏈接。各 OTP 記憶體單元更包含鄰近該通道區域之該第二端的一隔離區域，其中該隔離區域包含鄰近該薄閘極氧化物之場氧化物區域、浮動擴散區域、以及該場氧化物區域與該浮動擴散區域之結合中的一者。該薄閘極氧化物部份係與形成於該半導體材料上之至少一個低電壓電晶體閘極氧化物相同，而該厚閘極氧化物部份係與形成於該半導體材料上之至少一個高電壓電晶體閘極氧化物相同。替代地，該厚閘極氧化物部份包含一中間閘極氧化物與該薄閘極氧化物部份之結合。

根據另一形態，該浮動擴散區域、該通道區域的該第

二端、及該多晶矽閘極的一閘極邊緣具有一共同邊緣，該共同邊緣係由彼此成一角度的至少兩個線段所界定，其中該角度係 135 度與 90 度的其中一者。該擴散區域具有一 LDD 植入物，該 LDD 植入物係與該低電壓電晶體、該高電壓電晶體、及該低電壓電晶體與該高電壓電晶體兩者的結合之其中一者的 LDD 植入物相同。該擴散區域的一邊緣與該多晶矽閘極的一部份係免於被金屬矽化（salicidation）。

對於所屬技術領域中具有通常知識者而言，由以下的實施方式參考所附圖式，本發明上述與其他目的與特徵將變得淺顯易懂。

【實施方式】

大致而言，本發明提供一種以採用折疊式或開放式位元線架構之互補位元線組態來排列的非依電性記憶體單元之陣列。以下說明特別提到較佳的折疊式位元線排列，但其同樣可應用於替代的開放式位元線排列、或兩者的結合。該記憶體陣列更包含：預先充電電路，用以將該位元線對預先充電至一電壓參考；參考電路，用以將一參考電荷注入於各位元線對的一個位元線；及位元線感測放大器，用以感測該位元線對之間的電壓差動。該電壓差動係根據經由一啓動的字元線而耦接至該等位元線之非依電性記憶體單元的程式化狀態。

在討論折疊式位元線反熔絲記憶體陣列實施例之前，

以下係說明使用於本發明之實施例之較佳的反熔絲記憶體單元。較佳的反熔絲記憶體單元於此僅做爲範例，可使用許多其他非依電性記憶體（NVM）單元於本發明之實施例。其他 NVM 單元可包含二電晶體或 1.5 電晶體反熔絲記憶體單元。於以下說明中，術語"MOS"係用以表示任何 FET 或 MIS 電晶體、半電晶體、或電容器結構。

如前所述，已知使用平面電容器作爲反熔絲（代替儲存電容器）之 DRAM 型記憶體陣列，如美國專利第 6,667,902 號所述。第 1 圖爲此記憶體單元之電路圖，而第 2 與 3 圖分別顯示第 1 圖之已知反熔絲記憶體單元的平面與剖面圖。第 1 圖之記憶體單元包含一通過、或存取電晶體 10，用以將位元線 BL 耦接至反熔絲裝置 12 的底極板。字元線 WL 係耦接至存取電晶體 10 之閘極，以將其導通，而一單元極板電壓 Vcp 係耦接至反熔絲裝置 12 的頂極板，以程式化反熔絲裝置 12。

從第 2 與 3 圖可知，存取電晶體 10 與反熔絲裝置 12 之佈局係非常簡單明瞭。存取電晶體 10 之閘極 14 與反熔絲裝置 12 之頂極板 16 係以相同的多晶矽層製成，其延伸越過主動區 18。於主動區 18 各多晶矽層下形成薄閘極氧化物 20（亦稱爲閘極電介質），用以將多晶矽電性隔離主動區底下。於閘極 14 的各側係擴散區域 22 與 24，其中擴散區域 24 係耦接至一位元線。雖然未圖示，於所屬技術領域具有通常知識者將瞭解到可應用標準 CMOS 處理，例如側壁間隔件形成、輕微摻雜擴散（LDD）、及擴散與閘

極矽化。雖然已廣泛使用傳統的單一電晶體與電容器單元組態，唯電晶體（transistor-only）反熔絲單元是更令人期望的，因爲可獲得節省的半導體陣列區域，以供高密度的應用。此唯電晶體反熔絲單元必須爲可靠的同時易於以低成本 CMOS 程序來製造。

根據本發明之實施例，第 4 圖顯示反熔絲電晶體的剖面圖，其可以任何標準 CMOS 程序來製造。於所顯示的範例中，反熔絲電晶體幾乎與單純的厚閘極氧化物、或具有一浮動擴散終端之輸入/輸出 MOS 電晶體相同。所揭露的反熔絲電晶體（亦稱爲分開通道（split-channel）電容器或半電容器（half-transistor））能被可靠地程式化，使得於多晶矽閘極與基板之間的熔絲鏈結可被預見地局部化至該裝置的特定區域。第 4 圖的剖面圖係沿著該裝置的通道長度所取得，於目前所說明的實施例中，該裝置係 p 通道裝置。於所屬技術領域具有通常知識者將了解本發明可以 n 通道裝置來實現。

反熔絲電晶體 100 包含形成於基板通道區域 104 之上的可變厚度閘極氧化物 102、多晶矽閘極 106、側壁間隔件 108、第一與第二擴散區域 110 與 112、及於各擴散區域 110 與 112 之 LDD 區域 114。可變厚度閘極氧化物 102 係由厚氧化物與薄閘極氧化物構成，使得通道長度部份被厚閘極氧化物覆蓋，而剩餘通道長度部份被薄閘極氧化物覆蓋。一般而言，與擴散區域 112 交會的薄閘極氧化物邊緣界定一可熔化的邊緣，其中可發生氧化物崩潰。另一方

面，與擴散區域 110 交會的厚閘極氧化物邊緣界定存取邊緣，其中可防止閘極氧化物崩潰且閘極 106 與擴散區域 110 之間的電流係對於經程式化的反熔絲電晶體而流動。雖然厚氧化物部份延伸至通道區域的距離係依照遮罩等級，該厚氧化物部份較佳係形成爲至少等長於形成於相同晶片上之高電壓電晶體的最小長度。

於一較佳實施例中，擴散區域 110 係經由一位元線接點（未圖示）連接至一位元線，或其他線以供感測來自多晶矽閘極 106 的電流，且可被摻雜以容納程式化電壓或電流。此擴散區域 110 係被形成爲接近可變厚度閘極氧化物 102 的厚氧化物部份，而選用的擴散區域 112 可處於漂浮狀態。要進一步保護反熔絲電晶體 100 的邊緣受到高電壓損害或電流漏洩，在製造程序期間可導入電阻器保護氧化物（RPO）（亦稱爲金屬矽化保護氧化物（salicide protect oxide））以進一步將金屬粒子隔離於側壁間隔件 108 的邊緣。此 RPO 較佳係使用於金屬矽化程序期間，以防止僅擴散區域 110 的部份與多晶矽閘極 106 的部份受到金屬矽化。

已知受到金屬矽化的電晶體具有較高的漏洩且因而有較低的崩潰電壓。因此，使選項的擴散區域 112 受到金屬矽化，將提升程式化期間的氧化物崩潰，而具有未受到金屬矽化的擴散區域 110 將減少漏洩。擴散區域 110 與選項的擴散區域 112 可被摻雜以供低電壓電晶體或高電壓電晶體或兩個於相同或不同擴散輪廓（profile）所得的結合。

反熔絲電晶體 100 的簡化平面圖係顯示於第 5 圖。位元線接點 116 可被用來作爲可見的參考點，以定位該平面圖與對應的第 4 圖之剖面圖。主動區 118 爲該裝置形成通道區域 104 與擴散區域 110 與 112 的區域，其係由 OD 遮罩於製造程序期間所界定。虛線框 120 界定於製造程序期間厚閘極氧化物透過 OD2 遮罩而成長的區域。OD 指的是氧化物界定遮罩，其係使用於 CMOS 程序期間，以界定基板上即將形成氧化物的區域，而 OD2 指的是與第一個不同的第二氧化物界定遮罩。稍後將說明用以製造反熔絲電晶體 100 的詳細 CMOS 程序步驟。應注意的是，漂浮擴散區域 112 爲反熔絲電晶體 100 之選項的結構，其可被使用以提升薄閘極氧化物崩潰的機率，將於稍後說明。

反熔絲電晶體 100 的程式化係根據閘極氧化物崩潰，以於閘極與通道底下之間形成永久的鏈結。閘極氧化物崩潰條件（電壓或電流與時間）主要根據：i）閘極電介質厚度與組成，ii）缺陷密度，及 iii）閘極面積、閘極/擴散周圍（perimeter）。結合的反熔絲電晶體 100 之厚與薄閘極氧化物導致局部地降低的閘極崩潰電壓（特別是氧化物崩潰區）於該裝置的薄閘極氧化物部份。換句話說，所揭露的結構確保氧化物崩潰限制於較薄的閘極氧化物部份。

此外，本發明之反熔絲電晶體的實施例利用典型不可能的 CMOS 製造設計規則以用於閘極氧化物設計佈局與形成，以提升閘極氧化物崩潰效能。今日的 CMOS 程序中之

所有閘極氧化物程序步驟採用且係被最佳化於一致的閘極氧化物厚度（在主動閘極區域內）。藉由引入可變厚度的閘極氧化物裝置於標準 CMOS 流程中，額外的缺陷與電場干擾係在厚與薄閘極氧化物之間產生。那些缺陷可包含（但不限於）氧化物薄化、在邊界之矽的離子蝕刻、清潔程序的殘留物、及由於未遮罩與部分遮罩區域之間不同熱氧化率所造成之矽凹部（silicon recess）。所有這些缺陷增加陷阱與缺陷於薄氧化物邊界，導致增加的漏洩與局部地降低的崩潰電壓。因此，低電壓、小型的反熔絲結構可不需任何程序修改而製成。

雖然上述的反熔絲電晶體由於其小型的尺寸而適合於 OTP 記憶體陣列應用，可對反熔絲電晶體 100 進行額外的修改以進一步增加薄氧化物崩潰機率。如前所述，閘極面積、閘極/擴散周圍爲可增加薄氧化物崩潰機率的因素要結合此崩潰機構，可將先前所示的浮動擴散區域 112 加入該反熔絲電晶體結構，且該浮動擴散/閘極周圍較佳藉由結合多線區段與角度至擴散/閘極邊界而增加。進一步的崩潰提升可藉由重度摻雜浮動擴散區域 112 至類似高電壓電晶體的擴散區域之濃度而達成。

於典型 CMOS 程序中，對於薄閘極氧化物電晶體與厚閘極氧化物電晶體，擴散區域、LDD 與通道植入物係不同的。根據本發明之實施例，擴散區域、LDD、及反熔絲電晶體的薄閘極氧化物通道植入物可爲任何類型；對應至薄閘極氧化物之低電壓型，或對應至厚閘極氧化物之高電壓

型，或兩者，規定所得薄閘極氧化物臨限電壓的強度不大於厚閘極氧化物臨限電壓。

利用增加的浮動擴散區域周圍之反熔絲電晶體的實施例係顯示於第 6-8 圖。

第 6a 圖顯示於該裝置的浮動擴散端之具有"L"形閘極/擴散周圍（亦稱爲可熔化的邊緣）的反熔絲電晶體 200。反熔絲電晶體 200 基本上與顯示於第 4 與 5 圖的反熔絲電晶體 100 相同。主動區域 202 具有一具有位元線接點 204 之擴散區域，與形成於可變厚度的閘極氧化物層（未圖示）之上的多晶矽閘極 206。OD2 遮罩 208 界定形成於多晶矽閘極 206 底下的厚閘極氧化物之位置。於本實施例中，浮動擴散區域、通道區域、及多晶矽閘極共用"L"形邊緣。該邊緣由兩個邊緣區段（彼此以角度互相定位）構成。雖然所示的實施例顯示的角度約爲 90 度，若希望的話，亦可將角度設爲 135 度。

第 6b 圖顯示於該裝置的浮動擴散端之具有直"S"形閘極/擴散周圍（亦稱爲可熔化的邊緣）的反熔絲電晶體 210。反熔絲電晶體 210 基本上與顯示於第 6a 圖的反熔絲電晶體 200 相同。主動區域 202 具有一具有位元線接點 204 之擴散區域，與形成於可變厚度的閘極氧化物層（未圖示）之上的多晶矽閘極 206。OD2 遮罩 208 界定形成於多晶矽閘極 206 底下的厚閘極氧化物之位置。於本實施例中，浮動擴散區域、通道區域、及多晶矽閘極共用直"S"形邊緣。該邊緣由三個邊緣區段（彼此以角度互相定位）構成

。

第 6a 與 6b 圖顯示將多晶矽閘極成形以增加浮動擴散區域周圍的範例。第 7a 與 7b 圖顯示將擴散區域及/或多晶矽閘極成形以增加浮動擴散區域周圍的範例。

於第 7a 圖中，反熔絲電晶體 300 於該裝置的浮動擴散端具有直閘極/擴散周圍。成形的主動區域 302 具有一具有位元線接點 304 之擴散區域，與以"U"形形成於成形的主動區域 302 之上的多晶矽閘極 306。OD2 遮罩 308 界定形成於多晶矽閘極 306 底下的厚閘極氧化物之位置。由於變窄的主動區域 302，一部份的多晶矽閘極 306 將形成一入口邊緣（access edge）310，其周圍係實質地小於由另一部份的多晶矽閘極 306 所界定之可熔化的邊緣 312。於此特定範例中，多晶矽閘極係有效率地區分成兩個彼此耦接的部分。第一部份在主動區域中於擴散區域與位元線接點之間形成一通道，而第二部份係被置於鄰近該浮動擴散區域。該第一部份係形成於厚閘極氧化物之上，而該第二部份係形成於薄閘極氧化物之上。

於第 7b 圖中，反熔絲電晶體 314 於該裝置的浮動擴散端具有直閘極/擴散周圍。成形的主動區域 302 具有一具有位元線接點 304 之擴散區域，與形成於成形的主動區域 302 之上的多晶矽閘極 306。OD2 遮罩 308 界定形成於多晶矽閘極 306 底下的厚閘極氧化物之位置。由於變窄的主動區域 302，一部份的多晶矽閘極 306 將形成一入口邊緣 310，其周圍係實質地小於由另一部份的多晶矽閘極

306 所界定之可熔化的邊緣 312。

因此，如第 6a、6b、7a、7b 圖所示，藉由結合的多晶矽閘極與主動區域的成形可增加該周圍可熔化的邊緣，以提升程式化操作期間的薄氧化物崩潰。

第 8 圖顯示一對反熔絲電晶體，由於兩者實質地彼此對稱，僅說明其中一者。反熔絲電晶體 400 具有主動區域 402 與具有位元線接點 404 的擴散區域。多晶矽閘極 406 形成於可變厚度的閘極氧化物層（未圖示）之上。OD2 遮罩 408 界定形成於多晶矽閘極 406 底下的厚閘極氧化物之位置。於本實施例中，浮動擴散區域、通道區域、及多晶矽閘極共用直"U"形邊緣。多晶矽接點 410 係用以與金屬字元線電接觸。包含位元線接點 404 的擴散區域係如圖所示而定位，以允許 RPO412 對於個別的接點 404 有足夠的空間。顯示於第 8 圖之成對的反熔絲電晶體的應用性將於稍後關於折疊式位元線感測架構來說明。

雖然爲顯示於第 6a、6b、7a、7b 圖，可使用 RPO 以確保具有位元線接點的擴散區域與一部份的多晶矽閘極係免於被金屬矽化。

根據本發明之實施例的從標準 CMOS 程序製造可變的厚閘極氧化物之方法係利用已知的兩步驟矽化程序。概述此程序的流程圖係顯示於第 9 圖，而第 10a-10c 圖顯示對應該程序的特定步驟之可變厚度的閘極氧化物形成之各階段。

首先，於步驟 500，於 OD 遮罩所決定之所有主動區

域生成中間閘極氧化物。於第 10a 圖中，係顯示在通道區域 602 之上形成中間閘極氧化物 600。於接下來的步驟 502，使用 OD2 遮罩從所有指定的薄閘極氧化物區域移除中間閘極氧化物 600。

第 10b 圖顯示剩餘部份的中間閘極氧化物 600 及未來的薄氧化物區域 604。於最後的閘極氧化物形成步驟 504 中，薄氧化物再次形成於如原來由 OD 遮罩所界定之所有主動區域中。於第 10c 圖中，薄閘極氧化物 606 係生成於中間閘極氧化物 600 與薄氧化物區域 604 之上。

結果，由 OD2 遮罩於步驟 502 期間所覆蓋的區域將具有結合中間閘極氧化物 600 與最終薄閘極氧化物 606 之厚度。相同的程序可延伸至多於兩個氧化步驟，或可使用其他等效程序以製造二或多個閘極氧化物厚度於相同晶粒，其係由至少一厚閘極氧化物遮罩 OD2 所決定。

典型地，OD2 遮罩被考慮爲非關鍵的遮罩步驟，可使用低解析度遮罩且設計規則需要大邊限（margin）的 OD2 遮罩於主動閘極區域之上，且特別地，不提供 OD2 遮罩結束（ending）於主動閘極區域內。根據本發明，OD2 遮罩結束於主動閘極區域內，製造分開通道反熔絲結構，其特徵爲於汲極（例如擴散接點）側之較厚的閘極氧化物與於相反側（通道或未連接的源極側）之較薄的閘極氧化物。原則上，此技術需要：閘極長度（多晶矽線寬度）應大於程序最小要求且根據實際的 OD2 遮罩容限（tolerance），但在其他方面不區要任何程序或遮罩等級改變。對於分

開通道反熔絲結構的最小閘極長度可接近該厚與薄閘極氧化物之最小閘極長度的和。所屬技術領域中具有通常知識者將理解到可根據遮罩容限得到正確計算，且閘極長度可藉由嚴格要求（tighten）OD2 遮罩容限而最小化。

一旦形成可變厚度的閘極氧化物，可在步驟 506 利用額外的標準 CMOS 處理步驟，以完成如第 4 圖所示的反熔絲電晶體結構。此可包含例如多晶矽閘極、LDD 區域、側壁間隔件、RPO、擴散區域、及矽化金屬沈積之形成。根據目前所討論的程序之較佳實施例，金屬矽化步驟係被包含以金屬矽化該反熔絲電晶體之多晶矽閘極與浮動擴散區域。RPO 係預先形成於擴散區域之上，以保護其不受到金屬矽化。如前所述，經金屬矽化的浮動擴散區域將提升該區域中的氧化物崩潰。

現在將說明前述的反熔絲電晶體實施例的應用。如前所述，所提出的反熔絲電晶體的小型化使其能用於記憶體陣列應用（具體而言，OTP 記憶體陣列應用）。

第 11a 圖顯示根據本發明之一實施例，排列於基本交叉點陣列之複數個反熔絲電晶體記憶體單元。於本實施例中爲單端感測。反熔絲電晶體記憶體陣列 700 包含耦接至字元線 WL0-WL3 與位元線 BL0、BL1、BL2、BL3 之反熔絲電晶體 702。反熔絲電晶體 702 可以任何先前說明的反熔絲電晶體來實現。各位元線係連接至 p 通道隔離電晶體 704，然後係連接至 p 通道通過閘極 706、708、710、712。應注意的是，隔離電晶體 704 爲厚閘極氧化物電晶體，

其中，對於本發明之反熔絲電晶體的實施例，此厚閘極氧化物可爲相同於該中間氧化物與該薄閘極氧化物的結合。所有隔離電晶體的閘極終端接收隔離電壓 VB，而通過閘極 706、708、710、712 分別接收行選擇訊號 Y0、Y1、Y2、Y3。行選擇訊號 Y0、Y1、Y2、Y3 執行位元線四選一的選擇，以將該等位元線之其中一者耦合至相交點感測放大器 714。相交點感測放大器 714 可爲電流感測放大器，其將該位元線的電流與參考電流 IREF 做比較，且大致代表目前說明的單端感測方案，其中位元線電壓或電流係與另一線所傳送的參考訊號做比較。

第 12 圖顯示於第 11a 圖之四個反熔絲電晶體 702 之佈局組態。第 12 圖之各反熔絲電晶體具有類似第 5 圖所示之反熔絲電晶體，除了沒有浮動源極擴散區域以降低各單元的總面積。因此，相同的元件符號係用以表示於第 12 圖中的相同元件。對於第 12 圖所示的記憶體陣列組態，各位元線接點 116 與主動區域 118 係爲兩個反熔絲電晶體所共用，而 OD2 遮罩係對於所有沿著相同列對準的反熔絲電晶體，沿著字元線方向延伸。

藉由較佳於薄/厚閘極氧化物邊界與薄閘極氧化物/源極擴散邊緣之其中一者，使該閘極氧化物破裂（rupturing）而程式化該反熔絲電晶體。此係藉由施加足夠高的電壓差動於即將被程式化的單元之閘極與通道之間，並施加實質較低的電壓差動（若有）於所有其他單元。因此，一旦形成永久的導電鏈結，施加至多晶矽閘極的電流將經由該

鏈結與該通道流至該擴散區域，其可由傳統感測放大器電路感測。

參考第 11a 圖，耦接至 WL0 與 BL0 的單元係藉由施加負電壓-VPP 至 WL0 與正電壓 VPOS（或 VDD）至 BL0，同時保持其他字元線於 VDD 及其他位元線於 0V 或另一明顯小於 VPOS 的電壓，而被程式化。此將使即將被程式化的單元暴露至 V=VPOS+VPP 的電壓差動，而所有其他單元將被暴露至明顯較低的電壓。應注意的是，正程式化電壓 VPOS 必須被施加至即將被程式化的單元，但一旦程式化此單元則將成爲低狀態。共用相同字元線的個別單元或多單元可同時地被程式化。雖然未顯示程式化電路，對於所屬技術領域具有通常知識者將瞭解，此電路能被耦接至位元線，並結合於字元線驅動電路中。

一旦於一列中的單元已被程式化，每次施加負電壓至此列以供程式化另一單元時，此字元線與該位元線之間會發生短路，將此位元線拉至負電壓。根據本發明，厚閘極氧化物隔離電晶體 704 係被使用以將位元線隔離剩餘的晶片，包含感測放大器。這些裝置可被反解碼（un-decoded）或 Y 解碼。將該等隔離裝置保持在接地或 VB 位準，可允許該等位元線朝負電壓浮動，因此不具有程式化操作的效果。使用於程式化（PGM）與讀取操作的電壓係概括如以下表 1。

表 1

		WL		
		-VPP	VDD	0V 或 -Vtp
BL	VDD 或 VPOS	PGM	無存取	浸濕（SOAK）
	浮動或 -VPP	PGM 封鎖	無存取	無存取
	預先充電至 VDD	軟 PGM	無存取	讀取

未被程式化的單元的表現如同切換式電容器，特徵爲非常低的漏洩電流。於閒置（非存取的）狀態，所有字元線 WL 係保持於 VDD，與該陣列的背-偏壓（back-bias）的相同位準。所有位元線 BL 亦被預先充電至 VDD，且因此即使一些單元被程式化，於該陣列中沒有漏洩與電流流動。要執行記憶體陣列 700 的讀取操作，藉由驅動 WL0 至例如 0V、或至足夠感應於該多晶矽閘極底下的通道之另一適合的電壓，而啓動該等字元線之其中一者。若該單元未被程式化，該位元線將發現增加的電容與最低限度之增加的漏洩。另一方面，若該單元被程式化，該單元內的相對低電阻（500Ohm-500kOhm）將透過接地的 WL0 開始將該字元線放電至接地。此行爲的差異可使用許多此領域中已知的感測放大器設計來感測。一簡單方案爲使用電流感測放大器，例如已眾所周知的感測放大器 714，其係廣泛使用於快閃記憶體，其中該 BL 電流可與參考電流相比。隨著該反熔絲導通電阻能從單元至單元明顯地改變，上述的電流感測方案需要非常精準的電流源，約 1uA。不幸地，此小電流感測係低的且受雜訊影響。

一種改良流經被程式化的反熔絲之單元電流的技術係

藉由多程式化或“浸濕”該被程式化的單元。單元浸濕係眾所周知並使用於非依電性記憶體設計，不論使用外部程式化設備或晶載狀態機器。

然而，所有這些複雜可藉由使用差動或雙單元排列來避免，其中兩個記憶體單元係於相同時間被存取，而僅一個單元被程式化。因此，需要資料映射以確保各記憶體單元係與表示該互補資料的記憶體單元成對。典型的 DRAM 或 SRAM 感測放大器系統可被使用於此一排列。第 11b 圖顯示第 11b 圖中反熔絲電晶體 702 的另一組態，以雙單元組態來排列。第 11b 圖的元件基本上與第 11a 圖中的相同，除了差動感測放大器 716 代替相交點感測放大器 714，及通過閘極 706、708、710、712 的連接。通過閘極 706 與 708 現在具有連接至 Y0 的閘極終端，而通過閘極 710 與 712 具有連接至 Y1 的閘極終端。因此，Y0 的啓動將導通通過閘極 706 與 708 兩者。該等位元線現在標示爲互補對 BL0/BL0*與 BL1/BL1*，其中在讀取操作期間一對互補位元線係耦接至差動感測放大器 716。所屬技術領域中具有通常知識者將理解，此感測放大器爲一種雙端感測方案，由於連接至差動感測放大器 716 之任一位元線將典型地傳送參考電壓，而另一者將傳送經存取的記憶體單元之資料。於目前的範例中，參考電壓將成爲被存取的記憶體單元之資料的互補。

在讀取操作之前，所有的位元線被預先充電至 VDD。由於位元線被預先充電至 VDD，當一個字元線被啓動時，

該等位元線之其中一者在一讀取操作期間，將經由被程式化的單元而被拉至接地。來自帶有 VDD 與接地之一對的位元線的感測資料變得簡單明確。

雖然簡單的差動感測方案似乎對於被程式化的陣列之讀取操作是合適的，其具有極大的測試問題，因爲未被程式化的記憶體陣列產生隨機與不穩定的資料。此外，此差動單元排列不提供程式化驗證操作所需之邊限調整的機構。上述感測架構的這些與其他缺點可藉由利用具有雙端感測方案之折疊式位元線架構（如第 13 圖所示）而減輕。

第 13 圖顯示利用先前所述之反熔絲電晶體 702 的折疊式位元線架構。記憶體陣列 800 類似於第 11b 圖之記憶體陣列 700，除了記憶體單元 702 係排列成折疊式位元線架構。

以下爲記憶體陣列 800 中被程式化的資料之讀取操作的範例。其係假設位於 BL0 與 BL0*之間的兩個反熔絲電晶體 702 係被使用以儲存一位元的資料，其中該連接至 WL0 的位元沒有被程式化，而該連接至 WL2 的位元係被程式化。要讀取這兩個電晶體單元，WL0 與 WL2 係被驅動至接地。由於該頂單元未被程式化，BL0 將保持在預先充電位準的 VDD。然而，由於該底單元被程式化，BL0* 將經由該單元而放電至接地。應注意的是，BL1 與 BL1* 之間的該頂與底反熔絲電晶體單元亦被存取。然而，這些位元線係與該感測放大器隔離，由於僅 Y0 被驅動至接地，以啓動通過電晶體 706 與 708、及耦接 BL0/BL0*至折疊

式位元線感測放大器 716。所屬技術領域具有通常知識者將瞭解，在該等字元線被驅動之後，行選擇訊號 Y0 與 Y1 能被啓動於一預定的時間，以使該等位元線有時間放電至一足夠低電壓位準，較佳至接地，以提供最大感測容限。

第 14 圖顯示根據本發明之另一實施例的替代差動單元排列。所顯示的反熔絲電晶體單元係與第 12 圖所示者相同，但現在則排列成：多晶矽字元線斷成區段 820，各區段 820 係耦接至兩個不同的反熔絲電晶體單元。替代地，顯示於第 8 圖之反熔絲電晶體對亦可在此使用。該等區段能經由字元線接點 822 透過所需中間金屬線而連接至金屬字元線。於該領域中眾所熟知者，連接至多晶矽字元線區段之金屬字元線的結合改良該記憶體陣列的整體效能。顯示於第 14 圖的特定排列藉由組態位元線解碼器而致能位元線的單端感測或雙端感測。換句話說，該字元線驅動器能動態地被控制，以類似於美國專利第 6,549,483 號所示的 DRAM 解碼器之方式，驅動僅一個字元線或同時驅動兩個字元線。然而，於目前的應用中，單端模式係被使用於非依電性記憶體單元測試、及程式化與驗證操作，而該雙端模式係僅被使用於一般讀取操作。此一結合允許對於讀取、測試、及驗證之單獨感測最佳化，導致大幅提昇的讀取容限。單端感測模式的細節將於稍後說明。

根據本發明之實施例，程式化電路可與差動感測放大器電路的趕測電路相結合。

第 15 圖爲用於 n 型反熔絲之一實施例的電路圖。感

測/程式化電路 900 包含由 Viso 所控制的藉由厚閘極氧化物隔離電晶體 906 而分開的高電壓交錯耦接的 p 型閂鎖電路 902 及低電壓感測電路 904。Viso 較佳爲可變的電壓訊號，使得在程式化之後，Viso 能小於 VDD（對於資料驗證），以限制電流範圍（current draw）。交錯耦接的 p 型閂鎖電路 902 接收 VPP 或另一程式化阻擋電壓，且各分支的閂鎖電路 902 係連接至互補對的位元線 BLi/BLi*，而感測電路 904 接收 1.2V 供應電壓。Viso 較佳被設至最大電壓位準（約 VDD+Vt=1.8V），以將較敏感的電路電晶體隔離 VPP 電壓。

於一程式化操作中，感測電路 904 接收寫入資料，其係經由被啓動的隔離電晶體 906 而耦接至閂鎖電路 902。閂鎖電路 902 有效地執行 1.2V 資料位準轉換至 VPP，其係接著被驅動至合適的位元線。再者，於讀取操作期間，背偏壓連接較佳係被維持在高電壓，而供應電壓係被保持在 VDD 或低於 VDD，以在任何時間關斷高電壓 PMOS 電晶體。

如前所述，顯示於第 13 圖之折疊式位元線架構使用位元線感測放大器 716，以感測電壓差動於互補位元線 BL0/BL0*或 BL1/BL1*。根據本發明之一實施例，位元線感測放大器 716 能以標準 SRAM CMOS 交錯耦合的反相器電路（其係在 DRAM 領域中所熟知者）來實現。由於適當的時序控制與相關的位元線感測電路，故可達成所描述的排列成互補位元線方案（例如折疊式位元線架構）的反熔

絲記憶體單元之高速感測。

第 16 圖爲一部份的折疊式位元線反熔絲記憶體陣列之電路概要圖，類似於第 13 圖所示者。爲了簡化該概要圖，僅顯示一個折疊式位元線對 BL/BL*、其相關的位元線感測電路、及兩個字元線。折疊式位元線反熔絲記憶體陣列 1000 包含：連接至 n 通道反熔絲電晶體 1002 與 1004 之閘極終端的字元線 WL0 與 WL1n；n 通道隔離電晶體 1006 與 1008，用以因應訊號 ISO 而將該等位元線的上部耦接至該等位元線之下部；及位元線感測電路。該位元線感測電路包含預先充電電路 1010、參考電荷電路 1012、及位元線感測放大器 1014。

預先充電電路 1010 包含在 BL 與 BL*之間串聯且其閘極終端係連接至預先充電訊號 BLPCH 的兩個 n 通道預先充電電晶體 1016 與 1018。n 通道預先充電電晶體 1016 與 1018 之共用的源極/汲極終端接收預先充電電壓 VPCH。操作時，於讀取操作的準備，預先充電電晶體 1016 與 1018 兩者將導通，以因應主動高邏輯位準的 BLPCH，而將位元線 BL 與 BL*預先充電至 VPCH。

參考電荷電路 1012 包含：在 BL 與 BL*之間串聯的 n 通道操縱電晶體 1020 與 1022；電容電阻，如 n 通道電晶體 1024；及 p 通道預先充電電晶體 1026。操縱電晶體 1020 之閘極終端係連接至偶數的選擇訊號 E_REF，而操縱電晶體 1022 之閘極終端係連接至奇數的選擇訊號 O_REF。電容電路 1024 之閘極終端係連接至電壓供應

VCC，且係在操縱電晶體 1020 與 1022 的共用源極/汲極終端與電壓供應 VCC 之間，串聯預先充電電晶體 1026。預先充電電晶體 1026 之閘極終端係連接至預先充電訊號 PCH*。通常，當接收到一低邏輯位準 PCH*時，電容電路 1024 將被預先充電。PCH*脈衝的持續期間可根據電晶體 1024 的大小與即將被提供的期望參考電荷來預定。一旦被預先充電，操縱電晶體 1020 或 1022 係被導通，以將電容電路 1024 的參考電荷耦接至對應的位元線。例如，加入一位元線的電荷可約爲 50 毫伏特。應注意的是，訊號 E_REF 與 O_REF 可藉由用以選擇 WL0 或 WL1 之相同的偶數/奇數位址位元來控制。於一實施例中，WL0 的啓動將導致 E_REF 被啓動，從而將該參考電荷耦接至互補位元線。

位元線感測放大器 1014 由標準交錯耦接反相器電路（該領域所熟知）所構成。該電路包含 p 通道電晶體 1028 與 1030，兩者皆串聯連接至個別的 n 通道電晶體 1032 與 1034。p 通道電晶體 1028 與 1030 所共用的汲極終端接收高邏輯位準致能訊號 H_EN，而 n 通道電晶體 1032 與 1034 所共用的源極終端接收低邏輯位準致能訊號 L_EN。H_EN 可爲降低的內 VCC 位準，而 L_EN 可爲 VSS 位準。位元線感測放大器 1014 的操作在 DRAM 領域中已眾所周知。當致能訊號 H_EN 與 L_EN 被啓動時（不管同時或不同時），位元線感測放大器 1014 將感測 BL 與 BL*之間的一小電壓差動，然後將 BL 與 BL*兩者迅速驅動至 H_EN

與 L_EN 的滿邏輯位準狀態。

應注意的是，第 16 圖的記憶體陣列係與第 13 圖所示的實施例反相。具體而言，第 13 圖的記憶體陣列使用 p 通道反熔絲記憶體單元，而第 16 圖的記憶體陣列使用 n 通道反熔絲記憶體單元。因此，顯示於表 1 之用以操作第 13 圖的記憶體陣列之值，對於第 16 圖的記憶體，應爲反相。

顯示於第 16 圖的記憶體陣列可被操作於一或兩種不同的模式。第一模式爲標準單一爲單元/位元模式，而第二模式爲二單元/位元模式。於二單元/位元模式中，連接至折疊式位元線對之其中一位元線的一記憶體單元，與連接至折疊式位元線對之另一位元線的一第二記憶體單元，皆在同時被存取，其係藉由同時驅動其個別的字元線。於兩個不同操作模式的各模式中，可使用冗餘模式。於單一單元/位元模式中，對應至連接至相同位元線之兩個記憶體單元的兩個字元線係在讀取操作期間被啓動。於二單元/位元冗餘模式中，對應至連接至相同位元線之兩個記憶體單元的兩個字元線與對應至連接至另一位元線之兩個記憶體單元的兩個字元線係在讀取操作期間被啓動。藉由啓動連接至相同字元線的兩個記憶體單元，以讀取一位元的資料，該冗餘模式增加該記憶體陣列的可靠性。所屬技術領域中具有通常知識者將瞭解，可實施字元線解碼邏輯以致能所需字元線的啓動。以下將說明單一單元/位元與二單元/位元操作的細節。

由於前述的反熔絲結構的性質，本實施例的高速感測方案是可能的。本實施例的被程式化的反熔絲記憶體單元將表現的像是抗性元件（resistive element），且於目前所示的組態，將經由其對應的字元線加入電荷至一位元線。根據本發明之實施例的用於單一單元/位元模式的操作之一般高速感測方案係說明如下。假設 ISO 在高邏輯位準，以導通隔離電晶體 1006 與 1008，而電容電路 1024 已被預先充電。首先，藉由啓動 BLPCH 與導通電晶體 1016 與 1018，BL/BL*兩者被預先充電至第一電壓供應位準（VPCH 所提供，例如 VSS）。然後一個字元線（例如 WL0）係被驅動至一第二供應電壓位準，較佳與第一電壓供應位準爲相對的，例如 VCC。WL0 係連接至反熔絲記憶體單元 1004，其汲極終端係連接至 BL*。WL0 被驅動的實質同時，E_REF 被驅動至高邏輯位準，以導通操縱電晶體 1020，並將電容電路 1024 耦接至位元線 BL。現在一參考電荷將出現在位元線 BL，其將提升 BL 的電壓達約例如 50 毫伏特。然後，致能訊號 H_EN 與 L_EN 可分別被驅動至高與低電壓位準，以致能位元線感測放大器 1014。

若記憶體單元 1004 已被程式化與導電（反熔絲的燒斷狀態），則字元線 WL0 將從 VSS 的預先充電電壓經由該記憶體單元的導電路徑而提高 BL*的電壓位準至 VCC。較佳地，當位元線感測放大器 1014 被啓動時，BL*的電壓爲 100 毫伏特，其係高於 BL 的參考電壓。此電壓差動係迅速地被位元線感測放大器偵測、放大、及閂鎖。另一方

面，若記憶體單元 1004 未被程式化，則 BL*將保持於 VSS 的預先充電電壓，其係小於 BL 的參考電壓。於此情形中，位元線感測放大器 1014 將閂鎖該相反狀態。

根據本發明之實施例的用於二單元/位元模式的操作之高速感測方案係說明如下。假設 ISO 在高邏輯位準，以導通隔離電晶體 1006 與 1008。對於二單元/位元模式的操作，由於不需要參考電荷，參考電荷電路 1012 可被去能（disable）。首先，藉由啓動 BLPCH 與導通電晶體 1016 與 1018，BL/BL*兩者被預先充電至第一電壓供應位準（VPCH 所提供，例如 VSS）。然後一對字元線（例如 WL0 與 WL1）係被驅動至一第二供應電壓位準，較佳與第一電壓供應位準爲相對的，例如 VCC。WL0 係連接至反熔絲記憶體單元 1004，其汲極終端係連接至 BL*，而 WL1 係連接至反熔絲記憶體單元 1002，其汲極終端係連接至 BL。於二單元/位元模式中，記憶體單元 1002 與 1004 將一直被程式化而另一個將不被程式化。因此一個位元線將一直保持在 VSS，而另一個將提高至約 100 毫伏特。致能訊號 H_EN 與 L_EN 可分別被驅動至高與低電壓位準，以致能位元線感測放大器 1014。

現在將參考第 17a 圖的流程圖與第 17b 圖的時序圖來說明根據本發明之一實施例的折疊式位元線反熔絲記憶體陣列的詳細高速感測操作。第 17b 圖顯示使用於第 16 圖的位元線感測電路之控制訊號的訊號軌跡（及該字元線與位元線電壓）。目前所說明的方法係針對單一單元/位元

模式的操作。

假定訊號 ISO 對於讀取操作係保持在高電壓位準，而連接至 WL0 之記憶體單元 1004 係一被程式化的記憶體單元。該方法始於步驟 1100，其中，當 PCH*係以預定持續期間的時間產生脈衝時，電容電路 1024 係被預先充電。接著是步驟 1102，藉由將 BLPCH 以預定持續期間的時間產生脈衝至高邏輯位準，該等位元線被預先充電至第一電壓供應位準，例如於本範例之 VSS。於本範例中，BLPCH 與 PCH*爲同時發生，但可發生於彼此的相對任何時間，但在字元線被啓動之前。於步驟 1104，根據解碼的列位址，期望的字元線係被驅動至第二電壓供應位準。於本範例中，WL0 將被驅動至 VCC。於步驟 1106，E_REF 係於實質相同時間被驅動至 VCC，以導通操縱電晶體 1020。雖然未顯示於第 17b 圖中，O_REF 係保持在 VSS。

因爲記憶體單元 1004 被程式化，VCC 偏壓的字元線將經由其導電通道爲 BL*充電。E_REF 導通操縱電晶體 1020，以加入參考電荷至 BL。操縱電晶體 1020 係保持導通達一預定期間的時間，然後藉由驅動 E_REF 至 VSS 而關斷，於步驟 1108。之後立刻在步驟 1110，H_EN 被驅動至高邏輯位準，而 L_EN 被驅動至低邏輯位準，以啓動位元線感測放大器 1014。BL 與 BL*之間的差動係藉由位元線感測放大器 1014 而被感測與完全地被閂鎖。ISO 訊號在感測期間被驅動至低邏輯狀態，以關斷隔離電晶體 1006 與 1008，以減少位元線感測放大器 1014 的負載。此役允

許該字元線被關斷，以對下一個讀取週期，加速字元線預先充電。

於第 16 圖中，記憶體單元係連接至一個位元線，而操縱電晶體 1020 或 1022 係連接至另一個位元線，作用爲一參考位元線。該位元線（資料從連接的記憶體單元被感測的位元線）可稱爲資料位元線。不幸地，一個位元線對另一者會有電容不平衡狀態，由於記憶體單元的電特性與操縱電晶體 1020 與 1022 不同。因此，根據本發明之一實施例，要確保該等位元線在感測操作期間較爲平衡，可使用虛設（dummy）記憶體單元代替操縱電晶體 1020 與 1022。具體而言，虛設記憶體單元係與記憶體陣列中的“一般（normal）”記憶體單元相同。藉由使用虛設記憶體單元以傳送參考電壓，位元線至字元線的耦接變成實際地相同，於參考位元線與資料位元線。

第 18 圖爲根據本發明之另一實施例的替代折疊式位元線反熔絲記憶體陣列之概要圖。顯示於第 18 圖之替代折疊式位元線反熔絲記憶體陣列係類似於顯示於第 16 圖者，但利用使用虛設記憶體單元之一替代參考電荷電路。折疊式位元線反熔絲記憶體陣列 1200 包含如第 16 圖所示及說明的相同元件符號，因而不需要這些元件的進一步說明。參考電荷電路 1202 包含虛設記憶體單元 1204 與 1206，各具有分別連接至虛設字元線 DWL0 與 DWL1 之閘極終端。

應注意的是，一般反熔絲記憶體單元僅具有一源極擴

散區域，而虛設記憶體單元 1204 與 1206 具有額外的汲極擴散區域，以接收該參考電壓。虛設記憶體單元 1204 與 1206 沒有被程式化，但當施加一正閘極電壓時，一虛設單元將形成一導電通道於其源極與汲極終端之間。虛設記憶體單元 1204 與 1206 的共同終端係連接至電容機構 1208 與預先充電電晶體 1210。N 通道預先充電電晶體 1210 具有連接至預先充電訊號 PCH 之閘極終端。應注意的是，電容機構 1208 與 n 通道預先充電電晶體 1210 之組態與電容機構 1024 與 n 通道預先充電電晶體 1026 之組態有相同的作用，除了當 PCH 產生脈衝至高邏輯位準以導通預先充電電晶體 1210 時，電容機構 1208 係被預先充電。

於目前所示之實施例中，參考電荷電路 1202 係連接至該等上位元線，而第 16 圖之參考電荷電路 1012 係連接至該等下位元線。於進一步的實施例中，第 16 圖之參考電荷電路 1012 可以虛設記憶體單元來修改，而代替 n 通道操縱電晶體 1020 與 1022。如前所述，n 通道隔離電晶體 1006 與 1008 有效地將該等位元線分割成上部與下部，其中該上部爲高電壓範圍而該下部爲低電壓範圍。因爲訊號 ISO 係限制爲預定的低供應電壓，故在程式化操作期間出現在該等位元線的上部之任何高電壓，將被連接至該下部的更敏感的低電壓位元線感測放大器電路所阻擋。因此，所屬技術領域中具有通常知識者將瞭解，高電壓範圍的電晶體可具有閘極氧化物厚度大於低電壓範圍的電晶體之閘極氧化物厚度。

於之前所述的實施例中，PCH*係首先產生脈衝達一預定持續時間，而在位元線感測放大器 1014 被啓動之前，操縱電晶體 1020 與 1022 係導通然後關斷。根據本發明之一實施例，預先充電訊號 PCH*與訊號 E_REF 與 O_REF 的時序可被控制，以調整被加入至該位元線以作爲參考位元線的電荷量。因此，可調整該參考位元線之參考位準。

第 19a 圖爲流程圖，顯示使用第 16 圖之折疊式位元線反熔絲記憶體陣列的替代感測方法，而第 19b 圖爲對應的時序圖，顯示使用於折疊式位元線反熔絲記憶體陣列 1000 之控制訊號的軌跡。該方法始於步驟 1300，其中，電容電路 1024 開始被預先充電。此對應至 PCH*降至一低邏輯位準。接著是步驟 1302，該等位元線被預先充電至第一電壓供應，例如 VSS。於步驟 1304，一選擇的字元線（例如 WL0）係被驅動第二電壓供應，例如 VCC。記憶體單元 1004 接著將耦接該 WL0 電壓至 BL*（若其被程式化）。於步驟 1306，電容電路 1024 所提供的參考電荷係耦接至 BL。具體而言，訊號 E_REF 係被驅動至高邏輯位準，以導通操縱電晶體 1020。應注意的是，PCH*仍然處於低邏輯位準，因此較第 17a 圖之方法爲多的電荷可加入至 BL。於步驟 1308，PCH*係被提升至高邏輯位準，以關斷預先充電電晶體 1026。接著於步驟 1310，E_REF 係被驅動至低邏輯位準，以關斷操縱電晶體 1020。於步驟 1312，位元線感測放大器 1014 被啓動，且 BL 與 BL*之間的差動被感測。

顯示於第 19a 圖之感測方法係類似於第 17a 圖所顯示的感測方法，除了 PCH*保持主動，以將預先充電電晶體 1026 保持在被導通的狀態，而操縱電晶體 1020 係被導通。第 19 圖爲用以調整即將被提供之參考電荷的 E_REF 與 PCH*之時序控制的範例。所屬技術領域中具有通常知識者將瞭解，PCH*脈衝持續期間與 E_REF 訊號撤銷時間可被修改，以在未被存取的位元線上達到期望的參考電荷。該時序可於一測試模式中被外部地控制，或以熟知的邏輯電路內部地控制。此可調整性允許數種具有優勢的應用。

藉由調整該參考電荷位準於該參考位元線，被程式化的反熔絲記憶體單元之相關導電性能可被測試。因此，可執行方便的單元邊限（margining）操作，因爲 PCH*與 E_REF（或 O_REF）的時序可被校準至施加至該等參考位元線之期望的或實驗的參考電荷。第 19a 圖之方法可被使用於程式化驗證操作，以卻倒被程式化的單元具有足夠的導電電流。於一每位元二單元（two-cell per bit）模式的操作中，參考電壓及參考電荷電路係未被使用。然而，於一測試模式中，參考電荷可漸進地增加於一位元線，而連接至該互補位元線之被程式化的記憶體單元導電。最後，該位元線感測放大器將翻轉其狀態，其展現藉由該被程式化的記憶體單元而施加至該位元線的電壓。

顯示於第 16 與 18 圖之發明的實施例可感測一對的折疊式位元線之間的電壓差動，以感測反熔絲記憶體單元之被程式化的或未被程式化的狀態。再者，參考電荷電路

1012 的時序可被調整，以改變加入至該參考位元線的參考電荷。如前所述，此對於測試操作係可完成，或可確保最佳參考電壓係被提供，以改良被程式化的反熔絲記憶體單元的感測邊限。所屬技術領域具有通常知識者將瞭解，製程變化可改變被程式化的反熔絲記憶體單元的電流導電位準，因此，具有在該記憶體陣列被程式化之後調整該參考電壓的能力，將確保可靠的操作。

調整將加入至該參考位元線的參考電荷而不需調整控制訊號的時序之另一技術係：選擇性地加入更多電容至參考位元線。第 20 圖爲根據本發明之一實施例的替代折疊式位元線反熔絲記憶體陣列之電路概要圖。顯示於第 20 圖之替代折疊式位元線反熔絲記憶體陣列係類似於顯示於第 16 圖者，但利用可增加將被加入參考位元線的電荷量之替代參考電荷電路。

折疊式位元線反熔絲記憶體陣列 1400 包含如第 16 圖所示及說明的相同元件符號，因而不需要這些元件的進一步說明。參考電荷電路 1402 包含補充電容電路 1404 與 1406，各具有分別連接至選擇訊號 C1 與 C2 之閘極終端。補充電容電路於本實施例係顯示爲並聯主要電容電路 1024 之 n 通道電晶體，但使用 p 通道電晶體亦有相同的效果。要補充由主要電容電路 1024 所提供之電荷，可藉由驅動 C1 與 C2 至高邏輯位準而啓動一或兩個電容電路 1404 與 1406。電晶體 1404 與 1406 可爲與電晶體 1024 一樣大的尺寸，或可爲不同尺寸。再者，可包含任何數量的額外的

電容電路，且可啓動補充電容電路的任何結合，以在即將加入參考位元線的參考電荷，提供更多的彈性與更佳的控制。該感測操作可與第 17a 圖所述者相同。

雖然已彼此排除來說明藉由訊號時序控制與補充電容的加入而用以調整該參考電荷的實施例，可結合使用這兩個技術以獲得最大的彈性。例如，當啓動操縱訊號 E_REF 或 O_REF 時，可啓動與預先充電任何數量的補充電容電路，如第 19a 圖所說明的各感測方法。

於高速感測方案之先前說明的實施例中，參考電荷係加入一個位元線，作爲折疊式位元線對的參考位元線。控制時序的參考電荷電路及/或選擇加入的補充電容可被用以提供參考電荷。然而，在高時脈速度下，產生適當操作所需要的時序可能是不切實際或不可能的。因此，根據本發明之一實施例，提出一種用於差動位元線反熔絲記憶體陣列之高速自感測方案。

於根據本發明之高速自感測方案中，可從資料即將被感測之連接的記憶體單元，加入額外的電容至互補位元線對之資料位元線。換句話說，額外的電容沒有加入至參考位元線。加入該位元線之額外的電容改變該速率（rate），於其中其電壓係關於不具有額外的電容加入之另一位元線而提升（例如該參考位元線）。

第 21 圖爲根據本發明之一實施例，替代折疊式位元線反熔絲記憶體陣列之電路概要圖。顯示於第 21 圖之替代折疊式位元線反熔絲記憶體陣列係類似於顯示於第 16

圖者，但利用使用加入電容至該資料位元線之一替代參考電荷電路。折疊式位元線反熔絲記憶體陣列 1500 包含如第 16 圖所示及說明的相同元件符號，因而不需要這些元件的進一步說明。參考電荷電路 1502 包含先前說明的操縱電晶體 1020 與 1022、及連接至電晶體 1020 與 1022 共用的源極/汲極終端之一電容機構 1504。現在將參考第 22a 圖的流程圖與第 22b 圖的時序圖來說明折疊式位元線反熔絲記憶體陣列 1500 的感測操作。

假設電晶體 1004 即將被存取（顯示於第 22b 圖之案例 1），且係一未被程式化的反熔絲記憶體單元，其不具有閘極至汲極導電通道。於第 22a 圖中，該感測操作開始於步驟 1600，其中該等位元線被預先充電至第一電壓供應，例如 VSS。此係對應至第 22b 圖中 BLPCH 脈衝升高。接著於步驟 1602，一選擇的字元線被驅動至第二電壓供應，例如 VCC。於步驟 1604，與該選擇的字元線啓動同時發生，訊號 O_REF 係被提升至 VCC，以導通操縱電晶體 1022 因此，電容機構 1504 係耦接至記憶體單元 1004 所連接的同一個位元線。於步驟 1606，藉由分別驅動 H_EN 與 L_EN 至高與低邏輯位準而導通感測放大器。將位元線 BL 與 BL*皆預先充電至 VSS，位元線感測放大器之 p 通道電晶體 1028 與 1030 將導通且將 BL 與 BL*皆拉至 H_EN。由於記憶體單元 1004 係非導電的，故位元線 BL 與 BL*皆應提升至大約相同速率。

然而，由於 BL*具有連接至其之額外的電容機構 1304

，其將以較 BL 慢的速率來提升。因此，一旦 BL 提升至 n 通道電晶體 1034 的臨限電壓位準，位元線感測放大器 1014 將完全地將 BL 閂鎖與驅動至 H_EN 邏輯位準，將 BL*閂鎖與驅動至 L_EN 邏輯位準。本方案之優點係參考電荷電路 1502 不需要時序控制。較佳地，位元線感測放大器 1014 係在啓動選擇的字元線 WL0 與適當操縱訊號短暫時間後啓動，或是同時啓動。

相反的，若記憶體單元 1004 係具有閘極至汲極導電通道之一程式化的反熔絲記憶體單元（顯示於第 22b 圖之案例 2），BL*將先提升至 n 通道電晶體 1032 之臨限電壓位準。於第 22b 圖之案例 2 中，來自字元線 WL0 記憶體單元 1004 之電荷的加入將提供一正補償（offset）於 BL*。一旦啓動位元線感測放大器 1014，p 通道電晶體 1028 與 1030 將使 BL 與 BL*拉至 E_EN。雖然 BL*的提升速率仍慢於 BL（由於所加入的電容機構 1504），但該正電壓補償係足夠，使得 BL*將先到達 n 通道電晶體臨限電壓。因此，位元線感測放大器 1014 閂鎖至相反於案例 1 之 1 的狀態。

於二單元/位元模式的操作中，與測試未程式化的反熔絲記憶體單元所發出之一者係：該位元線感測放大器將閂鎖不可預測的邏輯狀態。由於 BL 與 BL*開始於一預先充電的 VSS 值，故較小的電壓變化或製造變化會影響該位元線電壓，且因而由位元線感測放大器所感測。因此，加入電容至資料位元線的本方案將確保：於二單元/位元模

式中適當地被製造的記憶體單元操作將被一致地感測。

用於折疊式位元線反熔絲記憶體陣列的高速感測方案之先前說明的實施例，預先供電該等位元線至 VSS，接著，施加參考電荷至參考位元線或施加電容至資料位元線，以由位元線感測放大器所感測。根據本發明之進一步實施例，該等位元線可被預先充電至 VCC，代替 VSS。

根據本發明之一實施例的預先充電至 VCC 的感測方法可以第 16 圖之折疊式位元線反熔絲記憶體陣列來執行，且係類似於第 17a 圖所說明的感測方法。第 23 圖的時序圖顯示用於第 16 圖的控制訊號之軌跡及用於兩個不同案例的 BL 與 BL*。於案例 1 中，連接至 BL*的被存取的記憶體單元係被程式化。於案例 2 中，連接至 BL*的被存取的記憶體單元係未被程式化。

現在將參考第 23 圖之時序圖說明使用案例 1 支預先充電至 VCC 的實施例。在兩個位元線皆被預先充電至第一電壓供應（例如 VCC）之後，字元線（例如 WL0）係被驅動至第二電壓供應 V1，例如 VCC+1.5 伏特。若反熔絲記憶體單元 1004 係被程式化，則該字元線將使位元線 BL*拉至約 VCC+100 毫伏特的電壓。然後藉由啓動 E_REF、並將其提升至約 VCC+50 毫伏特，而將一參考電荷加入至該參考位元線 BL。當該位元線感測放大器被啓動時，兩個位元線之間的差動係被感測且完全地閂鎖。

另一方面，若被存取的記憶體單元 1004 係非導電的（如於案例 2），則資料位元線 BL*將保持在 VCC，其係

低於參考（或未選擇的）位元線 BL 電壓達 VCC+50 毫伏特。因此，該位元線感測放大器將閂鎖相反的狀態。

於先前所述的實施例中，參考電荷係被加入至參考位元線。此方案的一個缺點是對於參考電荷需要高預先充電電壓。此缺點係被本發明之預先充電至 VCC 的替代實施例解決，其中負參考電荷係加入至該資料位元線，其需要預先充電該參考電容器至接地。

第 24 圖爲時序圖，顯示用於兩個不同案例之本感測實施例的 BL 與 BL*之相對電壓位準。

於案例 1 中，在位元線皆被預先充電至第一電壓供應（例如 VCC）之後，字元線係被驅動至第二電壓供應 V1（例如 VCC+1.5 毫伏特）。若反熔絲記憶體單元 1004 係被程式化，則該字元線將使位元線 BL*拉至約 VCC+100 毫伏特的電壓。然後藉由啓動 O_REF、並將其降低例如 50 毫伏特，而將一負參考電荷加入至該資料位元線 BL*。該參考位元線 BL 保持在 VCC。因此，當該位元線感測放大器被啓動時，該資料位元線與該參考位元線之間的差動係被感測且完全地閂鎖。

另一方面，若被存取的記憶體單元 1004 係非導電的（如於案例 2），則資料位元線 BL*將下降至約 VCC-50 毫伏特，其係低於參考（或未選擇的）位元線 BL 電壓達 VCC。因此，該位元線感測放大器將閂鎖相反的狀態。

已針對由單一電晶體反熔絲記憶體單元構成的記憶體陣列來說明先前的感測/測試方案實施例。所屬技術領域

中具有通常知識者將瞭解，該感測/測試實施例可應用至由具有兩個電晶體的記憶體單元構成的記憶體陣列（例如第 2 與 3 圖所示者，於該單元板電壓 Vcp 之適當的控制）。

所有先前說明的實施例係針對用以感測記憶體陣列之位元線上的資料之電路與方法，特別是折疊式位元線的記憶體陣列。半導體製造與尺寸縮放（scaling）的進步允許於記憶體陣列中位元線的緊密封裝，因而降低鄰近位元線之間的間隔。此直接導致緊密封裝的位元線之間之電容耦接的增加，其可潛在地造成讀取錯誤。位元線電容耦接效應的一個範例係參考第 25 圖來說明。

第 25 圖爲四個金屬位元線 BL0、BL1、BL2、BL3 與連接至各位元線的記憶體單元，於緊密封裝排列下之電路示意圖。第 25 圖僅爲位元線組態可能的一個範例，其使用先前說明的本發明之單一電晶體反熔絲電晶體實施例，而所屬技術領域中具有通常知識者將瞭解，可使用任何記憶體單元，包含兩個電晶體反熔絲記憶體單元。於目前所示的第 25 圖範例中，有四個反熔絲記憶體單元 1750（僅一個有標示），各記憶體單元具有連接至一個別位元線的一汲極擴散終端與連接至一字元線 WL 的閘極。連接至 BL0、BL1、BL3 的記憶體單元 1750 已被程式化，而連接至 BL2 的記憶體單元 1750 未被程式化。於第 25 圖中，被程式化的反熔絲記憶體單元 1750 具有連接於 WL 與其個別源極終端之間的一電阻器元件 1752，以功能性地說明於

程式化該反熔絲單元之導電鏈結（link）。

根據先前說明的感測實施例其中一者，該等位元線係在讀取操作之前被預先充電。然後該字元線 WL 係被驅動至一高電壓位準，而具有導電鏈結（被程式化） 的任何記憶體單元 1750 將使其對應的位元線充電至該高電壓位準。此將發生於位元線 BL0、BL1、BL3。然而，連接至 BL2 的記憶體單元未被程式化，因此 BL2 保持於預先充電電壓 VSS。不幸地，由於鄰近位元線之間的電容耦接（如電容器 1754 所顯示），BL1 與 BL3 鄰近 BL2 的提升電壓將使 BL2 拉至該高電壓位準。因此，感測該資料於 BL2 將是錯誤的。雖然具有位元線鄰近該資料位元線是最差的情形，具有甚至僅一鄰近位元線提升至該高電壓位準可導致相同的效果。因此，需要一種用以降低此位元線耦接效應的新的預先充電方案。

第 26 圖爲根據本發明之一實施例，顯示具有用以減輕上述位元耦接效應之新穎的預先充電電路之 OTP 記憶體陣列 1800 之電路概要圖。於本實施例中，鄰近藉由一位元線感測放大器用以感測的一資料位元線的位元線，係被預先充電至對應至該資料位元線的預先充電電壓之相反的邏輯狀態之一電壓位準。該參考位元線與該資料位元線可被稱爲被選擇的位元線，而其餘的位元線可被稱爲未被選擇的位元線。換句話說，若該資料位元線被預先充電至 VSS（其對應至邏輯“0”），則其鄰近未被選擇的位元線被預先充電至一高電壓位準（其對應至邏輯“1”）。替代地

，鄰近未被選擇的位元線可被預先充電至不同於先前說明的高電壓位準之一電壓位準。因此，於感測期間，若其對應的記憶底單元被程式化，則該資料位元線將朝該高電壓位準提升，或其將保持在預先充電的 VSS 電壓位準，不管連接至鄰近位元線的記憶體單元之程式化/未被程式化的狀態。

於第 26 圖中，OTP 記憶體陣列 1800 包含 n 通道單一電晶體反熔絲記憶體單元 1802，如先前本發明之實施例所述者，較佳排列爲折疊式位元線方案。應注意的是，OTP 記憶體陣列 1800 與之前的圖式不同，但仍功能性地代表折疊式位元線組態。對所屬技術領域中具有通常知識者而言，所提出的預先充電方案可應用至任何類型的記憶體單元與位元線架構。互補位元線 BL0/BL0*、BL1/BL1*、BL2/BL2*、BL3/BL3*係經由行選擇電路 1806，而選擇性地耦接至位元線感測放大器 1804。行選擇電路 1806 係由 n 通道行選擇裝置 1808、1810、1812、1814、1816、1818、1820、1822 組構而成。應注意的是，該等行選擇裝置係成對的，由於折疊式位元線組態。例如，行選擇裝置 1808 與 1822 係由相同的行選擇訊號 Y-SEL[0]所控制。其餘的行選擇裝置對係由行選擇訊號 Y-SEL[1]、Y-SEL[2]、Y-SEL[3]所控制。行選擇電路 1806 與其 n 通道行選擇裝置的操作爲該領域中具有通常知識者所熟知。根據一行位址，一對的行選擇裝置係被啓動，以耦接一互補位元線對至位元線感測放大器 1804，以供感測。

為了選擇性地控制根據第 26 圖所說明的實施例之預先充電至特定位元線，係提供一選擇性預先充電電路 1824。選擇性預先充電電路 1824 係類似於行選擇電路 1806 的組態，且包含 n 通道行預先充電裝置 1826、1828、1830、1832、1834、1836、1838、1840，以耦接該等位元線至預先充電電壓電路 1842。同樣地，該等行預先充電裝置為成對的，使得一個預先充電選擇訊號（例如 PC_S[0]）將啓動連接至一互補位元線對的行預先充電裝置對。例如，行預先充電裝置 1826 與 1840 形成一對。其餘的行預先充電裝置對係由 PC_S[1]、PC_S[2]、PC_S[3]所控制。對於本實施例，控制各行預先充電裝置對與連接至相同位元線之各行選擇裝置對的訊號，係根據互補行位址訊號（未圖示）。具體而言，PC_S[0]至 PC_S[3]與 Y-SEL[0]至 Y-SEL[3]係以不同的解碼電路產生，其以不同時序使用互補行位址訊號。

於一實施例中，預先充電電壓電路 1842 在讀取操作之前可提供一預定的預先充電電壓位準。於另一實施例中，預先充電電壓電路 1842 可僅為 VCC 電壓供應。於任一實施例中，類似於第 16 圖之預先充電電路 1010 的主要預先供電電路可結合位元線感測放大器電路 1804，以在讀取操作之前僅預先充電所選擇的位元線至 VSS。

根據本發明之一實施例之預先充電操作的方法，選擇性預先充電電路 1824 的行預先充電裝置與行選擇裝置係於一預先充電階段同時被啓動，使得所選擇的位元線被預

先充電至 VSS 而鄰近所選擇的位元線之位元線係被預先充電至該高電壓位準。於預先充電階段期間，預先充電特定位元線至該高電壓位準的控制，可藉由控制訊號 PC_S[0]至 PC_S[3]來達成。在預先充電階段之後是一讀取階段，於其中所選擇的字元線被啓動、適當的參考電荷被加入該等參考位元線、及該等資料位元線與該等參考位元線係耦接至該位元線感測放大器 1804，以供資料感測。

現在將參考第 26 圖的電路與第 27 圖的流程圖來說明根據本發明之一較佳實施例的選擇性預先充電電路 1824 的範例操作。假設 WL1 將被啓動於一讀取操作，且連接至 WL1 與 BL3*、BL2*與 BL0*之記憶體單元係被程式化，而連接至 WL1 與 BL1*之記憶體單元係未被程式化。於步驟 1900 中，選擇性預先充電電路 1824 之所有的行預先充電裝置（除了裝置 1828 與 1838）係被啓動，以預先充電所有位元線（除了 BL1 與 BL1*）至該高電壓位準。

於步驟 1902 同時發生，僅行選擇裝置 1810 與 1820 將藉由驅動 Y-SEL[1]至一高邏輯位準而被導通，而於 BLSA 1804 中預先充電至 VSS 電路係被啓動。由於根據互補行位址之該行解碼方案，裝置 1828 與 1838 係被關斷，而裝置 1826、1830、1832、1834、1836、1840 係被導通。因此，鄰近被選擇的 BL1/BL1*之未被選擇的位元線係被驅動至該高電壓位準，而該被選擇的位元線係被驅動至 VSS。於步驟 1904，現在 WL1 可被驅動至該高電壓位準。BL1 可爲於單端感測方案中之參考位元線，但可爲於每

位元二單元之感測方案中的互補位元線。接著於步驟 1906，位元線感測放大器 1804 可被啓動，以感測於 BL1/BL1* 上的電壓差動。

如前所述應注意者，訊號 PC_S[0]至 PC_S[3]與 Y-SEL[0]至 Y-SEL[3]係在互補方式下解碼的訊號，但其非爲彼此的相反（inverse）。於本發明之實施例的實際實現中，未被選擇的位元線之預先充電應藉由關斷行預先充電裝置而在字線的啓動之前結束，同時將適當選擇裝置保持導通。一旦完成感測，則可恢復未被選擇的位元線之預先充電。因此，可實現適當的時序控制，以達成此期望的操作。再者，訊號 PC_S[0]至 PC_S[3]與 Y-SEL[0]至 Y-SEL[3]的控制可部份根據行位址的改變。例如，在隨後讀取週期使用相同行位址的情形下，所選擇的位元線將被預先充電至 VSS，而期於未被選擇的位元線係被預先充電至該高電壓位準。相反地，若該行位址係在讀取週期之間改變，則所有位元線可在一讀取週期的結束點被預先充電至該高電壓位準。接著當新行位址訊號（Y-SEL[0]至 Y-SEL[3]）已被啓動時，被選擇的位元線係從該高電壓位準被預先充電至 VSS。

應瞭解的是，目前所說明的位元線預先充電實施例可結合使用任何之前說明的位元線感測方案。

因此，如第 26 圖之實施例所示，預先充電所有位元線（除了該資料位元線與該參考位元線）至該高電壓位準，將最小化位元線電容耦接效應，此係由於未被選擇的位

元線將保持在該預先充電的高電壓位準，不管其所連接的記憶體單元之程式化/未被程式化的狀態。於目前所說明的實施例中（於四個位元線之群），三個位元線將被預先充電至該高電壓位準。此可爲電源消耗的來源，因爲許多位元線係從 VSS 預先充電至 VDD，以準備下一讀取操作。由於僅緊鄰被選擇的位元線之該等位元線需要被預先充電至該高電壓位準，任何不鄰近的與未被選擇的位元線可在第一與第二預先充電階段期間保持預先充電至 VSS。

用以保存位元線電源消耗之一替代位元線預先充電實施例係顯示於第 28 圖。

OTP 記憶體陣列 2000 係與第 26 圖所示之 OTP 記憶體陣列 1800 相同，除了行預先充電裝置的控制連接。具體而言，行預先充電裝置 1826、1830、1836、1840 的閘極終端係連接至解碼以供偶數行用之偶數的預先充電選擇訊號 PC_S[EVEN]，而行預先充電裝置 1828、1832、1834、1838 的閘極終端係連接至解碼以供奇數行用之奇數的預先充電選擇訊號 PC_S[ODD]。此簡化的解碼方案將最小化預先充電階段期間需要被預先充電至該高電壓位準之位元線的數量。因此，電源消耗被降低。對第 26 圖使用以上所述的相同範例，當 PC_S[ODD]係被驅動至該低邏輯位準時，行預先充電裝置 1828、1832、1834、1838 將被關斷。雖然位元線 BL3/BL3*係未被選擇的，在預先充電階段期間，其係未被預先充電至該高電壓位準。

所屬技術領域中具有通常知識者將瞭解，行位址解碼

可容易地被組態，以達成先前說明的對於行存取裝置與預先充電存取裝置之控制功能性。預先充電位準可進一步被最佳化，以最小化電源消耗，同時對位元線耦接效應提供足夠的保護。

本發明之先前說明的實施例可彼此結合，以實現各電路與方法之優勢與優點。例如，顯示於第 25 至 27 圖之位元線預先充電方案可結合顯示於第 16 圖之感測方案。

可利用標準 CMOS 程序製造先前說明的實施例之反熔絲電晶體，其中，其特定結構可藉由簡單遮罩操作來形成。因此，前述的反熔絲電晶體（不管是 p 型或 n 型反熔絲）與記憶體陣列可以低成本來製造。

雖然本發明之實施例係對於單一多晶矽閘極反熔絲電晶體單元來說明，前述教示可應用至金屬閘極裝置與類似於第 2 與 3 圖所示的雙閘極結構。於此實施例中，閘極 14 將形成於一薄閘極氧化物部份上。經由先前所討論的技術（例如高電壓擴散摻雜及與 RPO 形成之金屬矽化），氧化物崩潰係提升。因此，該可熔化的邊緣將位於該薄閘極氧化物於頂極板 16 與擴散區域 22 之共同邊緣，而該存取邊緣將位於該薄氧化物於閘極 14 與擴散區域 24 之共同邊緣。

所屬技術領域中具有通常知識者將瞭解，本發明之實施例可應用至所有其他傳統 MOS（bulk MOS）、薄膜與 SOI 技術（包含 DRAM、EPROM、EEPROM 與 Flash），使用 SiO_2 或其他閘極電介質。再者，所屬技術領域中具

有通常知識者可輕易地採用先前說明的 p 通道裝置至 n 通道裝置，不論使用隔離的 p 井與負偏壓，或僅利用正電壓。

本發明之反熔絲結構可被利用於所有可程式化一次的應用，包含 RF-ID 標籤。RF-ID 標籤應用係越來越受到產業上的歡迎，特別是銷售、保全、運輸、後勤、軍事應用。目前所說明的反熔絲電晶體發明之簡單性與完全 CMOS 相容性允許積體電路製造與測試程序之 RF-ID 標籤概念的應用。因此，IC 製造生產力可藉由下列方式而增加：利用分開通道反熔絲標籤，結合 RF 通訊介面，於任何晶圓及/或晶圓上之任何晶粒，允許感應式接觸（contact-less）程式化與讀取晶片特定或晶圓特定資訊於 IC 製造與封裝期間，以及印刷電路板組合期間。

本發明之上述實施例僅爲例示用。對於所屬技術領域中具有通常知識者而言，可在不偏離本發明之範疇的情況下，替代、修改、改變該等實施例。本發明之範疇係由後附之申請專利範圍所界定。

【圖式簡單說明】

本發明之實施例現在將參考所附圖示（僅例示用）來說明。

第 1 圖爲 DRAM 型反熔絲單元之電路圖；

第 2 圖爲第 1 圖之 DRAM 型反熔絲單元的平面佈局；

第 3 圖爲沿第 2 圖之線 x-x 之 DRAM 型反熔絲單元的

剖面圖；

第 4 圖爲根據本發明之一實施例之反熔絲電晶體的剖面圖；

第 5 圖爲第 4 圖之反熔絲電晶體的平面佈局；

第 6a 圖與第 6b 圖爲根據本發明之一實施例之替代反熔絲電晶體的平面佈局；

第 7a 圖與第 7b 圖爲根據本發明之一實施例之替代反熔絲電晶體的平面佈局；

第 8 圖爲根據本發明之一實施例之替代反熔絲電晶體的平面佈局；

第 9 圖爲流程圖，顯示對於本發明之反熔絲電晶體，用以形成可變厚度閘極氧化物的方法；

第 10a-10c 圖爲示意圖，顯示根據第 9 圖之流程圖的步驟，可變厚度閘極氧化物的形成；

第 11a 圖爲根據本發明之一實施例，組構以用於單端感測之交叉點組態的（cross-point configured）反熔絲電晶體記憶體陣列；

第 11b 圖爲根據本發明之一實施例，組構以用於差動感測之交叉點組態的反熔絲電晶體記憶體陣列；

第 12 圖爲顯示於第 11 圖之記憶體陣列的反熔絲電晶體之佈局；

第 13 圖爲根據本發明之一實施例，折疊式位元線組態的反熔絲電晶體記憶體陣列；

第 14 圖爲根據本發明之一實施例，使用字元線段的

反熔絲電晶體之佈局；

第 15 圖爲根據本發明之一實施例，結合的感測與程式化電路之電路圖；

第 16 圖爲根據本發明之一實施例，折疊式位元線反熔絲記憶體陣列之電路概要圖；

第 17a 圖爲流程圖，顯示根據本發明之一實施例，使用第 16 圖之折疊式位元線反熔絲記憶體陣列，用於感測資料的方法；

第 17b 圖爲時序圖，顯示根據第 17a 圖所說明之方法的訊號轉變；

第 18 圖爲根據本發明之一實施例，具有替代參考電荷電路之折疊式位元線反熔絲記憶體陣列之電路概要圖；

第 19a 圖爲流程圖，顯示根據本發明之一實施例，使用第 16 圖或第 18 圖之折疊式位元線反熔絲記憶體陣列，用於感測資料的替代方法；

第 19b 圖爲時序圖，顯示根據第 19a 圖所說明之方法的訊號轉變；

第 20 圖爲根據本發明之一實施例，具有可選擇的參考電荷電路之折疊式位元線反熔絲記憶體陣列之電路概要圖；

第 21 圖爲根據本發明之一實施例，具有電容負載參考電荷電路之折疊式位元線反熔絲記憶體陣列之電路概要圖；

第 22a 圖爲流程圖，顯示根據本發明之一實施例，使

用第 21 圖之折疊式位元線反熔絲記憶體陣列，用於感測資料的替代方法；

第 22b 圖爲時序圖，顯示根據第 22a 圖所說明之方法的訊號轉變；

第 23 圖爲時序圖，顯示根據本發明之一實施例，根據一替代感測方法的訊號轉變；

第 24 圖爲時序圖，顯示根據本發明之一實施例，根據一替代感測方法的訊號轉變；

第 25 圖爲電路示意圖，顯示連接至個別的記憶體單元之四個金屬位元線；

第 26 圖爲根據本發明之一實施例，具有行預先充電電路之折疊式位元線反熔絲記憶體陣列之電路概要圖；

第 27 圖爲流程圖，顯示根據本發明之一實施例，使用第 21 圖之折疊式位元線反熔絲記憶體陣列，將第 26 圖之折疊式位元線反熔絲記憶體陣列的位元線預先充電之方法；及

第 28 圖爲根據本發明之一實施例，具有替代行預先充電電路之折疊式位元線反熔絲記憶體陣列之電路概要圖。

【主要元件符號說明】

10：存取電晶體

12：反熔絲裝置

14：閘極

16：頂極板

18：主動區

20：閘極氧化物

22：擴散區域

24：擴散區域

100：反熔絲裝置

102：閘極氧化物

104：基板通道區域

106：多晶矽閘極

108：側壁間隔件

110：擴散區域

112：擴散區域

114：LDD 區域

116：位元線接點

118：主動區

120：虛線框

200：反熔絲電晶體

202：主動區域

204：位元線接點

206：多晶矽閘極

208：OD2 遮罩

210：反熔絲電晶體

300：反熔絲電晶體

302：主動區域

304：位元線接點

306：多晶矽閘極

308：OD2 遮罩

310：入口邊緣

312：可熔化的邊緣

314：反熔絲電晶體

400：反熔絲電晶體

402：主動區域

404：位元線接點

406：多晶矽閘極

408：OD2 遮罩

410：多晶矽接點

412：RPO

600：中間閘極氧化物

602：通道區域

604：薄氧化物區域

606：薄閘極氧化物

700：反熔絲電晶體記憶體陣列

702：反熔絲電晶體

704：p 通道隔離電晶體

706：p 通道通過閘極

708：p 通道通過閘極

710：p 通道通過閘極

712：p 通道通過閘極

714：相交點感測放大器

716：差動感測放大器

800：記憶體陣列

814：SA

820：區段

822：字元線接點

900：感測/程式化電路

902：p型閂鎖電路

904：低電壓感測電路

906：厚閘極氧化物隔離電晶體

1000：折疊式位元線反熔絲記憶體陣列

1002：n通道反熔絲電晶體

1004：n通道反熔絲電晶體

1006：n通道隔離電晶體

1008：n通道隔離電晶體

1010：預先充電電路

1012：參考電荷電路

1014：位元線感測放大器

1016：n通道預先充電電晶體

1018：n通道預先充電電晶體

1020：n通道操縱電晶體

1022：n通道操縱電晶體

1024：n通道電晶體

1026：p通道預先充電電晶體

1028：p 通道電晶體

1030：p 通道電晶體

1032：n 通道電晶體

1034：n 通道電晶體

1200：折疊式位元線反熔絲記憶體陣列

1202：參考電荷電路

1204：虛設記憶體單元

1206：虛設記憶體單元

1208：電容機構

1210：預先充電電晶體

1400：折疊式位元線反熔絲記憶體陣列

1402：參考電荷電路

1404：補充電容電路

1406：補充電容電路

1500：折疊式位元線反熔絲記憶體陣列

1502：參考電荷電路

1504：電容機構

1750：反熔絲記憶體單元

1752：電阻器元件

1754：電容器

1800：OTP 記憶體陣列

1802：電晶體反熔絲記憶體單元

1804：位元線感測放大器

1806：行選擇電路

1808：n 通道行選擇裝置

1810：n 通道行選擇裝置

1812：n 通道行選擇裝置

1814：n 通道行選擇裝置

1816：n 通道行選擇裝置

1818：n 通道行選擇裝置

1820：n 通道行選擇裝置

1822：n 通道行選擇裝置

1824：選擇性預先充電電路

1826：n 通道行預先充電裝置

1828：n 通道行預先充電裝置

1830：n 通道行預先充電裝置

1832：n 通道行預先充電裝置

1834：n 通道行預先充電裝置

1836：n 通道行預先充電裝置

1838：n 通道行預先充電裝置

1840：n 通道行預先充電裝置

1842：預先充電電壓電路

2000：OTP 記憶體陣列

十、申請專利範圍

1. 一種包含可程式化一次（OTP）的記憶體單元之記憶體陣列，包含：

一對互補位元線，該對互補位元線中的各位元線係連接至該等 OTP 記憶體單元的擴散終端；

一預先充電電路，用以將該對互補位元線預先充電至具有一第一供電電壓位準；

複數個字元線，係連接至該等 OTP 記憶體單元的閘極終端，至少一個字元線能夠經由一對應的 OTP 記憶體單元之一可程式化導電鏈接，而將該對互補位元線中的一個位元線自該第一供電電壓位準向一第二供電電壓位準驅動；以及

一位元線感測放大器，用以感測該對互補位元線上的電壓差動，以及將該一位元線驅動至具有該第二供電電壓位準，同時將該對互補位元線中的另一個位元線驅動至具有該第一供電電壓位準。

2. 如申請專利範圍第 1 項之記憶體陣列，其中該預先充電電路包含：

複數個行預先充電裝置，用以將鄰近該對互補位元線中的各位元線之位元線，選擇性地預先充電至一第三電壓位準，該第三電壓位準與該第一電壓位準不同。

3. 如申請專利範圍第 1 項之記憶體陣列，其中各 OTP 記憶體單元係一單一電晶體反熔絲記憶體單元。

4. 如申請專利範圍第 1 項之記憶體陣列，其中各

OTP 記憶體單元係一二電晶體反熔絲記憶體單元，該二電晶體反熔絲記憶體單元具有連接至該字元線的一存取電晶體及連接至該存取電晶體的一反熔絲裝置，該反熔絲裝置具有連接至一輔助字元線之一閘極，其中在一讀取操作期間，該字元線與該輔助字元線係電氣地或邏輯地連接在一起。

5. 如申請專利範圍第 1 項之記憶體陣列，更包含一參考電路，用以選擇性地提供一參考電荷至該對互補位元線中的一第一位元線。

6. 如申請專利範圍第 5 項之記憶體陣列，其中該參考電路包含一電荷儲存電容器電路及複數個操縱電路，該等操縱電路係用以將該電荷儲存電容器電路耦接至該對互補位元線中的該第一位元線。

7. 如申請專利範圍第 6 項之記憶體陣列，其中該等操縱電路包含虛擬記憶體單元，用以將該電荷儲存電容器電路選擇性地耦接至該對互補位元線中的該第一位元線。

8. 如申請專利範圍第 6 項之記憶體陣列，其中該參考電路包含複數個額外的電容器電路，該等電容器電路係連接至該電荷儲存電容器電路，各額外的電容器電路係因應一對應的控制訊號而被選擇性地致能。

9. 如申請專利範圍第 1 項之記憶體陣列，更包含一參考電路，用以在位元線感測操作期間，選擇性地將一電容負載機構耦接至該對互補位元線中的一第一位元線。

10. 如申請專利範圍第 9 項之記憶體陣列，其中該參

考電路包含一操縱電路，用以在位元線預先充電操作期間，將該電容負載機構耦接至該對互補位元線中的該第一位元線。

11. 如申請專利範圍第 1 項之記憶體陣列，其中各 OTP 記憶體單元包含：

一多晶矽閘極，係於一基板中的通道區域上方，該通道具有由一第一端與一第二端所界定之一預先設定長度，

一擴散區域，係鄰近該通道區域的該第一端；

一可變厚度閘極氧化物，係在該多晶矽閘極與該基板之間，該可變厚度閘極氧化物具有：

一厚閘極氧化物部份，係由該通道區域之該第一端延伸至該預先設定長度的一預定距離，以及

一薄閘極氧化物部份，係由該預定距離延伸至該通道區域之該第二端。

12. 如申請專利範圍第 11 項之記憶體陣列，其中各 OTP 記憶體單元更包含：

一抗崩潰存取邊緣，係鄰近該通道區域之該第一端，用以在該多晶矽閘極與該擴散區域之間傳導電流，以及

一氧化物崩潰區，係鄰近該通道區域之該第二端，該氧化物崩潰區係可熔化的，以形成該多晶矽閘極與該通道區域之間的導電鏈接。

13. 如申請專利範圍第 12 項之記憶體陣列，其中各 OTP 記憶體單元更包含鄰近該通道區域之該第二端的一隔離區域。

14. 如申請專利範圍第 13 項之記憶體陣列，其中該隔離區域包含鄰近該薄閘極氧化物之場氧化物區域、浮動擴散區域、以及該場氧化物區域與該浮動擴散區域之結合中的一者。

15. 如申請專利範圍第 13 項之記憶體陣列，其中該薄閘極氧化物部份係與形成於該半導體材料上之至少一個低電壓電晶體閘極氧化物相同。

16. 如申請專利範圍第 15 項之記憶體陣列，其中該厚閘極氧化物部份係與形成於該半導體材料上之至少一個高電壓電晶體閘極氧化物相同。

17. 如申請專利範圍第 16 項之記憶體陣列，其中該厚閘極氧化物部份包含一中間閘極氧化物與該薄閘極氧化物部份之結合。

18. 如申請專利範圍第 14 項之記憶體陣列，其中該浮動擴散區域、該通道區域的該第二端、及該多晶矽閘極的一閘極邊緣具有一共同邊緣，該共同邊緣係由彼此成一角度的至少兩個線段所界定。

19. 如申請專利範圍第 18 項之記憶體陣列，其中該角度係 135 度與 90 度的其中一者。

20. 如申請專利範圍第 16 項之記憶體陣列，其中該擴散區域具有一 LDD 植入物，該 LDD 植入物係與該低電壓電晶體、該高電壓電晶體、及該低電壓電晶體與該高電壓電晶體兩者的結合之其中一者的 LDD 植入物相同。

21. 如申請專利範圍第 13 項之記憶體陣列，其中該

擴散區域的一邊緣與該多晶矽閘極的一部份係免於被金屬矽化（salicidation）。

22. 一種用以感測連接至互補位元線之可程式化一次（OTP）的記憶體單元之方法，包含：

a）將一對互補位元線預先充電至具有一第一電壓供應位準，該對互補位元線包含一資料位元線與一參考位元線；

b）將至少一個字元線驅動至一第二電壓供應位準；

c）若一 OTP 記憶體單元被程式化，則藉由連接至該字元線的該 OTP 記憶體單元，將該資料位元線自該第一供電電壓位準朝該第二電壓供應位準充電；以及

d）感測該參考位元線與該資料位元線之間的電壓差動，以及將該資料位元線驅動至具有該第二供電電壓位準，同時將該參考位元線驅動至具有該第一供電電壓位準。

23. 如申請專利範圍第 22 項之方法，其中該將至少一個字元線驅動的步驟包含：驅動對應於連接至該資料位元線的一第一 OTP 記憶體單元之一第一字元線、及驅動對應於連接至該資料位元線的一第二 OTP 記憶體單元之一第二字元線。

24. 如申請專利範圍第 22 項之方法，其中該將至少一個字元線驅動的步驟包含：驅動對應於連接至該資料位元線的一第一 OTP 記憶體單元之一第一字元線、及驅動對應於連接至該參考位元線的一第二 OTP 記憶體單元之一第

二字元線。

25. 如申請專利範圍第 22 項之方法，其中該將至少一個字元線驅動的步驟包含：驅動對應於連接至該資料位元線的一第一 OTP 記憶體單元之一第一字元線、驅動對應於連接至該資料位元線的一第二 OTP 記憶體單元之一第二字元線、驅動對應於連接至該參考位元線的一第三 OTP 記憶體單元之一第三字元線、及驅動對應於連接至該參考位元線的一第四 OTP 記憶體單元之一第四字元線。

26. 如申請專利範圍第 22 項之方法，更包含下列步驟：將一參考電荷加入該資料位元線與該參考位元線之其中一者。

27. 如申請專利範圍第 22 項之方法，其中該預先充電的步驟包括：將鄰近該對互補位元線中的各位元線之位元線預先充電至一第三電壓位準。

28. 如申請專利範圍第 22 項之方法，其中該第一電壓供應位準係一晶片供應電壓與一接地電壓之其中一者，而該第二電壓供應位準係能將一經程式化的 OTP 記憶體單元切換成一導電狀態的預定強度。

29. 如申請專利範圍第 27 項之方法，其中該第二電壓供應位準與該第三電壓位準皆大於或小於該第一電壓供應位準。

30. 如申請專利範圍第 26 項之方法，其中實質上同時驅動該至少一個字元線與加入該參考電荷。

31. 如申請專利範圍第 26 項之方法，其中該將一參

考電荷加入的步驟包含：啓動一操縱裝置，以將該參考電荷耦接至該資料位元線與該參考位元線之其中一者，該參考電荷係由一電荷儲存機構所提供。

32. 如申請專利範圍第 31 項之方法，其中該電荷儲存機構係在啓動該操縱裝置的步驟之前被預先充電。

33. 如申請專利範圍第 31 項之方法，其中該操縱裝置包含一操縱電晶體。

34. 如申請專利範圍第 31 項之方法，其中該操縱裝置包含一虛擬 OTP 記憶體單元。

35. 如申請專利範圍第 31 項之方法，其中該電荷儲存機構係在啓動該操縱裝置的步驟之前被預先充電，且持續預先充電至該操縱裝置被啓動之後一預定期間的時間。

36. 如申請專利範圍第 31 項之方法，其中該操縱裝置係在啓動一感測放大器之前被禁能，以感測該電壓差動。

37. 如申請專利範圍第 26 項之方法，其中該將一參考電荷加入的步驟包含：選擇性地耦接除了一預設電荷儲存機構以外之至少一個補充電荷儲存機構，該參考電荷係由該預設電荷儲存機構所提供。

38. 一種用以感測連接至一對互補位元線之可程式化一次（OTP）的記憶體單元之方法，該對互補位元線包含一資料位元線與一參考位元線，該方法包含：

a）將電容機構耦接至該資料位元線，該電容機構界定一感測放大器的補償；

b）將該資料位元線與該參考位元線預先充電至具有一第一電壓位準；

c）藉由將一字元線驅動至一第二電壓位準以致能一 OTP 記憶體單元；

d）若該 OTP 記憶體單元被程式化，則藉由連接至該字元線的 OTP 記憶體單元，將該資料位元線自該第一電壓位準朝該第二電壓位準充電；以及

e）啓動該感測放大器，以判定該資料位元線與該參考位元線之間的電壓差動，以及將該資料位元線驅動至具有該第二電壓位準，同時將該參考位元線驅動至具有該第一電壓位準。

39. 如申請專利範圍第 38 項之方法，其中該預先充電的步驟包括：將鄰近該資料位元線與該參考位元線之位元線預先充電至一第三電壓位準。

40. 如申請專利範圍第 38 項之方法，其中該耦接的步驟包含：啓動一操縱裝置，以將該電容機構耦接至該資料位元線。

41. 一種互補位元線記憶體陣列，包含：

複數個可程式化一次（OTP）的記憶體單元，係連接至位元線與字元線；

一第一預先充電電路，用以將一經選擇的互補位元線對，選擇性地預先充電至一第一電壓位準；

一第二預先充電電路，用以將鄰近該經選擇的互補位元線對的位元線，選擇性地預先充電至一第二電壓位準；

以及

一感測放大器，係因應經解碼的行位址訊號，而經由行選擇裝置，來耦接至該經選擇的互補位元線對。

42. 如申請專利範圍第 41 項之互補位元線記憶體陣列，其中在啓動至少一個字元線之前或緊接在啓動該至少一個字元線之後，該第一預先充電電路與該第二預先充電電路係被關斷，以使該經選擇的互補位元線與鄰近該經選擇的互補位元線的該等位元線浮動。

43. 如申請專利範圍第 41 項之互補位元線記憶體陣列，其中各 OTP 記憶體單元包含：

一多晶矽閘極，係於一基板中的通道區域上方，該通道具有由一第一端與一第二端所界定之一預先設定長度，

一擴散區域，係鄰近該通道區域的該第一端；

一可變厚度閘極氧化物，係在該多晶矽閘極與該基板之間，該可變厚度閘極氧化物具有：

一厚閘極氧化物部份，係由該通道區域之該第一端延伸至該預先設定長度的一預定距離，以及

一薄閘極氧化物部份，係由該預定距離延伸至該通道區域之該第二端。

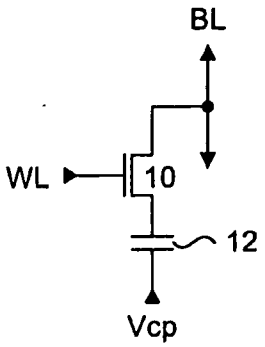
44. 一種將具有可程式化一次（OTP）的記憶體單元之一互補位元線記憶體陣列預先充電之方法，包含：

a）將經選擇的位元線對預先充電至一第一電壓位準；

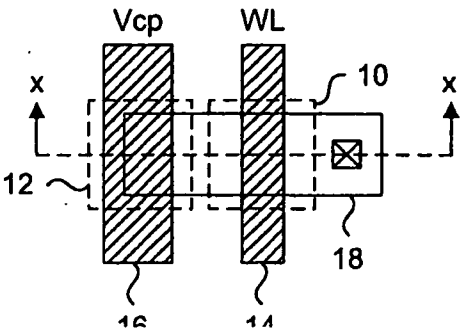
b）將鄰近該經選擇的位元線對之未經選擇的位元線

對預先充電至一第二電壓位準；

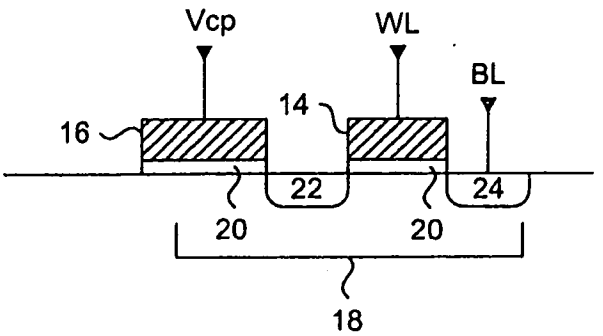
c）驅動連接至該等 OTP 記憶體單元之至少一個字元線至字元線電壓位準，若該等 OTP 記憶體單元被程式化，則該等 OTP 記憶體單元能將各經選擇的位元線對中之一個位元線朝該字元線電壓位準充電，同時連接至被預先充電至該第二電壓位準的該等位元線之該等 OTP 記憶體單元具有被抑制的驅動能力。



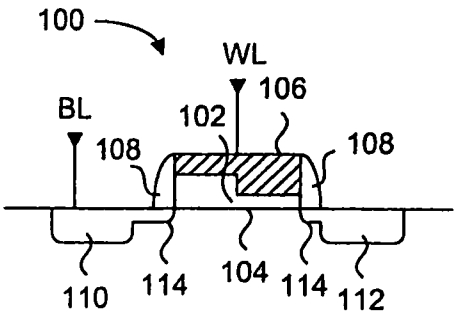
第1圖
（先前技術）



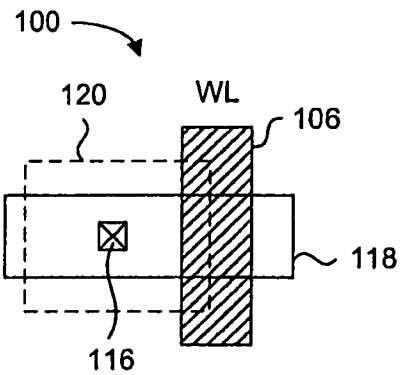
第2圖
（先前技術）



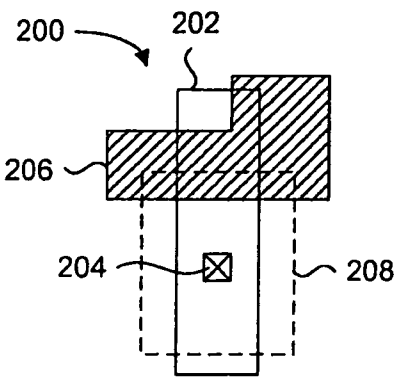
第3圖
（先前技術）


100
WL
106
BL
102
108
108
110
114
104
114
112

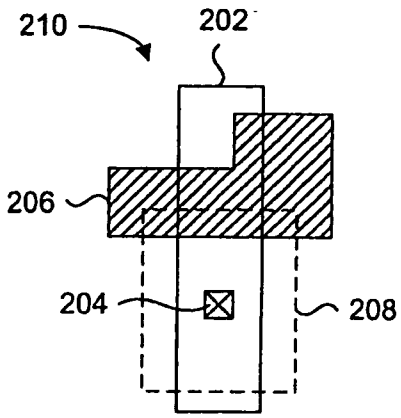
第4圖


100
120
WL
106
118
116

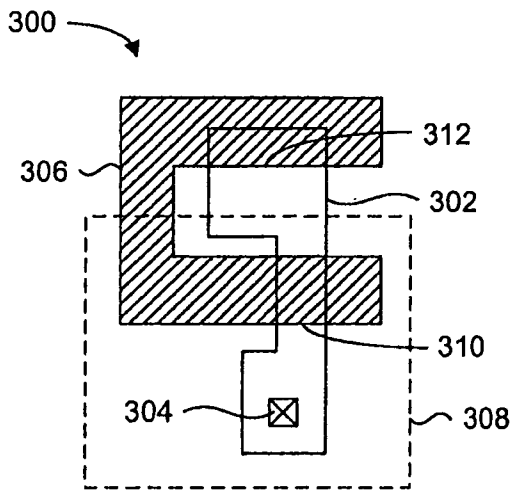
第5圖



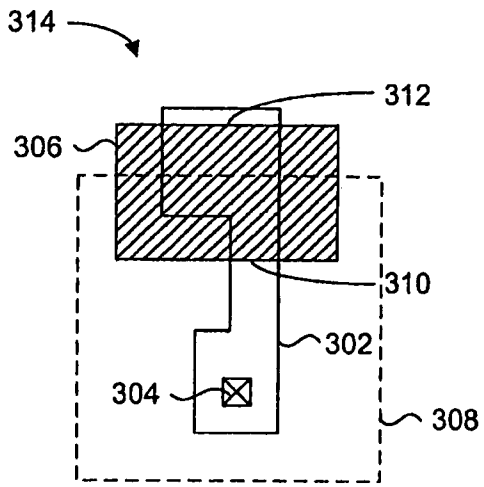
第6a圖



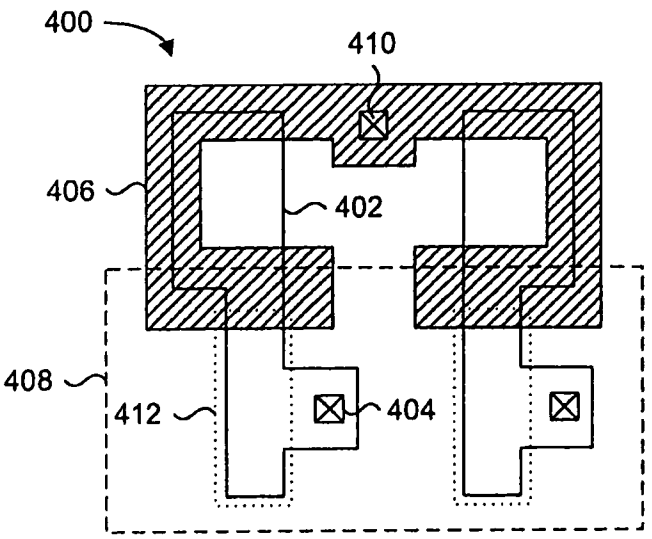
第6b圖



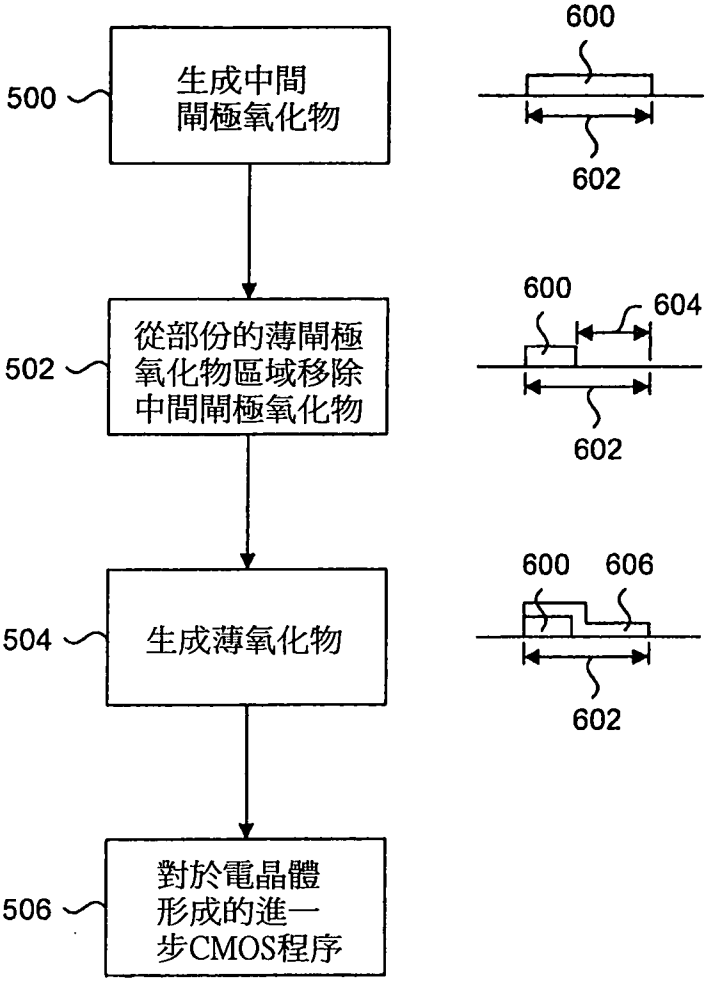
第7a圖



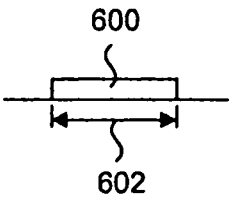
第7b圖



第8圖



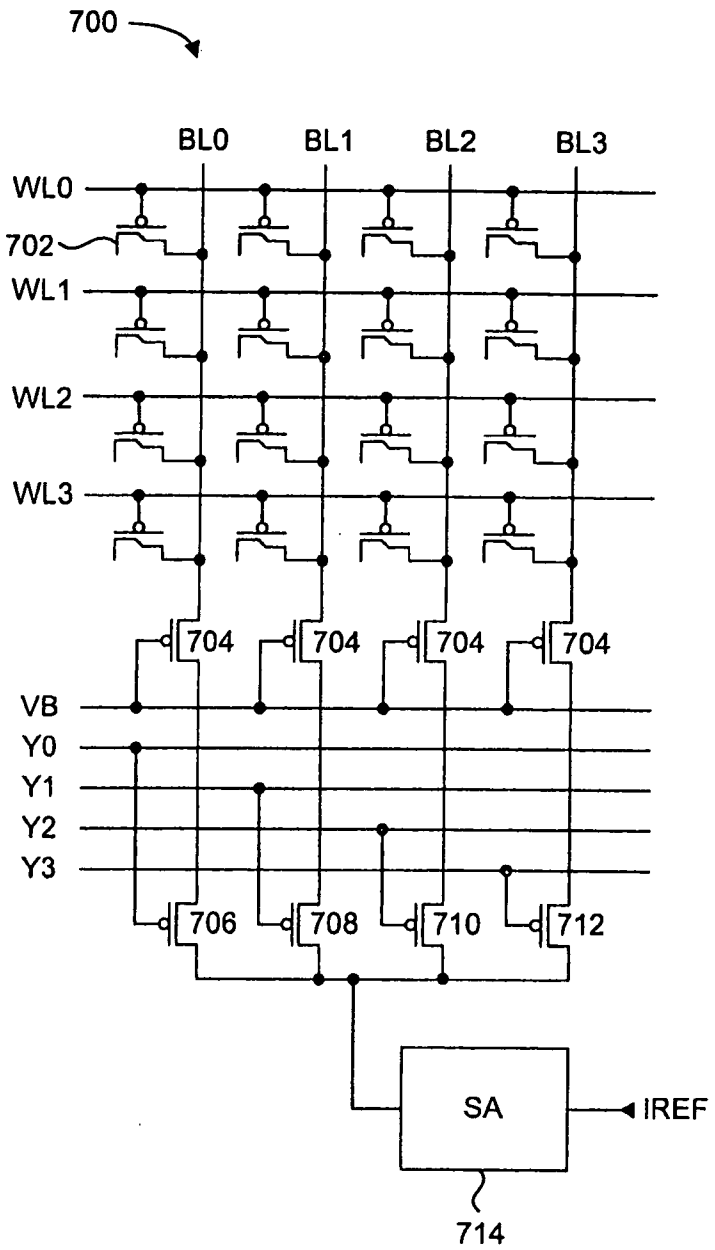
第9圖



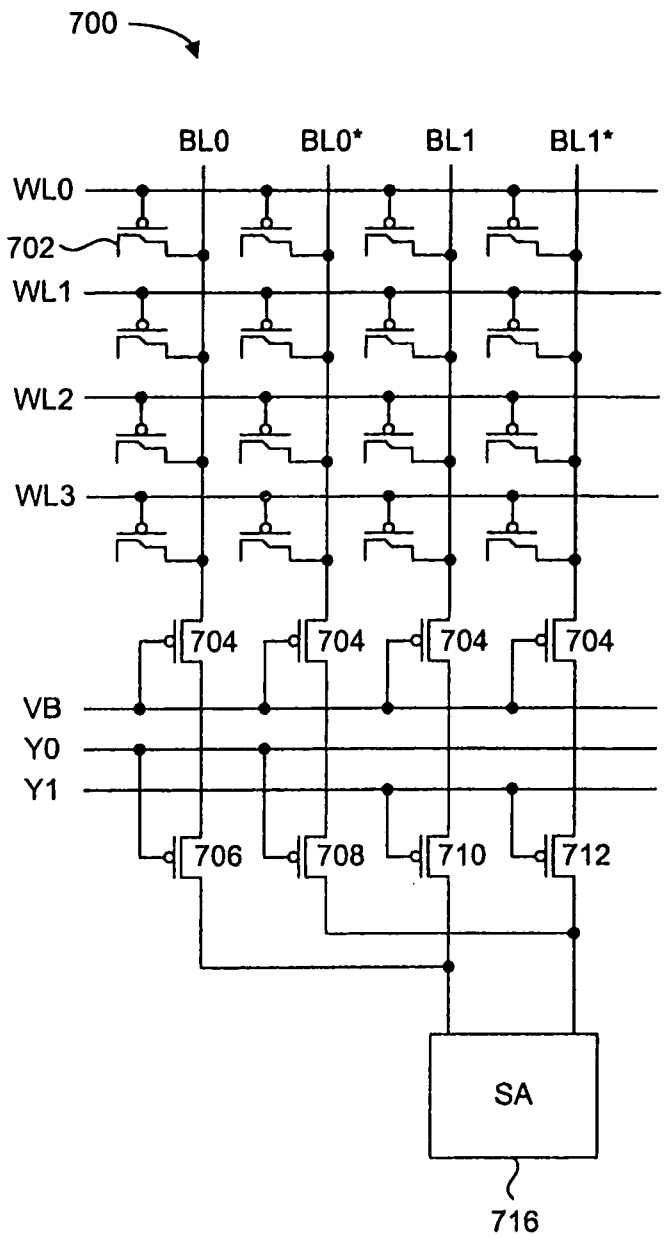
第10a圖

第10b圖

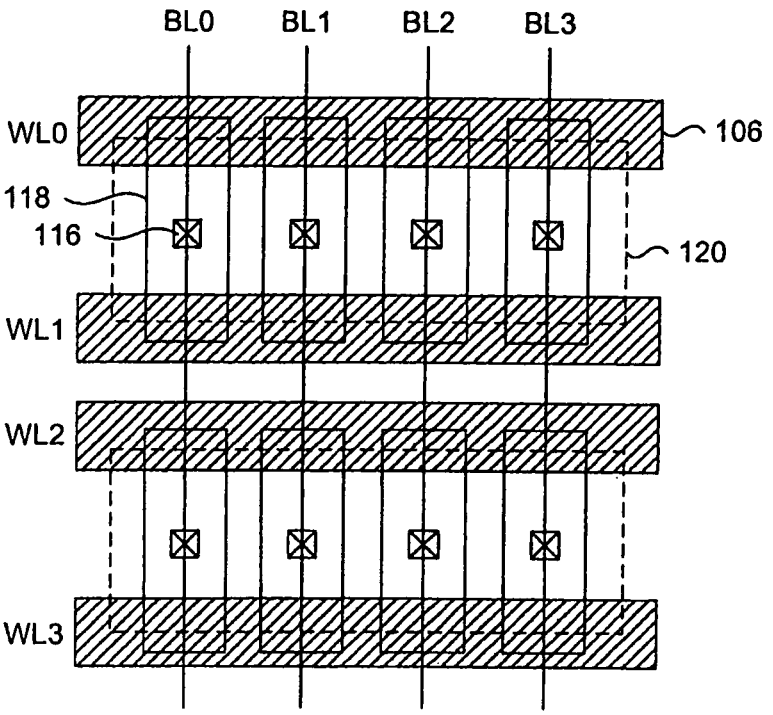
第10c圖


700
BL0
BL1
BL2
BL3
WL0
702
WL1
WL2
WL3
704
704
704
704
VB
Y0
Y1
Y2
Y3
706
708
710
712
SA
IREF
714

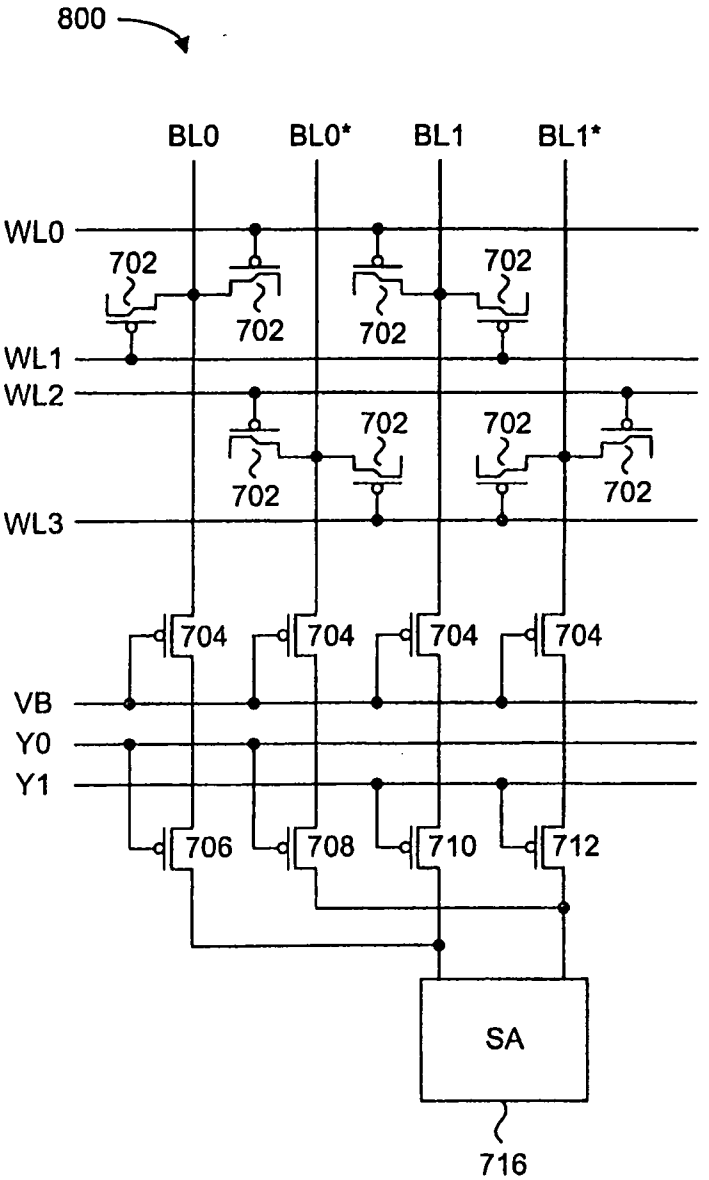
第11a圖


700
BL0
BL0*
BL1
BL1*
WL0
702
WL1
WL2
WL3
704
704
704
704
VB
Y0
Y1
706
708
710
712
SA
716

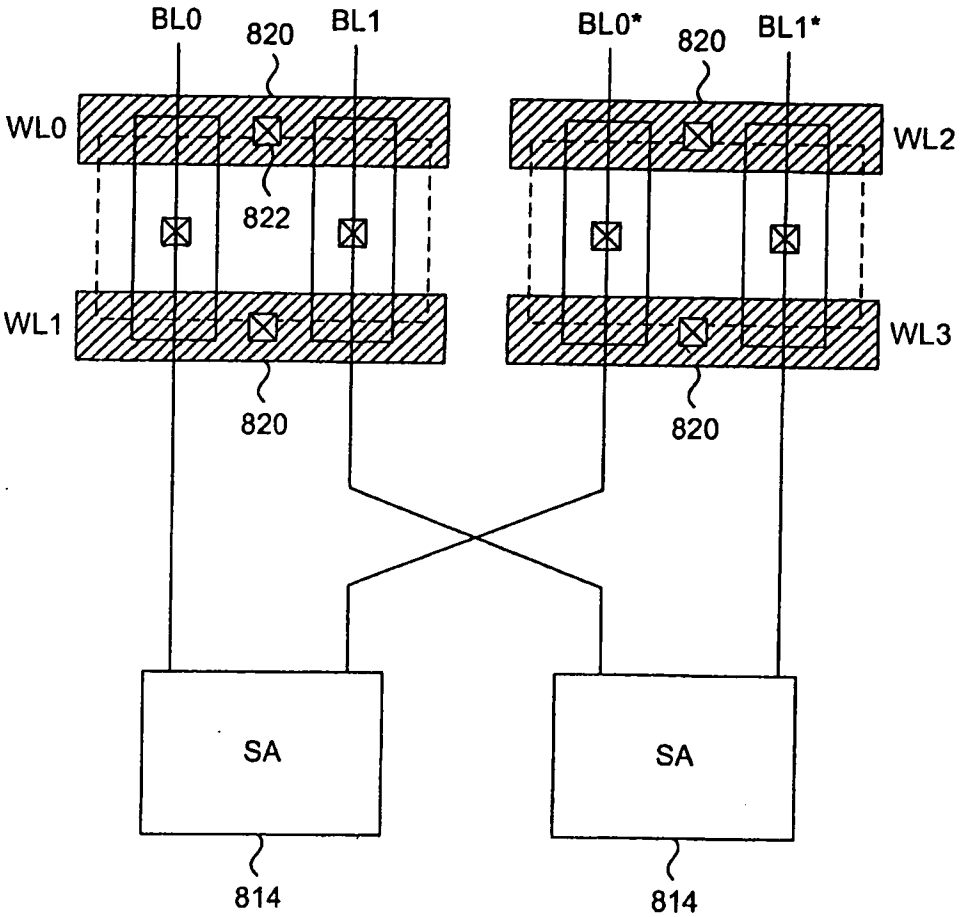
第11b圖



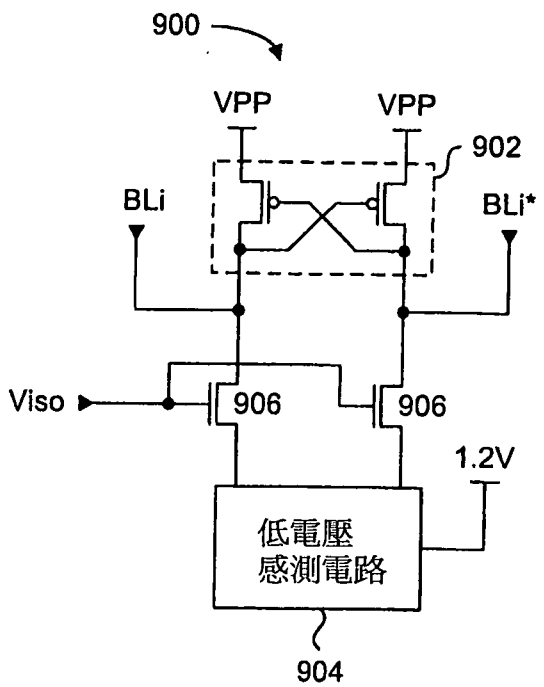
第12圖


800
BL0
BL0*
BL1
BL1*
WL0
WL1
WL2
WL3
VB
Y0
Y1
702
704
706
708
710
712
SA
716

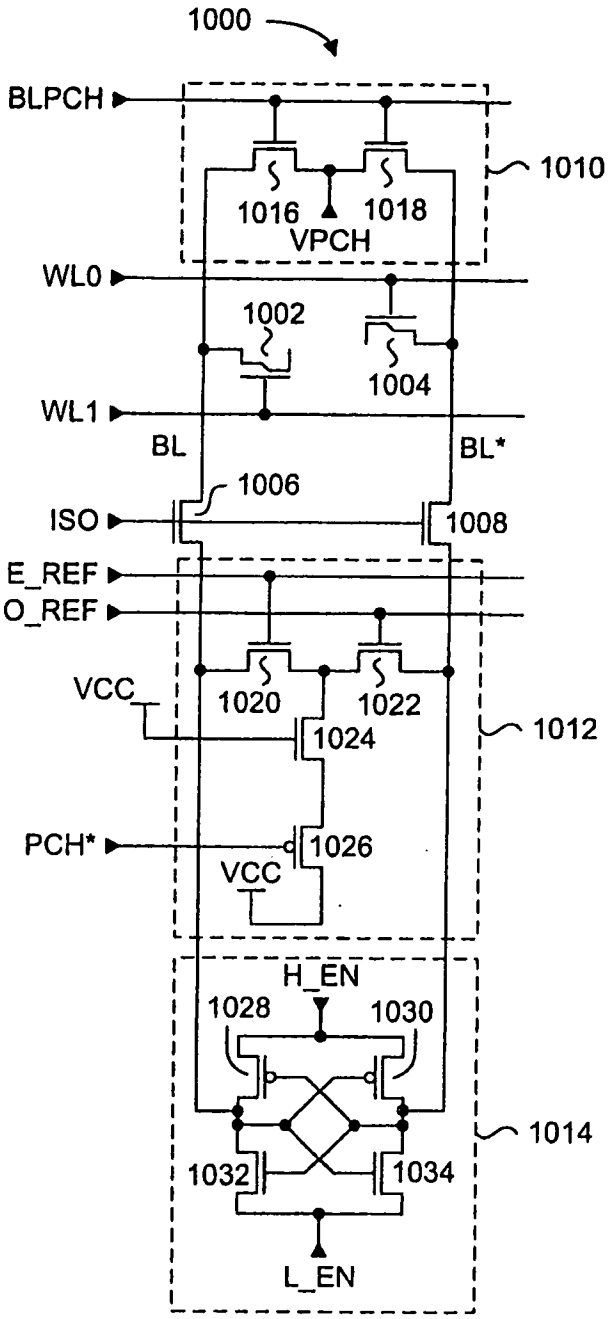
第13圖



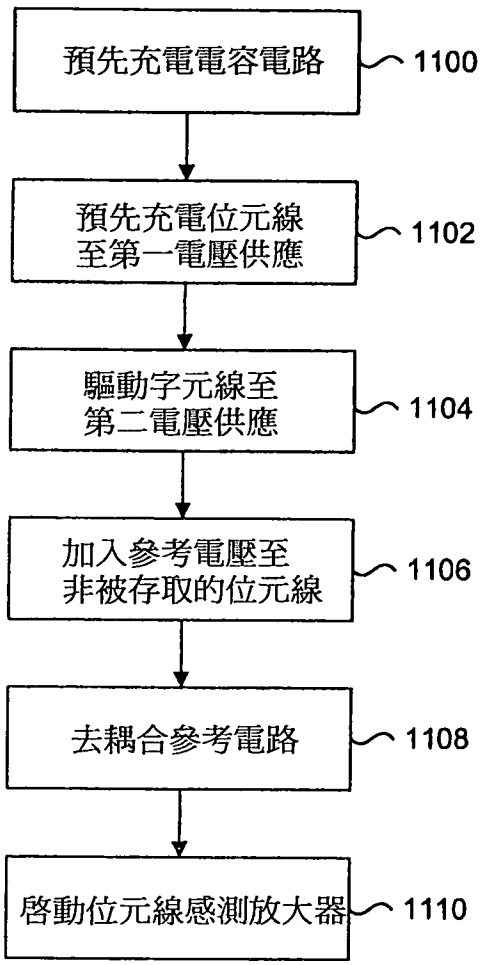
第14圖



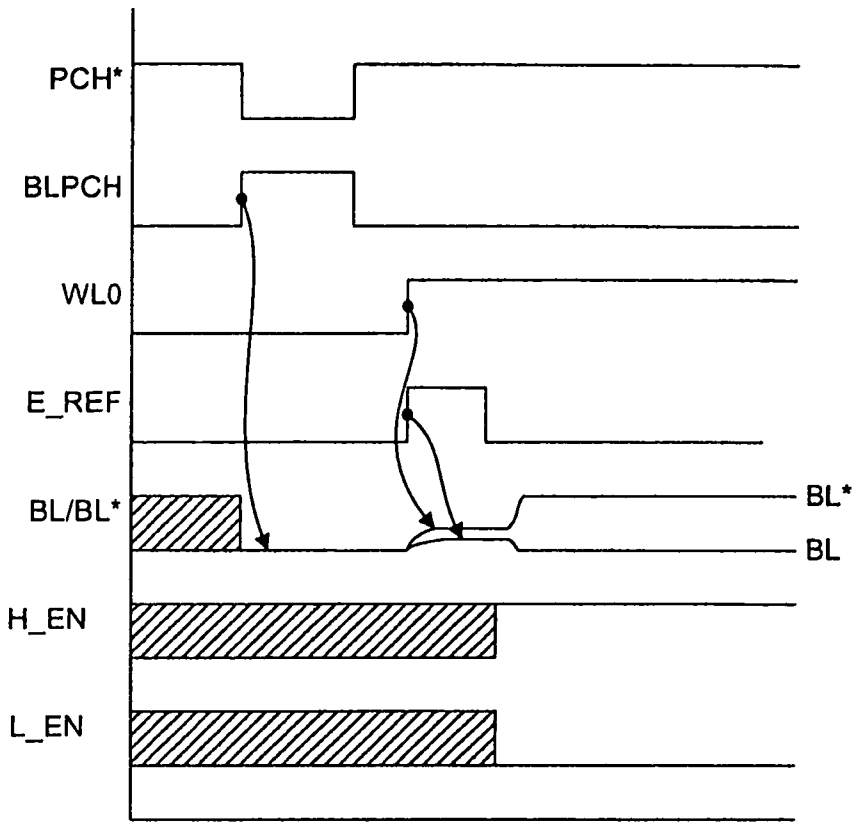
第15圖


1000
BLPCH
1010
1016
1018
VPCH
WL0
1002
1004
WL1
BL
BL*
1006
ISO
1008
E_REF
O_REF
VCC
1020
1022
1024
1012
PCH*
1026
VCC
H_EN
1028
1030
1014
1032
1034
L_EN

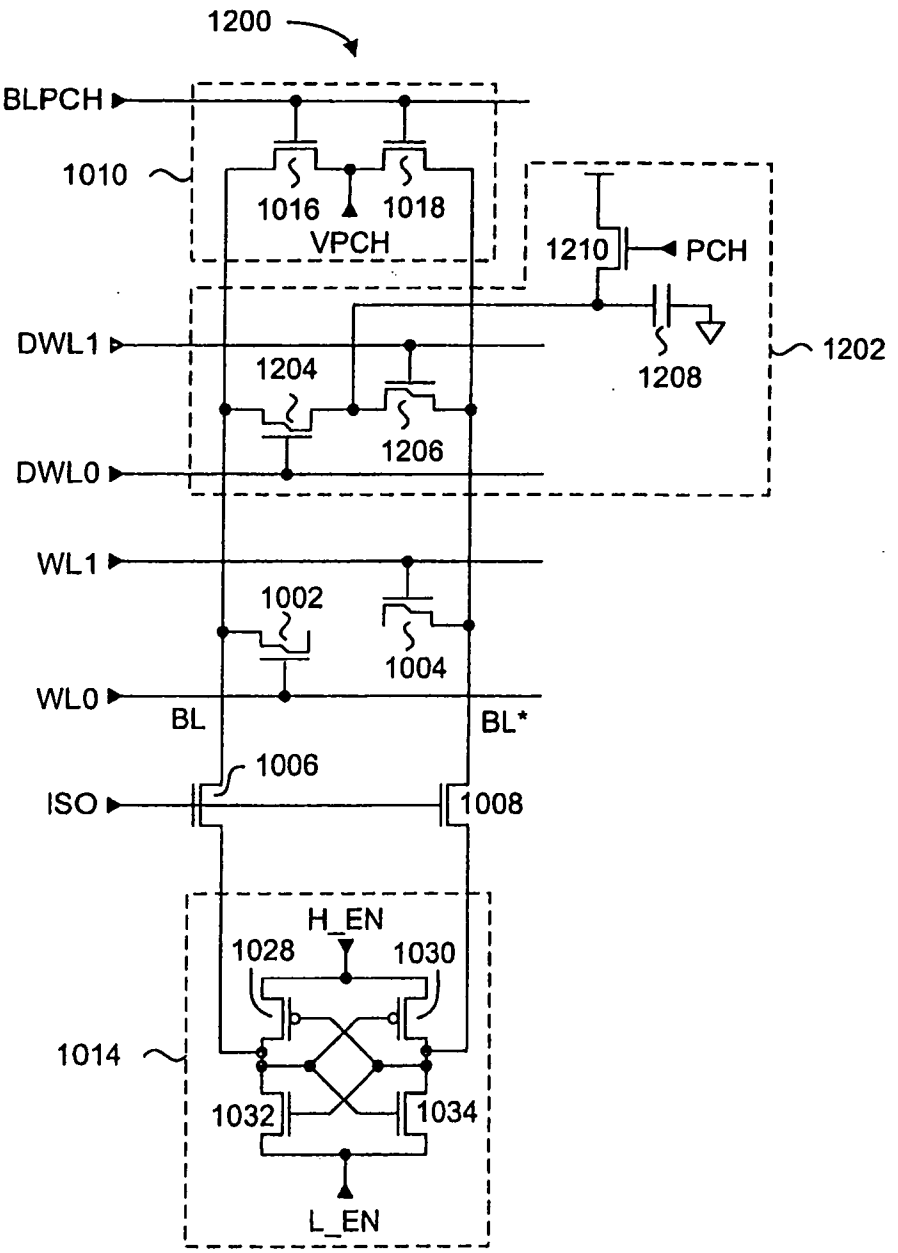
第16圖


預先充電電容電路
1100
預先充電位元線
至第一電壓供應
1102
驅動字元線至
第二電壓供應
1104
加入參考電壓至
非被存取的位元線
1106
去耦合參考電路
1108
啓動位元線感測放大器
1110

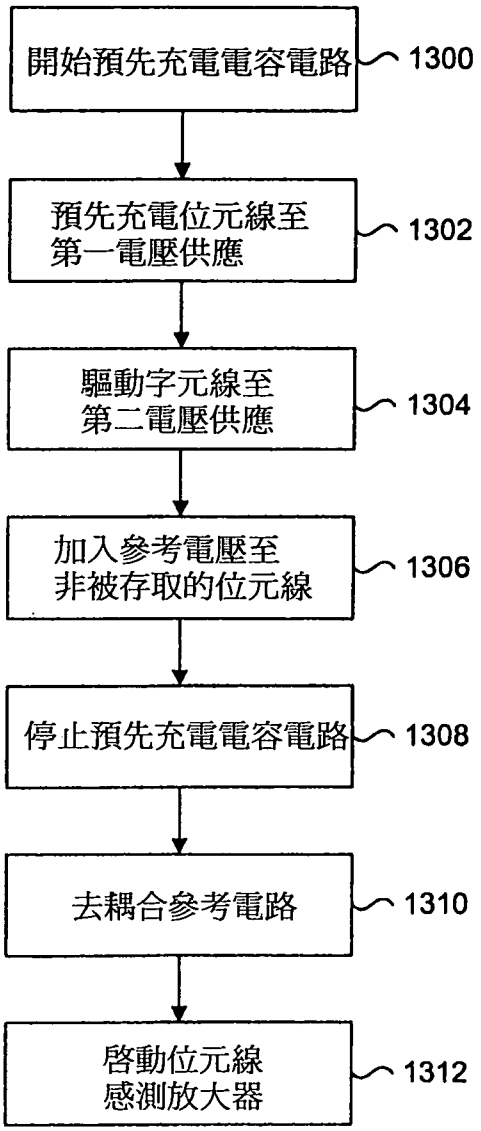
第17a圖



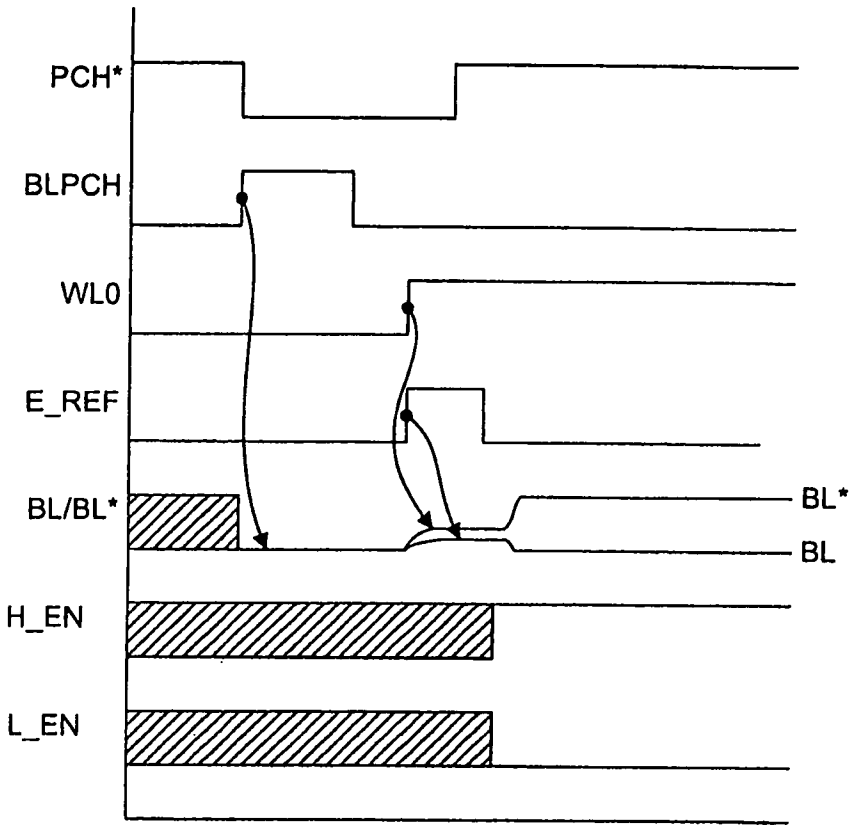
第17b圖


1200
BLPCH
1010
1016
1018
VPCH
1210
PCH
DWL1
1204
1208
1202
1206
DWL0
WL1
1002
1004
WL0
BL
BL*
1006
ISO
1008
H_EN
1028
1030
1014
1032
1034
L_EN

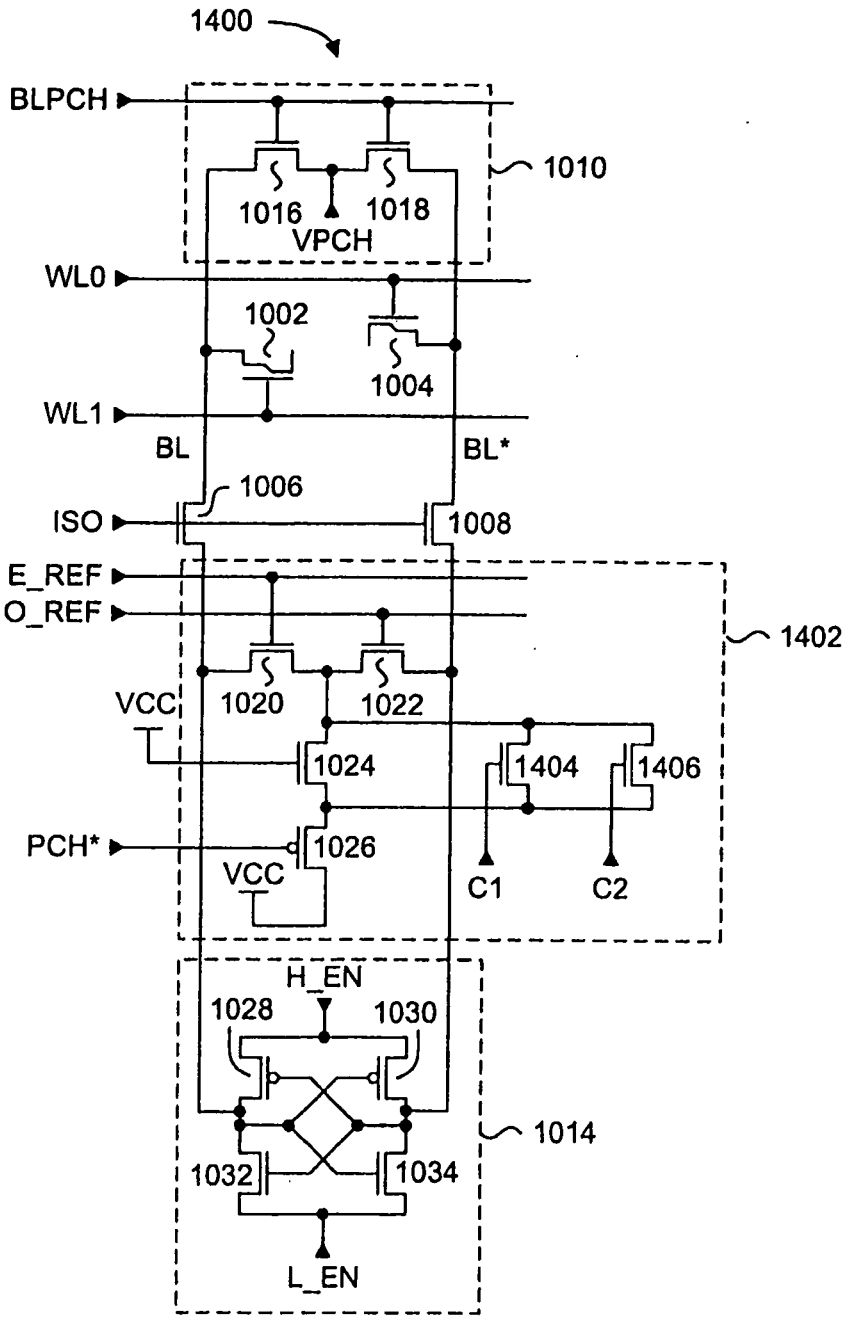
第18圖


開始預先充電電容電路
1300
預先充電位元線至
第一電壓供應
1302
驅動字元線至
第二電壓供應
1304
加入參考電壓至
非被存取的位元線
1306
停止預先充電電容電路
1308
去耦合參考電路
1310
啓動位元線
感測放大器
1312

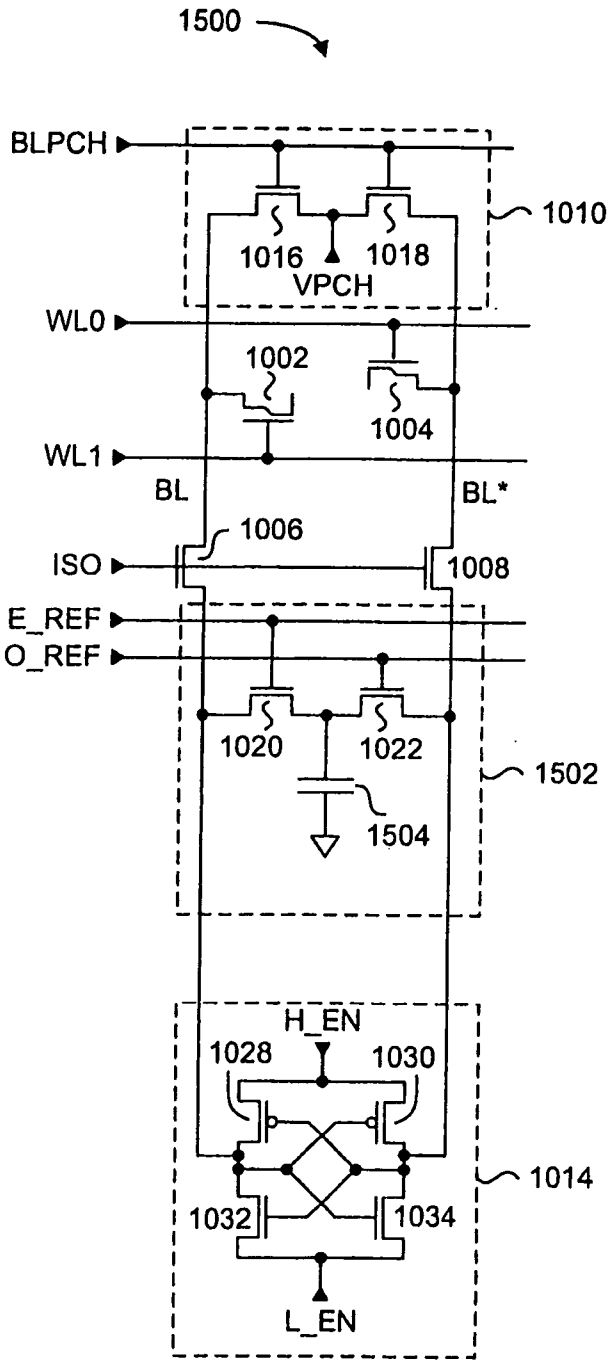
第19a圖



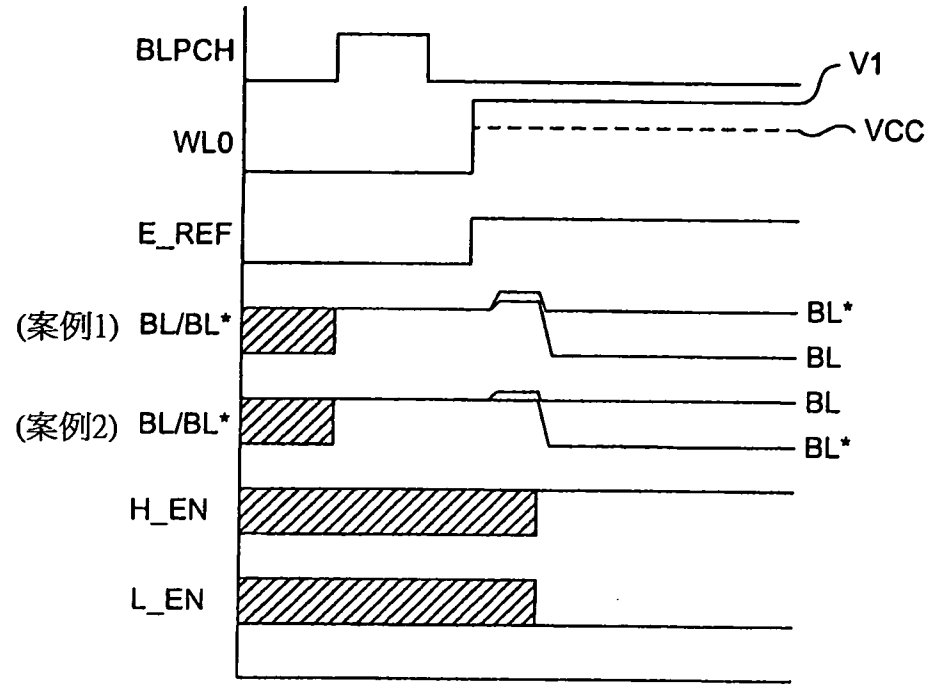
第19b圖


1400
BLPCH
1010
1016
1018
VPCH
WL0
1002
1004
WL1
BL
BL*
1006
ISO
1008
E_REF
O_REF
1402
VCC
1020
1022
1024
1404
1406
PCH*
1026
VCC
C1
C2
H_EN
1028
1030
1014
1032
1034
L_EN

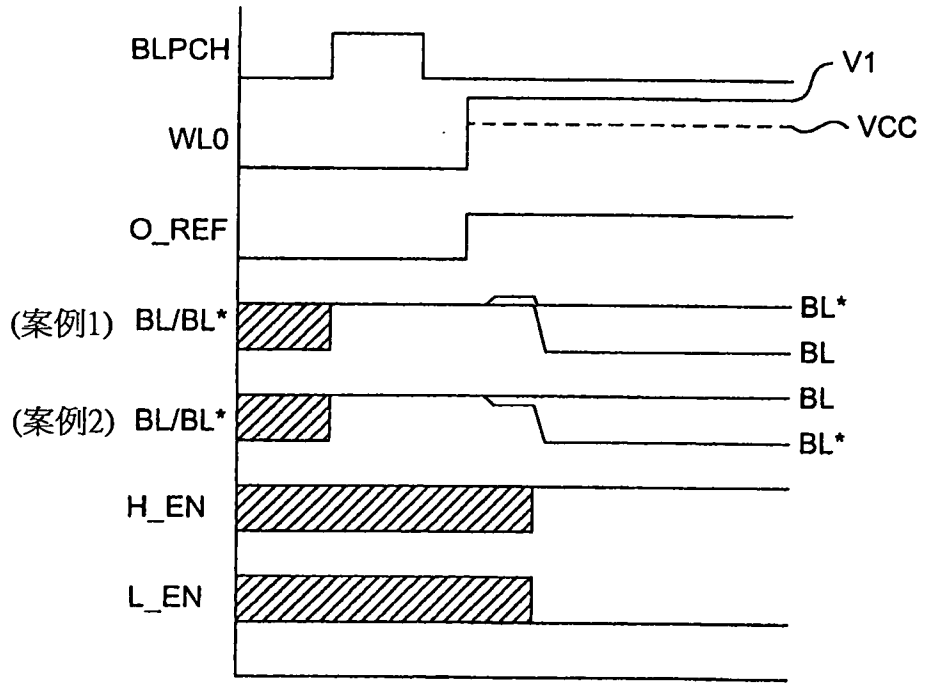
第20圖


1500
BLPCH
1010
1016
1018
VPCH
WL0
1002
1004
WL1
BL
BL*
1006
ISO
1008
E_REF
O_REF
1020
1022
1502
1504
H_EN
1028
1030
1014
1032
1034
L_EN

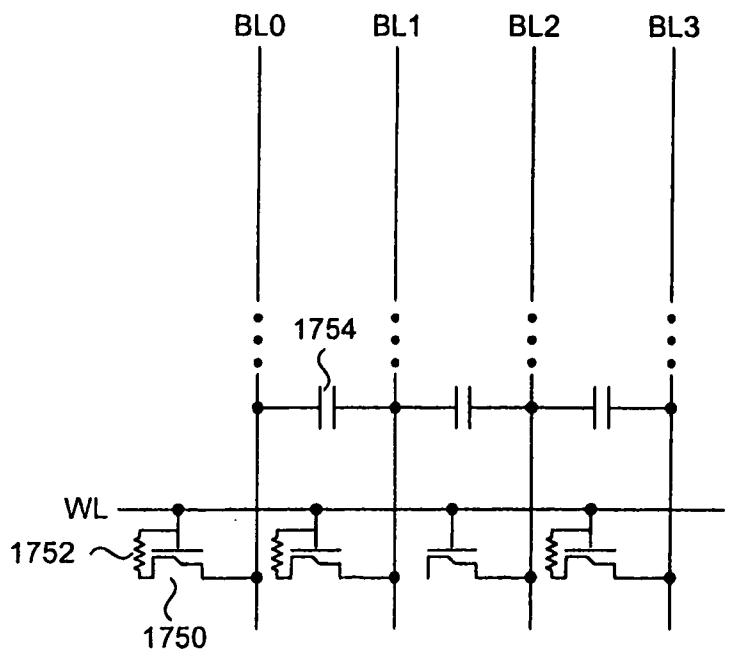
第21圖


BLPCH
V1
WL0
VCC
E_REF
(案例1) BL/BL*
BL*
BL
(案例2) BL/BL*
BL
BL*
H_EN
L_EN

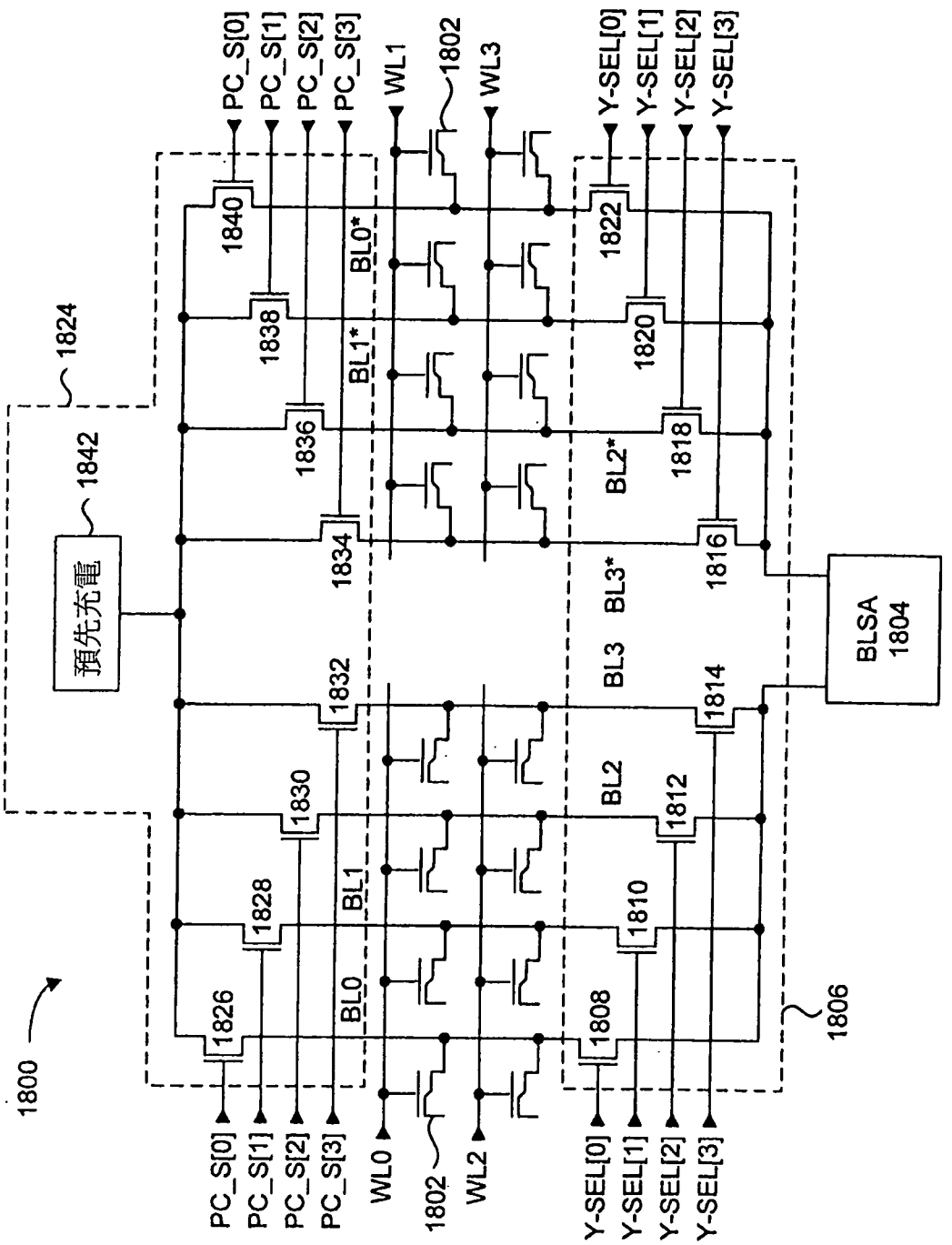
第23圖


BLPCH
V1
WL0
VCC
O_REF
(案例1) BL/BL*
BL*
BL
(案例2) BL/BL*
BL
BL*
H_EN
L_EN

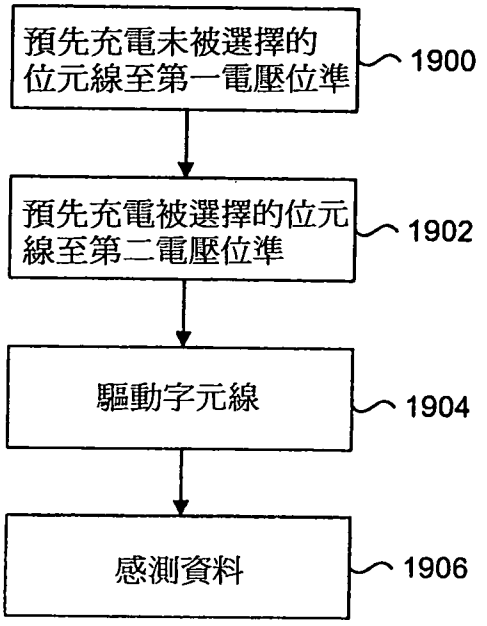
第24圖



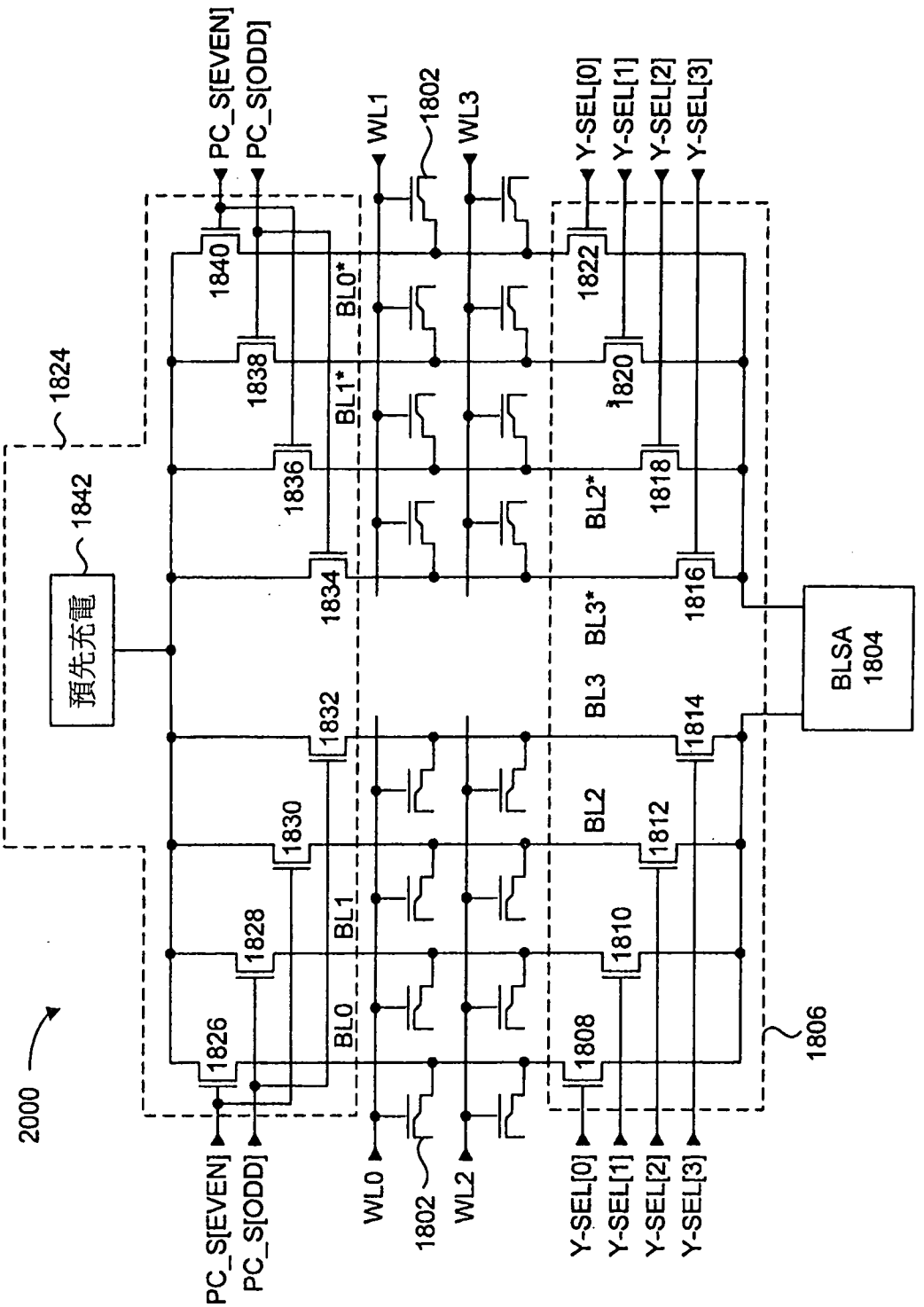
第25圖


1800
1824
1842
預先充電
1806
BLSA
1804
PC_S[0]
PC_S[1]
PC_S[2]
PC_S[3]
WL0
WL1
WL2
WL3
1802
Y-SEL[0]
Y-SEL[1]
Y-SEL[2]
Y-SEL[3]
BL0
BL1
BL2
BL3
BL0*
BL1*
BL2*
BL3*
1808
1810
1812
1814
1816
1818
1820
1822
1826
1828
1830
1832
1834
1836
1838
1840

第26圖


預先充電未被選擇的位元線至第一電壓位準
1900
預先充電被選擇的位元線至第二電壓位準
1902
驅動字元線
1904
感測資料
1906

第27圖


2000
1824
1842
預先充電
1826
1828
1830
1832
1834
1836
1838
1840
1806
1808
1810
1812
1814
1816
1818
1820
1822
BLSA
1804
BL0
BL1
BL2
BL3
BL0*
BL1*
BL2*
BL3*
1802
1802
WL0
WL1
WL2
WL3
PC_S[EVEN]
PC_S[ODD]
PC_S[EVEN]
PC_S[ODD]
Y-SEL[0]
Y-SEL[1]
Y-SEL[2]
Y-SEL[3]
Y-SEL[0]
Y-SEL[1]
Y-SEL[2]
Y-SEL[3]

第28圖