

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] この出願は、2023年3月30日に日本国特許庁に提出された特許出願2023-056618号に基づく優先権を主張しており、この出願の全内容はここに引用により組み込まれる。本開示は、半導体装置に関する。

背景技術

[0002] 特許文献1（US2008/0277669A1）は、ドリフト層の外周領域に終端構造を有する半導体装置を開示している。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第2008/0277669号明細書

[0004] [概要]

本開示は、新規な構成を有する半導体装置を提供する。

[0005] 本開示は、主面を有するチップと、前記チップの内方部側で前記主面の表層部に形成された第1導電型の高濃度領域と、前記チップの周縁部側で前記主面の表層部に形成され、前記高濃度領域の不純物濃度よりも低い不純物濃度を有する第1導電型の低濃度領域と、を含む、半導体装置を提供する。

[0006] 本開示は、主面を有するチップと、前記主面の内方部に設けられた活性領域と、前記主面の周縁部に設けられた外周領域と、前記活性領域において前記主面の表層部に形成された第1導電型の高濃度領域と、前記外周領域において前記主面の表層部に形成され、前記高濃度領域の不純物濃度よりも低い不純物濃度を有する第1導電型の低濃度領域と、を含む、半導体装置を提供する。

[0007] 上述のまたはさらに他の目的、特徴および効果は、添付図面を参照する詳細な説明により明らかにされる。

図面の簡単な説明

[0008] [図1]図1は、第1形態に係る半導体装置を示す平面図である。

[図2]図2は、図1に示すII-II線に沿う断面図である。

[図3]図3は、図2に示す断面図からチップ外の構造物を取り除いた断面図である。

[図4]図4は、第1主面のレイアウト例を示す平面図である。

[図5]図5は、高濃度領域および低濃度領域のレイアウト例を示す平面図である。

[図6]図6は、第1主面の要部を示す拡大平面図である。

[図7]図7は、第1主面の更なる要部を示す拡大平面図である。

[図8]図8は、図7に示すVIII-VIII線に沿う断面図である。

[図9]図9は、図8の要部を示す拡大断面図である。

[図10]図10は、図7に示すX-X線に沿う断面図である。

[図11]図11は、図10の要部を示す拡大断面図である。

[図12]図12は、第2形態に係る半導体装置の要部を示す断面図である。

[図13]図13は、第3形態に係る半導体装置の要部を示す断面図である。

[図14]図14は、図13に示す半導体装置の変形例を示す断面図である。

[図15]図15は、第4形態に係る半導体装置の要部を示す断面図である。

[図16]図16は、第5形態に係る半導体装置の要部を示す拡大平面図である。

[図17]図17は、図16に示すXVII-XVII線に沿う断面図である。

[図18]図18は、第6形態に係る半導体装置を示す平面図である。

[図19]図19は、図18に示すXIX-XIX線に沿う断面図である。

[図20]図20は、第7形態に係る半導体装置を示す断面図である。

[図21]図21は、第8形態に係る半導体装置を示す断面図である。

[図22]図22は、第9形態に係る半導体装置を示す断面図である。

[図23]図23は、アウターボディ領域の変形例を示す断面図である。

[図24]図24は、フィールド領域の変形例を示す断面図である。

[図25]図25は、ソースパッド電極の第1変形例を示す断面図である。

[図26]図26は、ソースパッド電極の第2変形例を示す断面図である。

[0009] [詳細な説明]

以下、添付図面を参照して、具体的な形態が詳細に説明される。添付図面は、いずれも模式図であり、厳密に図示されたものではなく、相対的な位置関係、縮尺、比率、角度等は必ずしも一致しない。添付図面の間で対応する構造には同一の参照符号が付され、重複する説明は省略または簡略化される。説明が省略または簡略化された構造については、省略または簡略化される前になされた説明が適用される。

[0010] この明細書において「ほぼ (substantially)」の文言が使用される場合、この文言は、比較対象の数値 (形態) と等しい数値 (形態) を含む他、比較対象の数値 (形態) を基準とする $\pm 10\%$ の範囲の数値誤差 (形態誤差) も含む。以下の説明では「第1」、「第2」、「第3」等の文言が使用されるが、これらは説明順序を明確にするために各構造の名称に付された記号であり、各構造の名称を限定する趣旨で付されていない。

[0011] 以下の説明では、「p型」または「n型」を用いて半導体 (不純物) の導電型が示されるが、「p型」が「第1導電型」と称され、「n型」が「第2導電型」と称されてもよい。むしろ、「n型」が「第1導電型」と称され、「p型」が「第2導電型」と称されてもよい。「p型」は3価元素に起因する導電型であり、「n型」は5価元素に起因する導電型である。3価元素は、ホウ素、アルミニウム、ガリウムおよびインジウムのうちの少なくとも1種である。5価元素は、窒素、リン、ヒ素、アンチモンおよびビスマスのうちの少なくとも1種である。

[0012] 図1は、第1形態に係る半導体装置1Aを示す平面図である。図2は、図1に示すII-II線に沿う断面図である。図3は、図2に示す断面図からチップ2外の構造物を取り除いた断面図である。図4は、第1主面3のレイアウト例を示す平面図である。図5は、高濃度領域10および低濃度領域11のレイアウト例を示す平面図である。

[0013] 図6は、第1主面3の要部を示す拡大平面図である。図7は、第1主面3

の更なる要部を示す拡大平面図である。図8は、図7に示すVIII-VIII線に沿う断面図である。図9は、図8の要部を示す拡大断面図である。図10は、図7に示すX-X線に沿う断面図である。図11は、図10の要部を示す拡大断面図である。

[0014] 図1～図11を参照して、半導体装置1Aは、デバイス構造の一例としての絶縁ゲート型のトランジスタ構造Trを有する半導体スイッチング装置である。トランジスタ構造Trは、縦型構造を有している。半導体装置1Aは、SiC単結晶を含むチップ2を有するSiC半導体装置である。チップ2は、「SiCチップ」または「半導体チップ」と称されてもよい。

[0015] チップ2は、この形態（this embodiment）では、六方晶のSiC単結晶からなり、直方体形状に形成されている。六方晶のSiC単結晶は、2H（Hexagonal）-SiC単結晶、4H-SiC単結晶、6H-SiC単結晶等を含む複数種のポリタイプを有している。この形態では、チップ2が4H-SiC単結晶からなる例が示されるが、チップ2は他のポリタイプからなってもよい。

[0016] チップ2は、一方側の第1主面3、他方側の第2主面4、ならびに、第1主面3および第2主面4を接続する第1～第4側面5A～5Dを有している。第1主面3および第2主面4は、鉛直方向Zから見た平面視（以下、単に「平面視」という。）において四角形状に形成されている。鉛直方向Zは、チップ2の厚さ方向や第1主面3（第2主面4）の法線方向でもある。第1主面3および第2主面4は、平面視において正形状または長形状に形成されていてもよい。

[0017] 第1主面3および第2主面4は、SiC単結晶のc面によって形成されていることが好ましい。この場合、第1主面3はSiC単結晶のシリコン面（（0001）面）によって形成され、第2主面4はSiC単結晶のカーボン面（（000-1）面）によって形成されていることが好ましい。

[0018] 第1側面5Aおよび第2側面5Bは、第1主面3に沿う第1方向Xに延び、第1主面3に沿って第1方向Xに交差する第2方向Yに対向している。具

体的には、第2方向Yは、第1方向Xに直交している。第3側面5Cおよび第4側面5Dは、第2方向Yに延び、第1方向Xに対向している。

[0019] この形態では、第1方向XがSiC単結晶のm軸方向（ $[1-100]$ 方向）であり、第2方向YがSiC単結晶のa軸方向（ $[11-20]$ 方向）である。むしろ、第1方向XがSiC単結晶のa軸方向であり、第2方向YがSiC単結晶のm軸方向であってもよい。

[0020] チップ2（第1主面3および第2主面4）は、SiC単結晶のc面に対して所定のオフ方向に所定の角度で傾斜したオフ角を有している。つまり、SiC単結晶のc軸（ (0001) 軸）は、鉛直軸からオフ方向に向けてオフ角分だけ傾斜している。また、SiC単結晶のc面は、水平面に対してオフ角分だけ傾斜している。

[0021] オフ方向は、SiC単結晶のa軸方向（つまり第2方向Y）であることが好ましい。オフ角は、 0° を超えて 10° 以下であってもよい。オフ角は、 0° を超えて 1° 以下、 1° 以上 2.5° 以下、 2.5° 以上 5° 以下、 5° 以上 7.5° 以下、および、 7.5° 以上 10° 以下のうちの少なくとも1つの範囲に属する値を有していてもよい。

[0022] オフ角は、 5° 以下であることが好ましい。オフ角は、 2° 以上 4.5° 以下であることが特に好ましい。オフ角は、典型的には、 $4^\circ \pm 0.1^\circ$ の範囲に設定される。この明細書は、オフ角が 0° である形態（つまり、第1主面3がc面に対してジャスト面である形態）を除外しない。

[0023] チップ2は、この形態では、第1半導体層6および第2半導体層7を含む積層構造を有している。第1半導体層6は、SiC単結晶（半導体単結晶）を含む基板（SiC基板）からなり、前述のオフ方向およびオフ角を有している。第1半導体層6は、第2主面4を形成し、第1～第4側面5A～5Dの一部を形成している。

[0024] 第1半導体層6は、 $10\mu\text{m}$ 以上 $500\mu\text{m}$ 以下の厚さを有していてもよい。第1半導体層6の厚さは、 $10\mu\text{m}$ 以上 $50\mu\text{m}$ 以下、 $50\mu\text{m}$ 以上 $100\mu\text{m}$ 以下、 $100\mu\text{m}$ 以上 $150\mu\text{m}$ 以下、 $150\mu\text{m}$ 以上 $200\mu\text{m}$

以下、 $200\mu\text{m}$ 以上 $300\mu\text{m}$ 以下、 $300\mu\text{m}$ 以上 $400\mu\text{m}$ 以下、および、 $400\mu\text{m}$ 以上 $500\mu\text{m}$ 以下のうちの少なくとも1つの範囲に属する値を有していてもよい。

[0025] 第2半導体層7は、SiC単結晶（半導体単結晶）を含むエピタキシャル層（SiCエピタキシャル層）からなり、第1半導体層6の上に積層されている。第2半導体層7は、前述のオフ方向およびオフ角を有している。第2半導体層7は、第1主面3を形成し、第1～第4側面5A～5Dの一部を形成している。第2半導体層7は、第1半導体層6の厚さ未満の厚さを有していることが好ましい。むしろ、第2半導体層7の厚さは、第1半導体層6の厚さよりも大きくてもよい。

[0026] 第2半導体層7の厚さは、 $5\mu\text{m}$ 以上 $50\mu\text{m}$ 以下であってもよい。第2半導体層7の厚さは、 $5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下、 $10\mu\text{m}$ 以上 $15\mu\text{m}$ 以下、 $15\mu\text{m}$ 以上 $20\mu\text{m}$ 以下、 $20\mu\text{m}$ 以上 $25\mu\text{m}$ 以下、 $25\mu\text{m}$ 以上 $30\mu\text{m}$ 以下、 $30\mu\text{m}$ 以上 $35\mu\text{m}$ 以下、 $35\mu\text{m}$ 以上 $40\mu\text{m}$ 以下、 $40\mu\text{m}$ 以上 $45\mu\text{m}$ 、および、 $45\mu\text{m}$ 以上 $50\mu\text{m}$ 以下のうちの少なくとも1つの範囲に属する値を有していてもよい。

[0027] 半導体装置1Aは、チップ2（第1主面3）に設定された活性領域8を含む。活性領域8は、チップ2（第1主面3）の内方部に設定されている。活性領域8は、デバイス構造（トランジスタ構造Tr）を含み、出力電流（ドレイン電流）が生成される領域である。

[0028] 活性領域8は、平面視においてチップ2の周縁（第1～第4側面5A～5D）から間隔を空けてチップ2の内方部に設定されている。活性領域8は、平面視においてチップ2の周縁に平行な4辺を有する多角形状（この形態では四角形状）に設定されている。活性領域8の平面積は、第1主面3の平面積の50%以上90%以下であることが好ましい。

[0029] 半導体装置1Aは、チップ2において活性領域8外に設定された外周領域9を含む。外周領域9は、デバイス構造（トランジスタ構造Tr）を含まない領域である。外周領域9は、チップ2（第1主面3）の周縁部に設定され

ている。つまり、外周領域 9 は、平面視においてチップ 2 の周縁および活性領域 8 の間の領域に設けられている。外周領域 9 は、平面視において活性領域 8 に沿って帯状に延び、活性領域 8 を取り囲む多角環状（この形態では四角環状）に設定されている。

[0030] 半導体装置 1 A は、比較的高い第 1 不純物濃度を有し、第 1 主面 3 の表層部に形成された n 型の高濃度領域 10 を含む。高濃度領域 10 には、高電位（第 1 電位）としてのドレイン電位が付与される。高濃度領域 10 は、「第 1 領域」、「第 1 ドリフト領域」、「第 1 高濃度ドリフト領域」等と称されてもよい。第 1 不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $5 \times 10^{17} \text{ cm}^{-3}$ 以下であってもよい。

[0031] 高濃度領域 10 は、チップ 2 の内方部側に形成されている。具体的には、高濃度領域 10 は、活性領域 8 において第 1 主面 3 の表層部に形成され、第 1 主面 3 に沿って層状に延びている。高濃度領域 10 は、活性領域 8 において比較的低い抵抗値を有する低抵抗領域（第 1 低抵抗領域）として形成されている。高濃度領域 10 は、活性領域 8 の全域に形成されていることが好ましい。高濃度領域 10 は、断面視において第 1 主面 3 に対してほぼ垂直に延びていてもよい。

[0032] 高濃度領域 10 は、この形態では、活性領域 8 から外周領域 9 に引き出され、外周領域 9 において第 1 主面 3 の表層部に位置された部分を有している。高濃度領域 10 は、全周に亘って活性領域 8 から外周領域 9 に引き出され、第 1 主面 3 の周縁から内方に間隔を空けて形成されている。

[0033] 高濃度領域 10 は、第 1 ～ 第 4 側面 5 A ～ 5 D のうちの少なくとも 1 つから内方部に間隔を空けて形成されていることが好ましい。高濃度領域 10 は、この形態では、第 1 ～ 第 4 側面 5 A ～ 5 D の全周から内方に間隔を空けて形成され、活性領域 8 を取り囲む周縁部を有している。

[0034] 高濃度領域 10 は、この形態では、第 2 半導体層 7 に形成されている。たとえば、高濃度領域 10 は、第 2 半導体層 7（たとえば n 型の第 2 半導体層 7）の表層部に n 型不純物を導入することによって形成されていてもよい。

高濃度領域 10 は、第 2 半導体層 7 の底部から第 1 主面 3 側に間隔を空けて形成され、第 2 半導体層 7 の一部を挟んで第 1 半導体層 6 に対向している。

[0035] 高濃度領域 10 は、第 2 半導体層 7 の中間部の深さ位置から第 1 主面側に間隔を空けて形成されていることが好ましい。つまり、高濃度領域 10 の厚さは、第 2 半導体層 7 の厚さの $1/2$ 未満であることが好ましい。むろん、高濃度領域 10 は、第 2 半導体層 7 の中間部の深さ位置を厚さ方向に横切ってもよい。つまり、高濃度領域 10 の厚さは、第 2 半導体層 7 の厚さの $1/2$ よりも大きくてもよい。

[0036] 高濃度領域 10 は、 $0.1\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下の厚さを有していてもよい。高濃度領域 10 の厚さは、 $0.1\ \mu\text{m}$ 以上 $0.5\ \mu\text{m}$ 以下、 $0.5\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下、 $1\ \mu\text{m}$ 以上 $1.5\ \mu\text{m}$ 以下、 $1.5\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下、 $2\ \mu\text{m}$ 以上 $2.5\ \mu\text{m}$ 以下、 $2.5\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下、 $3\ \mu\text{m}$ 以上 $3.5\ \mu\text{m}$ 以下、 $3.5\ \mu\text{m}$ 以上 $4\ \mu\text{m}$ 以下、 $4\ \mu\text{m}$ 以上 $4.5\ \mu\text{m}$ 以下、および、 $4.5\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下のうちの少なくとも 1 つの範囲に属する値を有していてもよい。

[0037] 半導体装置 1A は、高濃度領域 10 の第 1 不純物濃度未満の第 2 不純物濃度を有し、第 1 主面 3 の表層部に形成された n 型の低濃度領域 11 を含む。低濃度領域 11 は、「第 2 領域」、「第 2 ドリフト領域」、「第 1 低濃度ドリフト領域」等と称されてもよい。第 2 不純物濃度は、 $1 \times 10^{15}\ \text{cm}^{-3}$ 以上 $5 \times 10^{16}\ \text{cm}^{-3}$ 以下であってもよい。

[0038] 低濃度領域 11 は、高濃度領域 10 に対してチップ 2 の周縁部側に形成されている。具体的には、低濃度領域 11 は、外周領域 9 において第 1 主面 3 の表層部に形成され、第 1 主面 3 に沿って層状に延びている。低濃度領域 11 は、第 1 主面 3 の周縁および高濃度領域 10 の間の領域に位置されている。低濃度領域 11 は、外周領域 9 において高濃度領域 10 よりも高い抵抗値を有する高抵抗領域（第 1 高抵抗領域）として形成されている。

[0039] 低濃度領域 11 は、平面視において高濃度領域 10（活性領域 8）に沿って帯状に延びている。低濃度領域 11 は、平面視において第 1 方向 X に帯状

に延びる部分および第2方向Yに帯状に延びる部分を有し、高濃度領域10（活性領域8）を複数方向から区画している。低濃度領域11は、この形態では、平面視において高濃度領域10（活性領域8）を取り囲む環状（具体的には四角環状）に形成されている。

[0040] 低濃度領域11は、第1主面3の内方側の内縁部および第1主面3の周縁側の外縁部を有している。低濃度領域11の内縁部は、高濃度領域10の周縁部に接続されている。これにより、低濃度領域11は、高濃度領域10に電氣的に接続されている。低濃度領域11は、この形態では、外周領域9において高濃度領域10に接続されている。低濃度領域11の外縁部は、第1～第4側面5A～5Dのうちの少なくとも1つから露出していることが好ましい。低濃度領域11の外縁部は、この形態では、第1～第4側面5A～5Dの全てから露出している。

[0041] 低濃度領域11は、この形態では、高濃度領域10の底部の深さ位置を厚さ方向に横切り、高濃度領域10よりも深く形成されている。つまり、低濃度領域11は、高濃度領域10の底部よりも下方（第2主面4側）に位置された底部を有している。低濃度領域11は、高濃度領域10とチップ2の厚さ方向に延びる領域境界部12を形成している（図10参照）。領域境界部12は、この形態では、低濃度領域11の底部から第1主面3側に間隔を空けて形成されている。

[0042] 領域境界部12は、第1主面3に対してほぼ垂直に形成されている。具体的には、領域境界部12は、上端部、下端部および延部を有している。上端部は、第1主面3側に位置されている。下端部は、第2主面4側に位置され、厚さ方向に上端部とほぼ同一直線上に位置されている。延部は、上端部および下端部の間を第1主面3に対してほぼ垂直に延びている。

[0043] 低濃度領域11は、この形態では、第2半導体層7に形成されている。低濃度領域11は、第2半導体層7の中間部の深さ位置を厚さ方向に横切っていることが好ましい。つまり、低濃度領域11の厚さは、第2半導体層7の厚さの1/2以上であることが好ましい。低濃度領域11は、この形態では

、第2半導体層7内において第1主面3および第2半導体層7の底部（第1半導体層6）の間の厚さ範囲の全域に形成され、第1半導体層6に接続されている。

[0044] たとえば、高濃度領域10は、第2半導体層7（たとえばn型の第2半導体層7）の表層部にn型不純物を導入することによって形成されていてもよい。低濃度領域11は、この形態では、n型の第2半導体層7を利用して形成され、第2半導体層7の厚さに対応した厚さを有している。半導体装置1Aは、この形態では、第2半導体層7の周縁部（外周領域9）において低濃度領域11からなるシングルレイヤ構造を有している。

[0045] 半導体装置1Aは、第1主面3の表層部において高濃度領域10の下方の領域に形成されたn型の内側低濃度領域13を含む。内側低濃度領域13は、「第3領域」、「第3ドリフト領域」、「第2低濃度ドリフト領域」等と称されてもよい。第3不純物濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $5 \times 10^{16} \text{ cm}^{-3}$ 以下であってもよい。

[0046] 内側低濃度領域13は、低濃度領域11に対してチップ2の内方部側に形成されている。具体的には、内側低濃度領域13は、活性領域8において高濃度領域10の下方の領域に形成されている。内側低濃度領域13は、活性領域8において高濃度領域10よりも高い抵抗値を有する高抵抗領域（第2高抵抗領域）として形成されている。内側低濃度領域13は、高濃度領域10に沿って層状に延び、厚さ方向に高濃度領域10に接続されている。これにより、内側低濃度領域13は、高濃度領域10に電氣的に接続されている。

[0047] 内側低濃度領域13は、高濃度領域10の下方の領域の全域に形成され、厚さ方向に高濃度領域10の全域に接続されていることが好ましい。内側低濃度領域13は、この形態では、活性領域8の全域に形成されている。内側低濃度領域13は、さらに活性領域8から外周領域9に引き出され、外周領域9において低濃度領域11の底部側の領域に接続されている。

[0048] これにより、内側低濃度領域13は、低濃度領域11に電氣的に接続され

ている。内側低濃度領域 13 は、この形態では、全周に亘って活性領域 8 から外周領域 9 に引き出され、全周に亘って低濃度領域 11 の内縁部に接続されている。内側低濃度領域 13 の第 3 不純物濃度は、低濃度領域 11 の底部側の領域の第 2 不純物濃度とほぼ等しいことが好ましい。

[0049] 内側低濃度領域 13 は、この形態では、第 2 半導体層 7 に形成されている。内側低濃度領域 13 は、第 2 半導体層 7 内において高濃度領域 10 および第 2 半導体層 7 の底部（第 1 半導体層 6）の間の厚さ範囲の全域に形成され、第 1 半導体層 6 に接続されている。

[0050] たとえば、内側低濃度領域 13 は、第 2 半導体層 7（たとえば n 型の第 2 半導体層 7）の表層部に n 型不純物を導入することによって形成されていてもよい。内側低濃度領域 13 は、この形態では、n 型の第 2 半導体層 7 の一部（底部側の領域）を利用して形成されている。半導体装置 1A は、第 2 半導体層 7 の内方部（活性領域 8）において高濃度領域 10 および内側低濃度領域 13 を含むマルチレイヤ構造を有している。

[0051] 半導体装置 1A は、チップ 2 内において第 2 主面 4 側の領域（表層部）に形成された n 型のベース領域 14 を含む。ベース領域 14 は、「第 4 領域」、「ドレイン領域」等と称されてもよい。ベース領域 14 は、高濃度領域 10 の第 1 不純物濃度よりも高い第 4 不純物濃度を有している。第 4 不純物濃度は、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上 $3 \times 10^{19} \text{ cm}^{-3}$ 以下であってもよい。

[0052] ベース領域 14 は、チップ 2 の内方部側において高濃度領域 10 の下方の領域に形成され、高濃度領域 10 に電氣的に接続されている。ベース領域 14 は、高濃度領域 10 の下方の領域からチップ 2 の周縁側に引き出され、低濃度領域 11 の下方の領域に位置された部分を有している。ベース領域 14 は、チップ 2 の周縁部側において低濃度領域 11 に電氣的に接続されている。

[0053] つまり、ベース領域 14 は、活性領域 8 において高濃度領域 10 に電氣的に接続された部分を有している。ベース領域 14 は、この形態では、活性領域 8 において内側低濃度領域 13 に接続され、内側低濃度領域 13 を介して

高濃度領域 10 に電氣的に接続されている。また、ベース領域 14 は、活性領域 8 から外周領域 9 に引き出され、外周領域 9 において低濃度領域 11 に電氣的に接続された部分を有している。ベース領域 14 は、活性領域 8 および外周領域 9 の双方において比較的低い抵抗値を有する低抵抗領域として形成されている。

[0054] ベース領域 14 は、第 2 主面 4 に沿って層状に延び、チップ 2 の第 2 主面 4 から露出し、チップ 2 の第 1 側面 5 A ~ 5 D の一部から露出している。ベース領域 14 は、高濃度領域 10 の厚さ、低濃度領域 11 の厚さ、および、内側低濃度領域 13 の厚さよりも大きい厚さを有している。

[0055] ベース領域 14 は、この形態では、第 1 半導体層 6 に形成されている。ベース領域 14 は、第 1 半導体層 6 の下端（第 2 主面 4）および第 1 半導体層 6 の上端（第 2 半導体層 7）の間の厚さ範囲の全域に形成され、第 2 半導体層 7 に接続されている。ベース領域 14 は、この形態では、n 型の第 1 半導体層 6 を利用して形成され、第 1 半導体層 6 の厚さに対応した厚さを有している。

[0056] 半導体装置 1 A は、活性領域 8 において第 1 主面 3 の表層部に形成された p 型の複数のボディ領域 20 を含む。複数のボディ領域 20 は、高濃度領域 10 の表層部に形成されている。複数のボディ領域 20 には、高電位（第 1 電位）とは異なる低電位（第 2 電位）としてのソース電位が付与される。

[0057] 複数のボディ領域 20 は、第 1 方向 X に間隔を空けて配列され、第 2 方向 Y に延びる帯状にそれぞれ形成されている。つまり、複数のボディ領域 20 は、第 2 方向 Y に延びるストライプ状に配列されている。また、複数のボディ領域 20 の延在方向は、SiC 単結晶のオフ方向に一致している。

[0058] 複数のボディ領域 20 は、高濃度領域 10 の底部から第 1 主面 3 側に間隔を空けて形成され、高濃度領域 10 の一部を挟んで内側低濃度領域 13（ベース領域 14）に対向している。複数のボディ領域 20 は、高濃度領域 10 の中間部から第 1 主面 3 側に間隔を空けて形成されていることが好ましい。むしろ、複数のボディ領域 20 は、高濃度領域 10 の中間部の深さ位置を厚

さ方向に横切っていてもよい。複数のボディ領域 20 は、第 1 主面 3 から露出している。

[0059] 複数のボディ領域 20 は、 $1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下の幅をそれぞれ有していてもよい。ボディ領域 20 の幅は、 $1\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下、 $2\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下、 $3\ \mu\text{m}$ 以上 $4\ \mu\text{m}$ 以下、 $4\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下、 $5\ \mu\text{m}$ 以上 $6\ \mu\text{m}$ 以下、 $6\ \mu\text{m}$ 以上 $7\ \mu\text{m}$ 以下、 $7\ \mu\text{m}$ 以上 $8\ \mu\text{m}$ 以下、 $8\ \mu\text{m}$ 以上 $9\ \mu\text{m}$ 以下、および、 $9\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下のうちの少なくとも 1 つの範囲に属する値を有していてもよい。ボディ領域 20 の幅は、 $2\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であることが好ましい。

[0060] 複数のボディ領域 20 は、 $0.1\ \mu\text{m}$ 以上 $2.5\ \mu\text{m}$ 以下の厚さ（深さ）をそれぞれ有していてもよい。ボディ領域 20 の厚さは、 $0.1\ \mu\text{m}$ 以上 $0.5\ \mu\text{m}$ 以下、 $0.5\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下、 $1\ \mu\text{m}$ 以上 $1.5\ \mu\text{m}$ 以下、 $1.5\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下、および、 $2\ \mu\text{m}$ 以上 $2.5\ \mu\text{m}$ 以下のうちの少なくとも 1 つの範囲に属する値を有していてもよい。ボディ領域 20 の厚さは、 $0.5\ \mu\text{m}$ 以上 $1.5\ \mu\text{m}$ 以下であることが好ましい。

[0061] 複数のボディ領域 20 は、高濃度領域 10 と p n 接合部（p n 接合ダイオード：ボディダイオード）をそれぞれ形成している。複数のボディ領域 20 は、p n 接合部に対する逆バイアス電圧の印加時において高濃度領域 10 に空乏層を拡げる。空乏層は、第 1 主面 3 に沿う水平方向に関して高濃度領域 10 側から低濃度領域 11 側に向けて拡がる。

[0062] つまり、空乏層の範囲は、低濃度領域 11 によってチップ 2 の周縁部側に向けて拡張される。縦型構造を有するデバイス構造の場合、チップ 2 の周縁部側（外周領域 9 側）において横方向の耐圧が求められる。この点、低濃度領域 11 によれば、チップ 2 の周縁部側（外周領域 9 側）の耐圧が高められ、ブレークダウン電圧が向上される。

[0063] 空乏層は、この形態では、チップ 2 の厚さ方向に関して高濃度領域 10 から内側低濃度領域 13 に拡がる。つまり、空乏層の範囲は、内側低濃度領域 13 によって拡張される。縦型構造を有するデバイス構造の場合、チップ 2

の内方部（活性領域 8）側において縦方向の耐圧が求められる。この点、内側低濃度領域 13 によれば、チップ 2 の内方部側（活性領域 8 側）の耐圧が高められ、ブレイクダウン電圧が向上される。

[0064] 半導体装置 1 A は、外周領域 9 において第 1 主面 3 の表層部に形成された p 型のアウターボディ領域 21 を含む。アウターボディ領域 21 は、高濃度領域 10 の表層部および低濃度領域 11 の表層部のいずれか一方または双方に形成されている。アウターボディ領域 21 は、この形態では、高濃度領域 10 の表層部に形成されている。

[0065] アウターボディ領域 21 は、ボディ領域 20 の p 型不純物濃度とほぼ等しい p 型不純物濃度を有していることが好ましい。むろん、アウターボディ領域 21 の p 型不純物濃度は、ボディ領域 20 の p 型不純物濃度未満であってもよいし、ボディ領域 20 の p 型不純物濃度よりも高くてもよい。

[0066] アウターボディ領域 21 は、第 1 主面 3 の周縁（第 1 ～第 4 側面 5 A ～ 5 D）から活性領域 8 側に間隔を空けて高濃度領域 10 の表層部に形成され、活性領域 8 に沿って帯状に延びている。アウターボディ領域 21 は、平面視において第 1 方向 X に帯状に延びる部分および第 2 方向 Y に帯状に延びる部分を有し、活性領域 8 を複数方向から区画している。

[0067] アウターボディ領域 21 は、この形態では、平面視において活性領域 8 を取り囲み、第 1 主面 3 の周縁に平行な 4 辺を有する多角環状（この形態では四角環状）に区画されている。つまり、アウターボディ領域 21 は、活性領域 8 および外周領域 9 の境界部を形成している。アウターボディ領域 21 は、平面視において第 1 方向 X に延びる部分および第 2 方向 Y に延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図 6 参照）。

[0068] アウターボディ領域 21 は、活性領域 8 側の内縁部および第 1 主面 3 の周縁側の外縁部を有している。アウターボディ領域 21 の内縁部は、第 1 方向 X に延びる部分において複数のボディ領域 20 に接続されている。つまり、アウターボディ領域 21 は、高濃度領域 10 の表層部において複数のボディ

領域 20 に電氣的に接続されている。

[0069] アウターボディ領域 21 の外縁部は、高濃度領域 10 の周縁から活性領域 8 側に間隔を空けて形成されている。つまり、アウターボディ領域 21 の外縁部は、低濃度領域 11 から間隔を空けて形成されている。また、アウターボディ領域 21 の全域は、高濃度領域 10 内に位置されている。アウターボディ領域 21 のエッジ部は、高濃度領域 10 の表層部に位置されている。

[0070] アウターボディ領域 21 は、ボディ領域 20 の幅よりも大きい幅を有していることが好ましい。ボディ領域 20 の幅は、延在方向に直交する方向（つまり第 1 方向 X）の幅である。アウターボディ領域 21 の幅は、延在方向に直交する方向の幅である。むろん、アウターボディ領域 21 の幅は、ボディ領域 20 の幅とほぼ等しくてもよいし、ボディ領域 20 の厚さ未満であってもよい。

[0071] ボディ領域 20 の幅に対するアウターボディ領域 21 の幅の比は、1 以上 50 以下であってもよい。幅の比は、1 以上 10 以下、10 以上 20 以下、20 以上 30 以下、30 以上 40 以下、および、40 以上 50 以下のうちの少なくとも 1 つの範囲に属する値を有していてもよい。幅の比は、10 以上であることが好ましい。幅の比は、20 以上 40 以下であることが好ましい。

[0072] アウターボディ領域 21 は、高濃度領域 10 の底部から第 1 主面 3 側に間隔を空けて形成され、高濃度領域 10 の一部を挟んで内側低濃度領域 13（ベース領域 14）に対向している。アウターボディ領域 21 は、高濃度領域 10 の中間部から第 1 主面 3 側に間隔を空けて形成されていることが好ましい。むろん、アウターボディ領域 21 は、高濃度領域 10 の中間部の深さ位置を厚さ方向に横切っていてもよい。アウターボディ領域 21 は、第 1 主面 3 から露出している。

[0073] アウターボディ領域 21 は、ボディ領域 20 の厚さ（深さ）とほぼ等しい厚さ（深さ）を有していることが好ましい。むろん、アウターボディ領域 21 の厚さは、ボディ領域 20 の厚さ未満であってもよいし、ボディ領域 20

の厚さよりも大きくてもよい。

[0074] アウターボディ領域 21 は、高濃度領域 10 と p n 接合部（p n 接合ダイオード：ボディダイオード）を形成している。アウターボディ領域 21 は、p n 接合部に対する逆バイアス電圧の印加時において高濃度領域 10 に空乏層を拡げる。アウターボディ領域 21 の空乏層は、複数のボディ領域 20 の空乏層と一体化し、水平方向および厚さ方向に拡がる。アウターボディ領域 21 の空乏層の範囲は、低濃度領域 11 によってチップ 2 の周縁部側に向けて拡張される。これにより、チップ 2 の周縁部（外周領域 9）側においてブレークダウン電圧が向上される。

[0075] アウターボディ領域 21 の空乏層は、この形態では、チップ 2 の厚さ方向に関して高濃度領域 10 から内側低濃度領域 13 に拡がる。つまり、アウターボディ領域 21 空乏層の範囲は、内側低濃度領域 13 によって拡張される。これにより、チップ 2 の内方部側（活性領域 8 側）においてブレークダウン電圧が向上される。

[0076] 半導体装置 1 A は、第 1 主面 3 の表層部に形成された n 型の複数の表層ドリフト領域 22 を含む。複数の表層ドリフト領域 22 は、高濃度領域 10 の表層部において第 1 方向 X に隣り合う複数のボディ領域 20 の間の領域にそれぞれ区画されている。具体的には、複数の表層ドリフト領域 22 は、高濃度領域 10 の表層部において複数のボディ領域 20 およびアウターボディ領域 21 によってそれぞれ区画されている。

[0077] 複数の表層ドリフト領域 22 は、この形態では、高濃度領域 10 の一部からそれぞれなる。むしろ、複数の表層ドリフト領域 22 は、高濃度領域 10 の n 型不純物濃度よりも高い n 型不純物濃度を有していてもよいし、高濃度領域 10 の n 型不純物濃度よりも低い n 型不純物濃度を有していてもよい。

[0078] 複数の表層ドリフト領域 22 は、第 1 方向 X に間隔を空けて配列され、第 2 方向 Y に延びる帯状にそれぞれ形成されている。つまり、複数の表層ドリフト領域 22 は、第 2 方向 Y に延びるストライプ状に形成されている。複数の表層ドリフト領域 22 は、両サイドに位置された複数のボディ領域 20 と

n型（pnp型）のJFET構造を形成している。JFET構造のJFET抵抗成分は、高濃度領域10によって低減されている。

[0079] 複数の表層ドリフト領域22は、0.1 μm 以上5 μm 以下の幅を有していてもよい。表層ドリフト領域22の幅は、0.1 μm 以上0.5 μm 以下、0.5 μm 以上1 μm 以下、1 μm 以上1.5 μm 以下、1.5 μm 以上2 μm 以下、2 μm 以上2.5 μm 以下、2.5 μm 以上3 μm 以下、3 μm 以上3.5 μm 以下、3.5 μm 以上4 μm 以下、4 μm 以上4.5 μm 以下、および、4.5 μm 以上5 μm 以下のうちの少なくとも1つの範囲に属する値を有していてもよい。

[0080] 半導体装置1Aは、複数のボディ領域20の表層部にそれぞれ形成されたn型の複数のソース領域23、24を含む。複数のソース領域23、24は、高濃度領域10のn型不純物濃度よりも高いn型不純物濃度を有している。複数のソース領域23、24には、ソース電位が付与される。

[0081] 複数のソース領域23、24は、各ボディ領域20の表層部において、第1方向Xの一方側（第3側面5C側）に位置された第1ソース領域23および第1方向Xの他方側（第4側面5D側）に位置された第2ソース領域24を含む。この形態では、第1方向Xに関して、1つの第1ソース領域23がボディ領域20の一端側に形成され、1つの第2ソース領域24がボディ領域20の他端側に形成されている。

[0082] 第1ソース領域23は、ボディ領域20の一端から他端側に間隔を空けて形成され、ボディ領域20の延在方向に沿って帯状に延びている。第1ソース領域23は、アウターボディ領域21から第2方向Yに間隔を空けて形成されている。つまり、第1ソース領域23は、アウターボディ領域21には形成されていない。第1ソース領域23は、ボディ領域20の底部から第1主面3側に間隔を空けて形成され、ボディ領域20の一部を挟んで高濃度領域10に対向している。

[0083] 第2ソース領域24は、第1ソース領域23からボディ領域20の他端側に間隔を空けて形成されている。第2ソース領域24は、ボディ領域20の

他端から一端側に間隔を空けて形成され、ボディ領域 20 の延在方向に沿って帯状に延びている。第 2 ソース領域 24 は、アウターボディ領域 21 から第 2 方向 Y に間隔を空けて形成されている。つまり、第 2 ソース領域 24 は、アウターボディ領域 21 には形成されていない。第 2 ソース領域 24 は、ボディ領域 20 の底部から第 1 主面 3 側に間隔を空けて形成され、ボディ領域 20 の一部を挟んで高濃度領域 10 に対向している。

[0084] 複数の第 1 ソース領域 23 が 1 つのボディ領域 20 に形成される場合、複数の第 1 ソース領域 23 はボディ領域 20 の延在方向に間隔を空けて形成されていてもよい。この場合、各第 1 ソース領域 23 は、第 2 方向 Y に延びる帯状に形成されていてもよい。同様に、複数の第 2 ソース領域 24 が 1 つのボディ領域 20 に形成される場合、複数の第 2 ソース領域 24 はボディ領域 20 の延在方向に間隔を空けて形成されていてもよい。この場合、各第 2 ソース領域 24 は、第 2 方向 Y に延びる帯状に形成されていてもよい。

[0085] 半導体装置 1 A は、活性領域 8 において複数のボディ領域 20 の表層部にそれぞれ形成された p 型の複数のコンタクト領域 25 を含む。コンタクト領域 25 は、「バックゲート領域」と称されてもよい。複数のコンタクト領域 25 には、ソース電位が付与される。コンタクト領域 25 は、ボディ領域 20 の p 型不純物濃度よりも高い p 型不純物濃度を有している。

[0086] この形態では、1 つのコンタクト領域 25 が対応するボディ領域 20 の表層部において第 1 ソース領域 23 および第 2 ソース領域 24 の間の領域に介在されている。コンタクト領域 25 は、ボディ領域 20（ソース領域 23、24）の延在方向に沿って帯状に延びている。

[0087] コンタクト領域 25 は、アウターボディ領域 21 から第 2 方向 Y に間隔を空けて形成されている。つまり、コンタクト領域 25 は、アウターボディ領域 21 には形成されていない。コンタクト領域 25 は、ボディ領域 20 の底部から第 1 主面 3 側に間隔を空けて形成され、ボディ領域 20 の一部を挟んで高濃度領域 10 に対向している。

[0088] 複数のコンタクト領域 25 が 1 つのボディ領域 20 に形成される場合、複

数のコンタクト領域 25 はボディ領域 20 の延在方向に間隔を空けて形成されていてもよい。この場合、各コンタクト領域 25 は、第 2 方向 Y に延びる帯状に形成されていてもよい。

[0089] 半導体装置 1 A は、第 1 主面 3 の表層部に形成された p 型の複数のチャネル領域 26、27 を含む。複数のチャネル領域 26、27 は、複数のボディ領域 20 の表層部において複数のボディ領域 20 の端部（複数の表層ドリフト領域 22）および複数のソース領域 23、24 の周縁の間の領域にそれぞれ区画されている。複数のチャネル領域 26、27 は、この形態では、第 1 方向 X に間隔を空けて配列され、第 2 方向 Y に延びる帯状にそれぞれ形成されている。つまり、複数のチャネル領域 26、27 は、第 2 方向 Y に延びるストライプ状に配列されている。

[0090] 複数のチャネル領域 26、27 は、複数の第 1 チャネル領域 26 および複数の第 2 チャネル領域 27 を含む。複数の第 1 チャネル領域 26 は、複数のボディ領域 20 の一端（表層ドリフト領域 22）および複数の第 1 ソース領域 23 の間の領域にそれぞれ区画され、水平方向に延びる電流経路を形成する。複数の第 2 チャネル領域 27 は、複数のボディ領域 20 の他端（表層ドリフト領域 22）および複数の第 2 ソース領域 24 の間の領域にそれぞれ区画され、水平方向に延びる電流経路を形成する。

[0091] 半導体装置 1 A は、活性領域 8 において第 1 主面 3 の上に配置されたプレーナ電極型の複数のゲート構造 30 を含む。複数のゲート構造 30 は、第 1 方向 X に間隔を空けて配列され、第 2 方向 Y に延びる帯状にそれぞれ形成されている。つまり、複数のゲート構造 30 は、第 2 方向 Y に延びるストライプ状に配列されている。また、複数のゲート構造 30 の延在方向は、SiC 単結晶のオフ方向に一致している。

[0092] 各ゲート構造 30 は、少なくとも 1 つのチャネル領域 26、27 の上に配置されている。各ゲート構造 30 は、この形態では、1 つの表層ドリフト領域 22 を横切って隣り合う 2 つのボディ領域 20 に跨るように配置され、複数のチャネル領域 26、27 を被覆している。

- [0093] 具体的には、各ゲート構造30は、一方のボディ領域20側の第1ソース領域23および他方のボディ領域20側の第2ソース領域24に跨るように配置され、表層ドリフト領域22、第1ソース領域23、第2ソース領域24、第1チャネル領域26および第2チャネル領域27を被覆している。
- [0094] 以下、1つのゲート構造30の構成が説明される。ゲート構造30は、絶縁膜31およびゲート電極32を含む積層構造を有している。絶縁膜31は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含んでいてもよい。絶縁膜31は、この形態では、酸化シリコン膜からなる単層構造を有している。絶縁膜31は、チップ2の酸化物からなる酸化シリコン膜を含むことが特に好ましい。
- [0095] 絶縁膜31は、第1主面3を膜状に被覆し、少なくとも1つのチャネル領域26、27の上に配置されている。絶縁膜31は、この形態では、1つの表層ドリフト領域22を横切って隣り合う2つのボディ領域20に跨るように配置され、複数のチャネル領域26、27を被覆している。
- [0096] 具体的には、絶縁膜31は、一方のボディ領域20側の第1ソース領域23および他方のボディ領域20側の第2ソース領域24に跨るように配置され、表層ドリフト領域22、第1ソース領域23、第2ソース領域24、第1チャネル領域26および第2チャネル領域27を被覆している。
- [0097] 絶縁膜31は、コンタクト領域25から間隔を空けて第1ソース領域23を部分的に被覆し、第1主面3から第1ソース領域23の一部およびコンタクト領域25を露出させている。絶縁膜31は、コンタクト領域25から間隔を空けて第2ソース領域24を部分的に被覆し、第1主面3から第2ソース領域24の一部およびコンタクト領域25を露出させている。
- [0098] 絶縁膜31は、10nm以上150nm以下の厚さを有していてもよい。絶縁膜31の厚さは、10nm以上25nm以下、25nm以上50nm以下、50nm以上75nm以下、75nm以上100nm以下、100nm以上125nm以下、および、125nm以上150nm以下のうちの少なくとも1つの範囲に属する値を有していてもよい。絶縁膜31の厚さは、2

5 nm以上75 nm以下であることが好ましい。

[0099] ゲート電極32は、絶縁膜31の上に配置され、絶縁膜31を挟んで少なくとも1つのチャネル領域26、27に対向している。ゲート電極32には、制御電位としてのゲート電位が付与される。ゲート電極32は、p型の導電性ポリシリコンおよびn型の導電性ポリシリコンのうちのいずれか一方または双方を含んでいてもよい。ゲート電極32の導電型は、達成すべきゲート閾値電圧に応じて調節される。

[0100] ゲート電極32は、第2方向Yに延びる帯状に形成されている。ゲート電極32は、この形態では、第1方向Xに関して絶縁膜31の両端部から内方に間隔を空けて形成され、絶縁膜31の両端部を露出させている。ゲート電極32は、1つの表層ドリフト領域22を横切って隣り合う2つのボディ領域20に跨るように絶縁膜31の上に配置され、絶縁膜31を挟んで複数のチャネル領域26、27に対向している。

[0101] 具体的には、ゲート電極32は、一方のボディ領域20側の第1ソース領域23および他方のボディ領域20側の第2ソース領域24に跨るように配置され、絶縁膜31を挟んで表層ドリフト領域22、第1ソース領域23、第2ソース領域24、第1チャネル領域26および第2チャネル領域27に対向している。

[0102] ゲート電極32は、ゲート電位に応答してチャネル領域26、27の反転および非反転を制御する。ゲート電極32にゲート電位が付与されると、チャネル領域26、27がオン状態になり、チャネル領域26、27（ボディ領域20）を介して高濃度領域10およびソース領域23、24の間にドレイン電流が流れる。このように、チップ2の内方部（活性領域8）には、高濃度領域10を含むプレーナゲート型のトランジスタ構造Trが形成されている。

[0103] 図6～図11を参照して、半導体装置1Aは、外周領域9において第1主面3に形成されたp型の終端領域40を含む。終端領域40は、「ウェル領域」、「終端ウェル領域」等と称されてもよい。終端領域40は、外周領域

9において高濃度領域10の表層部および低濃度領域11の表層部のいずれか一方または双方に形成されている。終端領域40は、この形態では、外周領域9において高濃度領域10の表層部に形成されている。

[0104] 終端領域40は、ボディ領域20のp型不純物濃度とは異なるp型不純物濃度を有していてもよい。終端領域40のp型不純物濃度は、ボディ領域20のp型不純物濃度よりも高くてもよい。終端領域40のp型不純物濃度は、ボディ領域20のp型不純物濃度よりも低くてもよい。むろん、終端領域40のp型不純物濃度は、ボディ領域20のp型不純物濃度とほぼ等しくてもよい。

[0105] 終端領域40は、アウターボディ領域21のp型不純物濃度とは異なるp型不純物濃度を有していてもよい。終端領域40のp型不純物濃度は、アウターボディ領域21のp型不純物濃度よりも高くてもよい。終端領域40のp型不純物濃度は、アウターボディ領域21のp型不純物濃度よりも低くてもよい。むろん、終端領域40のp型不純物濃度は、アウターボディ領域21のp型不純物濃度とほぼ等しくてもよい。

[0106] 終端領域40は、第1主面3の周縁から内方に間隔を空けて、第1主面3の周縁およびアウターボディ領域21の間の領域に形成されている。終端領域40は、平面視においてアウターボディ領域21に沿って帯状に延びている。終端領域40は、平面視において第1方向Xに帯状に延びる部分および第2方向Yに帯状に延びる部分を有し、活性領域8を複数方向から区画している。

[0107] 終端領域40は、この形態では、平面視においてアウターボディ領域21を取り囲み、第1主面3の周縁に平行な4辺を有する多角環状（この形態では四角環状）に区画されている。終端領域40は、平面視において第1方向Xに延びる部分および第2方向Yに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図6参照）。

[0108] 終端領域40は、高濃度領域10の底部から第1主面3側に間隔を空けて形成され、高濃度領域10の一部を挟んで内側低濃度領域13に対向してい

る。終端領域40は、高濃度領域10の中間部から第1主面3側に間隔を空けて形成されていることが好ましい。むろん、終端領域40は、高濃度領域10の中間部の深さ位置を厚さ方向に横切っていてもよい。終端領域40は、アウターボディ領域21の厚さ（深さ）とほぼ等しい厚さ（深さ）を有していてもよい。終端領域40の厚さは、アウターボディ領域21の厚さよりも大きくてもよいし、アウターボディ領域21の厚さよりも小さくてもよい。

[0109] 終端領域40は、活性領域8側の内縁部および第1主面3の周縁側の外縁部を有している。終端領域40の内縁部は、高濃度領域10の表層部においてアウターボディ領域21の外縁部に接続されている。これにより、終端領域40は、アウターボディ領域21に電氣的に接続されている。つまり、終端領域40は、この形態では、アウターボディ領域21を介して複数のボディ領域20に電氣的に接続されている。

[0110] 終端領域40の内縁部は、この形態では、全周に亘ってアウターボディ領域21の外縁部に接続されている。終端領域40がアウターボディ領域21のp型不純物濃度とほぼ等しいp型不純物濃度を有している場合、終端領域40は、アウターボディ領域21の一部（引き出し部）と見做されてもよい。

[0111] 終端領域40（内縁部）は、高濃度領域10の表層部においてアウターボディ領域21の外縁部にオーバーラップしたオーバーラップ領域41を有している。オーバーラップ領域41は、アウターボディ領域21の外縁部および終端領域40の内縁部を含む高濃度な領域である。つまり、オーバーラップ領域41は、アウターボディ領域21のp型不純物および終端領域40のp型不純物の双方を含み、アウターボディ領域21のp型不純物濃度および終端領域40のp型不純物濃度の双方よりも高いp型不純物濃度を有している。

[0112] オーバーラップ領域41のp型不純物濃度は、ボディ領域20のp型不純物濃度よりも高い。オーバーラップ領域41のp型不純物濃度は、コンタクト領域25のp型不純物濃度未満であってもよい。むろん、オーバーラップ領域4

1のp型不純物濃度は、コンタクト領域25のp型不純物濃度よりも高くてもよい。

[0113] オーバラップ領域41は、平面視においてアウターボディ領域21に沿って帯状に延びている。オーバラップ領域41は、平面視において第1方向Xに帯状に延びる部分および第2方向Yに帯状に延びる部分を有し、活性領域8を複数方向から区画している。オーバラップ領域41は、この形態では、第1主面3の周縁に平行な4辺を有する多角環状（この形態では四角環状）に区画されている。

[0114] オーバラップ領域41は、平面視において第1方向Xに延びる部分および第2方向Yに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図6参照）。オーバラップ領域41の幅は、ボディ領域20の幅よりも大きいことが好ましい。むろん、オーバラップ領域41の幅は、ボディ領域20の幅未満であってもよい。

[0115] 終端領域40は、高濃度領域10とpn接合部（pn接合ダイオード：ボディダイオード）を形成している。終端領域40は、pn接合部に対する逆バイアス電圧の印加時において高濃度領域10に空乏層を拡げる。終端領域40の空乏層は、複数のボディ領域20の空乏層およびアウターボディ領域21の空乏層と一体化し、水平方向および厚さ方向に拡がる。終端領域40の空乏層の範囲は、低濃度領域11によってチップ2の周縁部側に向けて拡張される。これにより、チップ2の周縁部（外周領域9）側においてブレークダウン電圧が向上される。

[0116] 終端領域40の空乏層は、この形態では、チップ2の厚さ方向に関して高濃度領域10から内側低濃度領域13に拡がる。終端領域40の空乏層の範囲は、外周領域9においても内側低濃度領域13によって拡張される。これにより、チップ2の周縁部（外周領域9）側においてブレークダウン電圧が向上される。

[0117] 終端領域40の外縁部は、高濃度領域10の周縁部を横切り、低濃度領域11に位置されていることが好ましい。つまり、終端領域40は、外周領域

9において低濃度領域11の表層部に位置され、低濃度領域11とpn接合部を形成する部分（外縁部）を有していることが好ましい（図10参照）。
終端領域40の外縁部のエッジ部は、低濃度領域11の表層部に位置されている。

[0118] この構成によれば、空乏層が、終端領域40から低濃度領域11に直接拡がる。したがって、空乏層の範囲が、チップ2の周縁部（外周領域9）において適切に拡張される。むしろ、終端領域40の外縁部は、高濃度領域10の周縁部から活性領域8側に間隔を空けて形成され、高濃度領域10内に位置されていてもよい。

[0119] 半導体装置1Aは、オーバーラップ領域41に代えて比較的高濃度のp型のウェル領域（46）を有していてもよい。この場合、ウェル領域（46）は、アウターボディ領域21のp型不純物濃度および終端領域40のp型不純物濃度の双方よりも高いp型不純物濃度を有している。ウェル領域（46）のp型不純物濃度は、ボディ領域20のp型不純物濃度よりも高い。

[0120] ウェル領域（46）のp型不純物濃度は、コンタクト領域25のp型不純物濃度とほぼ等しくてもよい。むしろ、ウェル領域（46）のp型不純物濃度は、コンタクト領域25のp型不純物濃度未満であってもよいし、コンタクト領域25のp型不純物濃度よりも高くてもよい。

[0121] ウェル領域（46）は、アウターボディ領域21の表層部および終端領域40の表層部のいずれか一方または双方に形成されていてもよい。このような構成は、終端領域40が、アウターボディ領域21のp型不純物濃度とほぼ等しいp型不純物濃度を有し、アウターボディ領域21の一部（引き出し部）として形成されている場合に有効である。

[0122] 半導体装置1Aは、外周領域9において第1主面3の表層部に形成された少なくとも1つのp型のフィールド領域42を含む。複数のフィールド領域42は、電氣的に浮遊状態に形成されていてもよい。複数のフィールド領域42は、ソース電位に固定されていてもよい。

[0123] フィールド領域42の個数は任意である。フィールド領域42の個数は、

1個以上20個以下であってもよい。フィールド領域42の個数は、1個以上5個以下、5個以上10個以下、10個以上15個以下、および、15個以上20個以下のうちの少なくとも1つの範囲に属する値を有していてもよい。フィールド領域42の個数は、典型的には、1個以上8個以下である。半導体装置1Aは、この形態では、3個のフィールド領域42を含む。

[0124] 複数のフィールド領域42は、低濃度領域11の表層部に形成されている。複数のフィールド領域42は、第1主面3の周縁から内方に間隔を空けて第1主面3の周縁および活性領域8の間の領域に形成されている。複数のフィールド領域42は、第1主面3の周縁およびアウターボディ領域21の間の領域に形成されている。

[0125] 具体的には、複数のフィールド領域42は、第1主面3の周縁および高濃度領域10の間の領域において、高濃度領域10から第1主面3の周縁側に間隔を空けて配列されている。さらに具体的には、複数のフィールド領域42は、第1主面3の周縁および終端領域40の間の領域において、終端領域40から第1主面3の周縁側に間隔を空けて配列されている。つまり、複数のフィールド領域42は、高濃度領域10に形成されていない。

[0126] 複数のフィールド領域42は、平面視において活性領域8（終端領域40）に沿って延びる帯状に形成されている。複数のフィールド領域42は、第1方向Xに帯状に延びる部分、および、第2方向Yに帯状に延びる部分をそれぞれ有している。複数のフィールド領域42は、この形態では、平面視において活性領域8（終端領域40）を取り囲む多角環状（この形態では四角環状）に形成されている。

[0127] 複数のフィールド領域42は、第1方向Xに延びる部分および第2方向Yに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図6参照）。複数のフィールド領域42のエッジ部は、低濃度領域11の表層部に位置されている。複数のフィールド領域42は、低濃度領域11の底部から第1主面3側に間隔を空けて形成され、低濃度領域11の一部を挟んでベース領域14に対向している。

- [0128] 複数のフィールド領域42は、高濃度領域10の底部の深さ位置から第1主面3側に間隔を空けて形成されている。複数のフィールド領域42は、高濃度領域10の中間部の深さ位置から第1主面3側に間隔を空けて形成されていることが好ましい。むろん、複数のフィールド領域42は、高濃度領域10の中間部の深さ位置を厚さ方向に横切っていてもよい。
- [0129] 複数のフィールド領域42は、低濃度領域11とpn接合部（pn接合ダイオード）をそれぞれ形成している。複数のフィールド領域42は、逆バイアス電圧の印加時において低濃度領域11に向けて空乏層を拡げる。複数のフィールド領域42の空乏層は、終端領域40の空乏層と一体化し、水平方向および厚さ方向に拡がる。複数のフィールド領域42の空乏層の範囲は、低濃度領域11によって拡張される。これにより、チップ2の周縁部（外周領域9）側においてブレークダウン電圧が向上される。
- [0130] 低濃度領域11によれば、空乏層の範囲が拡張されるため、フィールド領域42の個数が削減され得る。これにより、チップ2に占める外周領域9の専有面積が削減され、チップ2に占める活性領域8の専有面積が増加される。したがって、活性領域8に形成されるトランジスタ構造Tr（デバイス構造）の電気的特性が向上される。このような構成は、チップ2の小型化を実現する上でも有効である。
- [0131] 複数のフィールド領域42の幅、深さ、間隔、p型不純物濃度等は任意であり、緩和すべき電界に応じて種々の値を取り得る。複数のフィールド領域42の幅は、ほぼ一定であってもよいし、不均一であってもよい。複数のフィールド領域42の幅は、第1主面3の周縁側に向けて徐々に増加していてもよい。複数のフィールド領域42の幅は、第1主面3の周縁側に向けて徐々に減少していてもよい。
- [0132] 複数のフィールド領域42の深さは、ほぼ一定であってもよいし、不均一であってもよい。複数のフィールド領域42の深さは、第1主面3の周縁側に向けて徐々に増加していてもよい。複数のフィールド領域42の深さは、第1主面3の周縁側に向けて徐々に減少していてもよい。むろん、複数のフ

ィールド領域 4 2 は、比較的浅い浅部および当該浅部よりも深い深部を有していてもよい。浅部は内方側に形成され、深部は周縁側に形成されていてもよい。浅部は周縁側に形成され、深部は内方側に形成されていてもよい。

[0133] 複数のフィールド領域 4 2 の間隔は、ほぼ一定であってもよいし、不均一であってもよい。複数のフィールド領域 4 2 の間隔は、第 1 主面 3 の周縁側に向けて徐々に増加していてもよい。複数のフィールド領域 4 2 の間隔は、第 1 主面 3 の周縁側に向けて徐々に減少していてもよい。

[0134] 複数のフィールド領域 4 2 の p 型不純物濃度は、ほぼ一定であってもよいし、不均一であってもよい。複数のフィールド領域 4 2 の p 型不純物濃度は、第 1 主面 3 の周縁側に向けて徐々に増加していてもよい。複数のフィールド領域 4 2 の p 型不純物濃度は、第 1 主面 3 の周縁側に向けて徐々に減少していてもよい。

[0135] 複数のフィールド領域 4 2 の p 型不純物濃度は、ボディ領域 2 0（アウターボディ領域 2 1）の p 型不純物濃度とほぼ等しくてもよい。複数のフィールド領域 4 2 の p 型不純物濃度は、ボディ領域 2 0（アウターボディ領域 2 1）の p 型不純物濃度よりも高くてもよいし、ボディ領域 2 0（アウターボディ領域 2 1）の p 型不純物濃度よりも低くてもよい。複数のフィールド領域 4 2 の p 型不純物濃度は、終端領域 4 0 の p 型不純物濃度とほぼ等しくてもよい。複数のフィールド領域 4 2 の p 型不純物濃度は、終端領域 4 0 の p 型不純物濃度よりも高くてもよいし、終端領域 4 0 の p 型不純物濃度よりも低くてもよい。

[0136] 半導体装置 1 A は、外周領域 9 において第 1 主面 3 を被覆する外周絶縁膜 4 3 を含む。外周絶縁膜 4 3 は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも 1 つを含んでいてもよい。外周絶縁膜 4 3 は、この形態では、酸化シリコン膜からなる単層構造を有している。外周絶縁膜 4 3 は、チップ 2 の酸化物からなる酸化シリコン膜を含むことが特に好ましい。外周絶縁膜 4 3 は、絶縁膜 3 1 の絶縁材料と同種の絶縁材料からなることが好ましい。外周絶縁膜 4 3 は、絶縁膜 3 1 の厚さとほぼ等しい厚

さを有していることが好ましい。

[0137] 外周絶縁膜 4 3 は、外周領域 9 において第 1 主面 3 を膜状に被覆している。外周絶縁膜 4 3 は、高濃度領域 1 0、低濃度領域 1 1、アウターボディ領域 2 1、終端領域 4 0 および複数のフィールド領域 4 2 を一括して被覆している。外周絶縁膜 4 3 は、活性領域 8 側において複数の絶縁膜 3 1 に接続されている。具体的には、外周絶縁膜 4 3 は、複数の絶縁膜 3 1 と一体的に形成され、複数の絶縁膜 3 1 と 1 つの絶縁膜を形成している。

[0138] 半導体装置 1 A は、外周領域 9 において第 1 主面 3 の上に配置されたゲート配線 4 4 を含む。ゲート配線 4 4 は、第 1 主面 3 の上に選択的に引き回され、複数のゲート電極 3 2 とは異なる方向に延びる部分を有している。ゲート配線 4 4 は、複数のゲート電極 3 2 に接続され、複数のゲート電極 3 2 にゲート信号を付与する。ゲート配線 4 4 は、「第 2 ゲート電極」等と称されてもよい。

[0139] ゲート配線 4 4 は、p 型の導電性ポリシリコンおよび n 型の導電性ポリシリコンのうちのいずれか一方または双方を含んでいてもよい。ゲート配線 4 4 は、ゲート電極 3 2 の導電型と同じ導電型を有していることが好ましい。

[0140] ゲート配線 4 4 は、外周領域 9 において第 1 主面 3 の周縁から活性領域 8 側に間隔を空けて外周絶縁膜 4 3 の上に配置されている。具体的には、ゲート配線 4 4 は、平面視において低濃度領域 1 1 から活性領域 8 側に間隔を空けて配置されている。ゲート配線 4 4 は、この形態では、終端領域 4 0 から活性領域 8 側に間隔を空けて配置され、外周絶縁膜 4 3 のうちアウターボディ領域 2 1 を被覆する部分の上に配置されている。

[0141] つまり、ゲート配線 4 4 は、外周絶縁膜 4 3 を挟んでアウターボディ領域 2 1 に対向している。また、ゲート配線 4 4 は、積層方向に高濃度領域 1 0（内側低濃度領域 1 3）に対向し、積層方向に低濃度領域 1 1 に対向していない。ゲート配線 4 4 は、積層方向に終端領域 4 0 に部分的に対向しているもよい。

[0142] ゲート配線 4 4 は、平面視において活性領域 8 に沿って帯状に延びている

。ゲート配線44は、平面視において第1方向Xに帯状に延びる部分および第2方向Yに帯状に延びる部分を有し、活性領域8を複数方向から区画している。ゲート配線44は、この形態では、平面視において活性領域8を取り囲み、第1主面3の周縁に平行な4辺を有する多角環状（この形態では四角環状）に区画されている。ゲート配線44は、有端状または無端状であってもよい。

[0143] ゲート配線44は、この形態では、平面視においてアウターボディ領域21に沿って帯状（この形態では環状）に延び、延在方向の全域に亘って積層方向に外周絶縁膜43を挟んでアウターボディ領域21に対向している。ゲート配線44は、平面視において第1方向Xに延びる部分および第2方向Yに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図6参照）。

[0144] ゲート配線44は、平面視においてアウターボディ領域21よりも幅狭に形成され、アウターボディ領域21の内縁部および外縁部から間隔を空けてアウターボディ領域21の上に配置されている。つまり、この形態では、複数のゲート電極32がアウターボディ領域21の上まで引き出され、ゲート配線44がアウターボディ領域21の上で複数のゲート電極32に接続されている。

[0145] ゲート配線44の厚さは、ゲート電極32の厚さとほぼ等しいことが好ましい。ゲート配線44の幅は、ゲート電極32の幅よりも大きいことが好ましい。ゲート配線44の幅は、延在方向に直交する方向の幅である。たとえば、ゲート電極32の幅に対するゲート配線44の幅の比は、1以上50以下であってもよい。

[0146] 幅の比は、1以上10以下、10以上20以下、20以上30以下、30以上40以下、および、40以上50以下のうちの少なくとも1つの範囲に属する値を有していてもよい。幅の比は、5以上であってもよい。幅の比は、20以上40以下であってもよい。むろん、ゲート配線44の幅は、ゲート電極32の幅以下であってもよい。ゲート配線44の幅は、アウターボデ

ィ領域 21 の幅よりも大きくてもよい。

[0147] 半導体装置 1A は、第 1 主面 3 を被覆する絶縁性の層間膜 50 を含む。層間膜 50 は、「層間絶縁膜」、「中間絶縁膜」等と称されてもよい。層間膜 50 は、第 1 主面 3 に沿って延びる絶縁面 51 を有している。層間膜 50 は、第 1 主面 3 の上で活性領域 8 および外周領域 9 を一括して被覆している。

[0148] 層間膜 50 は、活性領域 8 において複数のゲート構造 30 を被覆している。層間膜 50 は、外周領域 9 において外周絶縁膜 43 を挟んで高濃度領域 10、低濃度領域 11、アウターボディ領域 21、終端領域 40 および複数のフィールド領域 42 を一括して被覆している。層間膜 50 は、外周領域 9 においてゲート配線 44 を被覆している。層間膜 50 は、第 1～第 4 側面 5A～5D に連なっている。層間膜 50 は、第 1～第 4 側面 5A～5D から内方に間隔を空けて形成され、第 1 主面 3 の周縁部（低濃度領域 11）を露出させていてもよい。

[0149] 層間膜 50 は、この形態では、第 1 主面 3 側からこの順に積層された第 1 酸化膜 52（第 1 絶縁膜）および第 2 酸化膜 53（第 2 絶縁膜）を含む積層構造を有している。つまり、層間膜 50 は、第 2 酸化膜 53 によって形成された絶縁面 51 を有している。第 1 酸化膜 52 は、不純物無添加の酸化シリコン膜からなる単層構造を有している。第 1 酸化膜 52 は、NSG 膜（Nondoped Silicate Glass film）と称されてもよい。第 1 酸化膜 52 は、この形態では、ゲート電極 32 の厚さ未満の厚さを有している。むしろ、第 1 酸化膜 52 の厚さは、ゲート電極 32 の厚さよりも大きくてもよい。

[0150] 第 1 酸化膜 52 は、活性領域 8 および外周領域 9 を一括して被覆している。第 1 酸化膜 52 は、活性領域 8 において複数のゲート構造 30 を一括して被覆している。第 1 酸化膜 52 は、各ゲート構造 30 に関して、絶縁膜 31 およびゲート電極 32 の双方を膜状に被覆している。

[0151] 第 1 酸化膜 52 は、絶縁膜 31（第 1 主面 3）を水平方向に沿って膜状に被覆する部分を有している。第 1 酸化膜 52 は、ゲート電極 32 の電極面（上端）の高さ位置から絶縁膜 31 側に間隔を空けて絶縁膜 31 を被覆してい

る。第1酸化膜52は、ゲート電極32の側壁に沿って積層方向に膜状に延びる部分を有している。

[0152] 第1酸化膜52は、ゲート電極32の電極面を水平方向に沿って膜状に被覆する部分を有している。第1酸化膜52は、ゲート電極32の角部を被覆する部分において円弧状に湾曲した円弧角部を有していることが好ましい。円弧角部は、ゲート電極32側に曲率中心を有していてもよい。

[0153] 第1酸化膜52は、外周領域9において外周絶縁膜43を挟んで高濃度領域10、低濃度領域11、アウターボディ領域21、終端領域40および複数のフィールド領域42を一括して被覆している。第1酸化膜52は、外周領域9においてゲート配線44を被覆している。

[0154] 第1酸化膜52は、外周絶縁膜43（第1主面3）を水平方向に沿って膜状に被覆する部分を有している。第1酸化膜52は、ゲート配線44の配線面（上端）の高さ位置から外周絶縁膜43側に間隔を空けて外周絶縁膜43を被覆している。第1酸化膜52は、ゲート配線44の側壁に沿って積層方向に膜状に延びる部分を有している。

[0155] 第1酸化膜52は、ゲート配線44の配線面を水平方向に沿って膜状に被覆する部分を有している。第1酸化膜52は、ゲート配線44の角部を被覆する部分において円弧状に湾曲した円弧角部を有していることが好ましい。円弧角部は、ゲート配線44側に曲率中心を有していてもよい。

[0156] 第2酸化膜53は、燐を含有する酸化シリコン膜からなる単層構造、または、燐を含有する酸化シリコン膜を含む積層構造を有していてもよい。燐を含有する酸化シリコン膜は、ホウ素を含有していてもよい。燐を含有する酸化シリコン膜は、P S G膜（Phosphorus Silicon Glass film）と称されてもよい。燐およびホウ素の双方を含有する酸化シリコン膜は、B P S G膜（Boron Phosphorus Silicon Glass film）と称されてもよい。

[0157] 第2酸化膜53は、第1酸化膜52の上に積層されたP S G膜またはB P S G膜からなる単層構造を有していてもよい。第2酸化膜53は、第1酸化膜52の上に積層されたP S G膜、および、P S G膜の上に積層されたB P

S G膜を含む積層構造を有していてもよい。第2酸化膜53は、第1酸化膜52の上に積層されたB P S G膜、および、B P S G膜の上に積層されたP S G膜を含む積層構造を有していてもよい。

[0158] 第2酸化膜53は、この形態では、一例としてP S G膜からなる単層構造を有している。第2酸化膜53の厚さは、第1酸化膜52の厚さよりも大きくてもよい。第2酸化膜53は、第1酸化膜52の厚さ未満の厚さを有していてもよい。第2酸化膜53の厚さは、ゲート電極32の厚さよりも大きくてもよい。第2酸化膜53は、ゲート電極32の厚さ未満の厚さを有していてもよい。

[0159] 第2酸化膜53は、第1酸化膜52を膜状に被覆し、第1酸化膜52を挟んで活性領域8および外周領域9を一括して被覆している。第2酸化膜53は、活性領域8において第1酸化膜52を挟んで複数のゲート構造30を一括して被覆している。具体的には、第2酸化膜53は、第1酸化膜52を挟んで絶縁膜31およびゲート電極32の双方を膜状に被覆している。

[0160] 第2酸化膜53は、第1酸化膜52を挟んで絶縁膜31を被覆する部分を有している。第2酸化膜53は、ゲート電極32の側壁に沿って積層方向に膜状に延び、第1酸化膜52を挟んでゲート電極32の側壁を被覆する部分を有している。第2酸化膜53は、ゲート電極32の電極面に沿って水平方向に沿って膜状に延び、第1酸化膜52を挟んでゲート電極32の電極面を被覆する部分を有している。第2酸化膜53は、ゲート電極32の角部を被覆する部分において円弧状に湾曲した円弧角部を有していることが好ましい。円弧角部は、ゲート電極32側に曲率中心を有していてもよい。

[0161] 第2酸化膜53は、外周領域9において外周絶縁膜43および第1酸化膜52を挟んで高濃度領域10、低濃度領域11、アウターボディ領域21、終端領域40および複数のフィールド領域42を一括して被覆している。第2酸化膜53は、外周領域9において第1酸化膜52を挟んでゲート配線44を被覆している。

[0162] 第2酸化膜53は、第1酸化膜52を挟んで外周絶縁膜43を被覆する部

分を有している。第2酸化膜53は、ゲート配線44の側壁に沿って積層方向に膜状に延び、第1酸化膜52を挟んでゲート配線44の側壁を被覆する部分を有している。第2酸化膜53は、ゲート配線44の配線面に沿って水平方向に膜状に延び、第1酸化膜52を挟んでゲート配線44の配線面を被覆する部分を有している。第2酸化膜53は、ゲート配線44の角部を被覆する部分において円弧状に湾曲した円弧角部を有していることが好ましい。円弧角部は、ゲート配線44側に曲率中心を有していてもよい。

[0163] 半導体装置1Aは、活性領域8において層間膜50に形成された複数のソース開口54を含む。複数のソース開口54は、複数のゲート電極32から間隔を空けて複数のゲート電極32の側方の領域にそれぞれ形成され、第1主面3（チップ2）を露出させている。具体的には、複数のソース開口54は、複数のゲート電極32の間の領域において絶縁膜31および層間膜50を貫通している。

[0164] 複数のソース開口54は、第1酸化膜52および第2酸化膜53の双方を貫通し、第1酸化膜52および第2酸化膜53の双方によって区画された壁面を有している。複数のソース開口54は、層間膜50の円弧角部によって区画された開口端をそれぞれ有している。複数のソース開口54は、対応する複数のソース領域23、24およびコンタクト領域25をそれぞれ露出させている。

[0165] 複数のソース開口54は、この形態では、第1方向Xに間隔を空けて形成され、第2方向Yに延びる帯状にそれぞれ形成されている。つまり、複数のソース開口54は、第2方向Yに延びるストライプ状に形成されている。複数のソース開口54は、ゲート配線44から第2方向Yに間隔を空けて形成されている。つまり、複数のソース開口54は、複数のゲート電極32およびゲート配線44によって取り囲まれた領域に形成されている。

[0166] 複数のソース開口54が第1方向Xに隣り合う2つのゲート構造30の間の領域に形成されていてもよい。この場合、複数のソース開口54は、第2方向Yに一行に間隔を空けて形成されていてもよい。さらにこの場合、各ソ

ース開口54は、平面視において四角形状（正形状）、第1方向Xに延びる長形状、第2方向Yに延びる長形状、六角形状、円形状等に形成されていてもよい。

[0167] ソース開口54は、 $0.1\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下の幅Wを有していてもよい。ソース開口54の幅Wは、 $0.1\ \mu\text{m}$ 以上 $0.25\ \mu\text{m}$ 以下、 $0.25\ \mu\text{m}$ 以上 $0.5\ \mu\text{m}$ 以下、 $0.5\ \mu\text{m}$ 以上 $0.75\ \mu\text{m}$ 以下、 $0.75\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下、 $1\ \mu\text{m}$ 以上 $1.25\ \mu\text{m}$ 以下、 $1.25\ \mu\text{m}$ 以上 $1.5\ \mu\text{m}$ 以下、 $1.5\ \mu\text{m}$ 以上 $1.75\ \mu\text{m}$ 以下、 $1.75\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下、 $2\ \mu\text{m}$ 以上 $2.25\ \mu\text{m}$ 以下、 $2.25\ \mu\text{m}$ 以上 $2.5\ \mu\text{m}$ 以下、 $2.5\ \mu\text{m}$ 以上 $2.75\ \mu\text{m}$ 以下、および、 $2.75\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下のうちの少なくとも1つの範囲に属する値を有していてもよい。ソース開口54の幅Wは、 $0.2\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下であることが好ましい。

[0168] ソース開口54は、 $0.1\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下の深さDを有していてもよい。ソース開口54の深さDは、 $0.1\ \mu\text{m}$ 以上 $0.25\ \mu\text{m}$ 以下、 $0.25\ \mu\text{m}$ 以上 $0.5\ \mu\text{m}$ 以下、 $0.5\ \mu\text{m}$ 以上 $0.75\ \mu\text{m}$ 以下、 $0.75\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下、 $1\ \mu\text{m}$ 以上 $1.25\ \mu\text{m}$ 以下、 $1.25\ \mu\text{m}$ 以上 $1.5\ \mu\text{m}$ 以下、 $1.5\ \mu\text{m}$ 以上 $1.75\ \mu\text{m}$ 以下、および、 $1.75\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下のうちの少なくとも1つの範囲に属する値を有していてもよい。ソース開口54の深さDは、 $0.5\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下であることが好ましい。

[0169] ソース開口54は、 0.5 以上 3 以下のアスペクト比 D/W を有していることが好ましい。アスペクト比 D/W は、ソース開口54の幅Wに対するソース開口54の深さDの比によって定義される。アスペクト比 D/W は、 0.5 以上 0.75 以下、 0.75 以上 1 以下、 1 以上 1.25 以下、 1.25 以上 1.5 以下、 1.5 以上 1.75 以下、 1.75 以上 2 以下、 2 以上 2.25 以下、 2.25 以上 2.5 以下、 2.5 以上 2.75 以下、および、 2.75 以上 3 以下のうちの少なくとも1つの範囲に属する値を有していてもよい。

- [0170] アスペクト比 D/W は、1よりも大きいことが好ましい。つまり、複数のソース開口54は、幅 W よりも大きい深さ D を有し、断面視において縦長形状にそれぞれ形成されていることが好ましい。この構成によれば、複数のゲート構造30が狭ピッチで配列される。縦長のソース開口54のアスペクト比 D/W は、1より大きく2以下であることが好ましい。
- [0171] 半導体装置1Aは、第1主面3において複数のソース開口54から露出した部分にそれぞれ形成された複数のソースリセス55を含む。半導体装置1Aは、必ずしもソースリセス55を有している必要はない。したがって、ソースリセス55を有さない構成が採用されてもよい。
- [0172] 複数のソースリセス55は、対応するソース開口54の平面形状に整合する平面形状をそれぞれ有し、第1主面3から第2主面4側に向けて窪んでいる。複数のソースリセス55は、対応するボディ領域20の底部から第1主面3側に間隔を空けて形成され、対応する複数のソース領域23、24およびコンタクト領域25をそれぞれ露出させている。具体的には、複数のソースリセス55は、対応する複数のソース領域23、24（コンタクト領域25）の底部から第1主面3側に間隔を空けて形成されている。
- [0173] 半導体装置1Aは、外周領域9において層間膜50に形成された少なくとも1つ（この形態では複数）の OUTER 開口56を含む。複数の OUTER 開口56は、層間膜50において終端領域40を被覆する部分に形成されている。複数の OUTER 開口56は、層間膜50を貫通し、終端領域40を露出させている。複数の OUTER 開口56は、この形態では、層間膜50において終端領域40のオーバーラップ領域41を被覆する部分に形成され、オーバーラップ領域41を露出させている。
- [0174] 複数の OUTER 開口56は、終端領域40（オーバーラップ領域41）に代えてまたはこれに加えて、OUTER ボディ領域21を露出させていてもよい。複数の OUTER 開口56は、第1酸化膜52および第2酸化膜53の双方を貫通し、第1酸化膜52および第2酸化膜53の双方によって区画された壁面を有している。複数の OUTER 開口56は、層間膜50の円弧角部によ

って区画された開口端をそれぞれ有している。

[0175] 複数のアウター開口 5 6 は、終端領域 4 0（オーバーラップ領域 4 1）に沿って間隔を空けて形成されている（図 6 および図 7 参照）。複数のアウター開口 5 6 は、平面視において四角形状（正形状）、長方形、六角形状、円形状等に形成されていてもよい。複数のアウター開口 5 6 は、平面視において終端領域 4 0（オーバーラップ領域 4 1）に沿って延びる帯状に形成されていてもよい。アウター開口 5 6 は、ソース開口 5 4 と同様、アスペクト比 D/W （ $=0.5$ 以上 3 以下：好ましくは 1 よりも大きい）を有していてもよい。

[0176] 半導体装置 1 A は、単一のアウター開口 5 6 を有していてもよい。単一のアウター開口 5 6 は、終端領域 4 0（オーバーラップ領域 4 1）に沿って延びる帯状に形成されていてもよい。単一のアウター開口 5 6 は、平面視において第 1 方向 X に帯状に延びる部分および第 2 方向 Y に帯状に延びる部分を有していてもよい。

[0177] 単一のアウター開口 5 6 は、第 1 主面 3 の周縁に平行な 4 辺を有する有端状または無端状の多角環状（この形態では四角環状）に形成されていてもよい。単一のアウター開口 5 6 は、平面視において終端領域 4 0（オーバーラップ領域 4 1）に倣って第 1 方向 X に延びる部分および第 2 方向 Y に延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図 6 参照）。

[0178] 半導体装置 1 A は、第 1 主面 3 において複数のアウター開口 5 6 から露出した部分にそれぞれ形成された複数のアウターリセス 5 7 を含む。半導体装置 1 A は、必ずしもアウターリセス 5 7 を有している必要はない。したがって、アウターリセス 5 7 を有さない構成が採用されてもよい。

[0179] 複数のアウターリセス 5 7 は、対応するアウター開口 5 6 の平面形状に整合する平面形状をそれぞれ有し、第 1 主面 3 から第 2 主面 4 側に向けて窪んでいる。複数のアウターリセス 5 7 は、終端領域 4 0（オーバーラップ領域 4 1）の底部から第 1 主面 3 側に間隔を空けて形成され終端領域 4 0（オーバ

ラップ領域 4 1) をそれぞれ露出させている。アウターリセス 5 7 は、ソースリセス 5 5 の深さとほぼ等しい深さを有していてもよい。単一のアウター開口 5 6 が形成される場合、単一のアウター開口 5 6 の平面形状に整合する単一のアウターリセス 5 7 が形成される。

[0180] 半導体装置 1 A は、外周領域 9 において層間膜 5 0 に形成された少なくとも 1 つ（この形態では複数）のゲート開口 5 8 を含む。複数のゲート開口 5 8 は、層間膜 5 0 においてゲート配線 4 4 を被覆する部分に形成されている。複数のゲート開口 5 8 は、層間膜 5 0 を貫通し、ゲート配線 4 4 を露出させている。複数のゲート開口 5 8 は、第 1 酸化膜 5 2 および第 2 酸化膜 5 3 の双方を貫通し、第 1 酸化膜 5 2 および第 2 酸化膜 5 3 の双方によって区画された壁面を有している。複数のゲート開口 5 8 は、層間膜 5 0 の円弧角部によって区画された開口端をそれぞれ有している。

[0181] 複数のゲート開口 5 8 は、ゲート配線 4 4 に沿って間隔を空けて形成されている（図 6 および図 7 参照）。複数のゲート開口 5 8 は、平面視において四角形状（正形状）、長方形形状、六角形状、円形状等に形成されていてもよい。複数のゲート開口 5 8 は、平面視においてゲート配線 4 4 に沿って延びる帯状に形成されていてもよい。ゲート開口 5 8 は、ソース開口 5 4 と同様、アスペクト比 D/W ($= 0.5$ 以上 3 以下：好ましくは 1 よりも大きい) を有していてもよい。

[0182] 半導体装置 1 A は、単一のゲート開口 5 8 を有していてもよい。単一のゲート開口 5 8 は、ゲート配線 4 4 に沿って延びる帯状に形成されていてもよい。単一のゲート開口 5 8 は、平面視において第 1 方向 X に帯状に延びる部分および第 2 方向 Y に帯状に延びる部分を有していてもよい。

[0183] 単一のゲート開口 5 8 は、第 1 主面 3 の周縁に平行な 4 辺を有する有端状または無端状の多角環状（この形態では四角環状）に形成されていてもよい。単一のゲート開口 5 8 は、平面視においてゲート配線 4 4 に倣って第 1 方向 X に延びる部分および第 2 方向 Y に延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図 6 参照）。

- [0184] 図1等を参照して、半導体装置1Aは、層間膜50の上に配置されたソースパッド電極60を含む。ソースパッド電極60は、外部からソース電位が付与される端子電極である。ソースパッド電極60は、「第1パッド電極」、「第1主面電極」、「第1端子電極」等と称されてもよい。
- [0185] ソースパッド電極60は、層間膜50のうち活性領域8を被覆する部分の上に配置されている。ソースパッド電極60は、層間膜50を挟んで複数のゲート電極32を被覆し、層間膜50によって複数のゲート電極32から電氣的に切り離されている。ソースパッド電極60は、複数のソース開口54を介して複数のボディ領域20、アウターボディ領域21、複数のソース領域23、24、コンタクト領域25等に電氣的に接続されている。
- [0186] ソースパッド電極60は、この形態では、第1パッド部60a、第2パッド部60bおよび第3パッド部60cを有している。第1パッド部60aは、比較的大きな平面積を有し、ソースパッド電極60の本体を形成している。第1パッド部60aは、この形態では、平面視においてチップ2の周縁に平行な4辺を有する多角形状（この形態では四角形状）に形成され、活性領域8の中央部に対して第4側面5D側に偏在されている。第1パッド部60aは、層間膜50を挟んで複数のゲート電極32を被覆し、複数のソース開口54を介して複数のボディ領域20等に電氣的に接続されている。
- [0187] 第2パッド部60bは、第1パッド部60aの平面積未満の平面積を有し、第1パッド部60aの第2方向Yの一端部（第1側面5A側の端部）から第3側面5C側に向けて帯状（四角形状）に引き出されている。第2パッド部60bは、層間膜50を挟んで複数のゲート電極32を被覆し、複数のソース開口54を介して複数のボディ領域20等に電氣的に接続されている。
- [0188] 第3パッド部60cは、第1パッド部60aの平面積未満の平面積を有し、第1パッド部60aの第2方向Yの他端部（第2側面5B側の端部）から第3側面5C側に向けて帯状（四角形状）に引き出され、第2方向Yに第2パッド部60bに対向している。第3パッド部60cは、層間膜50を挟んで複数のゲート電極32を被覆し、複数のソース開口54を介して複数のボ

ディ領域20等に電氣的に接続されている。

[0189] 第3パッド部60cの平面積は、第2パッド部60bの平面積とほぼ等しくてもよい。むろん、第3パッド部60cの平面積は、第2パッド部60bの平面積よりも大きくてもよいし、第2パッド部60bの平面積未満であってもよい。第2パッド部60bおよび第3パッド部60cのいずれか一方または双方は、電流モニタ用の端子部として使用されてもよい。

[0190] ソースパッド電極60は、必ずしも第2パッド部60bおよび第3パッド部60cの双方を同時に有している必要はない。ソースパッド電極60は、第2パッド部60bおよび第3パッド部60cのうちのいずれ一方のみを有していてもよい。むろん、ソースパッド電極60は、第1パッド部60aのみからなり、第2パッド部60bおよび第3パッド部60cを有していなくてもよい。

[0191] 図8および図9を参照して、ソースパッド電極60は、第1下地電極膜61、複数の第1埋設電極62および第1主電極膜63を含む。第1下地電極膜61は「ソース下地電極膜」と称され、第1埋設電極62は「ソース埋設電極」と称され、第1主電極膜63は「ソース主電極膜」と称されてもよい。

[0192] 第1下地電極膜61は、ソースパッド電極60（第1パッド部60a、第2パッド部60bおよび第3パッド部60c）の下層部を形成し、活性領域8において層間膜50を被覆している。第1下地電極膜61は、層間膜50のうち複数のソース開口54が形成された領域を一括して膜状に被覆し、絶縁面51の上から複数のソース開口54内に入り込んでいる。

[0193] 第1下地電極膜61は、絶縁面51を膜状に被覆する部分、および、複数のソース開口54の壁面を膜状に被覆する部分を有している。第1下地電極膜61は、層間膜50を挟んでゲート配線44を被覆する部分を有していてもよい。第1下地電極膜61は、平面視においてゲート配線44から内方に間隔を空けて形成されていてもよい。

[0194] 第1下地電極膜61は、この形態では、層間膜50の上に積層された第1

電極膜 64、および、第 1 電極膜 64 の上に積層された第 2 電極膜 65 を含む積層構造を有している。この形態では、第 1 電極膜 64 は Ti 膜を含み、第 2 電極膜 65 は TiN 膜を含む。第 1 下地電極膜 61 は、必ずしも積層構造を有している必要はなく、第 1 電極膜 64 (Ti 膜) および第 2 電極膜 65 (TiN 膜) のいずれか一方からなる単層構造を有していてもよい。

[0195] 第 1 電極膜 64 の厚さは、10 nm 以上 100 nm 以下であってもよい。第 1 電極膜 64 の厚さは、10 nm 以上 25 nm 以下、25 nm 以上 50 nm 以下、50 nm 以上 75 nm 以下、および、75 nm 以上 100 nm 以下のうちの少なくとも 1 つの範囲に属する値を有していてもよい。

[0196] 第 2 電極膜 65 の厚さは、50 nm 以上 200 nm 以下であってもよい。第 2 電極膜 65 の厚さは、50 nm 以上 75 nm 以下、75 nm 以上 100 nm 以下、100 nm 以上 125 nm 以下、125 nm 以上 150 nm 以下、150 nm 以上 175 nm 以下、および、175 nm 以上 200 nm 以下のうちの少なくとも 1 つの範囲に属する値を有していてもよい。第 2 電極膜 65 の厚さは、第 1 電極膜 64 の厚さよりも大きいことが好ましい。

[0197] 第 1 電極膜 64 は、層間膜 50 のうち複数のソース開口 54 が形成された領域を一括して膜状に被覆し、絶縁面 51 の上から複数のソース開口 54 に入り込んでいる。第 1 電極膜 64 は、絶縁面 51 を膜状に被覆する部分、および、複数のソース開口 54 の壁面を膜状に被覆する部分を有している。第 1 電極膜 64 は、絶縁面 51 (第 2 酸化膜 53) を直接被覆し、層間膜 50 を挟んで複数のゲート電極 32 に対向している。

[0198] 第 1 電極膜 64 は、層間膜 50 (第 2 酸化膜 53) の円弧角部に倣って当該円弧角部を膜状に被覆し、ソース開口 54 に入り込んでいる。第 1 電極膜 64 は、円弧角部において円弧状に延びる部分を有している。これにより、層間膜 50 (ソース開口 54 の壁面) に対する第 1 電極膜 64 の成膜性が向上されている。

[0199] 第 1 電極膜 64 は、ソース開口 54 の壁面に沿って延び、絶縁膜 31、第 1 酸化膜 52 および第 2 酸化膜 53 を被覆している。第 1 電極膜 64 は、層

間膜 50 を挟んでゲート電極 32 の側壁に対向している。第 1 電極膜 64 は、各ソース開口 54 の底部において第 1 主面 3 を膜状に被覆し、第 1 主面 3 に電氣的に接続されている。具体的には、第 1 電極膜 64 は、各ソース開口 54 の底部においてソースリセス 55 を膜状に被覆する部分を有し、複数のソース領域 23、24 およびコンタクト領域 25 に電氣的に接続されている。

[0200] 第 1 電極膜 64 は、第 1 主面 3 の高さ位置からソースリセス 55 の底部側に間隔を空けてソースリセス 55 を膜状に被覆していてもよい。第 1 電極膜 64 は、第 1 主面 3 の高さ位置に対してソースリセス 55 の底部側に位置された部分、および、第 1 主面 3 の高さ位置に対して絶縁膜 31 側に位置された部分を有していてもよい。

[0201] 第 2 電極膜 65 は、第 1 電極膜 64 の上において層間膜 50 のうち複数のソース開口 54 が形成された領域を一括して膜状に被覆している。第 2 電極膜 65 は、第 1 電極膜 64 を挟んで絶縁面 51 を膜状に被覆する部分、および、第 1 電極膜 64 を挟んで複数のソース開口 54 の壁面を膜状に被覆する部分を有している。

[0202] 第 2 電極膜 65 は、絶縁面 51 を被覆する部分において第 1 電極膜 64 および層間膜 50 を挟んで複数のゲート電極 32 に対向している。第 2 電極膜 65 は、第 1 電極膜 64 に倣って層間膜 50（第 2 酸化膜 53）の円弧角部を膜状に被覆し、ソース開口 54 に入り込んでいる。第 2 電極膜 65 は、層間膜 50 の円弧角部において円弧状に延びる部分を有している。これにより、層間膜 50（ソース開口 54 の壁面）に対する第 2 電極膜 65 の成膜性が向上されている。

[0203] 第 2 電極膜 65 は、ソース開口 54 の壁面に沿って延び、第 1 電極膜 64 を挟んで絶縁膜 31、第 1 酸化膜 52 および第 2 酸化膜 53 を被覆している。第 2 電極膜 65 は、第 1 電極膜 64 および層間膜 50 を挟んでゲート電極 32 の側壁に対向している。第 2 電極膜 65 は、各ソース開口 54 の底部において第 1 電極膜 64 を挟んでソースリセス 55 を膜状に被覆する部分を有

し、第1電極膜64を介して複数のソース領域23、24およびコンタクト領域25に電氣的に接続されている。

[0204] 第1電極膜64が第1主面3に対してソースリセス55の底部側に位置されている場合、第2電極膜65はソースリセス55内に位置された部分を有していてもよい。第1電極膜64が第1主面3よりも上方に位置された部分を有する場合、第2電極膜65の全体はソースリセス55の上方に位置される。

[0205] 複数の第1埋設電極62は、ソースパッド電極60（第1パッド部60a、第2パッド部60bおよび第3パッド部60c）の中層部を形成し、複数のソース開口54にそれぞれ埋設されている。第1埋設電極62は、第1下地電極膜61の導電材料とは異なる導電材料を含む。第1埋設電極62は、タングステン、モリブデン、タングステン合金およびモリブデン合金のうちの少なくとも1つを含む。第1埋設電極62は、この形態では、タングステンを含む。

[0206] 複数の第1埋設電極62は、この形態では、単一の第1下地電極膜61を介して複数のソース開口54に対して1対1の対応関係でそれぞれ埋設されている。複数の第1埋設電極62は、複数のソース開口54内において第1主面3（チップ2）に電氣的に接続されている。具体的には、第1埋設電極62は、第1下地電極膜61を介して複数のソース領域23、24およびコンタクト領域25に電氣的に接続されている。以下、1つの第1埋設電極62の構成が説明される。

[0207] 第1埋設電極62は、ソース開口54から露出した第1埋設電極面66を有し、絶縁面51を露出させている。第1埋設電極面66は、「ソース埋設電極膜」と称されてもよい。第1埋設電極62は、絶縁面51から第1主面3側に間隔を空けてソース開口54に埋設され、第1下地電極膜61（第2電極膜65）のうち絶縁面51を被覆する部分を露出させている。

[0208] 第1埋設電極62は、第1下地電極膜61を挟んで第1酸化膜52および第2酸化膜53を被覆している。第1埋設電極62は、水平方向にゲート電

極 3 2 の側壁に対向している。第 1 下地電極膜 6 1 が第 1 主面 3 に対してソースリセス 5 5 の底部側に位置されている場合、第 1 埋設電極 6 2 はソースリセス 5 5 内に位置された部分を有していてもよい。第 1 下地電極膜 6 1 が第 1 主面 3 よりも上方に位置された部分を有する場合、第 1 埋設電極 6 2 の全体はソースリセス 5 5 の上方に位置される。

[0209] 第 1 埋設電極面 6 6 は、絶縁面 5 1 よりも第 1 主面 3 側に位置され、積層方向（鉛直方向 Z）に関して層間膜 5 0 を挟んでゲート電極 3 2 の電極面に対向する部分を有さない。第 1 埋設電極面 6 6 は、この形態では、第 1 下地電極膜 6 1 を挟んで層間膜 5 0 の円弧角部を被覆する部分を有している。

[0210] むろん、第 1 埋設電極面 6 6 は、層間膜 5 0 の円弧角部よりも下方に位置されていてもよい。第 1 埋設電極面 6 6 は、第 1 酸化膜 5 2 の高さ位置よりも絶縁面 5 1 側に位置されている。第 1 埋設電極面 6 6 は、ゲート電極 3 2 の電極面よりも上方に位置されていることが好ましい。

[0211] 第 1 埋設電極面 6 6 は、中央部において第 1 主面 3（チップ 2）側に向けて窪んだ窪みを有している。窪みの底部は、ゲート電極 3 2 の電極面の高さ位置に対して絶縁面 5 1 側に位置されていることが好ましい。むろん、第 1 埋設電極面 6 6 の一部（たとえば窪み）または全部は、ゲート電極 3 2 の電極面よりも下方に位置されていてもよい。第 1 埋設電極面 6 6 の一部（たとえば窪み）または全部は、第 1 酸化膜 5 2 の高さ位置よりも絶縁面 5 1 側に位置されていてもよい。

[0212] 第 1 主電極膜 6 3 は、ソースパッド電極 6 0（第 1 パッド部 6 0 a、第 2 パッド部 6 0 b および第 3 パッド部 6 0 c）の上層部を形成し、第 1 下地電極膜 6 1 および複数の第 1 埋設電極 6 2 を膜状に被覆している。第 1 主電極膜 6 3 は、第 1 下地電極膜 6 1 の導電材料および第 1 埋設電極 6 2 の導電材料とは異なる導電材料を含む。

[0213] 第 1 主電極膜 6 3 は、Al 膜、Al 合金膜、Cu 膜および Cu 合金膜のうちの少なくとも 1 つを含んでいてもよい。Al 合金膜は、AlSi 合金膜、AlCu 合金膜および AlSiCu 合金膜のうちの少なくとも 1 つを含んで

いてもよい。第1主電極膜63は、第1下地電極膜61の厚さ（総厚さ）よりも大きい厚さを有している。第1主電極膜63は、第1埋設電極62の厚さよりも大きい厚さを有している。

[0214] 第1主電極膜63の厚さは、 $0.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であってもよい。第1主電極膜63の厚さは、 $0.5\mu\text{m}$ 以上 $1\mu\text{m}$ 以下、 $1\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下、 $1.5\mu\text{m}$ 以上 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下、 $2.5\mu\text{m}$ 以上 $3\mu\text{m}$ 以下、 $3\mu\text{m}$ 以上 $3.5\mu\text{m}$ 以下、 $3.5\mu\text{m}$ 以上 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上 $4.5\mu\text{m}$ 以下、および、 $4.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下のうちの少なくとも1つの範囲に属する値を有していてもよい。

[0215] 第1主電極膜63は、絶縁面51を被覆する部分において第1下地電極膜61に機械的および電氣的に接続され、第1下地電極膜61および層間膜50を挟んで複数のゲート電極32に対向している。第1主電極膜63は、複数のソース開口54を被覆する部分において複数の第1埋設電極62に機械的および電氣的に接続されている。これにより、第1主電極膜63は、第1下地電極膜61および複数の第1埋設電極62の双方を介して複数のボディ領域20、アウターボディ領域21、複数のソース領域23、24、コンタクト領域25等に電氣的に接続されている。

[0216] 第1主電極膜63は、絶縁面51の高さ位置に対して第1主面3側の高さ位置で第1埋設電極面66に接続されている。第1主電極膜63は、第1埋設電極面66の窪みを被覆する部分を有している。第1主電極膜63は、第1下地電極膜61を挟んで層間膜50の円弧角部を被覆する部分を有していてもよい。

[0217] 第1主電極膜63は、第1酸化膜52の高さ位置よりも上方で第1埋設電極面66に接続されている。第1主電極膜63は、この形態では、ゲート電極32の電極面よりも上方で第1埋設電極面66に接続されている。つまり、第1主電極膜63は、水平方向にゲート電極32に対向する部分を有さない。第1埋設電極面66がゲート電極32の電極面の高さ位置や第1酸化膜52の高さ位置よりも下方に位置されている場合、第1主電極膜63は水平

方向にゲート電極 3 2 に対向する部分を有していてもよい。

[0218] 複数のソース開口 5 4 に対する第 1 主電極膜 6 3 の成膜性は、複数の第 1 埋設電極 6 2 によって向上されている。これにより、第 1 主面 3 および第 1 主電極膜 6 3 の間の電流経路が適切に確保される。このような構成は、複数のソース開口 5 4 に起因する成膜不良を抑制し、配線抵抗を削減する上で有効である。

[0219] 半導体装置 1 A は、第 1 主面 3 において複数のソース開口 5 4 から露出した部分の表面部にそれぞれ形成された複数の第 1 シリサイド部 6 7 を含む。複数の第 1 シリサイド部 6 7 は、複数のソースリセス 5 5 の壁面（側壁および底壁）に沿って膜状に形成され、第 1 下地電極膜 6 1 に機械的および電氣的に接続されている。つまり、複数の第 1 シリサイド部 6 7 は、複数のボディ領域 2 0 の表層部に形成され、第 1 下地電極膜 6 1 を介して複数の第 1 埋設電極 6 2 を複数のボディ領域 2 0 に電氣的に接続させている。

[0220] 第 1 シリサイド部 6 7 は、Ti シリサイド、Ni シリサイド、Co シリサイド、Mo シリサイドおよび W シリサイドのうちの少なくとも 1 つを含んでもよい。第 1 シリサイド部 6 7 は、Ti シリサイド、Ni シリサイドまたは Co シリサイドからなることが好ましい。

[0221] 半導体装置 1 A は、ソースパッド電極 6 0 から外周領域 9 の上に引き出されたソースフィンガー電極 6 8 を含む。ソースフィンガー電極 6 8 は、ソースパッド電極 6 0 に付与されたソース電位を外周領域 9 に伝達する。ソースフィンガー電極 6 8 は、この形態では、ソースパッド電極 6 0（第 1 パッド部 6 0 a）のうちの第 4 側面 5 D 側の部分から層間膜 5 0 のうち外周領域 9 を被覆する部分の上に引き回されている。

[0222] ソースフィンガー電極 6 8 は、終端領域 4 0 の上まで引き出されている。ソースフィンガー電極 6 8 は、この形態では、平面視において低濃度領域 1 1 から活性領域 8 側に間隔を空けて形成され、積層方向に高濃度領域 1 0（内側低濃度領域 1 3）に対向している。ソースフィンガー電極 6 8 は、積層方向に低濃度領域 1 1 に対向していない。むしろ、ソースフィンガー電極 6

8は、高濃度領域10上の領域から低濃度領域11上の領域に引き出され、積層方向に低濃度領域11に対向する部分を有していてもよい。

[0223] ソースフィンガー電極68は、複数のアウター開口56を介して終端領域40に電氣的に接続されている。具体的には、ソースフィンガー電極68は、複数のアウター開口56を介して終端領域40のオーバーラップ領域41に電氣的に接続されている。ソースフィンガー電極68は、終端領域40（オーバーラップ領域41）に沿って帯状に延びている。ソースフィンガー電極68は、平面視において第1方向Xに帯状に延びる部分および第2方向Yに帯状に延びる部分を有している。

[0224] ソースフィンガー電極68は、この形態では、第1主面3の周縁に平行な4辺を有する多角環状（この形態では四角環状）に形成され、ソースパッド電極60を取り囲んでいる。ソースフィンガー電極68は、平面視において第1方向Xに延びる部分および第2方向Yに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図6参照）。

[0225] ソースフィンガー電極68は、ソースパッド電極60と同様、第1下地電極膜61、複数の第1埋設電極62および第1主電極膜63を含む。第1下地電極膜61は、ソースフィンガー電極68の下層部を形成し、外周領域9において層間膜50を被覆している。第1下地電極膜61は、層間膜50のうち複数のアウター開口56が形成された領域を一括して膜状に被覆し、絶縁面51の上から複数のアウター開口56内に入り込んでいる。第1下地電極膜61は、絶縁面51を膜状に被覆する部分、および、複数のアウター開口56の壁面を膜状に被覆する部分を有している。

[0226] 第1下地電極膜61は、ソースパッド電極60と同様、第1電極膜64および第2電極膜65を含む積層構造を有している。第1電極膜64は、層間膜50のうち複数のアウター開口56が形成された領域を一括して膜状に被覆し、絶縁面51の上から複数のアウター開口56内に入り込んでいる。第1電極膜64は、絶縁面51を膜状に被覆する部分、および、複数のアウター開口56の壁面を膜状に被覆する部分を有している。

- [0227] 第1電極膜64は、層間膜50（第2酸化膜53）の円弧角部に倣って当該円弧角部を膜状に被覆し、アウター開口56に入り込んでいる。第1電極膜64は、円弧角部において円弧状に延びる部分を有している。これにより、層間膜50（アウター開口56の壁面）に対する第1電極膜64の成膜性が向上されている。第1電極膜64は、アウター開口56の壁面に沿って延び、外周絶縁膜43、第1酸化膜52および第2酸化膜53を被覆している。
- [0228] 第1電極膜64は、各アウター開口56の底部において第1主面3を膜状に被覆し、第1主面3（チップ2）に電氣的に接続されている。具体的には、第1電極膜64は、各アウター開口56の底部においてアウターリセス57を膜状に被覆する部分を有し、アウターリセス57内において終端領域40（オーバーラップ領域41）に電氣的に接続されている。
- [0229] 第1電極膜64は、第1主面3の高さ位置からアウターリセス57の底部側に間隔を空けてアウターリセス57を膜状に被覆していてもよい。第1電極膜64は、第1主面3の高さ位置に対してアウターリセス57の底部側に位置された部分、および、第1主面3の高さ位置に対して外周絶縁膜43側に位置された部分を有していてもよい。
- [0230] 第2電極膜65は、第1電極膜64の上において、層間膜50のうち複数のアウター開口56が形成された領域を一括して膜状に被覆している。第2電極膜65は、第1電極膜64を挟んで絶縁面51を膜状に被覆する部分、および、第1電極膜64を挟んで複数のアウター開口56の壁面を膜状に被覆する部分を有している。
- [0231] 第2電極膜65は、第1電極膜64に倣って層間膜50（第2酸化膜53）の円弧角部を膜状に被覆し、アウター開口56に入り込んでいる。第2電極膜65は、層間膜50（第2酸化膜53）の円弧角部において円弧状に延びる部分を有している。これにより、層間膜50（アウター開口56の壁面）に対する第2電極膜65の成膜性が向上されている。第2電極膜65は、アウター開口56の壁面に沿って延び、第1電極膜64を挟んで外周絶縁膜

43、第1酸化膜52および第2酸化膜53を被覆している。

[0232] 第2電極膜65は、各アウター開口56の底部において第1電極膜64を挟んでアウターリセス57を膜状に被覆する部分を有し、第1電極膜64を介して終端領域40（オーバーラップ領域41）に電氣的に接続されている。第1電極膜64が第1主面3に対してアウターリセス57の底部側に位置されている場合、第2電極膜65はアウターリセス57内に位置された部分を有していてもよい。第1電極膜64が第1主面3よりも上方に位置された部分を有する場合、第2電極膜65の全体はアウターリセス57の上方に位置される。

[0233] 複数の第1埋設電極62は、ソースフィンガー電極68の中層部を形成し、複数のアウター開口56にそれぞれ埋設されている。複数の第1埋設電極62は、この形態では、単一の第1下地電極膜61を介して複数のアウター開口56に対して1対1の対応関係でそれぞれ埋設されている。複数の第1埋設電極62は、第1下地電極膜61を介して終端領域40（オーバーラップ領域41）に電氣的に接続されている。

[0234] 第1埋設電極62は、アウター開口56から露出した第1埋設電極面66を有し、絶縁面51を露出させている。具体的には、第1埋設電極62は、絶縁面51から第1主面3側に間隔を空けてアウター開口56に埋設され、第1下地電極膜61（第2電極膜65）のうち絶縁面51を被覆する部分を露出させている。つまり、第1埋設電極面66は、絶縁面51よりも第1主面3側に位置されている。

[0235] 第1埋設電極62は、第1下地電極膜61を挟んで第1酸化膜52および第2酸化膜53を被覆している。第1埋設電極62は、第1下地電極膜61を挟んで層間膜50の円弧角部を被覆する部分を有している。第1埋設電極62は、層間膜50の円弧角部から外周絶縁膜43側に間隔を空けて埋設され、円弧角部の全域を露出させていてもよい。第1埋設電極面66は、アウター開口56において第1酸化膜52の高さ位置よりも絶縁面51側に位置されている。むろん、第1埋設電極面66は、第1酸化膜52の高さ位置よ

りも外周絶縁膜 4 3 側に位置されていてもよい。

[0236] 第 1 下地電極膜 6 1 が第 1 主面 3 に対してアウターリセス 5 7 の底部側に位置されている場合、第 1 埋設電極 6 2 はアウターリセス 5 7 内に位置された部分を有していてもよい。第 1 下地電極膜 6 1 が第 1 主面 3 よりも上方に位置された部分を有する場合、第 1 埋設電極 6 2 の全体はアウターリセス 5 7 の上方に位置される。

[0237] 第 1 主電極膜 6 3 は、ソースフィンガー電極 6 8 の上層部を形成し、第 1 下地電極膜 6 1 および複数の第 1 埋設電極 6 2 を膜状に被覆している。第 1 主電極膜 6 3 は、絶縁面 5 1 を被覆する部分において第 1 下地電極膜 6 1 に機械的および電氣的に接続され、複数のアウター開口 5 6 を被覆する部分において複数の第 1 埋設電極 6 2 に機械的および電氣的に接続されている。第 1 主電極膜 6 3 は、第 1 下地電極膜 6 1 および複数の第 1 埋設電極 6 2 を介して終端領域 4 0（オーバーラップ領域 4 1）に電氣的に接続されている。

[0238] 第 1 主電極膜 6 3 は、絶縁面 5 1 の高さ位置に対して第 1 主面 3 側の高さ位置で第 1 埋設電極面 6 6 に接続されている。第 1 主電極膜 6 3 は、第 1 酸化膜 5 2 の高さ位置よりも上方で第 1 埋設電極面 6 6 に接続されている。第 1 主電極膜 6 3 は、第 1 埋設電極面 6 6 の窪みを被覆する部分を有している。

[0239] 第 1 主電極膜 6 3 は、第 1 下地電極膜 6 1 を挟んで層間膜 5 0 の円弧角部を被覆する部分を有していてもよい。第 1 埋設電極 6 2 が第 1 酸化膜 5 2 よりも下方に位置されている場合、第 1 主電極膜 6 3 は第 1 酸化膜 5 2 よりも下方の領域で第 1 埋設電極 6 2 に接続されていてもよい。

[0240] 複数のアウター開口 5 6 に対する第 1 主電極膜 6 3 の成膜性は、複数の第 1 埋設電極 6 2 によって向上されている。これにより、終端領域 4 0（オーバーラップ領域 4 1）および第 1 主電極膜 6 3 の間の電流経路が適切に確保される。このような構成は、複数のアウター開口 5 6 に起因する成膜不良を抑制し、配線抵抗を削減する上で有効である。

[0241] 半導体装置 1 A は、第 1 主面 3 において複数のアウター開口 5 6 から露出

した部分の表面部にそれぞれ形成された複数の第2シリサイド部69を含む。複数の第2シリサイド部69は、複数のアウターリセス57の壁面（側壁および底壁）に沿って膜状に形成され、第1下地電極膜61に機械的および電氣的に接続されている。つまり、複数の第2シリサイド部69は、終端領域40（オーバーラップ領域41）の表層部に形成され、第1下地電極膜61を介して複数の第1埋設電極62を終端領域40（オーバーラップ領域41）に電氣的に接続させている。

[0242] 第2シリサイド部69は、Tiシリサイド、Niシリサイド、Coシリサイド、MoシリサイドおよびWシリサイドのうちの少なくとも1つを含んでもよい。第2シリサイド部69は、Tiシリサイド、NiシリサイドまたはCoシリサイドからなることが好ましい。第2シリサイド部69は、第1シリサイド部67と同種のシリサイドからなることが特に好ましい。

[0243] 半導体装置1Aは、層間膜50の上に選択的に引き回されたゲートフィンガー電極70を含む。ゲートフィンガー電極70は、ゲート配線44にゲート電位を伝達する。ゲートフィンガー電極70は、層間膜50のうちゲート配線44を被覆する部分の上（つまり外周領域9の上）に引き回され、複数のゲート開口58を介してゲート配線44に電氣的に接続されている。

[0244] ゲートフィンガー電極70は、ソースパッド電極60およびソースフィンガー電極68から間隔を空けてソースパッド電極60およびソースフィンガー電極68の間の領域に配置されている。ゲートフィンガー電極70は、ゲート配線44に沿って帯状に延びている。ゲートフィンガー電極70は、平面視において第1方向Xに帯状に延びる部分および第2方向Yに帯状に延びる部分を有している。

[0245] ゲートフィンガー電極70は、この形態では、第1主面3の周縁に平行な4辺を有する有端帯状に形成され、ソースパッド電極60を取り囲んでいる。ゲートフィンガー電極70は、平面視において第1方向Xに延びる部分および第2方向Yに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図6参照）。ゲートフィンガー電極70は、

第4側面5D側においてソースフィンガー電極68を通過させる一対の開放端を有している。

[0246] 図10および図11を参照して、ゲートフィンガー電極70は、第2下地電極膜71、少なくとも1つ（この形態では複数）の第2埋設電極72および第2主電極膜73を含む。第2下地電極膜71は「ゲート下地電極膜」と称され、第2埋設電極72は「ゲート埋設電極」と称され、第2主電極膜73は「ゲート主電極膜」と称されてもよい。

[0247] 第2下地電極膜71は、ゲートフィンガー電極70の下層部を形成し、外周領域9において層間膜50を被覆している。第2下地電極膜71は、層間膜50のうち複数のゲート開口58が形成された領域を一括して膜状に被覆し、絶縁面51の上から複数のゲート開口58内に入り込んでいる。第2下地電極膜71は、絶縁面51を膜状に被覆する部分、および、複数のゲート開口58の壁面を膜状に被覆する部分を有している。

[0248] 第2下地電極膜71は、層間膜50の上に積層された第1電極膜74、および、第1電極膜74の上に積層された第2電極膜75を含む積層構造を有している。第1電極膜74はソース側の第1電極膜64と同種の導電材料を含み、第2電極膜75はソース側の第2電極膜65と同種の導電材料を含むことが好ましい。この形態では、第1電極膜74はTi膜を含み、第2電極膜75はTiN膜を含む。

[0249] 第2下地電極膜71は、必ずしも積層構造を有している必要はなく、第1電極膜74（Ti膜）および第2電極膜75（TiN膜）のいずれか一方からなる単層構造を有していてもよい。第1電極膜74は、ソース側の第1電極膜64の厚さとほぼ等しい厚さを有していてもよい。第2電極膜75は、ソース側の第2電極膜65の厚さとほぼ等しい厚さを有していてもよい。

[0250] 第1電極膜74は、層間膜50のうち複数のゲート開口58が形成された領域を一括して膜状に被覆し、絶縁面51の上から複数のゲート開口58に入り込んでいる。つまり、第1電極膜74は、絶縁面51を膜状に被覆する部分、および、複数のゲート開口58の壁面を膜状に被覆する部分を有して

いる。

- [0251] 第1電極膜74は、層間膜50（第2酸化膜53）の円弧角部に倣って当該円弧角部を膜状に被覆し、ゲート開口58に入り込んでいる。第1電極膜74は、円弧角部において円弧状に延びる部分を有している。これにより、層間膜50（ゲート開口58の壁面）に対する第1電極膜74の成膜性が向上されている。
- [0252] 第1電極膜74は、ゲート開口58の壁面に沿って延び、第1酸化膜52および第2酸化膜53を被覆している。第1電極膜74は、各ゲート開口58の底部においてゲート配線44を膜状に被覆し、ゲート配線44に電氣的に接続されている。
- [0253] 第2電極膜75は、第1電極膜74の上において層間膜50のうち複数のゲート開口58が形成された領域を一括して膜状に被覆している。つまり、第2電極膜75は、第1電極膜74を挟んで絶縁面51を膜状に被覆する部分、および、第1電極膜74を挟んで複数のゲート開口58の壁面を膜状に被覆する部分を有している。
- [0254] 第2電極膜75は、第1電極膜74に倣って層間膜50（第2酸化膜53）の円弧角部を膜状に被覆し、ゲート開口58に入り込んでいる。第2電極膜75は、層間膜50（第2酸化膜53）の円弧角部において円弧状に延びる部分を有している。これにより、層間膜50（ゲート開口58の壁面）に対する第2電極膜75の成膜性が向上されている。
- [0255] 第2電極膜75は、ゲート開口58の壁面に沿って延び、第1電極膜74を挟んで第1酸化膜52および第2酸化膜53を被覆している。第2電極膜75は、各ゲート開口58の底部において第1電極膜74を挟んでゲート配線44を膜状に被覆する部分を有し、第1電極膜74を介してゲート配線44に電氣的に接続されている。
- [0256] 複数の第2埋設電極72は、ゲートフィンガー電極70の中層部を形成し、複数のゲート開口58にそれぞれ埋設されている。第2埋設電極72は、第2下地電極膜71の導電材料とは異なる導電材料を含む。第2埋設電極7

2は、タングステン、モリブデン、タングステン合金およびモリブデン合金のうちの少なくとも1つを含む。第2埋設電極72は、第1埋設電極62の導電材料と同種の導電材料を含むことが好ましい。第2埋設電極72は、この形態では、タングステンを含む。

[0257] 複数の第2埋設電極72は、この形態では、単一の第2下地電極膜71を介して複数のゲート開口58に対して1対1の対応関係でそれぞれ埋設されている。複数の第2埋設電極72は、複数のゲート開口58内において第2下地電極膜71を介してゲート配線44に電氣的に接続されている。

[0258] 第2埋設電極72は、ゲート開口58から露出した第2埋設電極面76を有し、絶縁面51を露出させている。第2埋設電極面76は、「ゲート埋設電極面」と称されてもよい。第2埋設電極72は、絶縁面51から第1主面3側に間隔を空けてゲート開口58に埋設され、第2下地電極膜71（第2電極膜75）のうち絶縁面51を被覆する部分を露出させている。つまり、第2埋設電極面76は、絶縁面51よりも第1主面3側に位置されている。

[0259] 第2埋設電極72は、第2下地電極膜71を挟んで第1酸化膜52および第2酸化膜53を被覆している。第2埋設電極72は、第2下地電極膜71を挟んで層間膜50の円弧角部を被覆する部分を有している。第2埋設電極72は、層間膜50の円弧角部からゲート配線44側に間隔を空けて埋設され、円弧角部の全域を露出させていてもよい。第2埋設電極面76は、第1酸化膜52の高さ位置よりも絶縁面51側に位置されている。むしろ、第2埋設電極面76は、第1酸化膜52の高さ位置よりもゲート配線44側に位置されていてもよい。

[0260] 第2主電極膜73は、ゲートフィンガー電極70の上層部を形成し、第2下地電極膜71および複数の第2埋設電極72を膜状に被覆している。第2主電極膜73は、第2下地電極膜71の導電材料および第2埋設電極72の導電材料とは異なる導電材料を含む。

[0261] 第2主電極膜73は、Al膜、Al合金膜、Cu膜およびCu合金膜のうちの少なくとも1つを含んでいてもよい。Al合金膜は、AlSi合金膜、

A l C u合金膜およびA l S i C u合金膜のうちの少なくとも1つを含んでもよい。第2主電極膜73は、第1主電極膜63の導電材料と同種の導電材料を含むことが好ましい。第2主電極膜73は、第1主電極膜63の厚さとほぼ等しい厚さを有していてもよい。

[0262] 第2主電極膜73は、絶縁面51を被覆する部分において第2下地電極膜71に機械的および電氣的に接続され、複数のゲート開口58を被覆する部分において複数の第2埋設電極72に機械的および電氣的に接続されている。これにより、第2主電極膜73は、第2下地電極膜71および複数の第2埋設電極72を介してゲート配線44に電氣的に接続されている。

[0263] 第2主電極膜73は、絶縁面51の高さ位置に対して第1主面3側の高さ位置で第2埋設電極72に接続されている。第2主電極膜73は、第1酸化膜52の高さ位置よりも上方で第2埋設電極面76に接続されている。第2主電極膜73は、第2埋設電極面76の窪みを被覆する部分を有している。

[0264] 第2主電極膜73は、第2下地電極膜71を挟んで層間膜50の円弧角部を被覆する部分を有していてもよい。第2埋設電極72が第1酸化膜52よりも下方に位置されている場合、第2主電極膜73は第1酸化膜52よりも下方の領域で第2埋設電極72に接続されていてもよい。

[0265] 複数のゲート開口58に対する第2主電極膜73の成膜性は、複数の第2埋設電極72によって向上されている。これにより、ゲート配線44および第2主電極膜73の間の電流経路が適切に確保される。このような構成は、複数のゲート開口58に起因する成膜不良を抑制し、配線抵抗を削減する上で有効である。

[0266] 半導体装置1Aは、層間膜50の上に配置されたゲートパッド電極80を含む。ゲートパッド電極80は、外部からゲート電位が付与される端子電極である。ゲートパッド電極80は、「第2パッド電極」、「第2主面電極」、「第2端子電極」等と称されてもよい。ゲートパッド電極80は、ソースパッド電極60およびソースフィンガー電極68から間隔を空けてソースパッド電極60およびソースフィンガー電極68の間の領域に配置されている。

。

[0267] ゲートパッド電極80は、この形態では、第1パッド部60aに対して第3側面5C側の領域に配置され、第2パッド部60bおよび第3パッド部60cによって挟み込まれている。つまり、ゲートパッド電極80は、第1方向Xに第1パッド部60aに対向し、第2方向Yに第2パッド部60bおよび第3パッド部60cに対向している。

[0268] ゲートパッド電極80は、平面視においてチップ2の周縁に平行な4辺を有する多角形状（この形態では四角形状）に形成されている。ゲートパッド電極80は、ソースパッド電極60（第1パッド部60a）の平面積未満を有している。ゲートパッド電極80は、第2パッド部60b（第3パッド部60c）の平面積未満の平面積を有していてもよい。

[0269] ゲートパッド電極80は、活性領域8および外周領域9を被覆する部分の上に配置され、ゲートフィンガー電極70に接続されている。ゲートパッド電極80は、層間膜50を挟んで複数のゲート電極32を被覆していてもよいし、層間膜50を挟んでゲート配線44を被覆していてもよい。

[0270] ゲートパッド電極80は、ゲートフィンガー電極70と同様、第2下地電極膜71および第2主電極膜73を含む。第2下地電極膜71は、ゲートパッド電極80の下層部を形成し、層間膜50を膜状に被覆している。第2下地電極膜71は、ゲートフィンガー電極70と同様、第1電極膜74および第2電極膜75を含む積層構造を有している。第1電極膜74は層間膜50を膜状に被覆し、第2電極膜75は第1電極膜74第を膜状に被覆している。第2主電極膜73は、ゲートパッド電極80の上層部を形成し、第2下地電極膜71を膜状に被覆している。

[0271] 具体的な図示は省略されるが、ゲートパッド電極80は、ゲートフィンガー電極70と同様、複数の第2埋設電極72を有していてもよい。この場合、ゲートパッド電極80は、ゲートフィンガー電極70と同様、複数の第2埋設電極72を介してゲート配線44に電氣的に接続されていてもよい。

[0272] ゲートパッド電極80の下方に複数のゲート電極32が配置されている場

合、ゲートパッド電極 80 は、複数の第 2 埋設電極 72 を介して複数のゲート電極 32 に電氣的に接続されていてもよい。むしろ、ゲートパッド電極 80 は、複数の第 2 埋設電極 72 を有していなくてもよい。つまり、ゲートパッド電極 80 は、直下の領域において複数のゲート電極 32 に対する電氣的な接続部およびゲート配線 44 に対する電氣的な接続部を有していなくてもよい。

[0273] ゲートパッド電極 80 に付与されたゲート電位は、ゲートフィンガー電極 70 を介してゲート配線 44 に付与される。ゲート電位は、ゲート配線 44 に沿う配線経路（電流経路）を介して複数のゲート電極 32 に伝達される。これにより、複数のゲート電極 32 がオン状態になり、複数のチャネル領域 26、27 のオンオフが制御される。

[0274] 半導体装置 1A は、第 2 主面 4 を被覆するドレインパッド電極 85 を含む。ドレインパッド電極 85 は、外部からドレイン電位が付与される端子電極である。ドレインパッド電極 85 は、「第 3 パッド電極」、「第 3 主面電極」、「第 3 端子電極」等と称されてもよい。ドレインパッド電極 85 は、ベース領域 14 に電氣的に接続されている。

[0275] ドレインパッド電極 85 は、ベース領域 14 を挟んで高濃度領域 10（内側低濃度領域 13）に対向する部分、および、ベース領域 14 を挟んで低濃度領域 11 に対向する部分を有している。ドレインパッド電極 85 は、第 2 主面 4 の周縁（第 1 ～第 4 側面 5A ～5D）に連なるように第 2 主面 4 の全域を被覆していてもよい。ドレインパッド電極 85 は、第 2 主面 4 の周縁部を露出させるように第 2 主面 4 を部分的に被覆していてもよい。

[0276] ソースパッド電極 60 およびドレインパッド電極 85 の間（第 1 主面 3 および第 2 主面 4 の間）に印加可能なブレイクダウン電圧は、500V 以上 3000V 以下であってもよい。ブレイクダウン電圧は、500V 以上 1000V 以下、1000V 以上 1500V 以下、1500V 以上 2000V 以下、2000V 以上 2500V 以下、および、2500V 以上 3000V 以下のうちの少なくとも 1 つの範囲に属する値を有していてもよい。

[0277] 以上、半導体装置 1 A は、チップ 2、n 型の高濃度領域 1 0 および n 型の低濃度領域 1 1 を含む。チップ 2 は、第 1 主面 3 を有している。高濃度領域 1 0 は、比較的高い第 1 不純物濃度を有し、チップ 2 の内方部側で第 1 主面 3 の表層部に形成されている。低濃度領域 1 1 は、高濃度領域 1 0 の第 1 不純物濃度よりも低い第 2 不純物濃度を有し、チップ 2 の周縁部側で第 1 主面 3 の表層部に形成されている。

[0278] この構成によれば、新規な構成を有する半導体装置 1 A を提供できる。この半導体装置 1 A によれば、高濃度領域 1 0 を利用してチップ 2 の内方部側の抵抗値が削減され、低濃度領域 1 1 を利用してチップ 2 の周縁部の耐圧が向上され得る。

[0279] チップ 2 は、ワイドバンドギャップ半導体の一例としての SiC を含むことが好ましい。SiC を含むチップ 2 の場合、その特性（物性）上、極めて高い電圧が印加され、チップ 2 の周縁部における電界に起因して耐圧が低下し得る。この点、半導体装置 1 A の場合、SiC を含むチップ 2 の周縁部側の耐圧が低濃度領域 1 1 を利用して向上される。

[0280] チップ 2 は、第 1 ～第 4 側面 5 A ～5 D を有していてもよい。この場合、高濃度領域 1 0 は、第 1 ～第 4 側面 5 A ～5 D のうちの少なくとも 1 つから間隔を空けて形成されていてもよい。低濃度領域 1 1 は、第 1 ～第 4 側面 5 A ～5 D のうちの少なくとも 1 つから露出していてもよい。この構成によれば、低濃度領域 1 1 の形成領域が第 1 ～第 4 側面 5 A ～5 D のうちの少なくとも 1 つから露出する範囲まで拡張される。これにより、チップ 2 の周縁部の耐圧が適切に向上される。

[0281] 低濃度領域 1 1 は、平面視において高濃度領域 1 0 に沿って帯状に延びていることが好ましい。この構成によれば、チップ 2 の周縁部側の耐圧が帯状に延びる低濃度領域 1 1 を利用して向上される。低濃度領域 1 1 は、平面視において高濃度領域 1 0 を取り囲んでいることが好ましい。この構成によれば、高濃度領域 1 0 の全周に亘ってチップ 2 の周縁部側の耐圧が向上される。

- [0282] 低濃度領域 11 は、高濃度領域 10 に接続されていることが好ましい。この構成によれば、高濃度領域 10 および低濃度領域 11 の間の電氣的な連続性が確保される。これにより、高濃度領域 10 および低濃度領域 11 の間の電界の不連続性が抑制され、チップ 2 の周縁部の耐圧が適切に向上される。この場合、低濃度領域 11 は、高濃度領域 10 とチップ 2 の厚さ方向に延びる領域境界部 12 を形成する。領域境界部 12 は、第 1 主面 3 に対してほぼ垂直に沿って延びていてもよい。
- [0283] 半導体装置 1A は、n 型の内側低濃度領域 13 を含んでもよい。内側低濃度領域 13 は、高濃度領域 10 の第 1 不純物濃度よりも低い第 3 不純物濃度を有し、チップ 2 の内方部において高濃度領域 10 の下方の領域に形成されていてもよい。この構成によれば、高濃度領域 10 を利用してチップ 2 の内方部側の抵抗値が削減され、内側低濃度領域 13 を利用してチップ 2 の内方部側の耐圧が向上され得る。
- [0284] この場合、内側低濃度領域 13 は、チップ 2 の周縁部において低濃度領域 11 に接続されていることが好ましい。この構成によれば、低濃度領域 11 および内側低濃度領域 13 の間の電氣的な連続性が確保される。これにより、低濃度領域 11 および内側低濃度領域 13 の間の電界の不連続性が抑制され、チップ 2 の周縁部の耐圧が適切に向上される。
- [0285] 半導体装置 1A は、高濃度領域 10 の内方部側の領域において高濃度領域 10 の表層部に形成された p 型のボディ領域 20（第 1 不純物領域）を含んでもよい。ボディ領域 20 は、高濃度領域 10 と p n 接合部を形成し、逆バイアス電圧の印加時において高濃度領域 10 に空乏層を拡げる。この構成によれば、空乏層の範囲が、低濃度領域 11 によってチップ 2 の周縁部側に向けて拡張される。これにより、チップ 2 の周縁部側の耐圧が適切に向上される。
- [0286] 半導体装置 1A は、チップ 2 の周縁部側の領域において高濃度領域 10 の表層部および低濃度領域 11 の表層部のいずれか一方または双方に形成された p 型のアウターボディ領域 21（第 2 不純物領域）を含んでもよい。

アウターボディ領域 21 は、高濃度領域 10 の表層部に形成され、高濃度領域 10 と p n 接合部を形成していてもよい。

[0287] この場合、アウターボディ領域 21 は、逆バイアス電圧の印加時において高濃度領域 10 に空乏層を拡げる。この構成によれば、空乏層の範囲が、低濃度領域 11 によってチップ 2 の周縁部側に向けて拡張される。これにより、チップ 2 の周縁部側の耐圧が適切に向上される。

[0288] アウターボディ領域 21 は、ボディ領域 20 の空乏層と一体化する空乏層を拡げるように形成されていてもよい。アウターボディ領域 21 は、ボディ領域 20 に接続されていてもよい。アウターボディ領域 21 は、ボディ領域 20 の p 型不純物濃度とほぼ等しい p 型不純物濃度を有していてもよい。

[0289] 半導体装置 1A は、高濃度領域 10 の表層部および低濃度領域 11 の表層部のいずれか一方または双方に形成された p 型の終端領域 40（第 3 不純物領域）を含んでいてもよい。終端領域 40 は、高濃度領域 10 に形成され、高濃度領域 10 と p n 接合部を形成していてもよい。この場合、終端領域 40 は、逆バイアス電圧の印加時において高濃度領域 10 に空乏層を拡げる。この構成によれば、空乏層の範囲が、低濃度領域 11 によってチップ 2 の周縁部側に向けて拡張される。これにより、チップ 2 の周縁部側の耐圧が適切に向上される。

[0290] 終端領域 40 は、ボディ領域 20 の空乏層と一体化する空乏層を拡げるように形成されていてもよい。終端領域 40 は、アウターボディ領域 21 の空乏層と一体化する空乏層を拡げるように形成されていてもよい。終端領域 40 は、アウターボディ領域 21 に接続されていてもよい。終端領域 40 は、ボディ領域 20 の p 型不純物濃度とは異なる p 型不純物濃度を有していてもよい。

[0291] 終端領域 40 は、高濃度領域 10 から低濃度領域 11 に引き出された引き出し部を有していてもよい。終端領域 40 の引き出し部は、低濃度領域 11 と p n 接合部を形成し、逆バイアス電圧の印加時において低濃度領域 11 に空乏層を拡げる。この構成によれば、空乏層が、終端領域 40 から低濃度領

域 1 1 に適切に広がる。これにより、チップ 2 の周縁部側の耐圧が適切に向上される。

[0292] 半導体装置 1 A は、低濃度領域 1 1 の表層部に形成された p 型のフィールド領域 4 2（第 4 不純物領域）を含んでいてもよい。フィールド領域 4 2 は、低濃度領域 1 1 と p n 接合部を形成し、逆バイアス電圧の印加時において低濃度領域 1 1 に空乏層を広げる。フィールド領域 4 2 の空乏層の範囲は、低濃度領域 1 1 によって拡張される。これにより、チップ 2 の周縁部側の耐圧が適切に向上される。

[0293] フィールド領域 4 2 は、高濃度領域 1 0 からチップ 2 の周縁側に間隔を空けて形成されていることが好ましい。フィールド領域 4 2 は、ボディ領域 2 0 からチップ 2 の周縁側に間隔を空けて形成されていることが好ましい。フィールド領域 4 2 は、アウターボディ領域 2 1 からチップ 2 の周縁側に間隔を空けて形成されていることが好ましい。フィールド領域 4 2 は、終端領域 4 0 からチップ 2 の周縁側に間隔を空けて形成されていることが好ましい。

[0294] 半導体装置 1 A は、n 型のベース領域 1 4 を含んでいてもよい。ベース領域 1 4 は、高濃度領域 1 0 の第 1 不純物濃度よりも低い第 4 不純物濃度を有し、チップ 2 の内方部側において高濃度領域 1 0 の下方の領域に形成されていてもよい。ベース領域 1 4 は、チップ 2 の内方部から周縁部に向けて引き出され、低濃度領域 1 1 の下方の領域に位置された部分を有していてもよい。

[0295] 別視点において、半導体装置 1 A は、チップ 2、活性領域 8、外周領域 9、高濃度領域 1 0 および低濃度領域 1 1 を含む。チップ 2 は、第 1 主面 3 を有している。活性領域 8 は、第 1 主面 3 の内方部に設けられている。外周領域 9 は、第 1 主面 3 の周縁部に設けられている。

[0296] 高濃度領域 1 0 は、第 1 不純物濃度を有し、活性領域 8 において第 1 主面 3 の表層部に形成されている。低濃度領域 1 1 は、高濃度領域 1 0 の第 1 不純物濃度よりも低い第 2 不純物濃度を有し、外周領域 9 において第 1 主面 3 の表層部に形成されている。この構成によれば、新規な構成を有する半導体

装置 1 A を提供できる。この半導体装置 1 A によれば、高濃度領域 1 0 を利用して活性領域 8 側の抵抗値が削減され、低濃度領域 1 1 を利用して外周領域 9 側の耐圧が向上され得る。

[0297] チップ 2 は、ワイドバンドギャップ半導体の一例としての S i C を含むことが好ましい。S i C を含むチップ 2 の場合、その特性（物性）上、極めて高い電圧が印加され、チップ 2 の周縁部における電界に起因して耐圧が低下し得る。この点、半導体装置 1 A の場合、S i C を含むチップ 2 の外周領域 9 側の耐圧が低濃度領域 1 1 を利用して向上される。

[0298] チップ 2 は、第 1 ～第 4 側面 5 A ～5 D を有していてもよい。この場合、高濃度領域 1 0 は、第 1 ～第 4 側面 5 A ～5 D のうちの少なくとも 1 つから間隔を空けて形成されていてもよい。低濃度領域 1 1 は、第 1 ～第 4 側面 5 A ～5 D のうちの少なくとも 1 つから露出していてもよい。この構成によれば、低濃度領域 1 1 の形成領域が第 1 ～第 4 側面 5 A ～5 D のうちの少なくとも 1 つから露出する範囲まで拡張される。これにより、外周領域 9 側の耐圧が適切に向上される。

[0299] 低濃度領域 1 1 は、平面視において高濃度領域 1 0 に沿って帯状に延びていることが好ましい。この構成によれば、外周領域 9 側の耐圧が帯状に延びる低濃度領域 1 1 を利用して向上される。低濃度領域 1 1 は、平面視において高濃度領域 1 0 を取り囲んでいることが好ましい。この構成によれば、高濃度領域 1 0 の全周に亘って外周領域 9 側の耐圧が向上される。

[0300] 低濃度領域 1 1 は、高濃度領域 1 0 に接続されていることが好ましい。この構成によれば、高濃度領域 1 0 および低濃度領域 1 1 の間の電氣的な連続性が確保される。これにより、高濃度領域 1 0 および低濃度領域 1 1 の間の電界の不連続性が抑制され、外周領域 9 側の耐圧が適切に向上される。この場合、低濃度領域 1 1 は、高濃度領域 1 0 とチップ 2 の厚さ方向に延びる領域境界部 1 2 を形成する。領域境界部 1 2 は、第 1 主面 3 に対してほぼ垂直に沿って延びていてもよい。

[0301] 半導体装置 1 A は、n 型の内側低濃度領域 1 3 を含んでいてもよい。内側

低濃度領域 13 は、高濃度領域 10 の第 1 不純物濃度よりも低い第 3 不純物濃度を有し、活性領域 8 側において高濃度領域 10 の下方の領域に形成されていてもよい。この構成によれば、高濃度領域 10 を利用して活性領域 8 側の抵抗値が削減され、内側低濃度領域 13 を利用して活性領域 8 側の耐圧が向上され得る。

[0302] この場合、内側低濃度領域 13 は、外周領域 9 側において低濃度領域 11 に接続されていることが好ましい。この構成によれば、低濃度領域 11 および内側低濃度領域 13 の間の電氣的な連続性が確保される。これにより、低濃度領域 11 および内側低濃度領域 13 の間の電界の不連続性が抑制され、外周領域 9 側の耐圧が適切に向上される。

[0303] 半導体装置 1A は、活性領域 8 側において高濃度領域 10 の表層部に形成された p 型のボディ領域 20（第 1 不純物領域）を含んでいてもよい。ボディ領域 20 は、高濃度領域 10 と p n 接合部を形成し、逆バイアス電圧の印加時において高濃度領域 10 に空乏層を拡げる。この構成によれば、空乏層の範囲が、低濃度領域 11 によって外周領域 9 側に向けて拡張される。これにより、外周領域 9 側の耐圧が適切に向上される。

[0304] 半導体装置 1A は、外周領域 9 側の領域において高濃度領域 10 の表層部および低濃度領域 11 の表層部のいずれか一方または双方に形成された p 型のアウターボディ領域 21（第 2 不純物領域）を含んでいてもよい。アウターボディ領域 21 は、高濃度領域 10 の表層部に形成され、高濃度領域 10 と p n 接合部を形成していてもよい。

[0305] この場合、アウターボディ領域 21 は、逆バイアス電圧の印加時において高濃度領域 10 に空乏層を拡げる。この構成によれば、空乏層の範囲が、低濃度領域 11 によって外周領域 9 側に向けて拡張される。これにより、外周領域 9 側の耐圧が適切に向上される。

[0306] アウターボディ領域 21 は、ボディ領域 20 の空乏層と一体化する空乏層を拡げるように形成されていてもよい。アウターボディ領域 21 は、ボディ領域 20 に接続されていてもよい。アウターボディ領域 21 は、ボディ領域

20のp型不純物濃度とほぼ等しいp型不純物濃度を有していてもよい。

[0307] 半導体装置1Aは、外周領域9側の領域において高濃度領域10の表層部および低濃度領域11の表層部のいずれか一方または双方に形成されたp型の終端領域40（第3不純物領域）を含んでいてもよい。終端領域40は、高濃度領域10に形成され、高濃度領域10とpn接合部を形成していてもよい。

[0308] この場合、終端領域40は、逆バイアス電圧の印加時において高濃度領域10に空乏層を拡げる。この構成によれば、空乏層の範囲が、低濃度領域11によって外周領域9側に向けて拡張される。これにより、外周領域9側の耐圧が適切に向上される。

[0309] 終端領域40は、ボディ領域20の空乏層と一体化する空乏層を拡げるように形成されていてもよい。終端領域40は、アウターボディ領域21の空乏層と一体化する空乏層を拡げるように形成されていてもよい。終端領域40は、アウターボディ領域21に接続されていてもよい。終端領域40は、ボディ領域20のp型不純物濃度とは異なるp型不純物濃度を有していてもよい。

[0310] 終端領域40は、高濃度領域10から低濃度領域11に引き出された引き出し部を有していてもよい。終端領域40の引き出し部は、低濃度領域11とpn接合部を形成し、逆バイアス電圧の印加時において低濃度領域11に空乏層を拡げる。この構成によれば、空乏層が、終端領域40から低濃度領域11に適切に拡がる。これにより、外周領域9側の耐圧が適切に向上される。

[0311] 半導体装置1Aは、外周領域9において低濃度領域11の表層部に形成されたp型のフィールド領域42（第4不純物領域）を含んでいてもよい。フィールド領域42は、低濃度領域11とpn接合部を形成し、逆バイアス電圧の印加時において低濃度領域11に空乏層を拡げる。フィールド領域42の空乏層の範囲は、低濃度領域11によって拡張される。これにより、外周領域9側の耐圧が適切に向上される。

- [0312] フィールド領域42は、高濃度領域10からチップ2の周縁側に間隔を空けて形成されていることが好ましい。フィールド領域42は、ボディ領域20からチップ2の周縁側に間隔を空けて形成されていることが好ましい。フィールド領域42は、アウターボディ領域21からチップ2の周縁側に間隔を空けて形成されていることが好ましい。フィールド領域42は、終端領域40からチップ2の周縁側に間隔を空けて形成されていることが好ましい。
- [0313] フィールド領域42は、平面視において高濃度領域10に沿って帯状に延びていることが好ましい。この構成によれば、空乏層がフィールド領域42から低濃度領域11に向けて帯状に広がる。これにより、外周領域9側の耐圧が適切に向上される。フィールド領域42は、平面視において高濃度領域10を取り囲んでいることが好ましい。この構成によれば、空乏層が高濃度領域10を取り囲むようにフィールド領域42から低濃度領域11に向けて広がる。これにより、外周領域9側の耐圧が適切に向上される。
- [0314] 複数のフィールド領域42が、低濃度領域11の表層部に間隔を空けて形成されていてもよい。この構成によれば、複数の空乏層が複数のフィールド領域42から低濃度領域11に向けて広がる。これにより、外周領域9側の耐圧が適切に向上される。
- [0315] 半導体装置1Aは、n型のベース領域14を含んでいてもよい。ベース領域14は、高濃度領域10の第1不純物濃度よりも低い第4不純物濃度を有し、活性領域8において高濃度領域10の下方の領域に形成されていてもよい。ベース領域14は、活性領域8から外周領域9に向けて引き出され、低濃度領域11の下方の領域に位置された部分を有していてもよい。
- [0316] 半導体装置1Aは、活性領域8に形成されたデバイス構造の一例としてのトランジスタ構造Trを含んでいてもよい。この場合、トランジスタ構造Trは、高濃度領域10を含んでいてもよい。この構成によれば、高濃度領域10を利用してトランジスタ構造Trの抵抗値が削減され、低濃度領域11を利用してトランジスタ構造Trの耐圧が向上され得る。
- [0317] 図12は、第2形態に係る半導体装置1Bを示す断面図である。半導体装

置 1 B は、半導体装置 1 A に係る高濃度領域 1 0 を変形させたレイアウトを有している。具体的には、高濃度領域 1 0 は、第 2 半導体層 7 内において第 1 主面 3 および第 2 半導体層 7 の底部（第 1 半導体層 6）の間の厚さ範囲の全域に形成され、第 1 半導体層 6 に接続されている。つまり、半導体装置 1 B は、この形態では、内側低濃度領域 1 3 を有さない。

[0318] 高濃度領域 1 0 は、この形態では、断面視において第 1 主面 3 に対してほぼ垂直に形成されている。たとえば、高濃度領域 1 0 は、n 型の第 2 半導体層 7 の厚さ範囲の全域に n 型不純物を導入することによって形成されているもよい。

[0319] 低濃度領域 1 1 は、半導体装置 1 A の場合と同様のレイアウトで形成されている。低濃度領域 1 1 の内縁部は、この形態では、高濃度領域 1 0 の厚さ範囲の全域に亘って高濃度領域 1 0 の周縁部に接続されている。つまり、領域境界部 1 2 は、第 2 半導体層 7 の中間部の深さ位置を厚さ方向に横切っている。領域境界部 1 2 の下端部は、この形態では、第 1 半導体層 6 に接続されている。

[0320] 図 1 3 は、第 3 形態に係る半導体装置 1 C を示す断面図である。図 1 4 は、図 1 3 に示す半導体装置 1 C の変形例を示す断面図である。半導体装置 1 C は、半導体装置 1 B に係る高濃度領域 1 0 を変形させたレイアウトを有している。

[0321] 具体的には、高濃度領域 1 0 は、断面視において第 1 主面 3 から厚さ方向に向けて水平方向の幅が漸増するテーパ形状に形成されている。つまり、高濃度領域 1 0 の周縁部は、チップ 2 の内方部（活性領域 8）からチップ 2 の周縁部（外周領域 9）側に向けて斜め下り傾斜している。高濃度領域 1 0 の周縁部（傾斜周縁部）は、外周領域 9 に位置されている。

[0322] このような構成は、チップ 2 の内方部およびチップ 2 の周縁部の間を斜め方向に流れる電流（つまり電流拡がり）を考慮した場合において、当該電流拡がり経路の抵抗値を削減する上で有効である。たとえば、高濃度領域 1 0 の傾斜部は、斜めイオン注入法によって第 1 主面 3 に対して傾斜した方向に

n型不純物を導入することによって形成されていてもよい。

[0323] 低濃度領域11は、高濃度領域10の周縁部（傾斜周縁部）に倣って斜め下り傾斜した内縁部を有している。つまり、低濃度領域11は、断面視において第1主面3から厚さ方向に向けて水平方向の幅が漸減するテーパ形状に形成されている。このような構成は、電流拡がり経路の抵抗値を削減する一方で、チップ2の周縁部側の耐圧を高める上で有効である。

[0324] 低濃度領域11は、高濃度領域10と斜め下り傾斜した領域境界部12を形成している。領域境界部12は、第1主面3側の上端部、第2主面4側の下端部、ならびに、上端部および下端部の間の傾斜部を有している。上端部は、外周領域9においてチップ2の内方部側に位置されている。下端部は、外周領域9においてチップ2の周縁部側に位置されている。傾斜部は、外周領域9において上端部から下端部に向けて斜め下り傾斜している。

[0325] 傾斜部の傾斜角 θ （絶対値）は、 0° を超えて 75° 以下であってもよい。傾斜角 θ は、断面視で第1主面3に垂直な仮想鉛直線L（仮想垂線）が領域境界部12の上端部を通過するように設定された場合において、傾斜部が仮想鉛直線Lと形成する角度である。

[0326] 傾斜角 θ は、 0° を超えて 15° 以下、 15° 以上 30° 以下、 30° 以上 45° 以下、 45° 以上 60° 以下、および、 60° 以上 75° 以下のうちの少なくとも1つの範囲に属する値を有していてもよい。傾斜角 θ は、 20° 以上 60° 以下であることが好ましい。傾斜角 θ は、 30° 以上 50° 以下であることが特に好ましい。

[0327] 複数のフィールド領域42のうちの少なくとも最内のフィールド領域42は、高濃度領域10の上端部（領域境界部12の上端部）からチップ2の周縁側に間隔を空けて低濃度領域11の表層部に形成されていることが好ましい。最内のフィールド領域42は、低濃度領域11の一部を挟んで厚さ方向に高濃度領域10の傾斜部（領域境界部12の傾斜部）に対向していてもよい。

[0328] 複数のフィールド領域42は、高濃度領域10の下端部（領域境界部12

の下端部) からチップ2の周縁側に間隔を空けて低濃度領域11の表層部に形成されていることが特に好ましい。つまり、複数のフィールド領域42は、厚さ方向に高濃度領域10に対向していないことが特に好ましい。

[0329] 図14に示されるように、半導体装置1Cは、内側低濃度領域13を有していてもよい。つまり、高濃度領域10は、半導体装置1Aの場合と同様、第2半導体層7の底部から第1主面側に間隔を空けて形成され、第2半導体層7の一部を挟んで第1半導体層6に対向していてもよい。この場合、内側低濃度領域13は、高濃度領域10の下端部(領域境界部12の下端部)の下方を通過し、外周領域9において低濃度領域11の底部側の領域に接続される。

[0330] 図15は、第4形態に係る半導体装置1Dを示す断面図である。半導体装置1Dは、半導体装置1Cに係るチップ2内のレイアウトを変形させたレイアウトを有している。具体的には、低濃度領域11は、この形態では、第2半導体層7の底部から第1主面3側に間隔を空けて形成され、第2半導体層7内に位置された底部を有している。

[0331] 低濃度領域11は、第2半導体層7の中間部の深さ位置を厚さ方向に横切ってもよい。つまり、低濃度領域11の厚さは、第2半導体層7の厚さの $1/2$ 以上であってもよい。むしろ、低濃度領域11は、第2半導体層7の中間部の深さ位置から第1主面3側に間隔を空けて形成されていてもよい。つまり、低濃度領域11の厚さは、第2半導体層7の厚さの $1/2$ 未満であってもよい。

[0332] 半導体装置1Dは、この形態では、第1主面3の表層部において低濃度領域11の下方の領域に形成されたn型の外側高濃度領域15を含む。外側高濃度領域15は、「第5領域」、「第4ドリフト領域」、「第2高濃度ドリフト領域」等と称されてもよい。外側高濃度領域15は、低濃度領域11の第2不純物濃度よりも高い第5不純物濃度を有している。第5不純物濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $5 \times 10^{16} \text{ cm}^{-3}$ 以下であってもよい。

[0333] 外側高濃度領域15は、高濃度領域10に対してチップ2の周縁部側に形

成されている。外側高濃度領域 15 は、外周領域 9 において低濃度領域 11 に沿って層状に延び、厚さ方向に低濃度領域 11 に接続されている。これにより、外側高濃度領域 15 は、低濃度領域 11 に電氣的に接続されている。

[0334] 外側高濃度領域 15 は、外周領域 9 において低濃度領域 11 よりも低い抵抗値を有する低抵抗領域（第 2 低抵抗領域）として形成されている。このような構成は、チップ 2 の内方部およびチップ 2 の周縁部の間を斜め方向に流れる電流（つまり電流拡がり）を考慮した場合において、当該電流拡がり経路の抵抗値を削減する上で有効である。

[0335] 外側高濃度領域 15 は、外周領域 9 において第 1 主面 3 の周縁および高濃度領域 10 の間の領域に形成され、平面視において高濃度領域 10（活性領域 8）に沿って帯状に延びている。外側高濃度領域 15 は、平面視において第 1 方向 X に帯状に延びる部分および第 2 方向 Y に帯状に延びる部分を有し、高濃度領域 10（活性領域 8）を複数方向から区画している。外側高濃度領域 15 は、この形態では、平面視において高濃度領域 10（活性領域 8）を取り囲む環状（この形態では四角環状）に形成されている。外側高濃度領域 15 は、低濃度領域 11 の下方の領域の全域に形成されていることが好ましい。

[0336] 外側高濃度領域 15 は、第 1 主面 3 の周縁側の外縁部および第 1 主面 3 の内方側の内縁部を有している。外側高濃度領域 15 の内縁部は、高濃度領域 10 の周縁部に接続されている。外側高濃度領域 15 は、この形態では、外周領域 9 において高濃度領域 10 に接続されている。これにより、外側高濃度領域 15 は、高濃度領域 10 に電氣的に接続されている。

[0337] 外側高濃度領域 15 の第 5 不純物濃度は、高濃度領域 10 の底部側の領域の第 1 不純物濃度とほぼ等しいことが好ましい。外側高濃度領域 15 の外縁部は、第 1 ～第 4 側面 5 A ～ 5 D のうちの少なくとも 1 つから露出していることが好ましい。外側高濃度領域 15 の外縁部は、この形態では、第 1 ～第 4 側面 5 A ～ 5 D の全てから露出している。

[0338] 外側高濃度領域 15 は、この形態では、第 2 半導体層 7 に形成されている

。つまり、半導体装置 1 D は、第 2 半導体層 7 の周縁部（外周領域 9）において低濃度領域 1 1 および外側高濃度領域 1 5 を含むマルチレイヤ構造を有している。たとえば、外側高濃度領域 1 5 は、n 型の第 2 半導体層 7 の一部（底部側の領域）に対して n 型不純物を導入することによって形成されてもよい。

[0339] 外側高濃度領域 1 5 は、第 2 半導体層 7 内において第 2 半導体層 7 の底部（第 1 半導体層 6）および低濃度領域 1 1 の底部の間の厚さ範囲の全域に形成され、第 1 半導体層 6 に接続されている。低濃度領域 1 1 が第 2 半導体層 7 の中間部の深さ位置を厚さ方向に横切っている場合、外側高濃度領域 1 5 の厚さは、第 2 半導体層 7 の厚さの $1/2$ 未満になる。低濃度領域 1 1 が第 2 半導体層 7 の中間部よりも第 1 主面 3 側に形成されている場合、外側高濃度領域 1 5 の厚さは、第 2 半導体層 7 の厚さの $1/2$ よりも大きくなる。

[0340] 複数のフィールド領域 4 2 は、半導体装置 1 A の場合と同様、低濃度領域 1 1 の表層部に形成されている。複数のフィールド領域 4 2 は、この形態では、低濃度領域 1 1 の底部から第 1 主面 3 側に間隔を空けて形成され、低濃度領域 1 1 の一部を挟んで外側高濃度領域 1 5 に対向している。

[0341] 複数のフィールド領域 4 2 は、低濃度領域 1 1 の中間部から第 1 主面 3 側に間隔を空けて形成されていることが好ましい。つまり、複数のフィールド領域 4 2 の厚さは、低濃度領域 1 1 の厚さの $1/2$ 未満であってもよい。むしろ、複数のフィールド領域 4 2 は、低濃度領域 1 1 の中間部を厚さ方向に横切っていてもよい。つまり、複数のフィールド領域 4 2 の厚さは、低濃度領域 1 1 の厚さの $1/2$ 以上であってもよい。

[0342] ドレインパッド電極 8 5 は、この形態では、ベース領域 1 4 を挟んで高濃度領域 1 0 に対向する部分、および、ベース領域 1 4 を挟んで低濃度領域 1 1（外側高濃度領域 1 5）に対向する部分を有している。

[0343] 図 1 6 は、第 5 形態に係る半導体装置 1 E の活性領域 8 の要部を示す拡大平面図である。図 1 7 は、図 1 6 に示す XVII-XVII 線に沿う断面図である。図 1 7 では、半導体装置 1 A の構成（高濃度領域 1 0、低濃度領域 1 1 等）が

半導体装置 1 E に適用された例が示されている。むろん、半導体装置 1 B ～ 1 D の構成（高濃度領域 1 0、低濃度領域 1 1、外側高濃度領域 1 5 等）が半導体装置 1 E に適用されてもよい。

[0344] 図 1 6 および図 1 7 を参照して、半導体装置 1 E は、プレーナゲート型のトランジスタ構造 T_r に代えて、デバイス構造の一例としてのトレンチゲート型のトランジスタ構造 T_r を活性領域 8 に有する半導体スイッチング装置である。

[0345] 半導体装置 1 E は、複数のボディ領域 2 0 に代えて単一のボディ領域 2 0 を有している。単一のボディ領域 2 0 は、活性領域 8 の全域において第 1 主面 3 の表層部に形成されている。単一のボディ領域 2 0 は、高濃度領域 1 0 の表層部に形成されている。単一のボディ領域 2 0 は、高濃度領域 1 0 の底部から第 1 主面 3 側に間隔を空けて形成され、高濃度領域 1 0 の一部を挟んで内側低濃度領域 1 3（ベース領域 1 4）に対向している。

[0346] 単一のボディ領域 2 0 は、高濃度領域 1 0 の中間部から第 1 主面 3 側に間隔を空けて形成されていることが好ましい。むろん、単一のボディ領域 2 0 は、高濃度領域 1 0 の中間部の深さ位置を厚さ方向に横切っていてもよい。単一のボディ領域 2 0 は、第 1 主面 3 から露出している。

[0347] 単一のボディ領域 2 0 は、高濃度領域 1 0 と p n 接合部（p n 接合ダイオード：ボディダイオード）をそれぞれ形成している。単一のボディ領域 2 0 は、逆バイアス電圧の印加時において高濃度領域 1 0 に空乏層を拡げる。空乏層は、第 1 主面 3 に沿う水平方向に関して、高濃度領域 1 0 から低濃度領域 1 1 に向けて拡がる。

[0348] 前述の OUTER ボディ領域 2 1 は、半導体装置 1 A の場合と同様、外周領域 9 において第 1 主面 3（高濃度領域 1 0）の表層部に形成されている。OUTER ボディ領域 2 1 は、この形態では、活性領域 8 の全周に亘って単一のボディ領域 2 0 に接続されている。OUTER ボディ領域 2 1 は、単一のボディ領域 2 0 の周縁部によって形成されていると見做され得る。

[0349] 半導体装置 1 E は、活性領域 8 において、プレーナ電極型の複数のゲート

構造 30 に代えて、トレンチ電極型の複数のゲート構造 35 を有している。複数のゲート構造 35 は、第 1 方向 X に間隔を空けて配列され、第 2 方向 Y に延びる帯状にそれぞれ形成されている。つまり、複数のゲート構造 35 は、第 2 方向 Y に延びるストライプ状に配列されている。また、複数のゲート構造 35 の延在方向は、SiC 単結晶のオフ方向に一致している。

[0350] 複数のゲート構造 35 は、この形態では、高濃度領域 10 の底部から第 1 主面 3 側に間隔を空けて形成され、高濃度領域 10 の一部を挟んで内側低濃度領域 13（ベース領域 14）に対向している。つまり、複数のゲート構造 35 は、高濃度領域 10 よりも浅く形成され、水平方向に低濃度領域 11 に対向している。

[0351] 複数のゲート構造 35 は、トレンチ 36、絶縁膜 31 およびゲート電極 32 をそれぞれ含む。トレンチ 36 は、第 1 主面 3 に形成され、ゲート構造 35 の壁面（側壁および底壁）を区画している。絶縁膜 31 は、トレンチ 36 の壁面を膜状に被覆している。ゲート電極 32 は、絶縁膜 31 を挟んでトレンチ 36 に埋設されている。

[0352] 前述の複数のソース領域 23、24 は、単一のボディ領域 20 の表層部において複数のゲート構造 35 の両サイドにそれぞれ形成されている。第 1 ソース領域 23 は、対応するゲート構造 35 の一方側の側壁に沿って形成され、絶縁膜 31 を挟んでゲート電極 32 に対向している。第 2 ソース領域 24 は、対応するゲート構造 35 の他方側の側壁に沿って形成され、絶縁膜 31 を挟んでゲート電極 32 に対向している。

[0353] 複数のソース領域 23、24 は、複数のゲート構造 35 の延在方向に沿ってそれぞれ帯状に延びている。複数のソース領域 23、24 は、単一のボディ領域 20 の底部から第 1 主面 3 側に間隔を空けて形成され、単一のボディ領域 20 の一部を挟んで高濃度領域 10 に対向している。

[0354] 前述の複数のコンタクト領域 25 は、単一のボディ領域 20 の表層部において複数のソース領域 23、24 の間の領域にそれぞれ形成されている。複数のコンタクト領域 25 は、複数のゲート構造 35 の延在方向に沿ってそれ

ぞれ帯状に延びている。複数のコンタクト領域 25 は、単一のボディ領域 20 の底部から第 1 主面 3 側に間隔を空けて形成され、単一のボディ領域 20 の一部を挟んで高濃度領域 10 に対向している。

[0355] 前述の複数のチャネル領域 26、27 は、単一のボディ領域 20 の底部（高濃度領域 10）および複数のソース領域 23、24 の間の領域にそれぞれ区画されている。第 1 チャネル領域 26 は、単一のボディ領域 20 の底部（高濃度領域 10）および第 1 ソース領域 23 の間の領域に区画され、ゲート構造 35 の側壁に沿って積層方向に延びる電流経路を形成する。第 2 チャネル領域 27 は、単一のボディ領域 20 の底部（高濃度領域 10）および第 2 ソース領域 24 の間の領域に区画され、ゲート構造 35 の側壁に沿って積層方向に延びる電流経路を形成する。

[0356] ゲート電極 32 にゲート電位が付与されると、チャネル領域 26、27 がオン状態になり、チャネル領域 26、27（ボディ領域 20）を介して高濃度領域 10 およびソース領域 23、24 の間にドレイン電流が流れる。このように、チップ 2 の内方部（活性領域 8）には、高濃度領域 10 を含むトレンチゲート型のトランジスタ構造 T_r が形成されている。

[0357] 半導体装置 1E は、半導体装置 1A の場合と同様、終端領域 40（オーバーラップ領域 41）、複数のフィールド領域 42、外周絶縁膜 43、ゲート配線 44、層間膜 50、複数のソース開口 54、複数のソースリセス 55、複数のアウター開口 56、複数のアウターリセス 57、複数のゲート開口 58、ソースパッド電極 60、複数の第 1 シリサイド部 67、ソースフィンガー電極 68、複数の第 2 シリサイド部 69、ゲートフィンガー電極 70、ゲートパッド電極 80 およびドレインパッド電極 85 を含む。これらの構成についての説明は、半導体装置 1A の場合と同様であるため、省略される。

[0358] 図 18 は、第 6 形態に係る半導体装置 1F を示す平面図である。図 19 は、図 18 に示す XIX-XIX 線に沿う断面図である。半導体装置 1F は、トランジスタ構造 T_r に代えて、デバイス構造の一例としてのダイオード構造 D_i を有する半導体整流装置である。ダイオード構造 D_i は、この形態では、SB

D構造 (Schottky Barrier Diode structure) である。

[0359] 図18および図19を参照して、半導体装置1Fは、半導体装置1Aの場合と同様、チップ2、第1半導体層6、第2半導体層7、活性領域8、外周領域9、高濃度領域10、低濃度領域11、領域境界部12、内側低濃度領域13、終端領域40および複数のフィールド領域42を含む。これらの構成についての説明は、半導体装置1Aの場合と同様であるため、省略される。

[0360] 半導体装置1Fは、第1主面3を選択的に被覆する層間膜90を含む。層間膜90は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含む単層構造または積層構造を有していてもよい。層間膜90は、この形態では、酸化シリコン膜を含む単層構造を有している。

[0361] 層間膜90は、外周領域9において、低濃度領域11、終端領域40および複数のフィールド領域42を被覆している。層間膜90は、この形態では、第1主面3の周縁（第1～第4側面5A～5D）に連なっている。むしろ、層間膜90は、第1主面3の周縁から内方に間隔を空けて形成され、第1主面3の周縁部から第2半導体層7（低濃度領域11）を露出させていてもよい。

[0362] 半導体装置1Fは、層間膜90において高濃度領域10を露出させるコンタクト開口91を含む。コンタクト開口91は、この形態では、終端領域40の上に位置された開口壁面を有し、高濃度領域10および終端領域40の内縁部を露出させている。開口壁面は、平面視においてチップ2の周縁に平行な4辺を有する多角形状（この形態では四角形状）に形成され、終端領域40の内周部を全周に亘って露出させている。

[0363] 半導体装置1Fは、第1主面3の上に配置されたアノードパッド電極92を含む。アノードパッド電極92は、外部からアノード電位が付与される端子電極である。アノードパッド電極92は、「第1パッド電極」、「第1主面電極」、「第1端子電極」等と称されてもよい。アノードパッド電極92は、チップ2の周縁から内方に間隔を空けて配置されている。アノードパッド

ド電極 92 は、平面視においてチップ 2 の周縁に沿う多角形状（この形態では四角形状）に形成されている。

[0364] アノードパッド電極 92 は、層間膜 90 の上からコンタクト開口 91 に入り込み、コンタクト開口 91 内において高濃度領域 10 および終端領域 40 の内縁部に電氣的に接続されている。アノードパッド電極 92 は、高濃度領域 10 とショットキー接合を形成している。これにより、高濃度領域 10 を含むダイオード構造 D_i が形成されている。アノードパッド電極 92 は、コンタクト開口 91 内において終端領域 40 を挟んで高濃度領域 10 に対向する部分を有している。

[0365] アノードパッド電極 92 は、層間膜 90 を挟んで終端領域 40 を被覆する周縁部を有している。つまり、アノードパッド電極 92 の周縁部は、積層方向に高濃度領域 10 に対向する部分を有している。アノードパッド電極 92 の周縁部は、領域境界部 12 を水平方向に横切り、層間膜 90 を挟んで低濃度領域 11 を被覆する部分を有していてもよい。

[0366] アノードパッド電極 92 の周縁部は、最内のフィールド領域 42 から内方に間隔を空けて形成されていてもよい。アノードパッド電極 92 の周縁部は、層間膜 90 を挟んで最内のフィールド領域 42 を被覆する部分を有していてもよい。アノードパッド電極 92 の周縁部は、層間膜 90 を挟んで複数のフィールド領域 42 を被覆していてもよい。

[0367] 半導体装置 1F は、第 2 主面 4 を被覆するカソードパッド電極 93 を含む。カソードパッド電極 93 は、外部からカソード電位が付与される端子電極である。カソードパッド電極 93 は、「第 2 パッド電極」、「第 2 主面電極」、「第 2 端子電極」等と称されてもよい。カソードパッド電極 93 は、ベース領域 14 に電氣的に接続されている。

[0368] カソードパッド電極 93 は、この形態では、ベース領域 14 を挟んで高濃度領域 10 に対向する部分、および、ベース領域 14 を挟んで低濃度領域 11 に対向する部分を有している。カソードパッド電極 93 は、第 2 主面 4 の周縁（第 1 ～第 4 側面 5A ～5D）に連なるように第 2 主面 4 の全域を被覆

していてもよい。カソードパッド電極 9 3 は、第 2 主面 4 の周縁部を露出させるように第 2 主面 4 を部分的に被覆していてもよい。

[0369] アノードパッド電極 9 2 およびカソードパッド電極 9 3 の間（第 1 主面 3 および第 2 主面 4 の間）に印加可能なブレイクダウン電圧は、500 V 以上 3000 V 以下であってもよい。ブレイクダウン電圧は、500 V 以上 1000 V 以下、1000 V 以上 1500 V 以下、1500 V 以上 2000 V 以下、2000 V 以上 2500 V 以下、および、2500 V 以上 3000 V 以下のうちの少なくとも 1 つの範囲に属する値を有していてもよい。

[0370] 前述の第 2 ～第 4 形態に係る半導体装置 1 B ～ 1 D の構成（図 1 2 ～図 1 5 参照）は、第 6 形態に係る半導体装置 1 F の構成（図 1 9 参照）に適用可能である。図 2 0 ～図 2 2 では、これらの構成が第 7 ～第 9 形態として示されている。図 2 0 は、第 7 形態に係る半導体装置 1 G を示す断面図である。図 2 1 は、第 8 形態に係る半導体装置 1 H を示す断面図である。図 2 2 は、第 9 形態に係る半導体装置 1 I を示す断面図である。

[0371] 図 2 0 を参照して、半導体装置 1 G は、半導体装置 1 B（図 1 2 参照）の高濃度領域 1 0 および低濃度領域 1 1 が半導体装置 1 F に組み合わせられた構成を有している。図 2 1 を参照して、半導体装置 1 H は、半導体装置 1 C（図 1 3 および図 1 4 参照）の高濃度領域 1 0 および低濃度領域 1 1 が半導体装置 1 F に組み合わせられた構成を有している。図 2 2 を参照して、半導体装置 1 I は、半導体装置 1 D（図 1 5 参照）の高濃度領域 1 0、低濃度領域 1 1 および外側高濃度領域 1 5 が半導体装置 1 F に組み合わせられた構成を有している。

[0372] 以下、第 1 ～第 9 形態に係る半導体装置 1 A ～ 1 I に適用される変形例が示される。図 2 3 は、アウターボディ領域 2 1 の変形例を示す断面図である。図 2 3 では、変形例に係る構成が半導体装置 1 A（第 1 形態）に適用された構成が例示されるが、変形例に係る構成は半導体装置 1 A ～ 1 I（第 1 ～第 9 形態）の全てに適用可能である。

[0373] 前述の各形態では、アウターボディ領域 2 1 が高濃度領域 1 0 の周縁から

内方に間隔を空けて形成された例が示された。しかし、図 23 に示されるように、アウターボディ領域 21 の外縁部は、高濃度領域 10 の周縁部を横切り、低濃度領域 11 に位置されていてもよい。

[0374] つまり、アウターボディ領域 21 は、外周領域 9 において低濃度領域 11 の表層部に位置され、低濃度領域 11 と p n 接合部を形成する部分（外縁部）を有していてもよい。この構成では、空乏層が、アウターボディ領域 21 から低濃度領域 11 に直接広がる。したがって、空乏層の範囲が、チップ 2 の周縁部（外周領域 9）において適切に拡張される。

[0375] この場合、終端領域 40 は、低濃度領域 11 の表層部において、高濃度領域 10 の周縁部に対してチップ 2 の周縁側に位置されている。つまり、終端領域 40 の全域が低濃度領域 11 の表層部に位置されている。終端領域 40 の内縁部は、低濃度領域 11 の表層部においてアウターボディ領域 21 の外縁部に接続されている。つまり、終端領域 40 は、低濃度領域 11 の表層部においてアウターボディ領域 21 とオーバーラップ領域 41 を形成している。

[0376] この構成では、空乏層が、終端領域 40 の全域から低濃度領域 11 に直接広がる。したがって、空乏層の範囲が、チップ 2 の周縁部（外周領域 9）において適切に拡張される。むろん、終端領域 40 は、アウターボディ領域 21 の p 型不純物濃度とほぼ等しい p 型不純物濃度を有し、アウターボディ領域 21 の一部（引き出し部）として形成されていてもよい。

[0377] 図 24 は、フィールド領域 42 の変形例を示す断面図である。図 24 では、変形例に係る構成が半導体装置 1A（第 1 形態）に適用された構成が例示されるが、変形例に係る構成は半導体装置 1A～1I（第 1～第 9 形態）の全てに適用可能である。前述の各形態では、複数のフィールド領域 42 が低濃度領域 11 の表層部に形成された例が示された。しかし、図 24 に示されるように、単一のフィールド領域 42 が低濃度領域 11 の表層部に形成されていてもよい。

[0378] 単一のフィールド領域 42 は、第 1 主面 3 の周縁から内方に間隔を空けて、終端領域 40 およびアウターボディ領域 21 の間の領域に形成されている

。単一のフィールド領域42は、平面視において終端領域40に沿って帯状に延びている。単一のフィールド領域42は、平面視において第1方向Xに帯状に延びる部分および第2方向Yに帯状に延びる部分を有し、活性領域8を複数方向から区画している。

[0379] 単一のフィールド領域42は、平面視において終端領域40を取り囲み、第1主面3の周縁に平行な4辺を有する多角環状（この形態では四角環状）に区画されている。単一のフィールド領域42は、平面視において第1方向Xに延びる部分および第2方向Yに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい。

[0380] 低濃度領域11の幅に対する単一のフィールド領域42の幅の比は、0.1以上1未満であってもよい。幅の比は、0.1以上0.2以下、0.2以上0.4以下、0.4以上0.6以下、0.6以上0.8以下、および、0.8以上1未満のうちの少なくとも1つの範囲に属する値を有していてもよい。

[0381] 単一のフィールド領域42は、低濃度領域11の底部から第1主面3側に間隔を空けて形成され、低濃度領域11の一部を挟んでベース領域14に対向している。単一のフィールド領域42は、高濃度領域10の底部の深さ位置から第1主面3側に間隔を空けて形成されている。単一のフィールド領域42は、高濃度領域10の中間部の深さ位置から第1主面3側に間隔を空けて形成されていることが好ましい。むろん、単一のフィールド領域42は、高濃度領域10の中間部の深さ位置を厚さ方向に横切っていてもよい。

[0382] 単一のフィールド領域42は、終端領域40側の内縁部および第1主面3の周縁側の外縁部を有している。単一のフィールド領域42の内縁部は、この形態では、終端領域40の外縁部に接続されている。これにより、単一のフィールド領域42は、終端領域40に電氣的に接続されている。単一のフィールド領域42の内縁部は、この形態では、全周に亘って終端領域40の外縁部に接続されている。

[0383] 単一のフィールド領域42が終端領域40のp型不純物濃度とほぼ等しい

p型不純物濃度を有している場合、単一のフィールド領域42は終端領域40の引き出し部として終端領域40から低濃度領域11の表層部に引き出されていてもよい。つまり、終端領域40は、引き出し部としての単一のフィールド領域42を有していてもよい。むろん、単一のフィールド領域42は、終端領域40から間隔を空けて形成されていてもよい。

[0384] 図25は、ソースパッド電極60の第1変形例を示す断面図である。図25では、変形例に係る構成が半導体装置1A（第1形態）に適用された構成が例示されるが、変形例に係る構成は半導体装置1A～1E（第1～5形態）の全てに適用可能である。

[0385] 前述の第1～5形態では、複数の第1埋設電極62が絶縁面51を露出させるように複数のソース開口54に埋設されていた。しかし、図25に示されるように、ソースパッド電極60は、複数のソース開口54から絶縁面51の上に引き出され、絶縁面51を被覆する複数の第1埋設電極62を有していてもよい。

[0386] 複数の第1埋設電極62は、絶縁面51の上で第1下地電極膜61を被覆し、第1下地電極膜61を挟んで絶縁面51を被覆する部分を有している。つまり、複数の第1埋設電極62は、絶縁面51よりも上方で複数のソース開口54から露出した第1埋設電極面66をそれぞれ有している。複数の第1埋設電極62は、積層方向（鉛直方向Z）に関して第1下地電極膜61および層間膜50を挟んでゲート電極32に対向する部分を有している。

[0387] 複数の第1埋設電極62は、絶縁面51の上で一体化し、1つの中間電極95を形成している。中間電極95（複数の第1埋設電極62）は、第1下地電極膜61の全域を被覆している。中間電極95の電極面（第1埋設電極面66）は、絶縁面51よりも上方に位置されている。

[0388] 第1主電極膜63は、この形態では、絶縁面51よりも上方で複数の第1埋設電極62（中間電極95）の第1埋設電極面66に機械的および電氣的に接続されている。第1主電極膜63は、複数の第1埋設電極62（中間電極95）を挟んで絶縁面51に対向する部分を有している。第1主電極膜6

3は、この形態では、第1下地電極膜61に対する機械的接続部を有さない。

[0389] 変形例に係る複数の第1埋設電極62（中間電極95）の構成は、ソースフィンガー電極68の複数の第1埋設電極62にも適用可能である。同様に、変形例に係る複数の第1埋設電極62（中間電極95）の構成は、ゲートフィンガー電極70の複数の第2埋設電極72にも適用可能である。

[0390] 図26は、ソースパッド電極60の第2変形例を示す断面図である。図26では、変形例に係る構成が半導体装置1A（第1形態）に適用された構成が例示されるが、変形例に係る構成は半導体装置1A～1E（第1～5形態）の全てに適用可能である。

[0391] 前述の第1～5形態では、ソースパッド電極60が複数の第1埋設電極62を有していた。しかし、ソースパッド電極60は、必ずしも第1埋設電極62を有している必要はない。この場合、ソースパッド電極60の第1主電極膜63は、層間膜50の上から複数のソース開口54に入り込み、複数のソース開口54内においてボディ領域20等に電氣的に接続される。

[0392] 同様に、ソースフィンガー電極68は、必ずしも第1埋設電極62を有している必要はない。この場合、ソースフィンガー電極68の第1主電極膜63は、層間膜50の上から複数のアウター開口56に入り込み、複数のアウター開口56内において終端領域40（オーバーラップ領域41）に電氣的に接続される。

[0393] 同様に、ゲートフィンガー電極70は、必ずしも第2埋設電極72を有している必要はない。この場合、ゲートフィンガー電極70の第2主電極膜73は、層間膜50の上から複数のゲート開口58に入り込み、複数のゲート開口58内においてゲート配線44に電氣的に接続される。

[0394] 半導体装置1A～1Eは、ソースパッド電極60に係る第1埋設電極62を有する一方で、ソースフィンガー電極68に係る第1埋設電極62を有していなくてもよい。半導体装置1A～1Eは、ソースフィンガー電極68に係る第1埋設電極62を有する一方で、ソースパッド電極60に係る第1埋

設電極 6 2 を有していなくてもよい。

[0395] 半導体装置 1 A ~ 1 E は、ソースパッド電極 6 0 に係る第 1 埋設電極 6 2 を有する一方で、第 2 埋設電極 7 2 を有していなくてもよい。半導体装置 1 A ~ 1 E は、第 2 埋設電極 7 2 を有する一方で、ソースパッド電極 6 0 に係る第 1 埋設電極 6 2 を有していなくてもよい。半導体装置 1 A ~ 1 E は、ソースフィンガー電極 6 8 に係る第 1 埋設電極 6 2 を有する一方で、第 2 埋設電極 7 2 を有していなくてもよい。半導体装置 1 A ~ 1 E は、第 2 埋設電極 7 2 を有する一方で、ソースフィンガー電極 6 8 に係る第 1 埋設電極 6 2 を有していなくてもよい。

[0396] 前述の各形態（変形例を含む）はさらに他の形態で実施可能である。たとえば、前述の各形態において、a 軸方向および m 軸方向の関係が入れ換えられた構成が採用されてもよい。この場合の具体的な構成は、前述の説明および添付図面において「a 軸方向（オフ方向）」および「m 軸方向（オフ方向に直交する方向）」を入れ換えることによって得られる。

[0397] 前述の各形態において、「n 型」の半導体領域の導電型が「p 型」に反転され、「p 型」の半導体領域の導電型が「n 型」に反転された構造が採用されてもよい。この場合の具体的な構成は、前述の説明および添付図面において、「n 型」を「p 型」に置き換えると同時に、「p 型」を「n 型」に置き換えることによって得られる。

[0398] 前述の各形態では、S i C 単結晶を含むチップ 2 が採用された。しかし、チップ 2 は、S i C 単結晶以外のワイドバンドギャップ半導体の単結晶を含んでいてもよい。ワイドバンドギャップ半導体は、シリコンのバンドギャップよりも大きいバンドギャップを有する半導体である。ワイドバンドギャップ半導体の単結晶として、窒化ガリウム、酸化ガリウム、ダイヤモンド等が例示される。むろん、チップ 2 は、シリコン単結晶を含んでいてもよい。

[0399] 同様に、第 1 半導体層 6 は、S i C 単結晶以外のワイドバンドギャップ半導体の単結晶を含んでいてもよい。第 1 半導体層 6 は、窒化ガリウム、酸化ガリウム、ダイヤモンド等を含んでいてもよい。むろん、第 1 半導体層 6 は

、シリコン単結晶を含んでいてもよい。

[0400] 同様に、第2半導体層7は、SiC単結晶以外のワイドバンドギャップ半導体の単結晶を含んでいてもよい。第2半導体層7は、窒化ガリウム、酸化ガリウム、ダイヤモンド等を含んでいてもよい。むろん、第2半導体層7は、シリコン単結晶を含んでいてもよい。

[0401] 前述の第1～第5形態では、n型のベース領域14が示された。しかし、n型のベース領域14に変えてp型のベース領域14が採用されてもよい。この場合、MISFET構造に代えてIGBT (Insulated Gate Bipolar Transistor) 構造が形成される。この場合、前述の説明において、MISFET構造の「ソース」がIGBT構造の「エミッタ」に置き換えられ、MISFET構造の「ドレイン」がIGBT構造の「コレクタ」に置き換えられる。p型のベース領域14はイオン注入法によってチップ2 (n型のチップ2) の第2主面4の表層部に導入されたp型不純物を含む不純物領域であってもよい。

[0402] 前述の第6～第9形態では、ダイオード構造Diの一例としてのSBD構造 (ショットキーバリアダイオード) が示された。しかし、ダイオード構造Diは、pn接合ダイオード、pin接合ダイオード、ツェナダイオードおよびファストリカバリーダイオードのうちの少なくとも1つを含んでいてもよい。これらの場合、ダイオード構造Diは、高濃度領域10の表層部において高濃度領域10とpn接合部を形成する1つまたは複数のp型のアノード領域を含んでいてもよい。

[0403] 以下、この明細書および図面から抽出される特徴例が示される。以下、括弧内の英数字等は前述の各形態における対応構成要素等を表すが、各項目 (Clause) の範囲を前述の各形態に限定する趣旨ではない。以下の項目に係る「半導体装置」は、必要に応じて「SiC半導体装置」、「ワイドバンドギャップ半導体装置」、「半導体スイッチング装置」、「MISFET装置」、「IGBT装置」、「半導体整流装置」等に置き換えられてもよい。

[0404] [A1] 主面(3)を有するチップ(2)と、前記チップ(2)の内方部

側で前記主面（３）の表層部に形成された第１導電型（n-type）の高濃度領域（１０）と、前記チップ（２）の周縁部側で前記主面（３）の表層部に形成され、前記高濃度領域（１０）の不純物濃度よりも低い不純物濃度を有する第１導電型（n-type）の低濃度領域（１１）と、を含む、半導体装置（１Ａ～１Ｉ）。

[0405] [Ａ２] 前記チップ（２）は、SiCを含む、Ａ１に記載の半導体装置（１Ａ～１Ｉ）。

[0406] [Ａ３] 前記チップ（２）は、側面（５Ａ～５Ｄ）を有し、前記高濃度領域（１０）は、前記側面（５Ａ～５Ｄ）から間隔を空けて形成され、前記低濃度領域（１１）は、前記側面（５Ａ～５Ｄ）から露出している、Ａ１またはＡ２に記載の半導体装置（１Ａ～１Ｉ）。

[0407] [Ａ４] 前記低濃度領域（１１）は、平面視において前記高濃度領域（１０）に沿って帯状に延びている、Ａ１～Ａ３のいずれか一つに記載の半導体装置（１Ａ～１Ｉ）。

[0408] [Ａ５] 前記低濃度領域（１１）は、平面視において前記高濃度領域（１０）を取り囲んでいる、Ａ１～Ａ４のいずれか一つに記載の半導体装置（１Ａ～１Ｉ）。

[0409] [Ａ６] 前記低濃度領域（１１）は、前記高濃度領域（１０）に接続されている、Ａ１～Ａ５のいずれか一つに記載の半導体装置（１Ａ～１Ｉ）。

[0410] [Ａ７] 前記チップ（２）の前記内方部側において前記高濃度領域（１０）の下方の領域に形成され、前記高濃度領域（１０）の前記不純物濃度よりも低い不純物濃度を有する第１導電型（n-type）の内側低濃度領域（１３）をさらに含む、Ａ１～Ａ６のいずれか一つに記載の半導体装置（１Ａ～１Ｉ）。

[0411] [Ａ８] 前記内側低濃度領域（１３）は、前記チップ（２）の前記周縁部側において前記低濃度領域（１１）に接続されている、Ａ７に記載の半導体装置（１Ａ～１Ｉ）。

[0412] [Ａ９] 前記チップ（２）の前記周縁部側において前記低濃度領域（１１

）の下方の領域に形成され、前記低濃度領域（１１）の前記不純物濃度よりも高い不純物濃度を有する第１導電型（n-type）の外側高濃度領域（１５）をさらに含む、Ａ１～Ａ８のいずれか一つに記載の半導体装置（１Ａ～１Ｉ）。

[0413] [Ａ１０] 前記外側高濃度領域（１５）は、前記チップ（２）の前記内方部側において前記高濃度領域（１０）に接続されている、Ａ９に記載の半導体装置（１Ａ～１Ｉ）。

[0414] [Ａ１１] 前記チップ（２）の前記内方部側において前記高濃度領域（１０）の下方の領域に形成され、前記高濃度領域（１０）の前記不純物濃度よりも高い不純物濃度を有する第１導電型（n-type）のベース領域（１４）をさらに含む、Ａ１～Ａ１０のいずれか一つに記載の半導体装置（１Ａ～１Ｉ）。

[0415] [Ａ１２] 前記高濃度領域（１０）の表層部に形成された第２導電型（p-type）の不純物領域（２０、２１、４０）をさらに含む、Ａ１～Ａ１１のいずれか一つに記載の半導体装置（１Ａ～１Ｉ）。

[0416] [Ａ１３] 前記低濃度領域（１１）の表層部に形成された第２導電型（p-type）のフィールド領域（４２）をさらに含む、Ａ１～Ａ１２のいずれか一つに記載の半導体装置（１Ａ～１Ｉ）。

[0417] [Ａ１４] 主面（３）を有するチップ（２）と、前記主面（３）の内方部に設けられた活性領域（８）と、前記主面（３）の周縁部に設けられた外周領域（９）と、前記活性領域（８）において前記主面（３）の表層部に形成された第１導電型（n-type）の高濃度領域（１０）と、前記外周領域（９）において前記主面（３）の表層部に形成され、前記高濃度領域（１０）の不純物濃度よりも低い不純物濃度を有する第１導電型（n-type）の低濃度領域（１１）と、を含む、半導体装置（１Ａ～１Ｉ）。

[0418] [Ａ１５] 前記チップ（２）は、ＳｉＣを含む、Ａ１４に記載の半導体装置（１Ａ～１Ｉ）。

[0419] [Ａ１６] 前記外周領域（９）において前記低濃度領域（１１）の表層部

に形成された第2導電型(p-type)のフィールド領域(42)をさらに含む、A14またはA15に記載の半導体装置(1A~1I)。

[0420] [A17] 前記フィールド領域(42)は、前記高濃度領域(10)から間隔を空けて前記低濃度領域(11)の表層部に形成されている、A16に記載の半導体装置(1A~1I)。

[0421] [A18] 前記活性領域(8)において前記高濃度領域(10)の表層部に形成された第2導電型の不純物領域(20、21、40)をさらに含む、A14~A17のいずれか一つに記載の半導体装置(1A~1I)。

[0422] [A19] 前記外周領域(9)において前記高濃度領域(10)の表層部および前記低濃度領域(11)の表層部のいずれか一方または双方に形成された第2導電型(p-type)の終端領域(40)をさらに含む、A14~A18のいずれか一つに記載の半導体装置(1A~1I)。

[0423] [A20] 前記高濃度領域(10)を含み、前記活性領域(8)に形成されたデバイス構造(T_r、D_i)をさらに含む、A14~A19のいずれか一つに記載の半導体装置(1A~1I)。

[0424] 以上、具体的な形態が詳細に説明されたが、これらは技術的内容を明示する具体例に過ぎない。この明細書から抽出される種々の技術的思想は、明細書内の説明順序、形態例の順序、変形例の順序等に制限されずにそれらの間で適宜組み合わせ可能である。

符号の説明

- [0425] 1A 半導体装置
1B 半導体装置
1C 半導体装置
1D 半導体装置
1E 半導体装置
1F 半導体装置
1G 半導体装置
1H 半導体装置

- 1 I 半導体装置
- 2 チップ
- 3 第1主面
- 5 A 第1側面
- 5 B 第2側面
- 5 C 第3側面
- 5 D 第4側面
- 8 活性領域
- 9 外周領域
- 1 0 高濃度領域
- 1 1 低濃度領域
- 1 3 内側低濃度領域
- 1 4 ベース領域
- 1 5 外側高濃度領域
- 2 0 ボディ領域（不純物領域）
- 2 1 アウターボディ領域（不純物領域）
- 4 0 終端領域（不純物領域）
- 4 2 フィールド領域
- T r トランジスタ構造（デバイス構造）
- D i ダイオード構造（デバイス構造）

請求の範囲

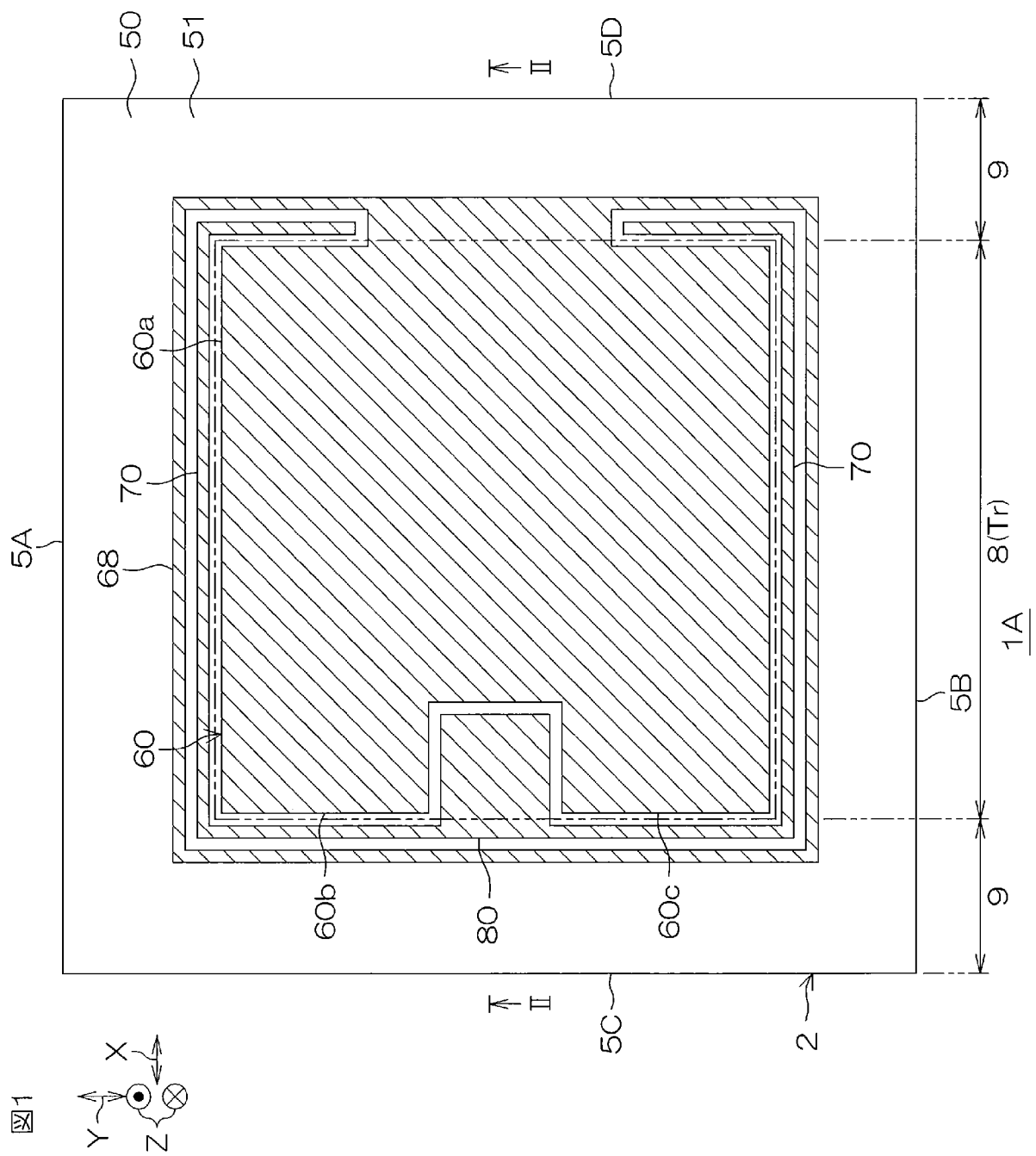
- [請求項1] 主面を有するチップと、
前記チップの内方部側で前記主面の表層部に形成された第1導電型の高濃度領域と、
前記チップの周縁部側で前記主面の表層部に形成され、前記高濃度領域の不純物濃度よりも低い不純物濃度を有する第1導電型の低濃度領域と、を含む、半導体装置。
- [請求項2] 前記チップは、SiCを含む、請求項1に記載の半導体装置。
- [請求項3] 前記チップは、側面を有し、
前記高濃度領域は、前記側面から間隔を空けて形成され、
前記低濃度領域は、前記側面から露出している、請求項1または2に記載の半導体装置。
- [請求項4] 前記低濃度領域は、平面視において前記高濃度領域に沿って帯状に延びている、請求項1～3のいずれか一項に記載の半導体装置。
- [請求項5] 前記低濃度領域は、平面視において前記高濃度領域を取り囲んでいる、請求項4に記載の半導体装置。
- [請求項6] 前記低濃度領域は、前記高濃度領域に接続されている、請求項1～5のいずれか一項に記載の半導体装置。
- [請求項7] 前記チップの前記内方部側において前記高濃度領域の下方の領域に形成され、前記高濃度領域の前記不純物濃度よりも低い不純物濃度を有する第1導電型の内側低濃度領域をさらに含む、請求項1～6のいずれか一項に記載の半導体装置。
- [請求項8] 前記内側低濃度領域は、前記チップの前記周縁部側において前記低濃度領域に接続されている、請求項7に記載の半導体装置。
- [請求項9] 前記チップの前記周縁部側において前記低濃度領域の下方の領域に形成され、前記低濃度領域の前記不純物濃度よりも高い不純物濃度を有する第1導電型の外側高濃度領域をさらに含む、請求項1～8のいずれか一項に記載の半導体装置。

- [請求項10] 前記外側高濃度領域は、前記チップの前記内方部側において前記高濃度領域に接続されている、請求項9に記載の半導体装置。
- [請求項11] 前記チップの前記内方部側において前記高濃度領域の下方の領域に形成され、前記高濃度領域の前記不純物濃度よりも高い不純物濃度を有する第1導電型のベース領域をさらに含む、請求項1～10のいずれか一項に記載の半導体装置。
- [請求項12] 前記高濃度領域の表層部に形成された第2導電型の不純物領域をさらに含む、請求項1～11のいずれか一項に記載の半導体装置。
- [請求項13] 前記低濃度領域の表層部に形成された第2導電型のフィールド領域をさらに含む、請求項1～12のいずれか一項に記載の半導体装置。
- [請求項14] 主面を有するチップと、
前記主面の内方部に設けられた活性領域と、
前記主面の周縁部に設けられた外周領域と、
前記活性領域において前記主面の表層部に形成された第1導電型の高濃度領域と、
前記外周領域において前記主面の表層部に形成され、前記高濃度領域の不純物濃度よりも低い不純物濃度を有する第1導電型の低濃度領域と、を含む、半導体装置。
- [請求項15] 前記チップは、SiCを含む、請求項14に記載の半導体装置。
- [請求項16] 前記外周領域において前記低濃度領域の表層部に形成された第2導電型のフィールド領域をさらに含む、請求項14または15に記載の半導体装置。
- [請求項17] 前記フィールド領域は、前記高濃度領域から間隔を空けて前記低濃度領域の表層部に形成されている、請求項16に記載の半導体装置。
- [請求項18] 前記活性領域において前記高濃度領域の表層部に形成された第2導電型の不純物領域をさらに含む、請求項14～17のいずれか一項に記載の半導体装置。
- [請求項19] 前記外周領域において前記高濃度領域の表層部および前記低濃度領

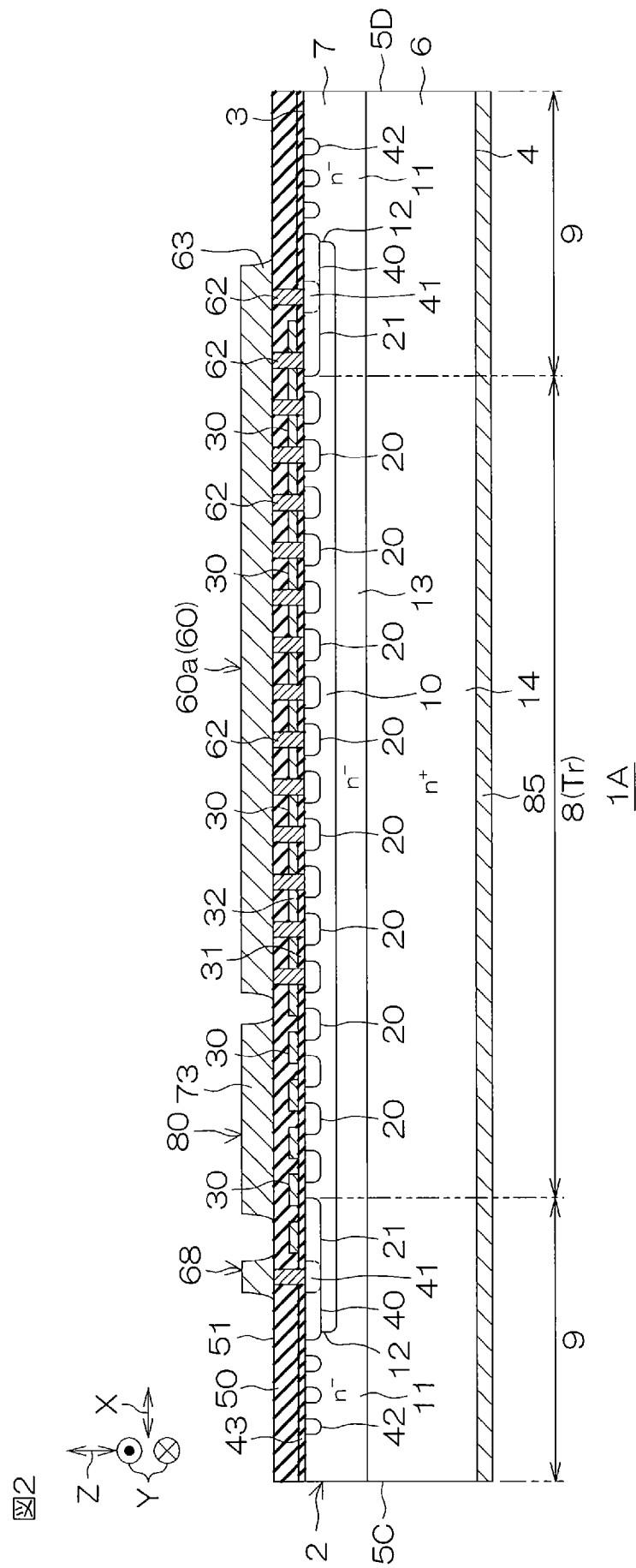
域の表層部のいずれか一方または双方に形成された第2導電型の終端領域をさらに含む、請求項14～18のいずれか一項に記載の半導体装置。

[請求項20] 前記高濃度領域を含み、前記活性領域に形成されたデバイス構造をさらに含む、請求項14～19のいずれか一項に記載の半導体装置。

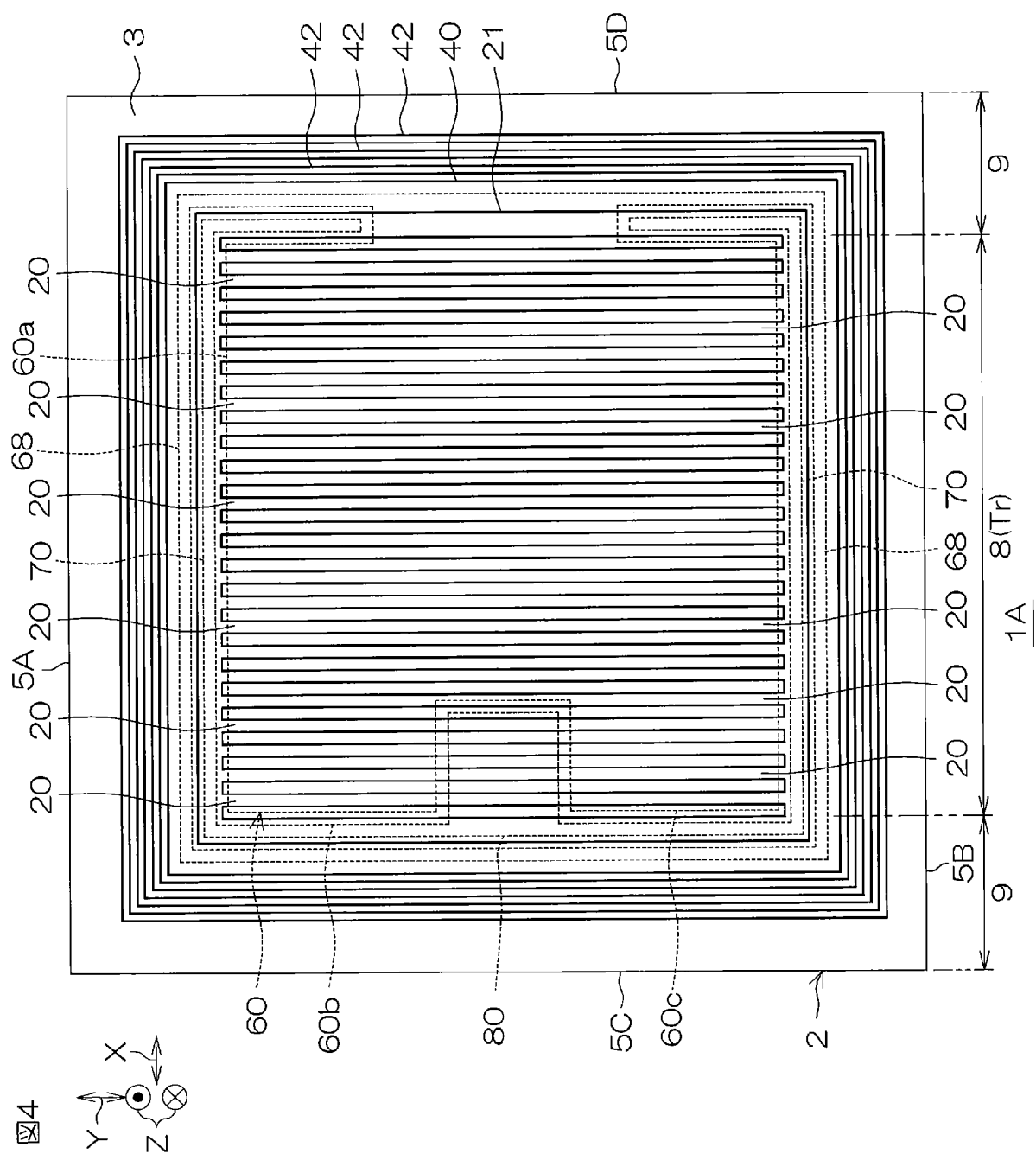
[図1]



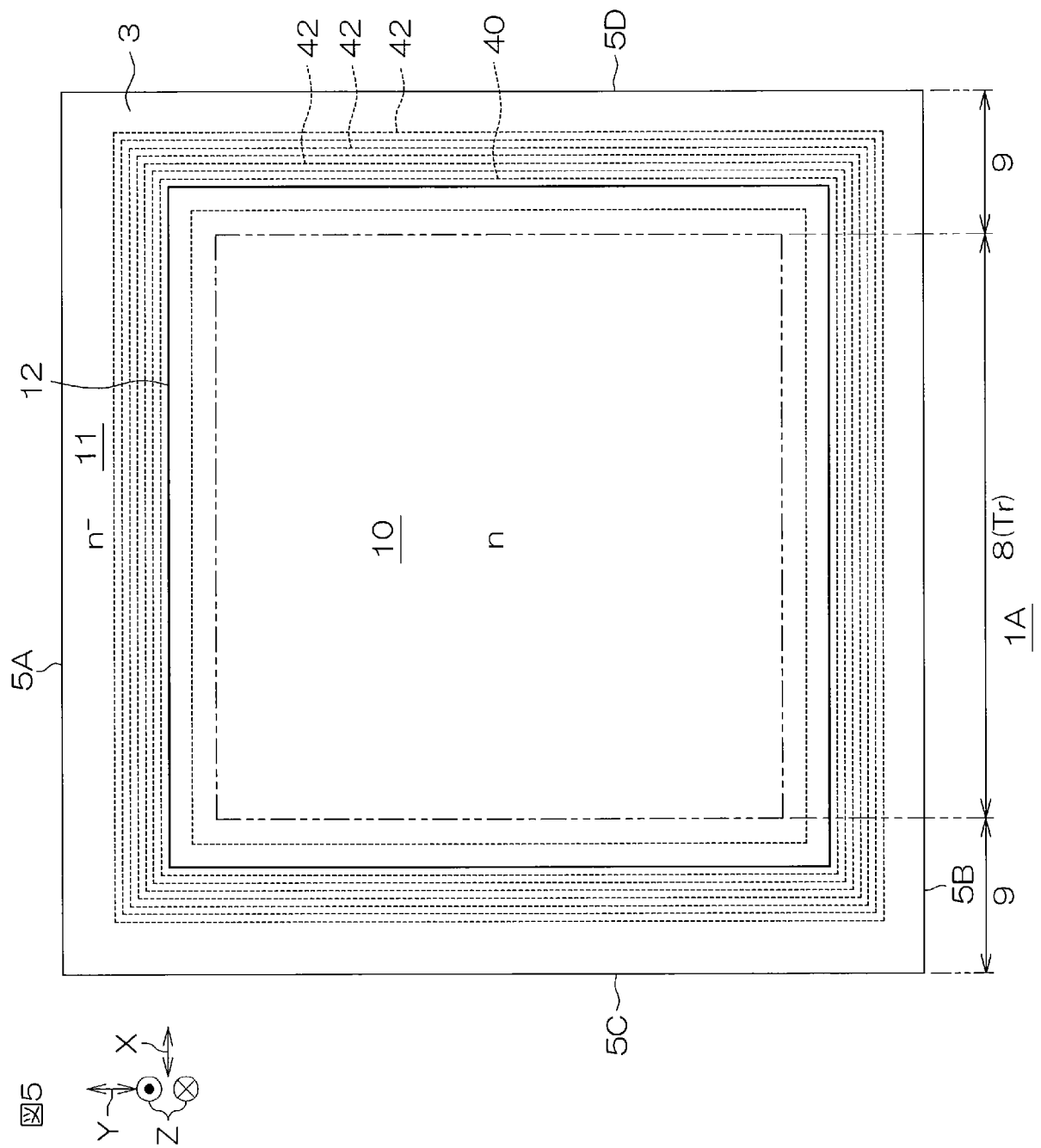
[図2]



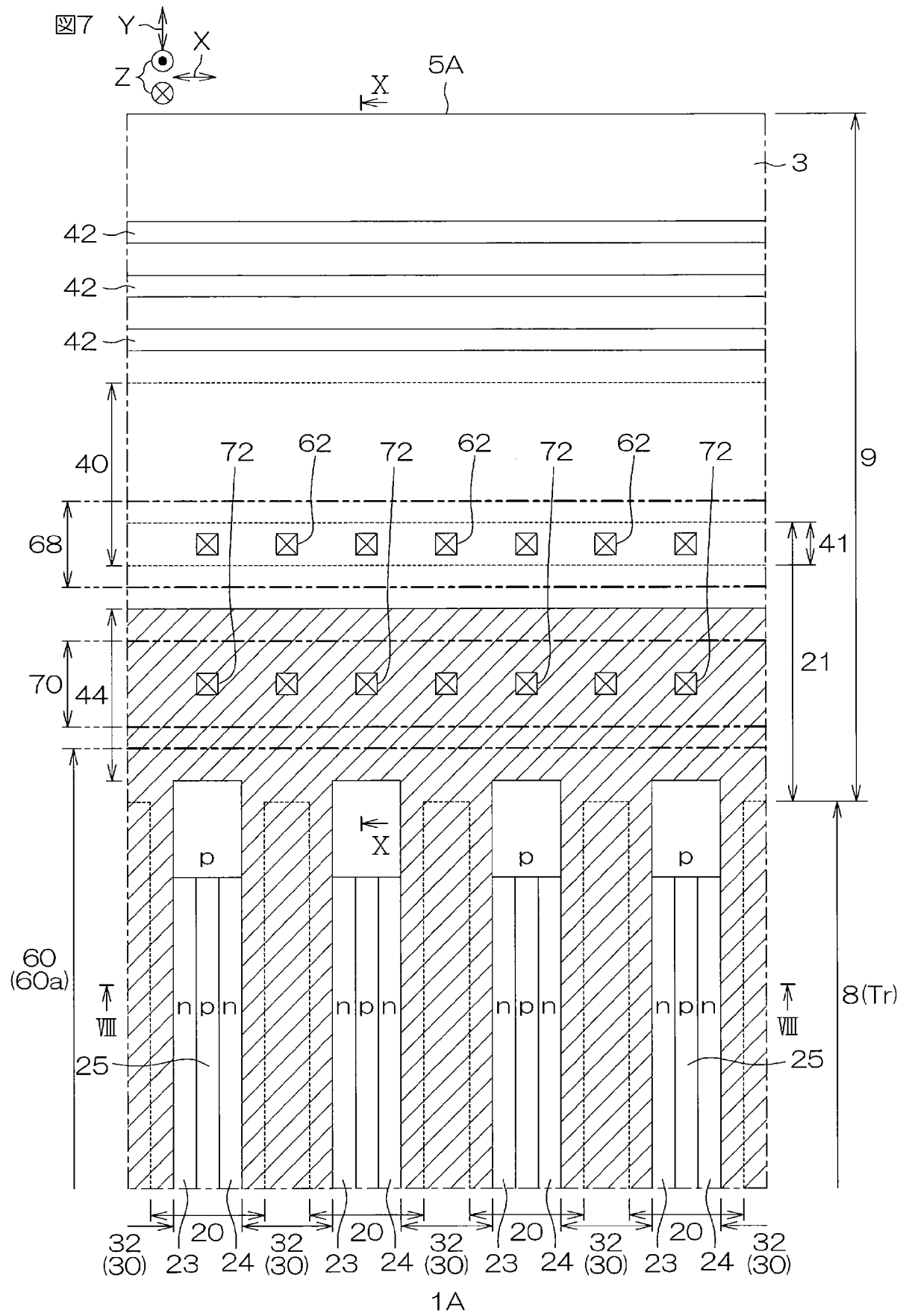
[図4]



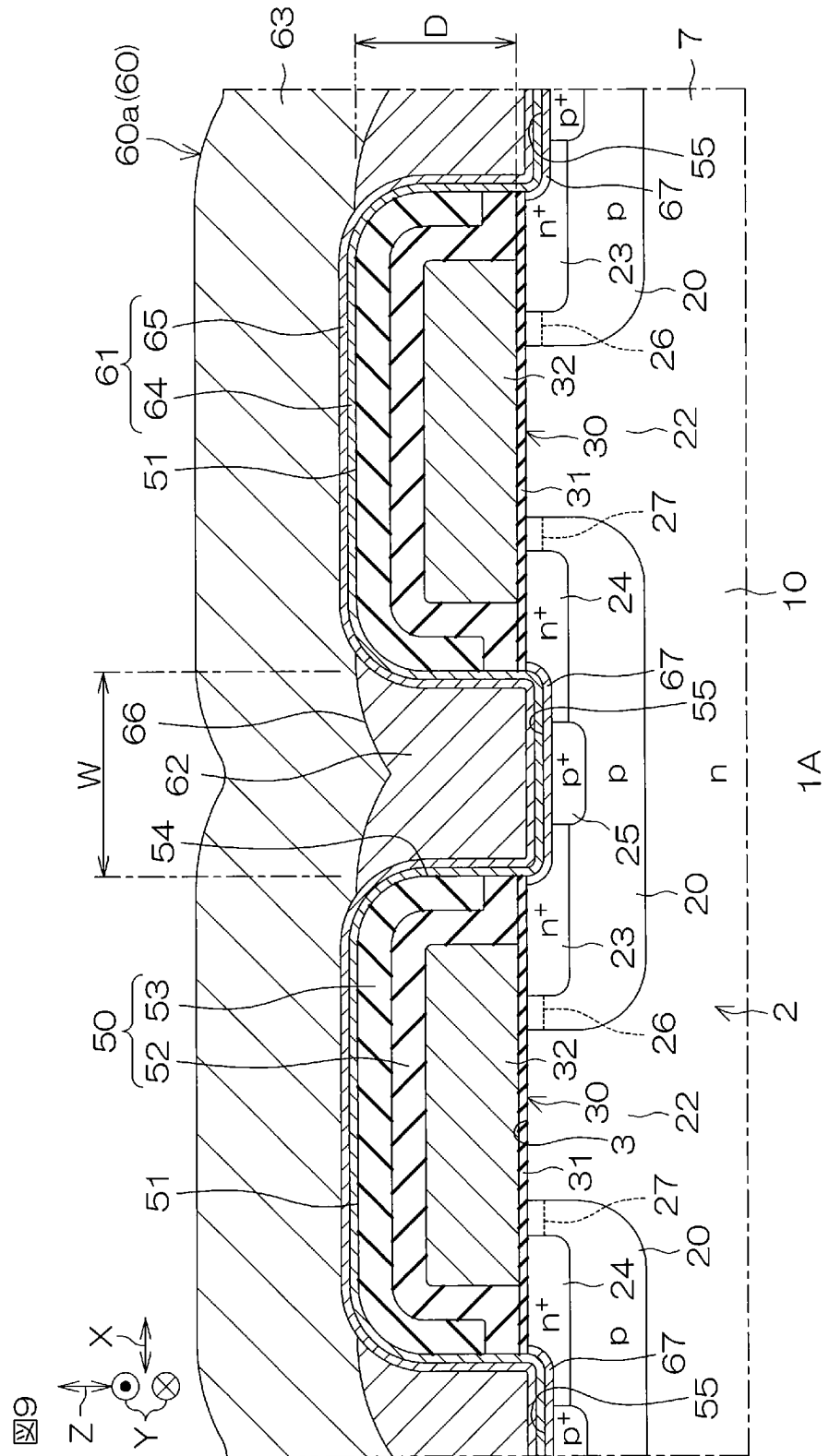
[図5]



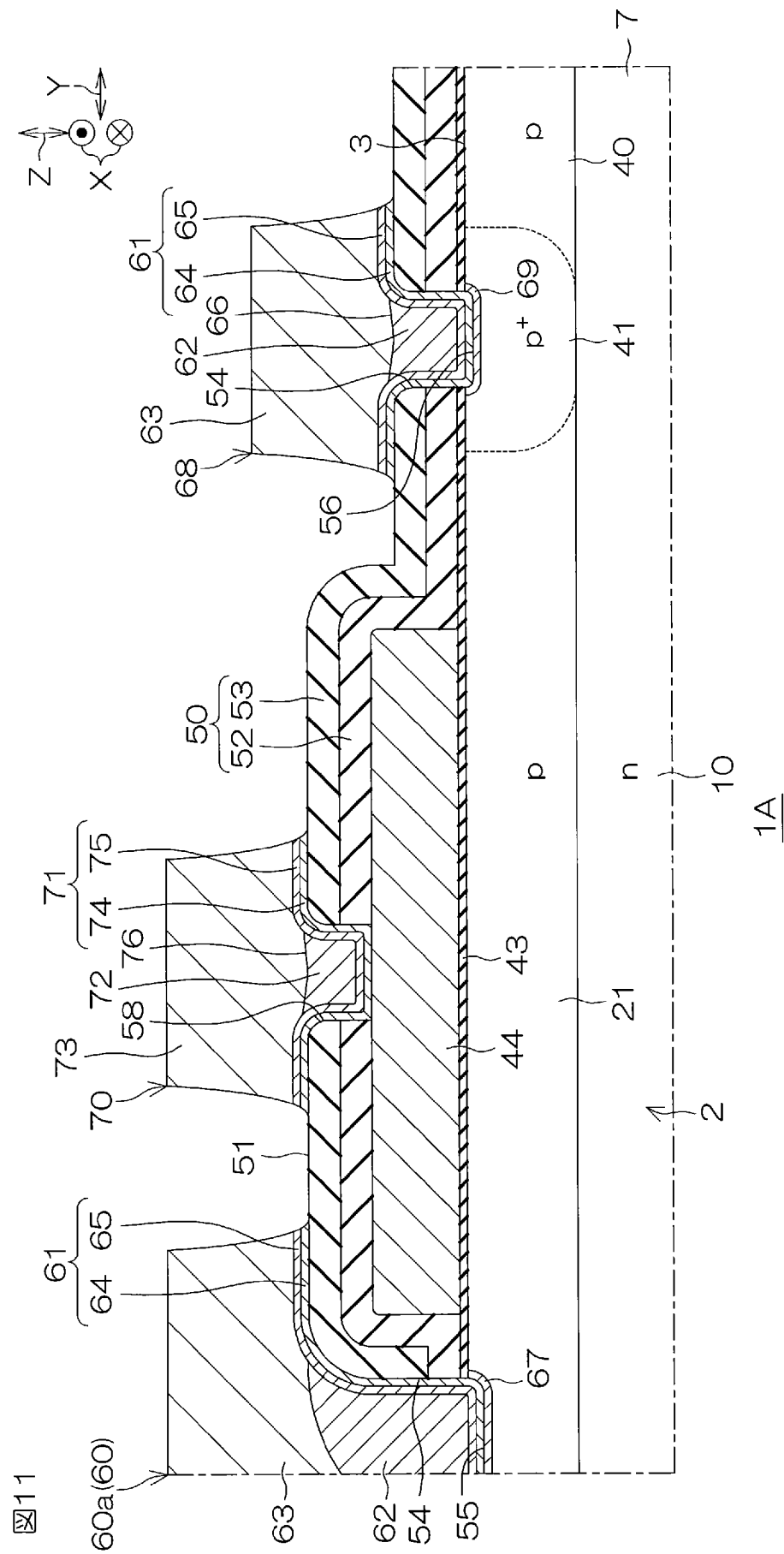
[図7]



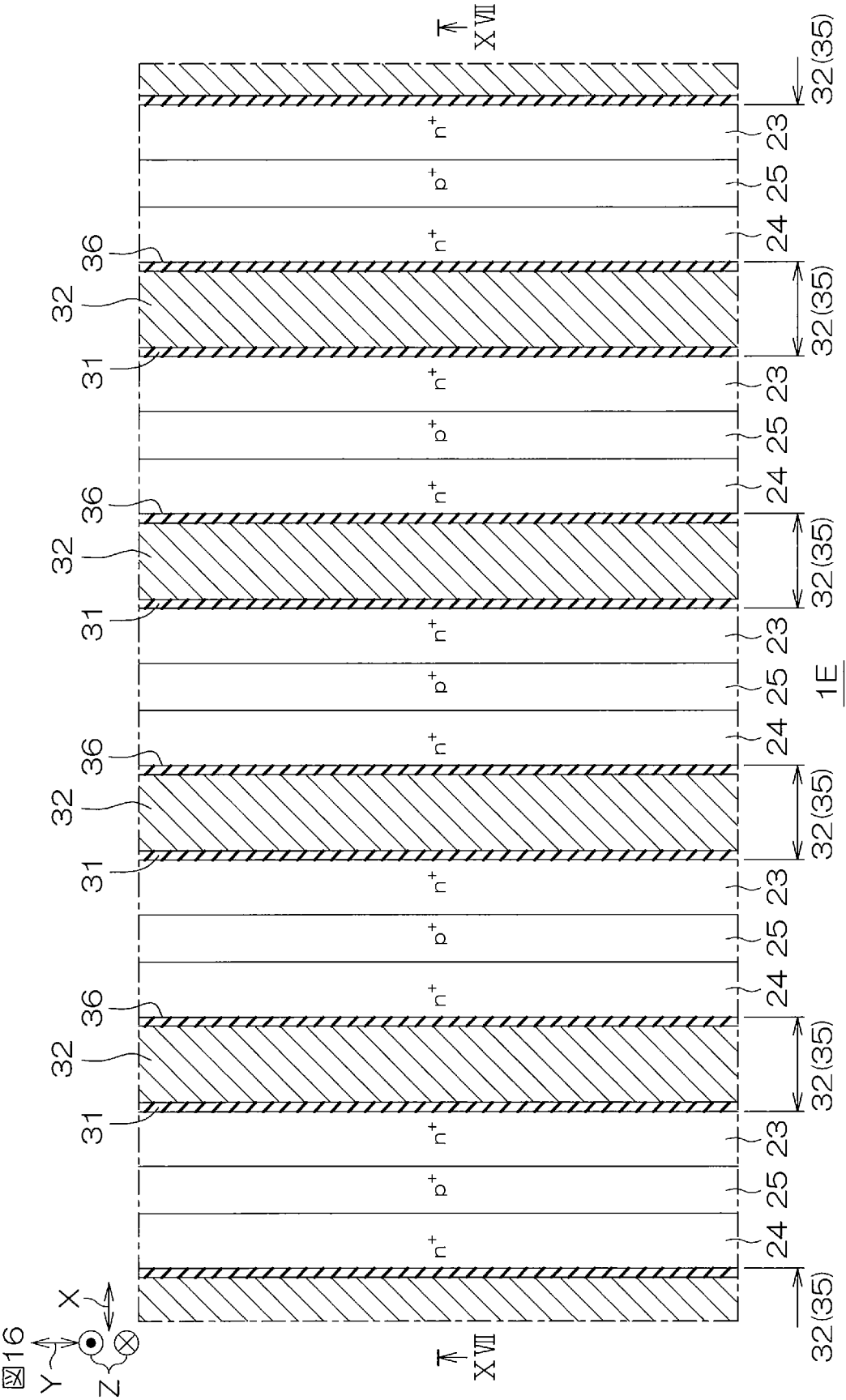
[図9]



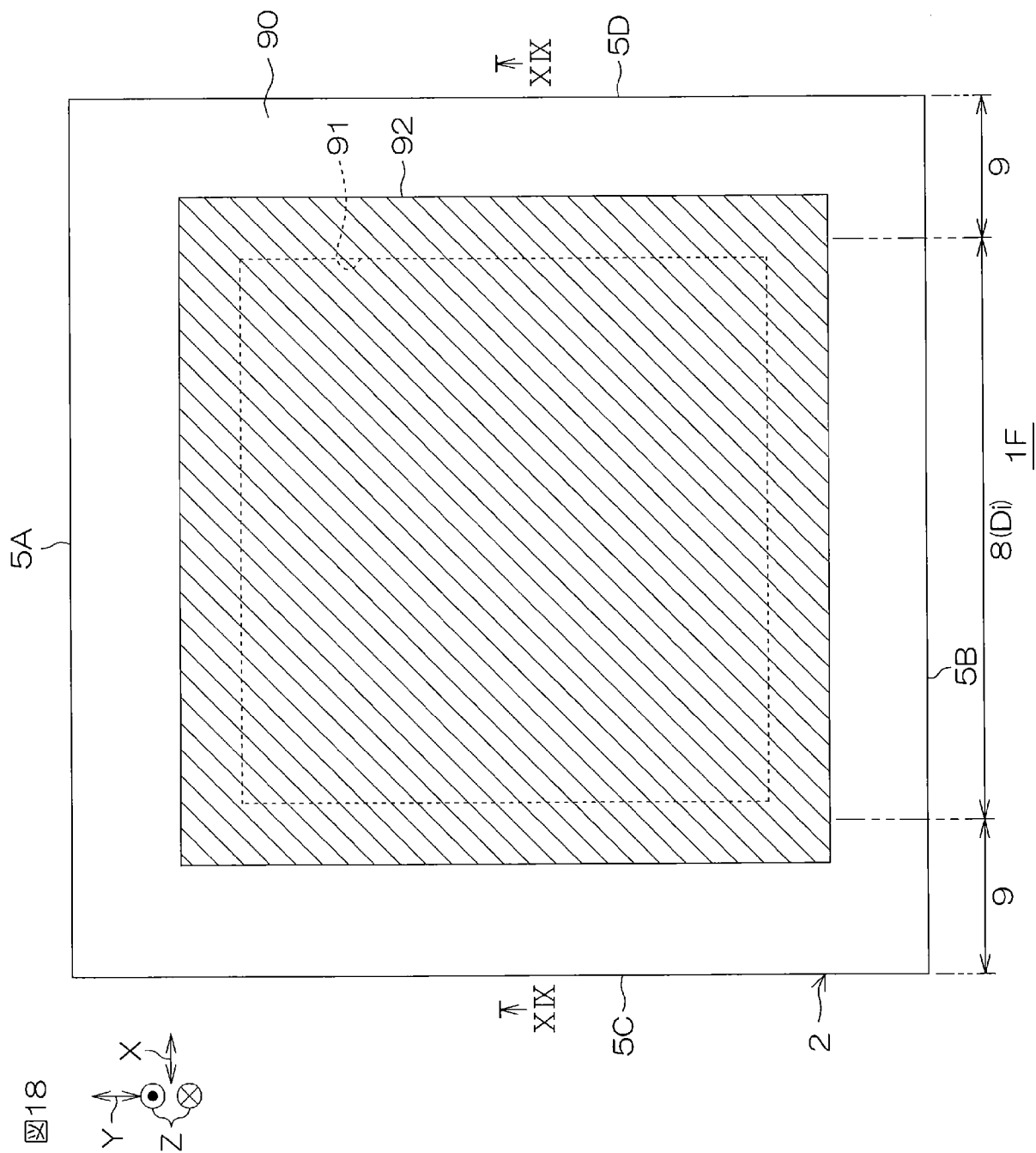
[図11]



[図16]

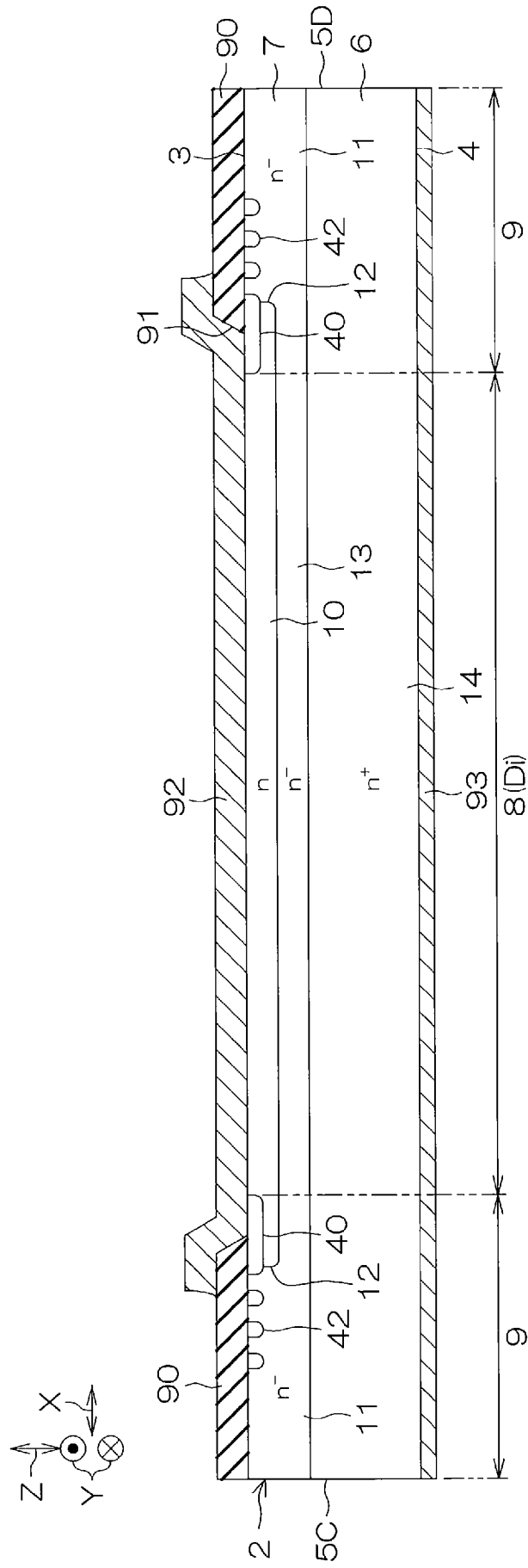


[図18]

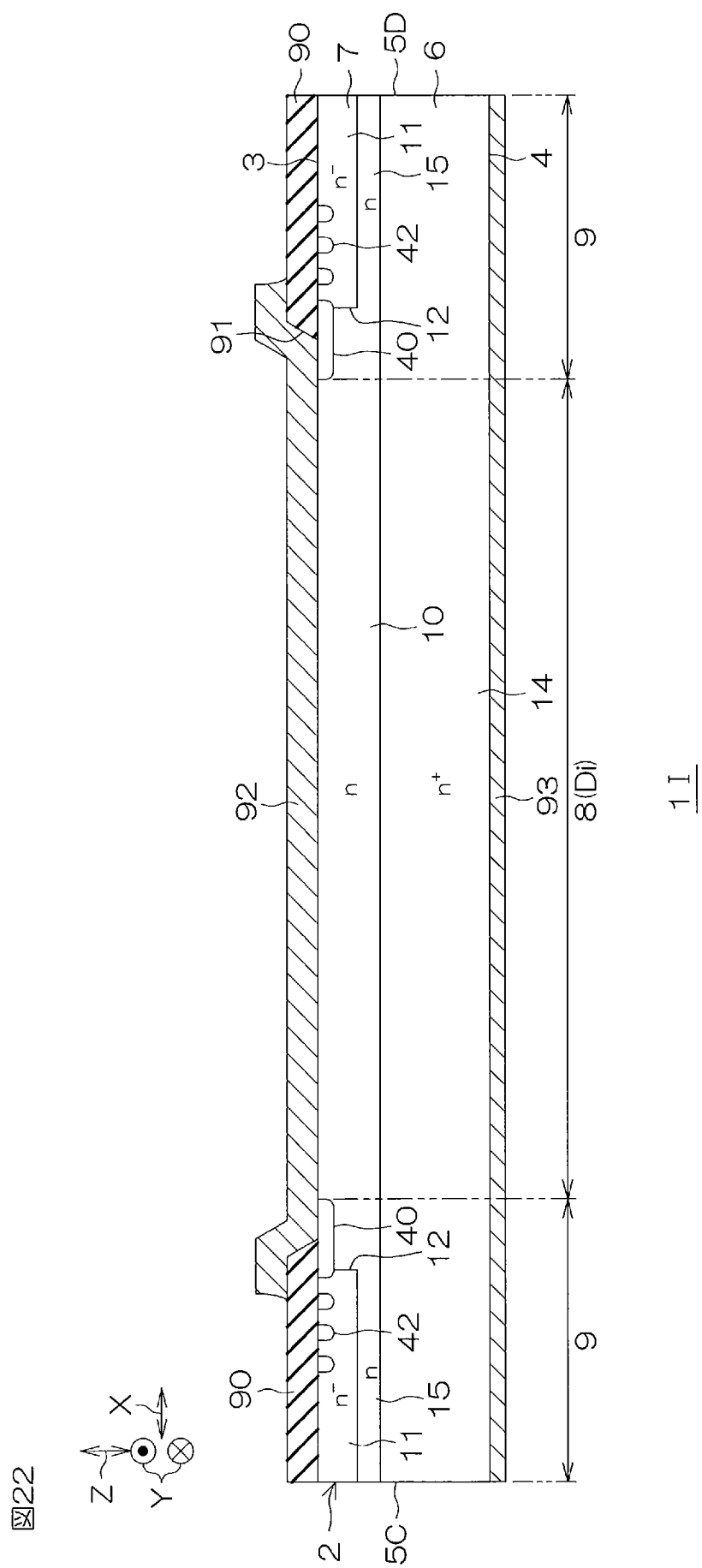


[図19]

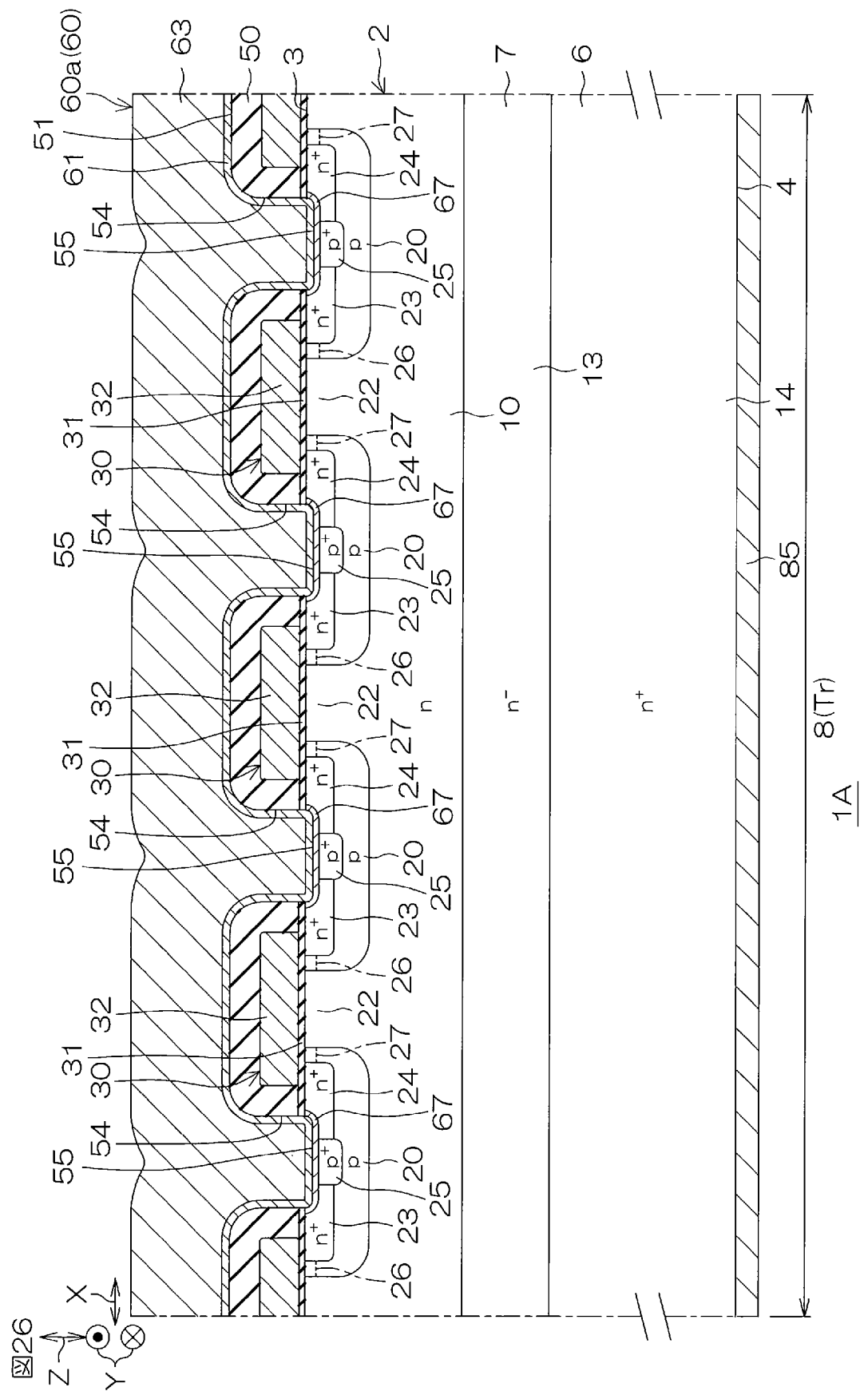
図19



[図22]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/012558

A. CLASSIFICATION OF SUBJECT MATTER H01L 29/78 (2006.01)i; H01L 29/06 (2006.01)i; H01L 29/12 (2006.01)i; H01L 29/872 (2006.01)i FI: H01L29/78 652N; H01L29/78 652P; H01L29/78 652J; H01L29/78 652Q; H01L29/78 652F; H01L29/78 652S; H01L29/78 652T; H01L29/78 652M; H01L29/78 652K; H01L29/06 301V; H01L29/06 301G; H01L29/78 653C; H01L29/86 301F; H01L29/86 301D; H01L29/86 301E According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L29/78; H01L29/06; H01L29/12; H01L29/872 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-69784 A (KABUSHIKI KAISHA TOSHIBA) 18 April 2013 (2013-04-18) paragraphs [0007]-[0013], [0049]-[0052], fig. 6	1-8, 12-16, 18-20
Y		2-13, 15-20
X	JP 2017-168507 A (FUJI ELECTRIC CO., LTD.) 21 September 2017 (2017-09-21) paragraphs [0015]-[0032], fig. 1	1-3, 6-9, 11-20
Y		2-13, 15-20
X	JP 2021-57367 A (FUJI ELECTRIC CO., LTD.) 08 April 2021 (2021-04-08) paragraphs [0013]-[0049], [0110]-[0111], fig. 1-3, 17	1, 3-14, 16-20
Y		2-13, 15-20
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“D” document cited by the applicant in the international application</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search 05 June 2024		Date of mailing of the international search report 18 June 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-13552 A (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) 12 January 2006 (2006-01-12) paragraphs [0026]-[0058], fig. 7	1, 3-9, 12-14, 16-20
Y		2-9, 12-13, 15-20
A		10-11
X	JP 2002-134749 A (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) 10 May 2002 (2002-05-10) paragraphs [0011]-[0013], fig. 1, 21	1, 3-9, 12-14, 16-18, 20
Y		2-9, 12-13, 15-18, 20
A		10-11, 19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/012558

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2013-69784	A	18 April 2013	(Family: none)	
JP	2017-168507	A	21 September 2017	US 2017/0263745 A1 paragraphs [0031]-[0048], fig. 1	
JP	2021-57367	A	08 April 2021	(Family: none)	
JP	2006-13552	A	12 January 2006	(Family: none)	
JP	2002-134749	A	10 May 2002	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 29/78(2006.01)i; H01L 29/06(2006.01)i; H01L 29/12(2006.01)i; H01L 29/872(2006.01)i
FI: H01L29/78 652N; H01L29/78 652P; H01L29/78 652J; H01L29/78 652Q; H01L29/78 652F; H01L29/78 652S;
H01L29/78 652T; H01L29/78 652M; H01L29/78 652K; H01L29/06 301V; H01L29/06 301G; H01L29/78 653C;
H01L29/86 301F; H01L29/86 301D; H01L29/86 301E

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L29/78; H01L29/06; H01L29/12; H01L29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年
日本国公開実用新案公報1971-2024年
日本国実用新案登録公報1996-2024年
日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-69784 A（株式会社東芝）18.04.2013（2013-04-18） 段落[0007]-[0013], [0049]-[0052], 図6	1-8, 12-16, 18-20
Y		2-13, 15-20
X	JP 2017-168507 A（富士電機株式会社）21.09.2017（2017-09-21） 段落[0015]-[0032], 図1	1-3, 6-9, 11-20
Y		2-13, 15-20
X	JP 2021-57367 A（富士電機株式会社）08.04.2021（2021-04-08） 段落[0013]-[0049], [0110]-[0111], 図1-3, 17	1, 3-14, 16-20
Y		2-13, 15-20

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
05.06.2024

国際調査報告の発送日
18.06.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

石塚 健太郎 5F 4815

電話番号 03-3581-1101 内線 3514

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2006-13552 A (新電元工業株式会社) 12.01.2006 (2006 - 01 - 12) 段落[0026]-[0058], 図7	1, 3-9, 12-14, 16-20 2-9, 12-13, 15-20 10-11
X Y A	JP 2002-134749 A (新電元工業株式会社) 10.05.2002 (2002 - 05 - 10) 段落[0011]-[0013], 図1, 21	1, 3-9, 12-14, 16-18, 20 2-9, 12-13, 15-18, 20 10-11, 19

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/012558

引用文献			公表日	パテントファミリー文献	公表日
JP	2013-69784	A	18.04.2013	(ファミリーなし)	
JP	2017-168507	A	21.09.2017	US 2017/0263745 A1 段落[0031]-[0048], 図1	
JP	2021-57367	A	08.04.2021	(ファミリーなし)	
JP	2006-13552	A	12.01.2006	(ファミリーなし)	
JP	2002-134749	A	10.05.2002	(ファミリーなし)	