[19] 中华人民共和国国家知识产权局

[12] 发明专利说明书

专利号 ZL 02816755.4

[51] Int. Cl.
H01L 21/336 (2006.01)
H01L 29/76 (2006.01)
H01L 29/94 (2006.01)
H01L 31/062 (2006.01)
H01L 31/113 (2006.01)
H01L 21/8238 (2006.01)

[45] 授权公告日 2007 年 11 月 21 日

[11] 授权公告号 CN 100350575C

[51] Int. Cl. (续)
H01L 21/3205 (2006.01)
H01L 21/4763 (2006.01)

[22] 申请日 2002.8.29 [21] 申请号 02816755.4

[30] 优先权

[32] 2001. 8.31 [33] US [31] 09/944,665

[86] 国际申请 PCT/US2002/028265 2002.8.29

[87] 国际公布 WO2003/019671 英 2003.3.6

[85] 进入国家阶段日期 2004.2.26

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 古川俊治 M·C·哈基
S·J·霍姆斯 D·V·霍拉克
J·M·里斯 W·H·L·马
P·A·拉比杜

[56] 参考文献

US5872037A 1999.2.16

审查员 王 磊

[74] 专利代理机构 北京市中咨律师事务所

代理人 于 静 李 峥

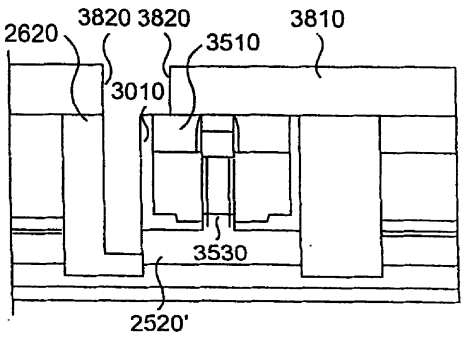
权利要求书 6 页 说明书 13 页 附图 39 页

[54] 发明名称

晶体管、集成电路装置及半导体器件的制作方法

[57] 摘要

一种特别适合于高密度集成的垂直场效应晶体管结构，包括两个位于一个半导体柱的相对两侧的可能相互无关的栅极结构，所述的半导体柱是通过刻蚀或外延生长而形成的。栅极结构被包围在绝缘材料中，所述的绝缘材料相对于包围着该晶体管的隔离材料可以被有选择地刻蚀。通过相对于绝缘材料有选择地刻蚀隔离材料，可以形成与该柱的较低一端(例如，晶体管的漏极)的接触部分。该柱的上部覆盖着由可选择地刻蚀的材料构成的顶盖以及侧壁，因此可以用好的配准容差通过有选择地刻蚀形成栅极和源极的接触开口。由隔离区域间的距离以及有选择的刻蚀规定该柱在平行于芯片表面的方向上的尺寸，由牺牲层的厚度规定该柱的高度。



1. 一种垂直场效应晶体管，包括:

半导体柱传导沟道，

在与所述的半导体柱相邻的沟槽中的栅电极，

在所述的半导体柱的对面，并且与所述的栅电极相邻的绝缘层，

位于在所述的沟槽中的所述栅电极之上且与所述半导体柱相邻的侧壁，

在所述的沟槽中位于所述的栅电极之上并且在所述的侧壁和所述绝缘层之间的绝缘材料，所述的绝缘材料相对于所述的侧壁以及所述的半导体柱可以被有选择地刻蚀，以及

相对于所述的栅电极是无边界的至少一个接触部分。

2. 如权利要求 1 所述的垂直场效应晶体管，进一步包括与所述的绝缘层相邻并且位于所述垂直晶体管周围的隔离材料，所述的隔离材料可以相对于所述的绝缘层被有选择地刻蚀。

3. 如权利要求 2 所述的垂直场效应晶体管，进一步包括:

在与所述的绝缘材料相邻的所述的隔离材料内的开口中形成的与在所述的半导体柱的末端的传导区域的接触部分。

4. 如权利要求 1 所述的垂直场效应晶体管，进一步包括:

形成于到所述的半导体柱的一端的一个开口中的接触部分，以及

形成于邻近所述的半导体柱并且在所述的半导体柱之上延伸的开口中的与所述的栅结构的接触部分，并且通过所述的半导体柱上的绝缘侧壁与所述的半导体柱绝缘。

5. 如权利要求 1 所述的垂直场效应晶体管，进一步包括:

在所述的沟槽中位于所述的栅电极与所述的沟槽的一个底之间的隔板。

6. 一种集成电路装置，包括

围绕着衬底上晶体管的位置的隔离材料，

形成于所述的晶体管位置上的，且具有形成于一个沟槽中的栅电极结构的垂直场效应晶体管，

在所述的沟槽中位于所述的隔离材料与所述的栅电极结构之间的绝缘材料层，所述的隔离材料相对于所述的绝缘层可以被有选择地刻蚀，以及

沿着所述的绝缘材料层与所述的隔离材料的接触面形成的接触开口，以及

相对于所述的栅电极结构是无边界的至少一个接触部分。

7. 如权利要求 6 所述的装置，其中所述的栅电极包括两个在一个传导沟道的相对两侧延伸的栅电极。

8. 如权利要求 6 所述的装置，进一步包括:

一个形成于与所述的绝缘材料层相邻的所述的隔离材料内、并且延伸到传导区域的所述接触开口中的接触部分。

9. 如权利要求 6 所述的装置，进一步包括:

形成于到所述沟槽中的半导体柱的一端的一个开口中的接触部分，以及

形成于邻近所述的半导体柱并且在所述的半导体柱之上延伸的开口中的与所述的栅结构的接触部分，并且所述的接触部分通过所述的半导体柱上的绝缘的侧壁与所述的半导体柱绝缘。

10. 如权利要求 6 所述的装置，进一步包括:

在所述的沟槽中位于所述的栅电极结构与所述沟槽的一个底之间的隔板。

11. 一种制作包括场效应晶体管的半导体器件的方法，所述的方法包括如下的步骤:

在第一绝缘材料体中的一个沟槽内形成一个半导体柱，所述的沟槽延伸到一半导体材料层，

在所述的沟槽的壁上形成一第二绝缘材料层，以及

有选择地穿过所述的第一绝缘材料，并且与所述的第二绝缘材料相

邻，刻蚀一个到所述的半导体材料的接触开口。

12. 如权利要求 11 所述的方法，进一步包括如下的步骤:

形成一个相邻于所述的半导体柱的侧壁的栅结构，

在所述的栅结构以及所述的半导体柱之上形成可以有选择地刻蚀的材料的层和/或侧壁，以及

通过有选择地刻蚀分别位于所述的半导体柱之上的以及邻近所述的半导体柱的所述层，形成到所述的半导体柱的一端以及所述的栅结构的接触开口。

13. 如权利要求 11 所述的方法，进一步包括如下的步骤:

通过一牺牲材料层的厚度规定所述的半导体柱的高度。

14. 如权利要求 13 所述的方法，其中所述牺牲材料层的牺牲材料是氧化锗。

15. 如权利要求 11 所述的方法，其中所述的形成所述的半导体柱的步骤是在一个沟槽中通过半导体的外延生长进行的。

16. 如权利要求 11 所述的方法，其中所述的形成所述的半导体柱的步骤是通过刻蚀一半导体材料层进行的。

17. 如权利要求 11 所述的方法，进一步包括如下的步骤:

通过隔离结构之间的距离来限制所述的半导体柱的尺寸。

18. 一种晶体管，包括

一个衬底，

第一扩散区，

在所述的第一扩散区之上的第二扩散区，

在所述的第一扩散区与所述的第二扩散区之间垂直延伸的沟道，

在所述的沟道的至少一侧延伸的一个栅结构，以及

相对于所述的栅结构来说是无边界的与所述第一扩散区的接触部分。

19. 如权利要求 18 所述的晶体管，其中所述的晶体管是垂直的晶体管，并且其中所述的第一扩散区形成于所述的衬底上，并且所述的第二扩散区形成在沟道上。

20. 如权利要求 18 所述的晶体管，其中所述的栅结构在所述的沟道的两侧延伸。

21. 如权利要求 19 所述的晶体管，其中与所述的栅结构的一接触部分在所述的第二扩散区之上以及所述的第二扩散区的两侧延伸。

22. 如权利要求 19 所述的晶体管，进一步包括与所述的栅结构在所述的沟道的不同侧的分离的部分相接触的分离的接触部分。

23. 如权利要求 18 所述的晶体管，其中所述的栅结构在所述的沟道的至少三个侧面延伸。

24. 如权利要求 18 所述的晶体管，进一步包括与所述第二扩散区的接触部分，相对于所述的栅结构来说该接触部分是无边界的。

25. 如权利要求 18 所述的晶体管，其中所述的晶体管包括一个具有至少一个边的单晶硅的柱。

26. 如权利要求 25 所述的晶体管，其中所述的柱包括所述的第一扩散区、所述的沟道和所述的第二扩散区，以及相邻所述柱而延伸的所述栅结构。

27. 如权利要求 26 所述的晶体管，其中所述的第一扩散区延伸到所述的柱的下面的单晶硅内，并且延伸到所述的栅结构之下以便形成邻近所述的栅结构的接触部分。

28. 如权利要求 26 所述的晶体管，进一步包括:

与所述的栅结构相邻的一绝缘体，其中与所述的第一扩散区的接触部分包括邻近所述的绝缘体的传导层。

29. 如权利要求 26 所述的晶体管，其中所述的栅结构相对于所述的第二扩散区来说是无边界的。

30. 如权利要求 26 所述的晶体管，其中与所述的第二扩散区的所述的接触部分包括相对所述的边自对准的隔板。

31. 如权利要求 26 所述的晶体管，其中所述的柱延伸到所述的栅结构之上。

32. 如权利要求 18 所述的晶体管，进一步包括:

一个隔离结构，其中所述的晶体管相对于所述的隔离结构自对准。

33. 如权利要求 18 所示的晶体管，进一步包括:

在所述的第一扩散区与形成第二晶体管的一部分的另一个扩散区之间的接触部分，其中所述的第一扩散区与所述的另一个扩散区之间的接触部分在所述的第一晶体管与所述的第二晶体管之间的绝缘物上延伸。

34. 如权利要求 33 所述的晶体管，其中所述的绝缘物包括一个被刻蚀并且被沉积的隔离结构。

35. 如权利要求 32 所述的晶体管，其中所述的衬底包括具有掩埋的氧化物隔离物的绝缘体上硅，并且其中所述的绝缘物包括所述的掩埋的氧化物隔离物。

36. 如权利要求 33 所述的晶体管，其中所述的第一晶体管以及所述的第二晶体管包括一个倒相器，并且其中与所述的第一扩散区的所述接触部分就是与所述的倒相器的接触部分。

37. 如权利要求 18 所述的晶体管，其中所述的栅结构包括完整地包围着所述的沟道、并通过一个电介质层与之分隔开的连续的内壁。

38. 如权利要求 18 所述的晶体管，其中所述的栅结构相对于所述的沟道自对准。

39. 如权利要求 18 所述的晶体管，其中所述的第一扩散区包括与所述的第二扩散区分别地提供的掺杂物质。

40. 如权利要求 18 所述的晶体管，其中所述的沟道具有次光刻宽度。

41. 如权利要求 18 所述的晶体管，其中所述的第一扩散区包括:

由电介质材料覆盖的顶面和侧面，

在所述的顶面上至少穿过一部分电介质材料的无边界的开口，以及

形成于所述的开口内的第一扩散区接触部分。

42. 如权利要求 18 所述的晶体管，其中所述的第二扩散区包括:

覆盖有电介质材料的顶面以及侧面，

在所述的顶面上至少穿过一部分电介质材料的无边界的开口，以及

形成于所述的开口内的第二扩散区接触部分。

43. 如权利要求 **18** 所述的晶体管，其中所述的栅结构包括:

覆盖有电介质材料的顶面、底面以及侧面，

在所述的顶面上至少穿过一部分的电介质材料无边界的开口，以及

形成于所述的开口内的栅接触部分。

44. 如权利要求 **18** 所述的晶体管，其中所述的第一扩散区、所述的第二扩散区以及所述的栅结构都包括一个无边界的接触部分。

晶体管、集成电路装置及半导体器件的制作方法

技术领域

本发明一般地涉及高性能场效应晶体管，所述的高性能场效应晶体管适用于极高密度的半导体集成电路，更具体地说，涉及具有一个位于另一个之上的源极和漏极的垂直双栅极场效应晶体管以及其他具有无边界接触部分（borderless contact）的半导体器件。

背景技术

场效应晶体管已经出现很多年了，并且现在除了最苛刻的高频需求之外，场效应晶体管可以用于各种复杂的数字集成电路中。总的来说，场效应晶体管与双极性晶体管相比多少可以更容易地制造并且在加工过程中可以有更大的加工窗口（process windows），另外，还可以简化电路及器件的设计。

随着对更高的数字开关性能的要求的增加，同时也随着对功能以及制造的经济效益的要求的增加，对晶体管占用面积（footprint）（以及，因此，电流承载能力）的约束也增加了。另外，由于很多晶体管被放置在给定的芯片空间内，并且开关和/或时钟频率已被提高，所以需要以降低的电压运行以便减少功率消耗。以降低的电压运行往往会减小运行裕度和晶体管开状态和关状态之间的电阻差。这种效应是由于以降低的电压从距离传导沟道内的栅极电介质较大距离处控制耗尽的能力的下降而产生的。

因此，近来人们对栅极位于传导沟道的相对两侧或是栅极完全包围或部分包围传导沟道的场效应晶体管的设计很感兴趣。另外，从性能和电路设计和功能的角度出发，非常希望能够在位于传导沟道相对两侧的分离的栅极结构上施加不同的电压。

然而，在传导沟道的相对的表面上提供一个或多个栅极结构或者甚至

是提供单个在传导沟道的不同侧延伸的栅极结构意味着增加晶体管结构的复杂性。在与传统的场效应晶体管的尺寸相同或者比传统的场效应晶体管的尺寸更小的尺寸上不总是能够实现这种增加的复杂性。例如，最近已经提出了几种成功的设计，它们采用一个垂直的凸棱（fin）作为传导沟道，而栅极结构被布置在其侧面上。然而，该传导路径基本上与芯片的表面平行，因而尽管设计允许以次光刻（sub-lithographic）尺寸制作某些结构（例如，比用于抗蚀剂图案曝光来形成其他结构的光刻工具的分辨率更小），源极和漏极必须物理地和栅极结构分隔开；这样至少在一维上增加了晶体管的占用面积。

另外，一些增加辐射能量光刻工具的分辨率的光刻技术，例如相移掩模，只能形成封闭几何形状的部件。这个限制通常需要额外的“修剪”处理以便形成例如晶体管沟道的长度，并且因此一般会有损于保持对其进行严格控制的能力。

另外，由于光刻以及半导体加工的基本特性，几乎总是将场效应晶体管配置成其传导沟道基本上平行于芯片表面延伸。虽然在理论上可以配置场效应晶体管的传导沟道，使其基本上正交于（例如，“垂直于”）芯片的表面，但是在实际上，在迄今为止提出的设计中，形成与这种晶体管的源极、漏极以及栅极的连接更加困难；从而降低了制造产量并且消耗了大量的芯片空间同时还大大增加了加工的复杂性。

发明内容

因此，本发明的一个目的在于提供一种具有两个可能相互无关的栅极结构且缩小了占用面积的场效应晶体管，通过提供垂直延伸的传导沟道，可以在高集成密度下可靠地制造这种场效应晶体管。

本发明的另一个目的在于提供一种双栅极垂直场效应晶体管，可以通过采用不同的光刻技术以小的尺寸和高的集成密度可靠地制造所述的双栅极垂直场效应晶体管。

本发明的另一个目的在于提供一种垂直场效应晶体管设计，所述的设

计可以很方便地制作与该晶体管的源极、栅极和漏极的接触部分，借此，与较低的扩散区的接触部分相对栅极来说是无边界的。

为了实现本发明的这些以及其他的目的，提供了一种垂直场效应晶体管，所述的垂直场效应晶体管包括一个半导体柱传导沟道、位于与所述的半导体柱相邻的沟槽中的栅电极、与栅电极相邻且位于所述的半导体柱对面的绝缘层、位于沟槽中的栅电极之上且与所述的半导体柱相邻的侧壁、沟槽中的位于栅电极之上且与侧壁相邻的绝缘材料，所述的绝缘材料相对于所述的侧壁以及所述的半导体柱可以被有选择地刻蚀。

按照本发明的另一方面，提供了一种集成电路装置，该装置包括包围着衬底上晶体管位置的隔离材料，在所述的晶体管位置处形成的垂直场效应晶体管，该晶体管具有形成于一个沟槽中的栅电极结构，在沟槽中位于隔离材料和栅电极结构之间的绝缘材料层，所述的隔离材料相对于所述的绝缘材料层可以被有选择地刻蚀，并且沿着绝缘层和隔离材料的接触面形成有接触开口。

按照本发明的另一个方面，提供了一种制作包括场效应晶体管的半导体器件的方法，该方法包括如下的步骤：在第一绝缘材料体上的沟槽中形成一个半导体柱，所述的沟槽延伸到半导体材料层，在所述的沟槽的壁上形成第二绝缘材料层，并且穿过所述的第一绝缘材料，相对于且邻近于所述的第二绝缘材料，有选择地刻蚀到所述半导体材料的接触开口。

按照本发明的另一个方面，提供了一种晶体管，所述的晶体管包括一个衬底、第一扩散区、在第一扩散区之上的第二扩散区、在第一和第二扩散区之间垂直延伸的沟道、在所述的沟道的至少一侧延伸的栅极结构，以及相对于所述的栅极结构来说是无边界的与第一扩散区的接触部分。

附图说明

通过参考附图以及下文中本发明的一个优选实施例的详细说明，可以更好地理解本发明前述的以及其他的目的、方面以及优点，其中：

图 1A、1B 和 1C 分别是按照本发明的场效应晶体管的初始形成阶段的

平面图和横截面图，

图 2A、2B、2C、3A、3B、3C、4A、4B、4C、5A、5B、5C、6A、6B、6C、7A、7B、7C、8A、8B、8C、9A、9B、9C、10A、10B、10C、11A、11B、11C、12A、12B、12C、13A、13B、13C、14A、14B、14C、15A、15B、15C、16A、16B、16C、17A、17B、17C、18A、18B、18C、19A、19B、19C、20A、20B、20C、21A、21B、21C、22A、22B、22C、23A、23B、23C、24A、24B 和 24C 是按照本发明的第一实施例的晶体管的形成的中间阶段的平面图以及横截面图，并且

图 25A、25B、25C、26A、26B、26C、27A、27B、27C、28A、28B、28C、29A、29B、29C、30A、30B、30C、31A、31B、31C、32A、32B、32C、33A、33B、33C、34A、34B、34C、35A、35B、35C、36A、36B、36C、37A、37B、37C、38A、38B、38C、39A 和 39B 是按照本发明的第二实施例的晶体管的形成的中间阶段的平面图以及横截面图。

具体实施方式

现在参考附图，更确切地说参考图 1A、1B 以及 1C，它们表示了按照本发明的晶体管的制造的早期阶段。应当注意，在所有的图中，1A、2A 等所指的图是本器件在各个制造阶段的平面图，而且，除非在同一图中指示出了其他的截面位置，例如像图 22A－24A 那样穿过接触部分放置不同的截面位置，而不是如图 1A 中所示的那样放置截面，否则图 1B、2B 等（“B”标识符）以及 1C、2C 等（“C”标识符）分别是如图 1A 所示的沿着截面 1-1 和 2-2 的截面图。

另外，具有标识符“B”和“C”的图表示按照本发明的晶体管的 n 型和 p 型的变体。一般地，可以在同一晶片或芯片上的不同的位置上依次按照本领域的技术人员所熟知的封挡掩模（block-out mask）方法形成这两种变体。因此，应当理解，在平面图（“A”标识符）中所表示的区域为按照本发明的晶体管的制造所涉及的晶片区域，并且如图所示，截面图（如“B”和“C”标识符所表示的）中的侧面尺寸可能会较大，这表示平面图

中所示的区域之外所包围着的晶片区域。在其他方面，横截面中表示的部件的尺寸一般地相应于平面图中表示的部件的尺寸，但并不是与其成比例的。

从绝缘体上硅晶片 100 开始，最好是通过热处理，形成屏蔽氧化物 110，并且在整个晶片上施加抗蚀剂层 120。该抗蚀剂层首先被在 PMOS 源极区域内形成图案（140），并且按照所形成的图案以一种能量级别将硼植入其中，这将形成一个掩埋的植入区域 160。屏蔽氧化物 110 用于通过有效地随机化离子的轨迹以及植入方向来调控离子植入的深度。然后将形成图案的抗蚀剂层剥去并且施加另一相似的抗蚀剂层 130，并且在 NMOS 源极区域内形成图案（150）。然后植入砷以形成相似的掩埋区域 170，结果得到图 1A－1C 中所示的结构。

为了形成图 2A－2C 所示的结构，可能要将屏蔽氧化物 110 剥除，并且如果希望的话，可以用一衬垫氧化物 110'替代。一般地，最好替换掉屏蔽氧化物 110 以避免植入操作带来损害的风险。然后，在其上沉积一厚层的氧化锗 210，随后是一层氮化硅 220。氧化锗的厚度对于沟道长度控制来说是一个关键的参数，正如通过下面的讨论本领域的技术人员将会了解这的那样。然后，如图 3A－3C 所示，施加一个抗蚀剂层 310 并且将其形成图案（315），并且刻蚀氮化物和氧化锗层以形成晶体管区域 330，并且规定了沟道的宽度以及晶体管电流。这些材料被牺牲了，之所以选择这些材料，是由于相对于该晶体管结构中的其他材料，采用这些材料可以获得有差别的选择性的刻蚀速度。本领域的技术人员应该容易了解其他适合的材料。

然后，将刻蚀后的区域氧化并且填满氧化硅或者其他所希望使用的浅沟槽隔离（STI）材料 410。然后，其表面被通过化学/机械抛光的方法平面化，并且到达剩余的氮化物层 220 的氮化物抛光停止表面 420，这样产生了如图 4A－4C 所示的结构。

现在参考图 5A－5C，通过施加抗蚀剂层 510 来确定用于形成垂直硅柱的模子的位置，所述的垂直硅柱将形成晶体管的垂直传导沟道。然后抗蚀剂层被使用硬相移掩模（hard phase shift mask）或其他的光刻工艺或者其

他的处理技术，例如，使用用于控制宽度的隔板，进行曝光，并且被处理以便形成窄的（可能是次光刻的宽度）跨过非 STI 区域的线形图案 520。然后，如图 6A－6C 所示，按照形成图案后的抗蚀剂层，有选择地紧靠着 410 刻蚀氮化物、GeO2 以及衬垫氧化物直到最初的硅晶片表面 620，从而形成柱模 610，并且将抗蚀剂层剥除。硅柱 710 随后被从最初的硅晶片表面 620 外延地且有选择地生长以填充模子 610，并且使其表面平面化以形成图 7A－7C 中所示的结构。如果图案 520 是可以通过例如相移掩模获得的次光刻宽度，则柱/传导沟道将是相应的次光刻尺寸。

为了保护硅柱，通过在其顶端刻蚀硅以形成凹陷，然后用 TEOS 氧化物或 LPCVD 氧化物 810 将其填充或形成一层膜，并且再次通过化学/机械抛光使其平面化以形成图 8A－8C 中的结构。随后，如图 9A－9C 所示，将剩余的表面氮化物 220（图 8A－8C）剥除，最好通过湿刻蚀完成所述的剥除，并且通过水漂洗将剩余的 GeO_2 210（图 8B－8C）去除。

然后，最好是通过化学气相沉积的方式，施加一个氮化物 910 的保形层，并且将其用一抗蚀剂层 920 覆盖起来，在覆盖着氮化物的硅柱 710 的周围区域中使所述的抗蚀剂层形成图案。该氮化物稍后被用于帮助形成无边界接触部分，这将在下文中更详细地讨论。然后，如图 10A－10C 所示，按照形成图案后的抗蚀剂层 920 各向同性地刻蚀保形的氮化物层 910，以便在邻近硅柱的沟槽的底部将氮化物 925 部分地打开（1010），随后将抗蚀剂层剥除。在 1010 的邻近柱的氮化物的去除控制着杂质开始扩散从而形成一个延伸的杂质区域的位置。

在此时，在处理 PMOS 晶体管的同时施加封挡掩模 1130 以遮掩 NMOS 晶体管。此后，在使用类似的封挡掩模遮掩 PMOS 晶体管的同时，将对 NMOS 晶体管执行相似的处理。对于本发明的成功实施来说，NMOS 和 PMOS 的处理次序并不重要。现在参看图 11A－11C，各向异性地沉积一层硼硅玻璃（BSG，或者是砷硅玻璃，ASG）1110，所述的沉积最好通过等离子体气相沉积完成，从而将层 1110 留在凹陷 1010 中并覆盖在氮化物 925 的末端，并且用层 1230 覆盖其他的水平的表面。

在这个操作之后是与此类似的处理，沉积覆盖 BSG 1110 的 SiO_2 隔板 1120，以便沿着所述的硅柱将漏极与栅极结构分隔开，并且如果必要的话，随后进行汲取（dip-out）处理，以便去除残余的侧壁沉积物。然后，如图 12A－12C 所示，用与 1130 类似的抗蚀剂层 1250 的封挡掩模以及阻挡层 1140 和 1150 覆盖所得到的结构。然后通过剥离玻璃（lift-off glass）技术将 NMOS（或 PMOS）晶体管的部位打开，从而溶解层 1130，并且最好再次通过电离的等离子体气相沉积或 PECVD（该方法更易于在水平表面上沉积材料）沉积砷硅玻璃（ASG，或硼硅玻璃 BSG）1210，其后是沉积 SiO_2 隔板，以及，如果必要，进行汲取处理。本过程还在硅柱 710 以及晶体管部位周围以及抗蚀剂层 1130 的表面上提供类似的层 1230 和 1240。通过剥离玻璃处理去除抗蚀剂层上的沉积物，从而得到如图 13A－13C 所示的结构。

然后，如图 14A－14C 所示，在曝露的硅表面形成牺牲氧化物 1430 并且将其剥除。通过可以将沟道完全包围的氧化或者 CVD、原子层的外延生长或其他类似技术沿着沟道自对准地形成栅极电介质 1420。在此时，可以进行热处理以便从 ASG 和 BSG 移动向外扩散的掺杂物区域 1410 ，从而形成晶体管下部的漏极。这种向外扩散必须最终分别到达植入的区域 160、170。然后，沟槽 1430 被用如多晶硅的栅极材料填充（与沟道以及栅极电介质自对准）以形成栅电极 1440（图 15A－15C），所述的栅电极最初连接在一起而形成完全包围所述沟道的内壁，但是稍后可以通过以下方法被分隔开，即抛光栅电极 1440 和剩余的掺杂物膜，例如仍然存在的 1440，直到氮化物 910，并且如图 15A－15C 所示，在栅电极材料上在 1510 处形成凹陷，并且在所述的凹陷中沉积氮化物 1530。然后，进一步在栅电极材料上在 1510 处形成凹陷，并且沉积 TEOS 然后并将其刻蚀以形成侧壁隔板 1520。

然后，如图 16A－16C 所示，再次施加抗蚀剂层并使其形成图案以便在硅柱 710 的上部、顶盖氧化物 810 以及层 1230、1240 之上形成掩模 1610。然后，按照掩模 1610 进行各向同性的刻蚀，所述的刻蚀用于去除不与硅柱

710 相邻的侧壁隔板 1520。然后剥除掩模 1610 并且如图 17A－17C 的 1710 处所示，在多晶硅上的凹陷中沉积氮化物 ，并且进行刻蚀和/或抛光以便去除氮化物层 910 的表面区域并且形成平坦的表面。使用氮化物允许有选择地刻蚀顶盖氧化物 810 以及层 1230 和 1240。如图 18A－18C 所示，施加一个抗蚀剂层 1810 并对其处理以形成带有孔 1910 的 PMOS 漏极植入掩模，如图 19A－19C 所示。1920 处的植入处理产生一个如图 20C 所示的掺杂区域 2010。

所述植入处理完全与上述的漏极掺杂相互独立，漏极掺杂可以有利地被用来单独地满足源极和漏极的特性，例如在晶体管中提供不对称性。然后将抗蚀剂层剥除，在剩余的凹陷中使用氧化物或 TEOS 2020（图 21）进行沉积，并且使其表面平面化。

如图 21A－21C 所示，在整个器件的表面依次沉积一个氮化物刻蚀停止层 2110 以及一个氧化物层间电介质层 2120。然后，如图 22A－22C 所示（图 22C 是图 22A 的截面 3－3 处的横截面图），使用形成图案后的抗蚀剂层刻蚀源极接触开口 2210。所述的刻蚀首先刻蚀氧化物 2120 并停止于氮化物 2110，然后有选择地刻蚀氮化物 2110 并停止于氧化物顶盖 2020，并且刻蚀氧化物顶盖 2020 并停止于硅柱 710 的植入区域 2010。应当注意，通过图 15A－15C 到图 22A－22C 中的过程的热量传递，扩散区域 1410 现在已经到达了植入的漏极区域 160/170，虽然还可以执行额外的退火操作。

图 23C 表示了该器件在图 23A 的截面 4－4 处的横截面图。栅极接触开口被有选择地按照前面的步骤刻蚀（刻蚀氧化物 2120，停止在氮化物 2110，然后相对于氧化物有选择地刻蚀氮化物 2110 和 1710，由此在沟道或源极区域的两侧形成栅极连接），只是不刻蚀氧化物顶盖 2020，并且开口 2310 比氧化物顶盖 2020 或者如虚线 2320 所示的在氧化物顶盖 2020 的两侧形成的分开的开口更宽。因此，任一个接触结构相对于源扩散区都是无边界的。类似的，通过有选择地刻蚀形成源极接触开口 2330，但是该刻蚀穿过氧化物顶盖以便接触到植入区域 2010，并且刻蚀停止在栅极结构之上，这样源极接触部分相对于栅极结构是无边界的。两个单独的接触部分可以相互独

立地接触每个栅极区域1440。

图24C表示该器件在图24A中的截面5－5处的横截面图，截面5－5可以与或不与图22A中的截面3－3相一致。再次地，有选择地按步骤执行对漏极接触部分的开口（在图24B的平面的后面）的处理步骤以便打开漏极结构的侧壁。然而，在这个情况下，在氮化物刻蚀停止层被打开后，本质上由氮化物层910引导对氧化物的有选择地刻蚀，氮化物层910还用于使该接触部分与栅电极绝缘，从而形成无边界的接触部分，其中通过在已有的绝缘体中或沿着已有的绝缘体形成一个接触开口，可以形成与一个结构的接触部分，而不用在相邻的或下面的结构上提供绝缘体。然后，可以通过在源极、栅极和漏极开口沉积金属或多晶硅并平面化其表面而完成晶体管的制作。

因此，可以看出本发明提供了一种垂直传导沟道的场效应晶体管，所述的场效应晶体管具有位于传导沟道相对两侧的两个栅极，以及一个位于另一个之上的源极和漏极，以便减小占用面积。事实上，对缩小到非常小尺寸的唯一的限制在于以光刻的方法规定硅柱的图案，而这一般地受限于光刻曝光工具的分辨率。（虽然通过各种光刻增强或处理技术，例如，侧壁，可以将该柱做得更窄，但是整个占用面积一般地受限于可以分辨的光刻部件的大小。）像将要结合本发明的一优选实施例进行解释的那样，通过相移曝光技术，即使这种限制也可以部分地被避免。

另外，本优选实施例在与浅沟槽隔离结构的接触面上是自修剪（self-trimming）且无边界的，并且，基本上，被刻蚀的以及被沉积的STI结构被用作修剪掩模，并且有选择地刻蚀限制着沟槽/柱的长度。相对于栅电极来说，与较低的扩散区的接触部分是无边界的，与栅极的接触部分在上部/第二/源扩散区之上及其两侧延伸，在沟道的两侧或更多个不同的侧面可以形成分开的栅极接触部分，并且与第二扩散区的接触部分相对于栅极结构是无边界的。进一步地，较低/漏扩散区在该柱之下延伸，并且在栅极结构之下延伸超出该柱，从而形成邻近栅极结构的接触部分，而邻近栅结构的绝缘体允许通过与它相邻的一个传导层形成一个接触部分。另外，与

上部扩散区的接触部分可以是自对准的隔板的形式，所述的柱在栅极结构之上延伸，并且第一扩散区可以用来形成到另一晶体管的一部分间的接触部分，这将在下文中结合本发明的第二实施例进行更详细的说明。还应当理解，在上面说明的第一实施例中，形成传导沟道的柱是从一个凹陷中外延生长的，而在第二个实施例中使用刻蚀的方法形成该柱。

现在参看图 25A－25C 到图 38A－38C 讨论第二实施例。显然，在某些细节上和本发明上述的第一实施例有所不同，并且其中的一些可以替代第一实施例中的处理并且反之亦然。例如，在第二个实施例中可以应用上面说明的自对准的源极和漏极的处理方法，因此为了明了起见此处省略了对其进一步的说明。本发明的第一实施例和第二实施例的主要区别在于所采用的用于形成沟槽 2720 的工艺的特性不同，该工艺将在图 27A－27C 所示的步骤中为传导沟道提供图案。

更具体地说，按照第二实施例，使用相移掩模形成沟槽 2720，该相移掩模允许用给定波长的电磁能量以光刻的方法规定更小的特征尺寸。本领域的技术人员可以明白，在不使用额外的光刻工艺进行修剪的情况下，这种形成沟槽的技术将产生具有封闭几何形状的沟槽；附图仅仅表示出了这种形状的一部分。沿着在这个封闭的几何形状，在其他位置可以同时或顺序地形成其他晶体管。这是本发明的第二实施例的一个特征，它特别有利于按照本发明成对地形成导电类型相反的晶体管（例如，用于倒相器的晶体管）。

如图 25A－25C 所示，第二实施例示出了使用具有活性硅层 2510 的 SOI 晶片，所述的 SOI 晶片还带有已经位于适当位置的不同传导类型的较低的漏扩散区 2520、2520'。施加一个抗蚀剂层并使其形成图案，并且植入 PMOS 源极区域 2530。然后将抗蚀剂层剥除，并且施加另一抗蚀剂层并使其形成图案，并且类似地植入一个 NMOS 源极区域 2540。对其他极性器件使用类似的工艺。在任何例子中，都可以为杂质植入采用一层屏蔽氧化物并且将其剥除。然后，用衬垫氧化物层 2550 和氮化物层 2560 覆盖晶片的表面。

如图 26A－26C 所示，以光刻的方法规定各个晶体管区域并将它们刻蚀

以便形成区域 2610 中的浅沟槽，然后最好是通过化学气相沉积（CVD）将其填充氧化物或其他绝缘材料 2620，并且将其表面抛光到氮化物 2560。如图 27A－27C 所示，施加一个抗蚀剂层 2710 并使其形成图案，这种形成图案最好采用相移掩模完成，以便相应于柱/传导沟道形状的位置，有选择地刻蚀一个窄的沟槽 2720 至植入的源极 2530。将抗蚀剂层剥除并且使用 CVD TEOS 2730 填充这个沟槽并且如图 28A－28C 所示将其抛光到氮化物 2560 的水平面，并通过相对于氧化物有选择地湿刻蚀以去除剩余的表面氮化物 2560。然后，通过相对于硅有选择地简刻蚀（brief etch）的方法，去除衬垫氧化物 2550 至植入的源极区域 2530，而大部分较厚的 TEOS 和浅沟槽氧化物 2620 保持未动（例如，高度/厚度有所减小），结果得到图 28A－28C 所示的结构。

如图 29A－29C 所示，硅被各向异性地有选择地相对于氧化物进行刻蚀以形成硅柱 2910。这最好是作为定时的刻蚀进行，以便在沟槽 2930 的底部保留初始晶片上的部分硅层 2920，其覆盖着较低的扩散区 2520、2520'。氮化物层 3010 被沉积，并被按照已形成图案的抗蚀剂层 3020 各向同性地刻蚀以形成图案，以便覆盖浅沟槽隔离结构 2620 的边缘，并且部分地在 3020 处延伸过沟槽底部 2920，如图 30A－30C 所示。（应该认识到，除了沟槽外的氮化物覆盖程度之外，这个结构大体上与图 10A－10C 相同。这样，使用不同的氮化物构图，图 25A－25C 到 30A－30C 的处理就可以替代图 1A－1C 到 10A－10C 的处理，并且反之亦然。）

如图 31A－31C 所示，额外的氮化物被各向异性地沉积并且被各向同性地刻蚀，这样沉积的氮化物就被从邻近硅柱的沟槽壁上剥除下来。在侧壁上氮化物 3010 近似地还原到它最初的厚度，同时在沟槽的底部提供有氮化物 3110 以便使栅极结构（将如图 32A－32C 所示那样被形成）与漏极相分隔。通过抛光从表面去除氮化物。在硅柱表面生长牺牲氧化物 3210（用于当去除氧化物时清理表面），并且可以进行带角度的沟道植入 3205，以便如虚线 3215 所示，在硅柱 2910 的侧面提供表面杂质。由牺牲氧化物调节的这种植入，被用来对沟道进行预掺杂，这是因为硅柱是通过刻蚀形成的

而不是通过生长形成的，通过生长形成时会有杂质被加入其中。在第一实施例中的相应之处可以采用类似的处理。然后，牺牲氧化物 3210 被剥除。然后最好是通过在含氧气氛中进行简单热处理，在去除了牺牲氧化物的位置形成栅极氧化物或其他绝缘体 3220，并且使用导电栅极材料 3230 重新填充沟槽，结果得到图 32A－32C 所示的结构。

然后，通过有选择地刻蚀在 3310 处对栅极材料进行凹陷处理，并且沉积氧化物并将其刻蚀以便形成如图 33A－33C 所示的侧壁隔板。如图 34A－34C 所示，通过按照以光刻方法规定的顶盖掩模 3410 有选择地刻蚀，去除与 STI 邻近的隔板。这个处理与上述结合图 16A－16C 所说明的处理相类似。然后将抗蚀剂层掩模 3410 剥除。如图 35A－35C 所示，栅极材料 3230 上的凹陷被用氮化物 3510 填充并被抛光回原处。然后，通过热处理，将植入的或扩散的杂质区域 2520、2520'以及 2530 在 3520、3530 处扩大到伸入硅柱 2910 的传导沟道区域中，同时植入的杂质 3215 被在柱中扩散。应该注意，这种扩散在下部扩散区 3530（2520、2520'）处由栅极氧化物 3220 以及在上部扩散区 3520(2530)处由侧壁 3320(以及栅极氧化物 3220)与栅极多晶硅 3230 隔离开来。

以与上面结合图 22A－22C、23A－23C 以及 24A－24C 详细讨论的方式相类似的方式，分别使用抗蚀剂层 3610、3710 以及 3810 如图 36A－36C、37A－37C 以及 38A－38C 所示形成源极、栅极和漏极接触开口 3620、3720、3820。再次地，通过有选择地刻蚀 STI 结构的氧化物形成漏极接触开口，并且所述的开口在与 STI 材料的接触面内沿着氮化物侧壁 3010 前进。此外，如本发明的第一实施例，通过有选择地刻蚀氮化物和/或氧化物，可以将栅极和源极开口分隔开，并且光刻图案形成的配准即使对于极小的尺寸来说也不是至关重要的，按照本发明的第二实施例，可以通过相移掩模图案形成和/或在上文中暗指的其他光刻或处理技术将晶体管缩小到这种极端小的尺寸。

除此之外，作为常见的情况，可能希望形成与两个相邻晶体管的漏极的单一接触部分，或者（例如，作为用于倒相电路的一个输出连接）与晶

体管漏极和其他类型的邻近器件的一个电极的单一接触部分。在这种情况下，在晶体管和其他晶体管或其他器件（在任何情况中，它们都通过氮化物侧壁 3010 绝缘）之间不需要浅沟槽隔离，并且如图 39A 和 39B 所示，STI 结构的整个宽度可以被刻蚀，并且可以使用导体 3910，例如钨，填充凹陷。如在本发明的第一实施例中那样，上面说明的所有连接都是无边界的。

在前面的说明中，可以看出本发明提供了一种垂直的场效应晶体管结构，所述的场效应晶体管具有两个可能相互无关的栅极，并且可以在晶片上极小的区域内形成。可以可靠地并且以较大的光刻曝光配准容差形成源极、栅极以及漏极的连接，从而提高了产量。

虽然使用两个可以部分互换的实施例说明了本发明，本领域的技术人员可以理解，本发明还能够以落在所附的权利要求的主旨和范围内的改型的方式加以实现。

工业可行性

本发明适用于半导体器件的制造，并且更具体地说，适用于非常高密度的半导体集成电路的制造。

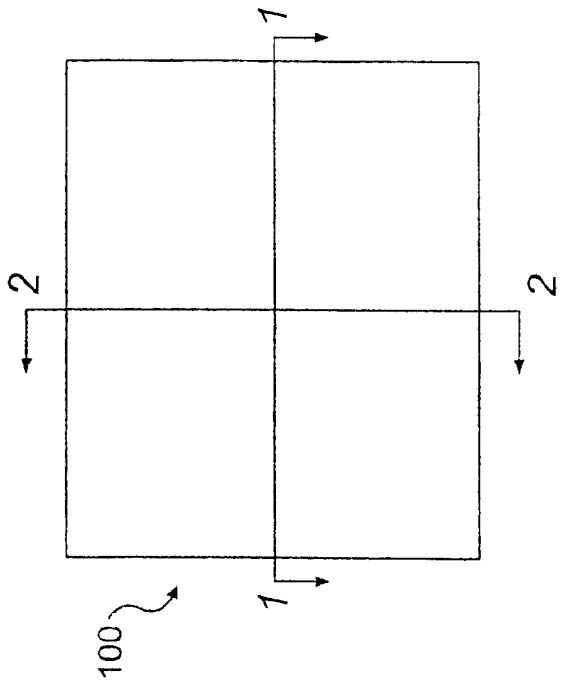


图 1A

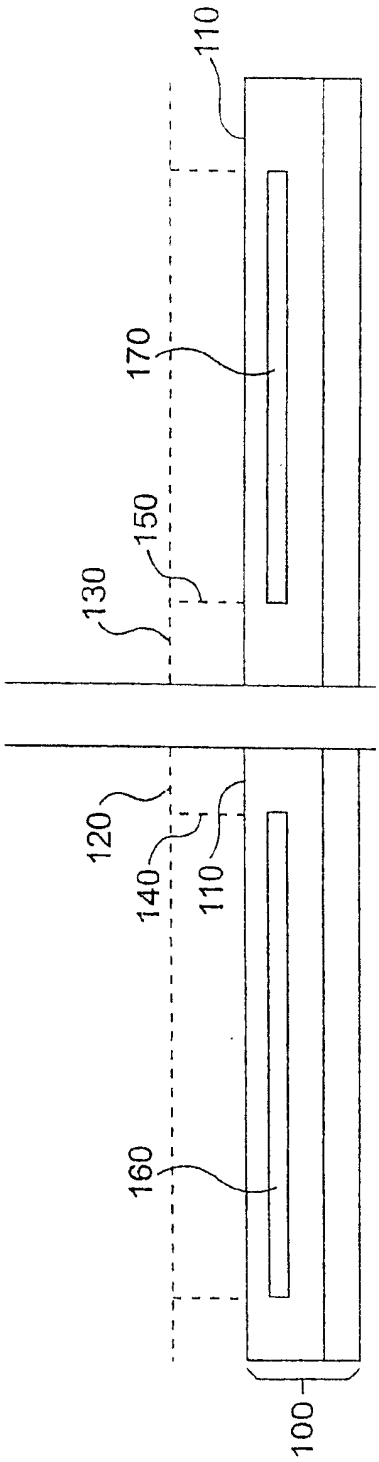


图 1C

图 1B

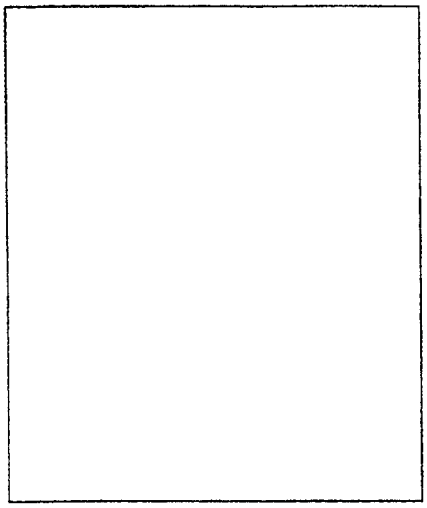


图 2A

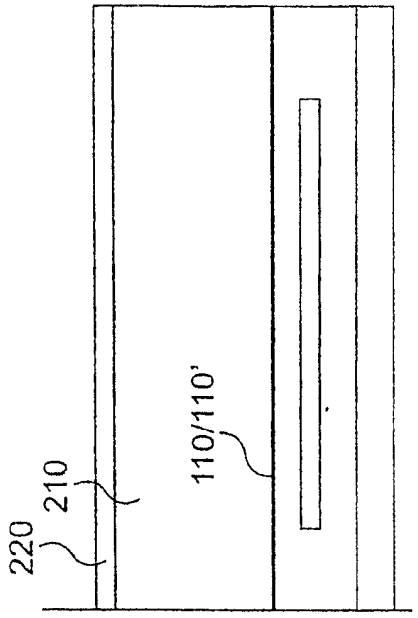


图 2C

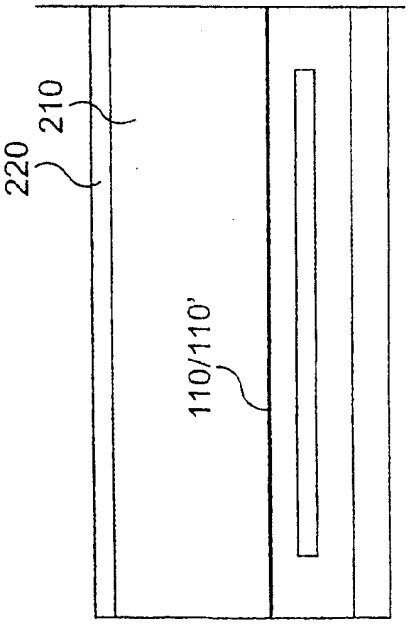


图 2B

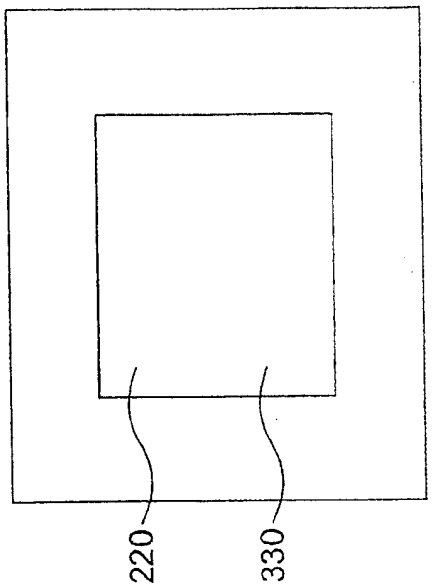


图 3A

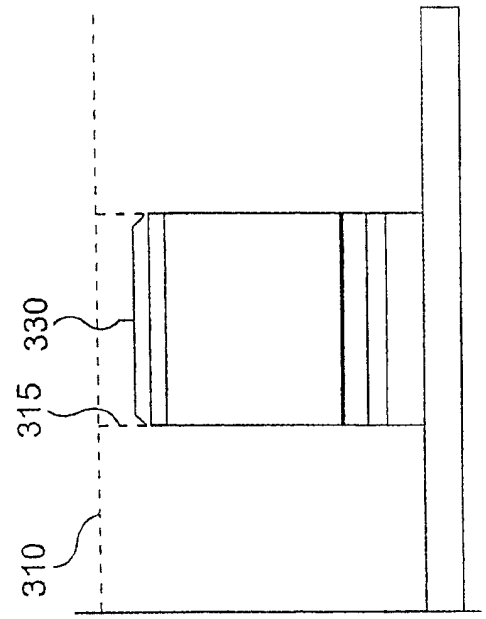


图 3C

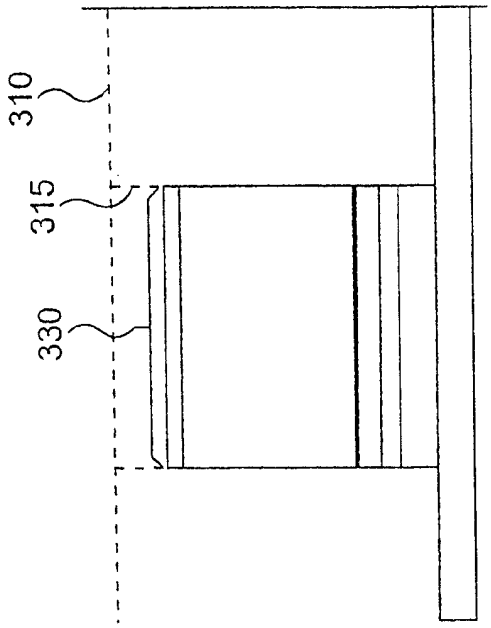


图 3B

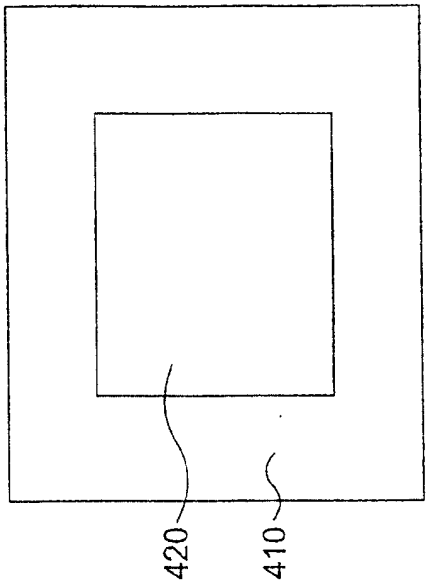


图 4A

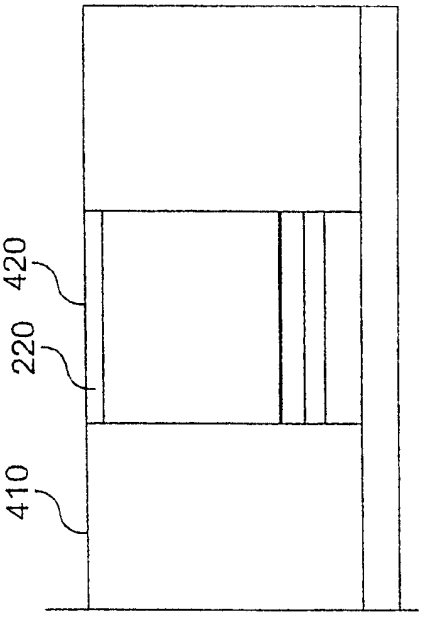


图 4C

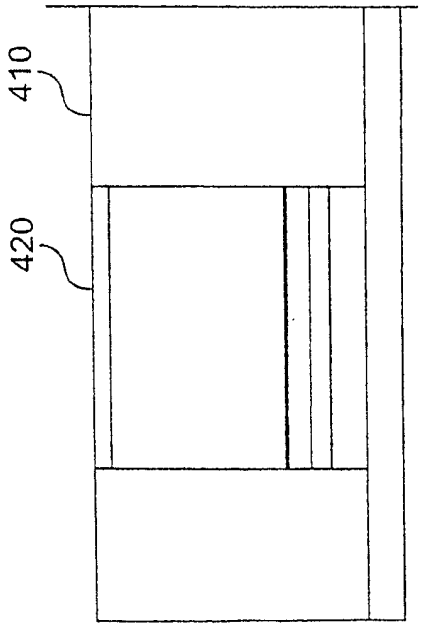


图 4B

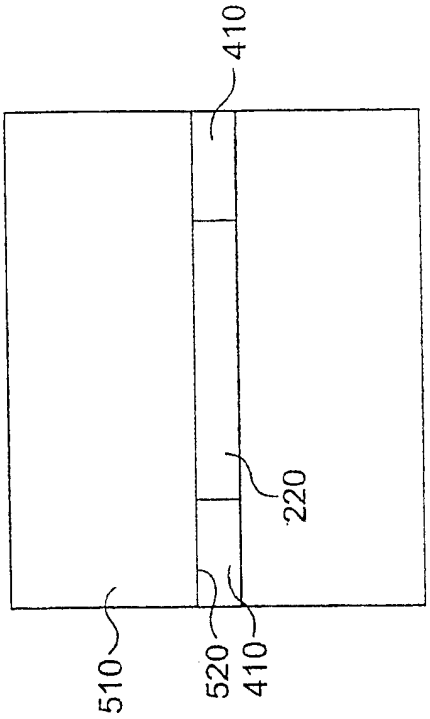


图 5A

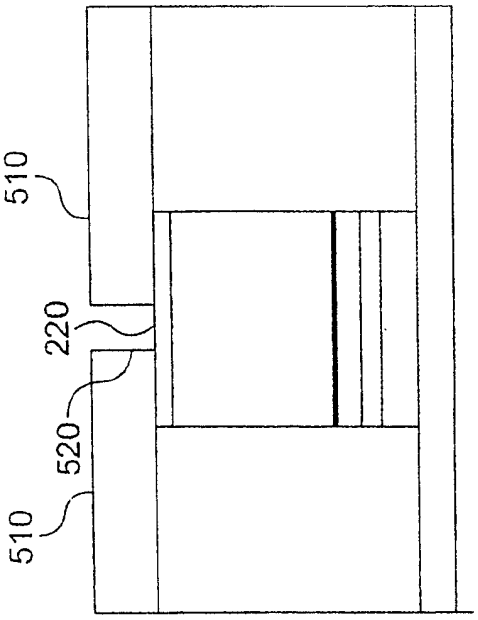


图 5C

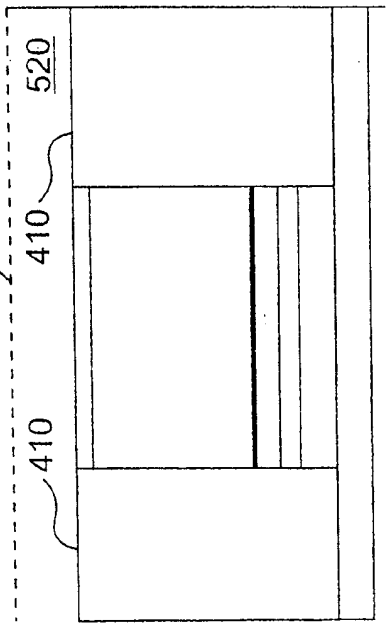


图 5B

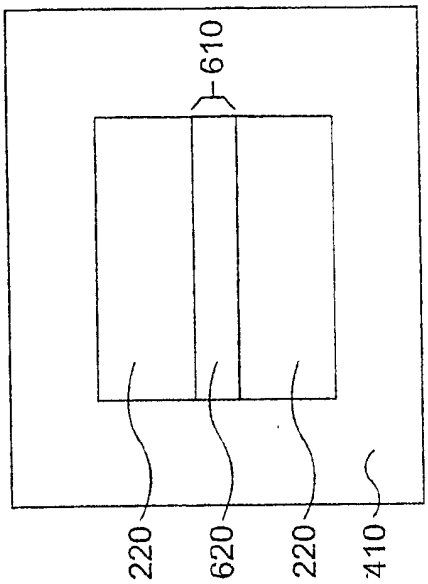


图 6A

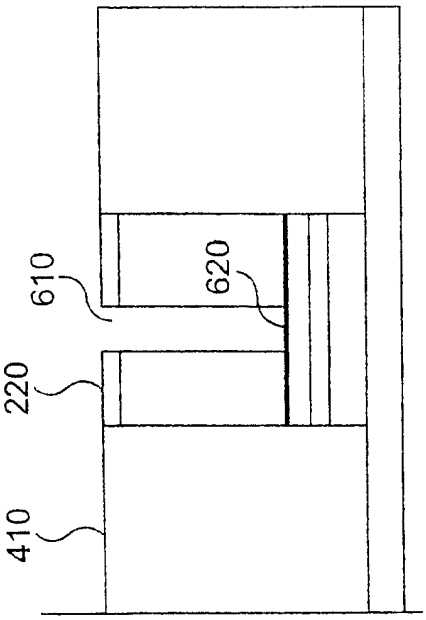


图 6C

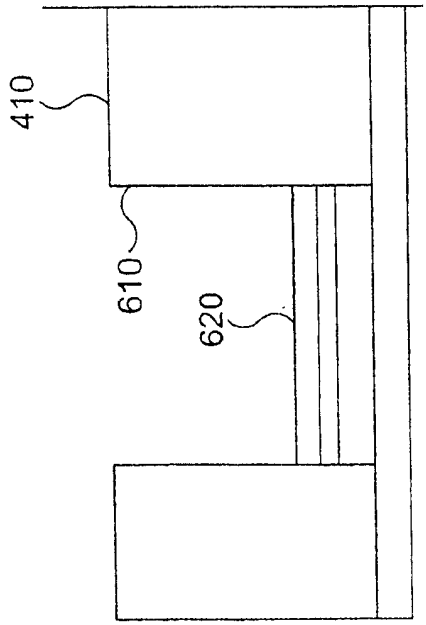


图 6B

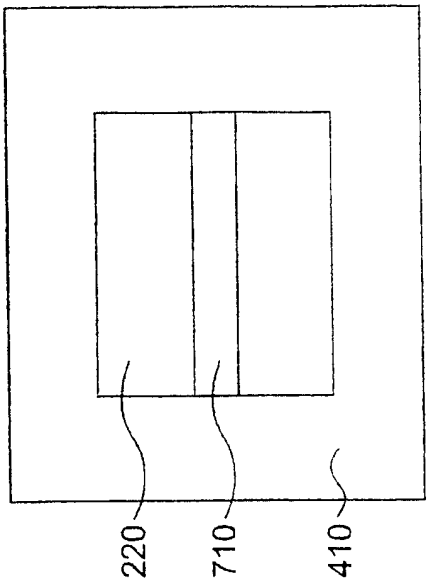


图 7A

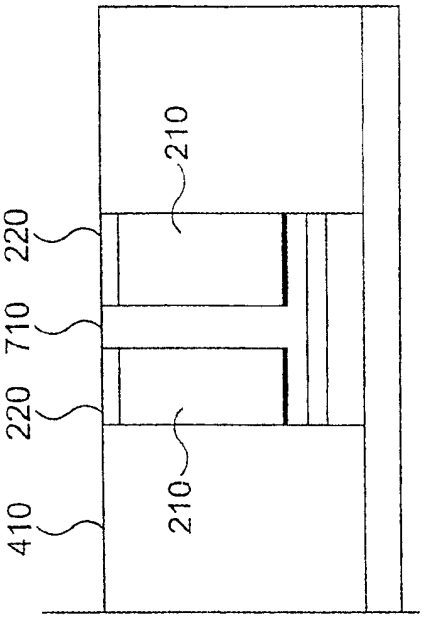


图 7C

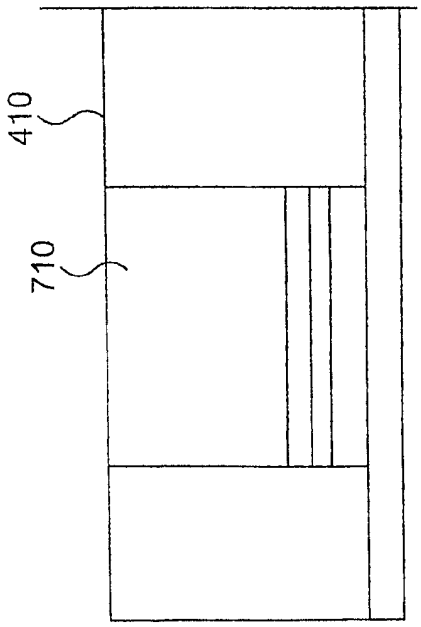


图 7B

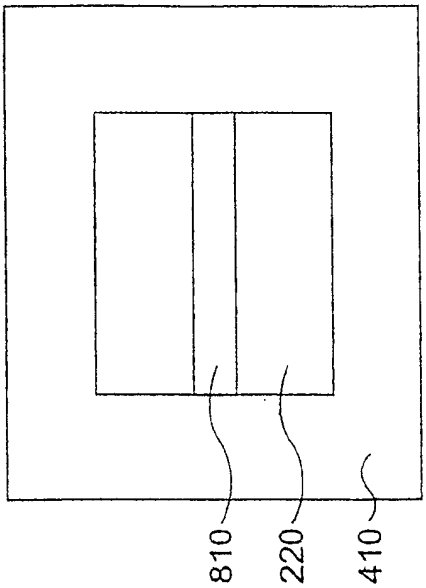


图 8A

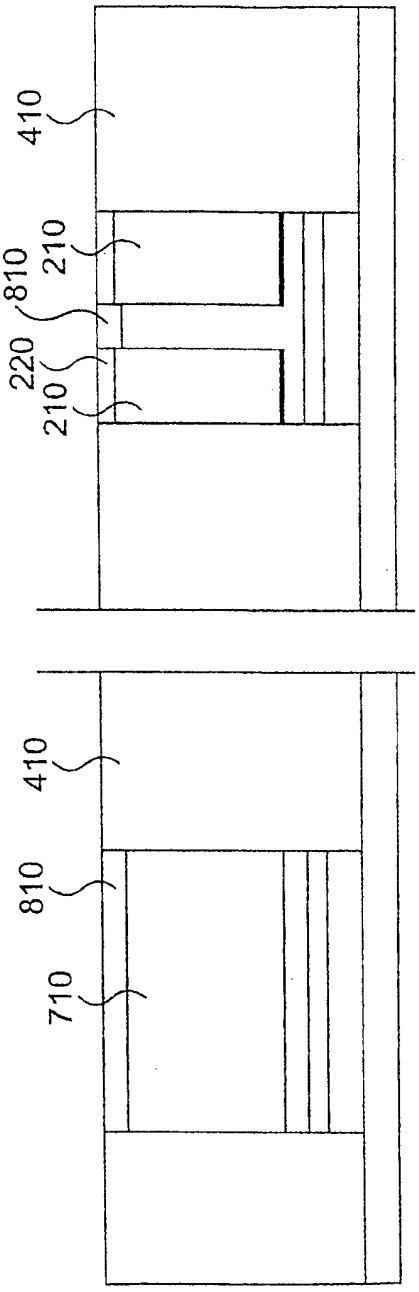


图 8C

图 8B

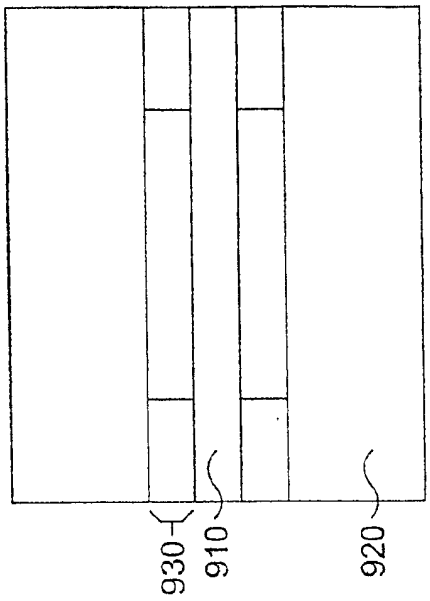


图 9A

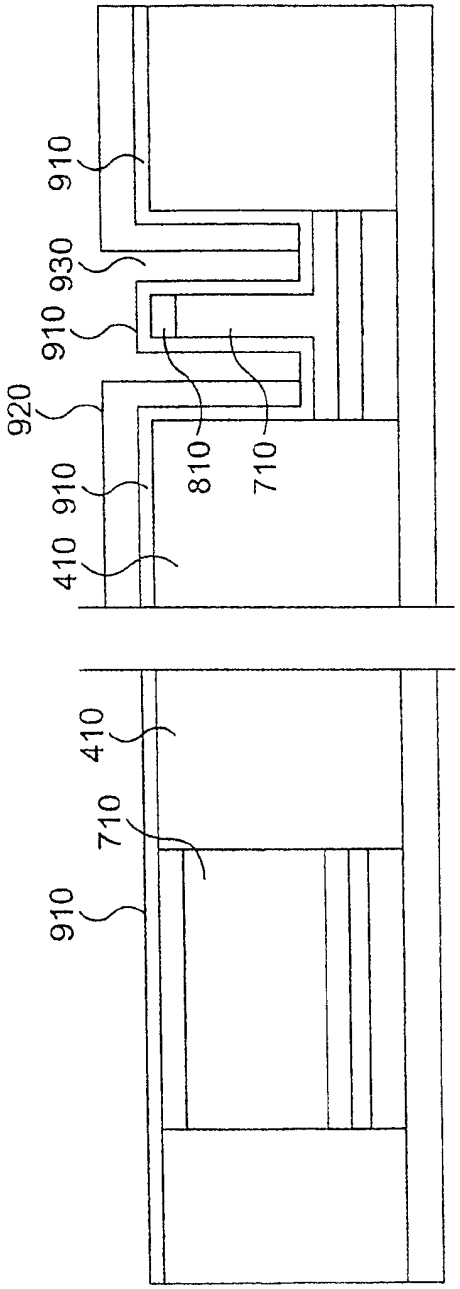


图 9C

图 9B

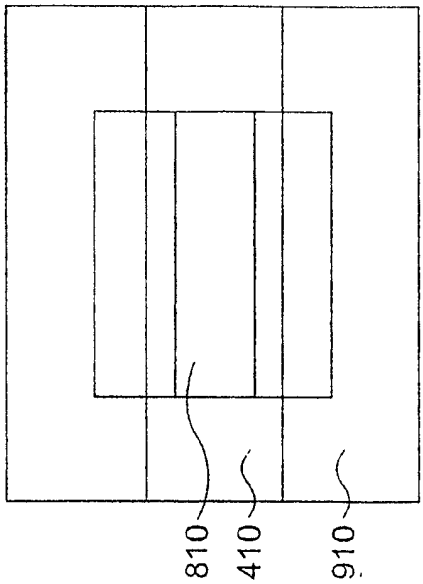


图 10A

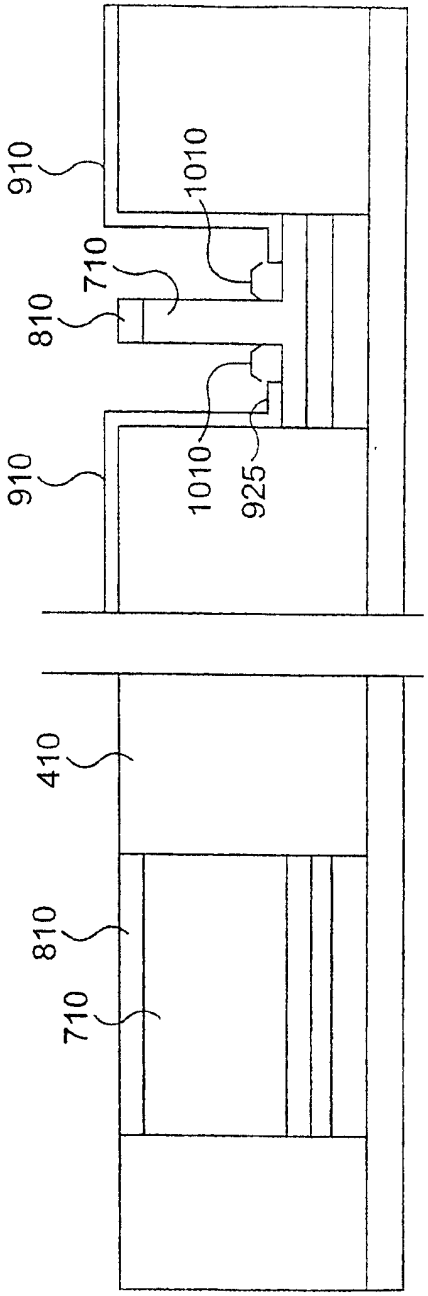


图 10C

图 10B

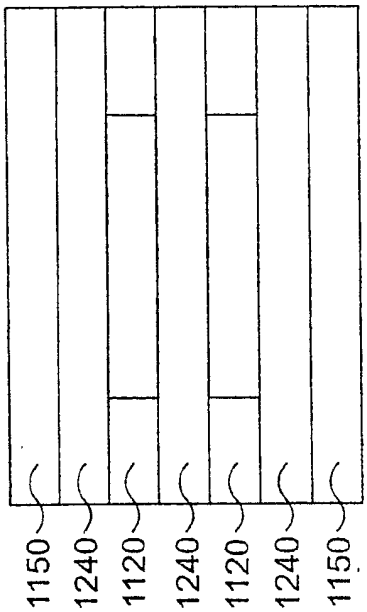


图 11A

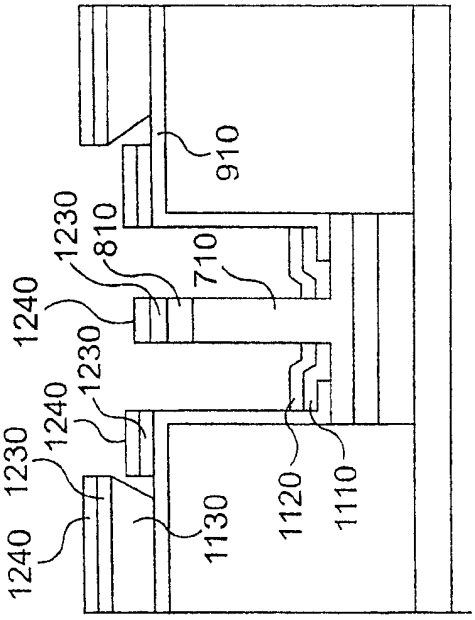


图 11C

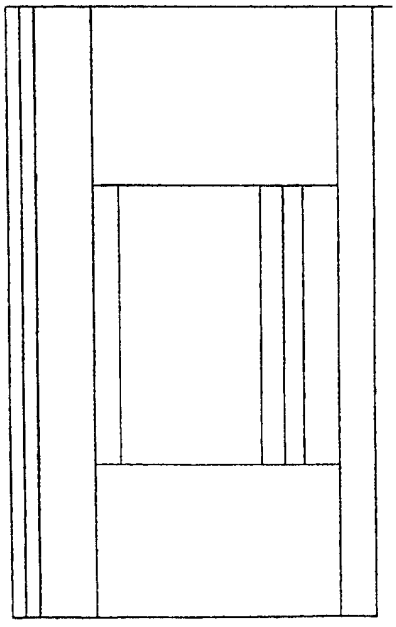


图 11B

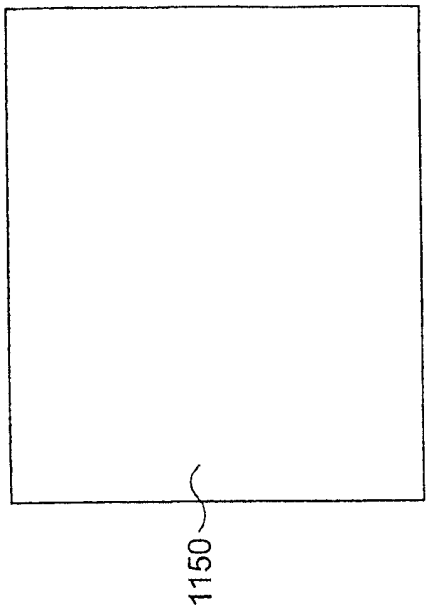


图 12A

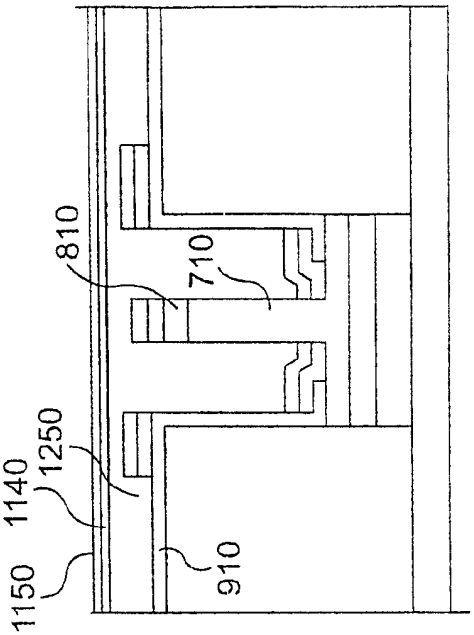


图 12C

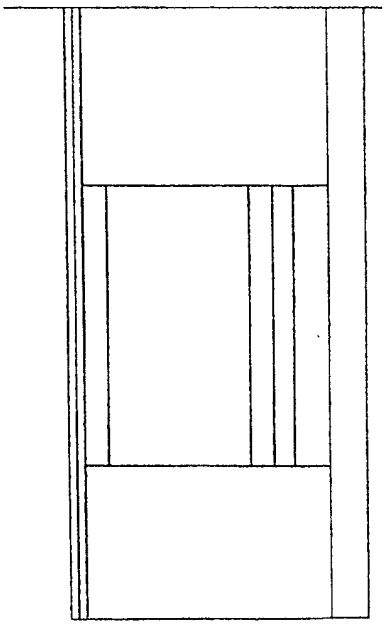


图 12B

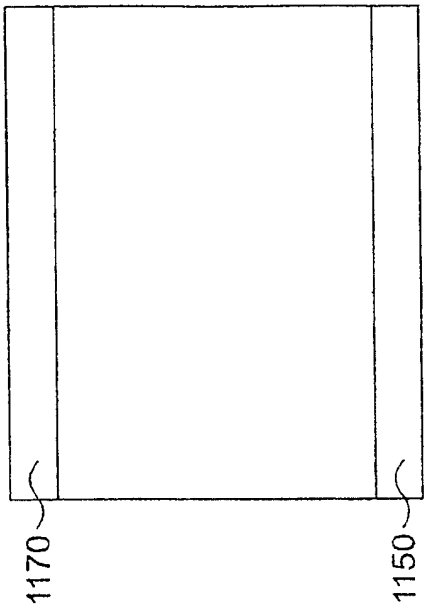


图 13A

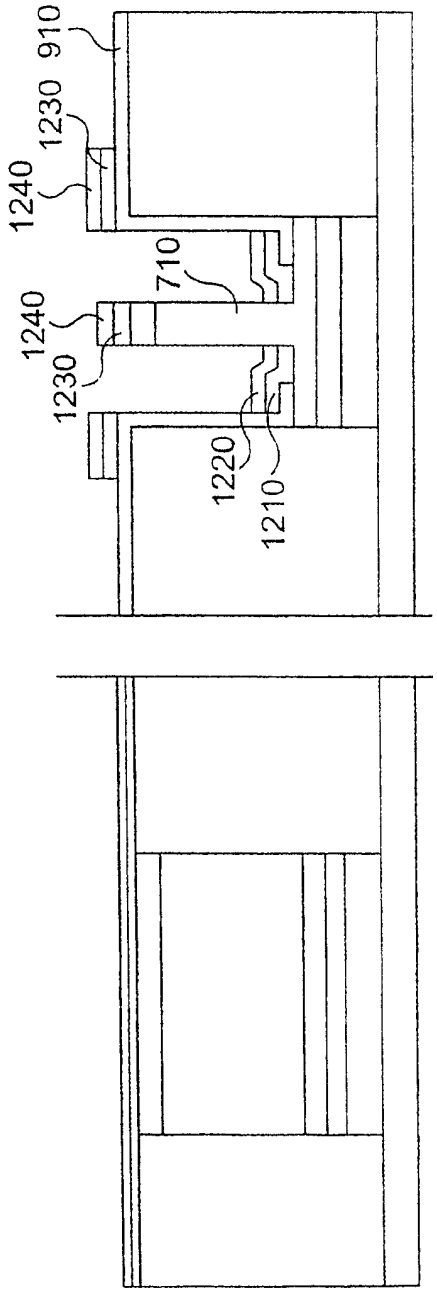


图 13C

图 13B

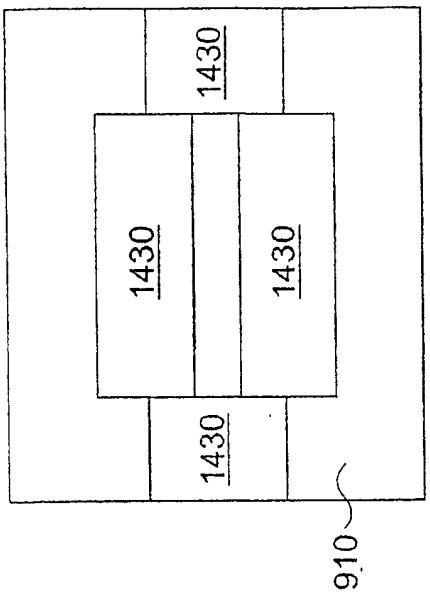


图 14A

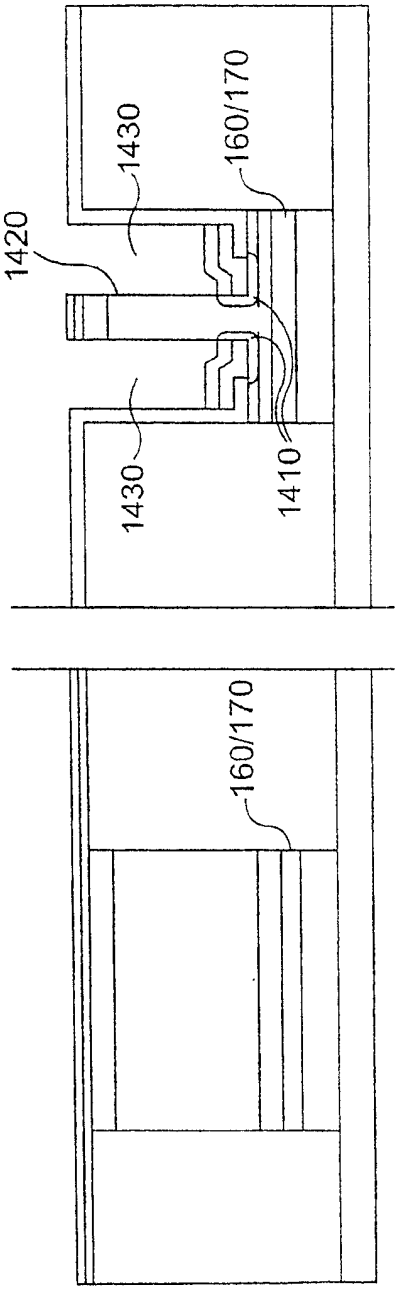


图 14C

图 14B

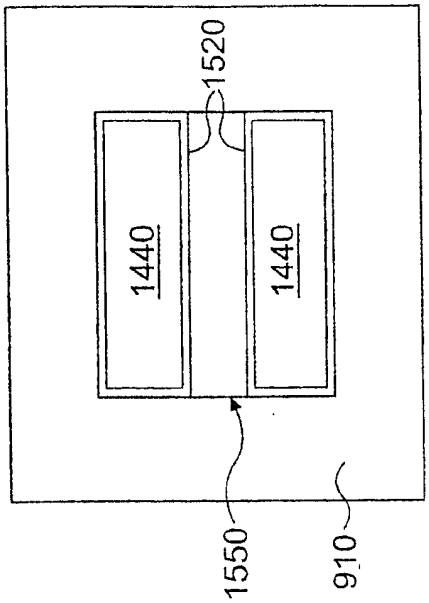


图 15A

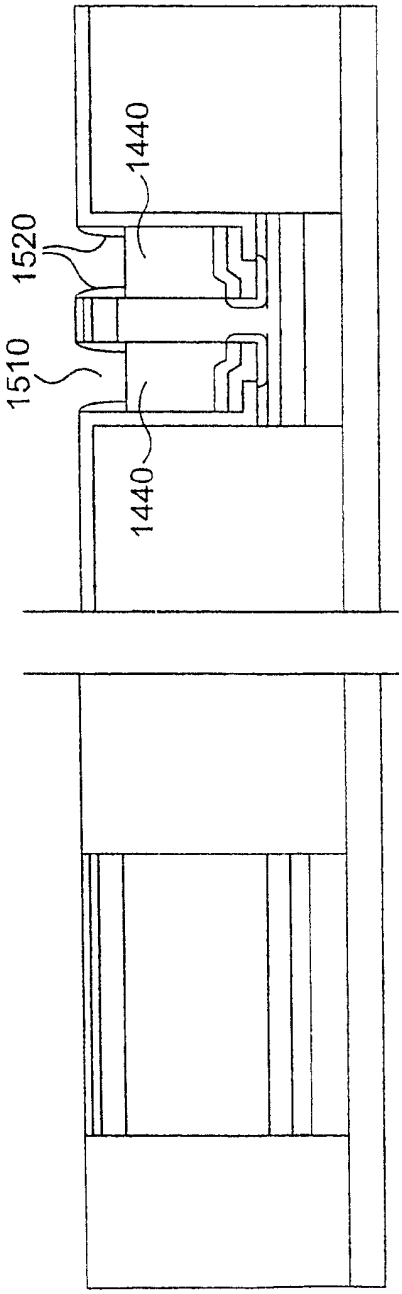


图 15C

图 15B

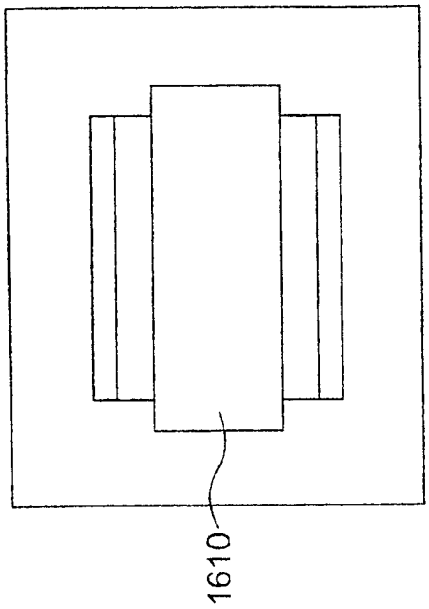


图 16A

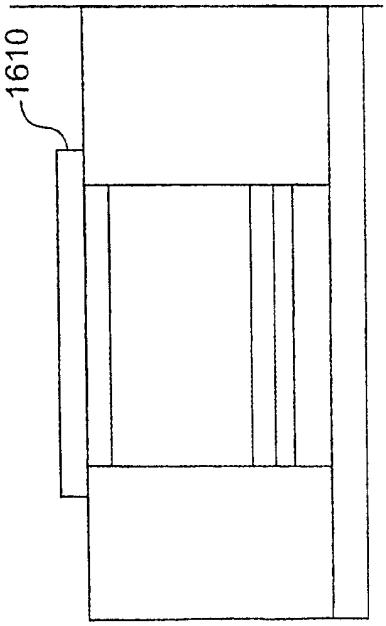


图 16B

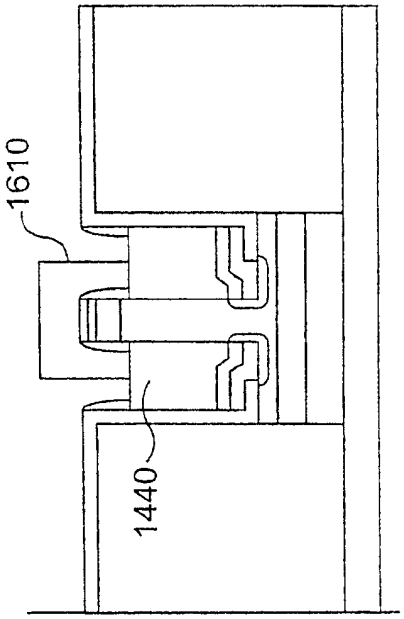


图 16C

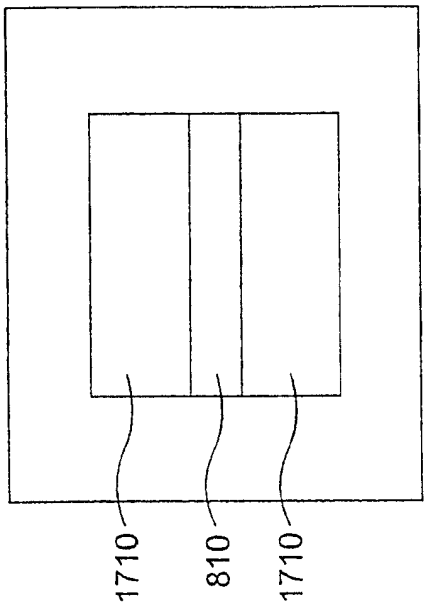


图 17A

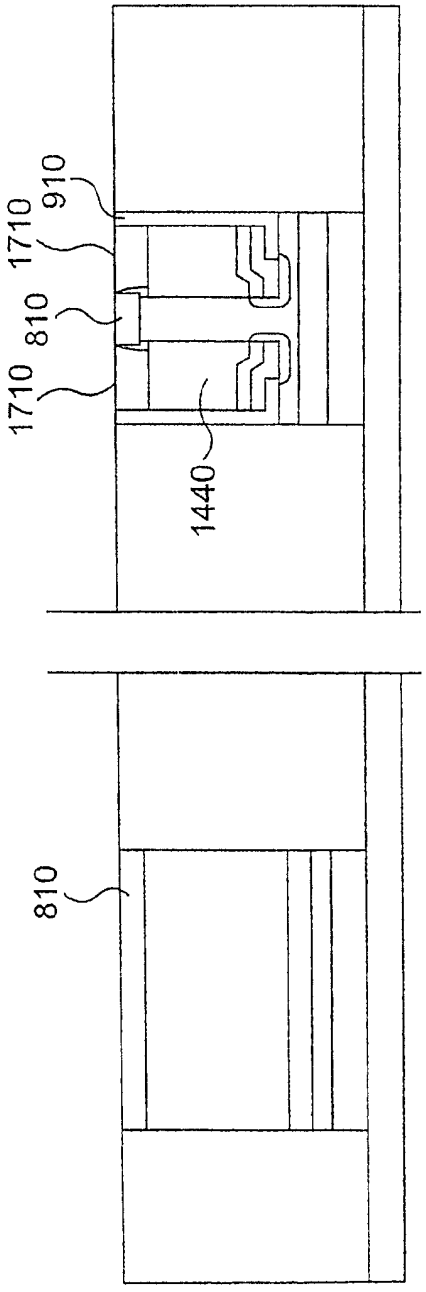


图 17C

图 17B

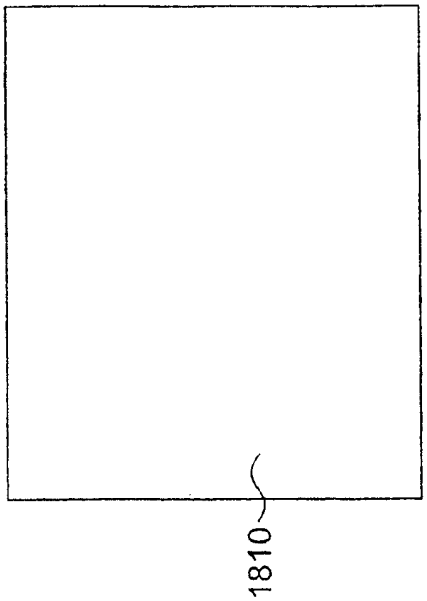


图 18A

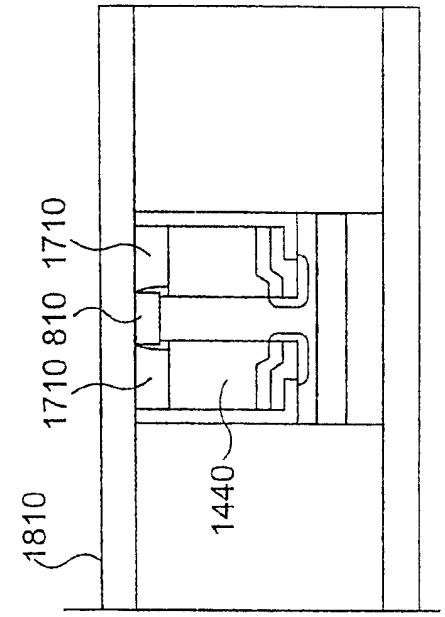


图 18C

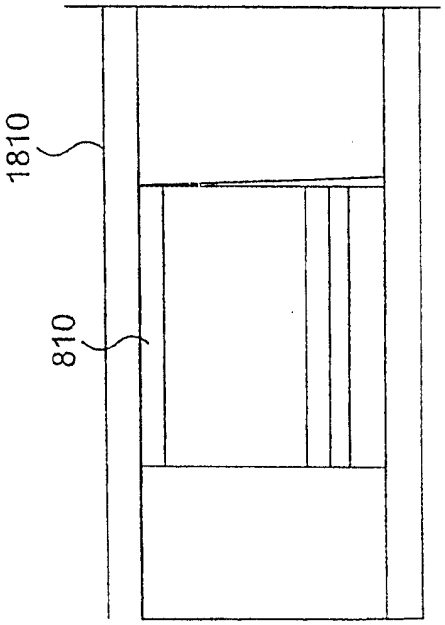


图 18B

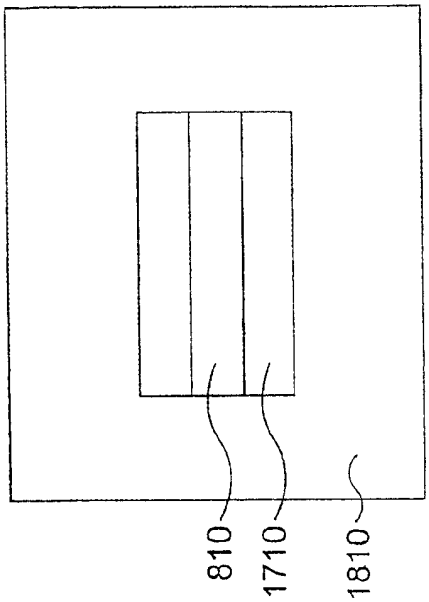


图 19A

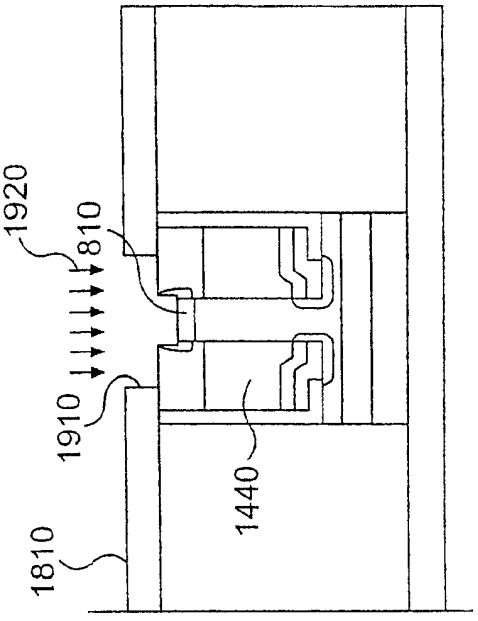


图 19C

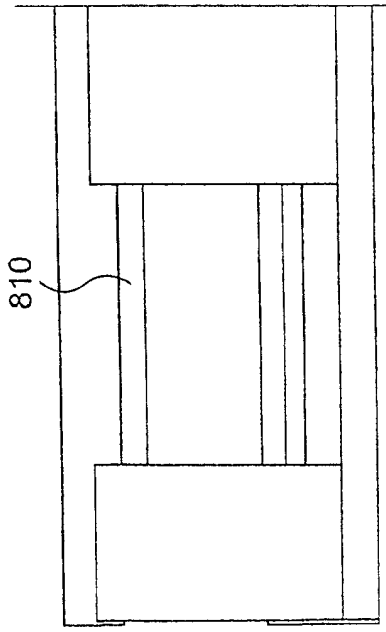


图 19B

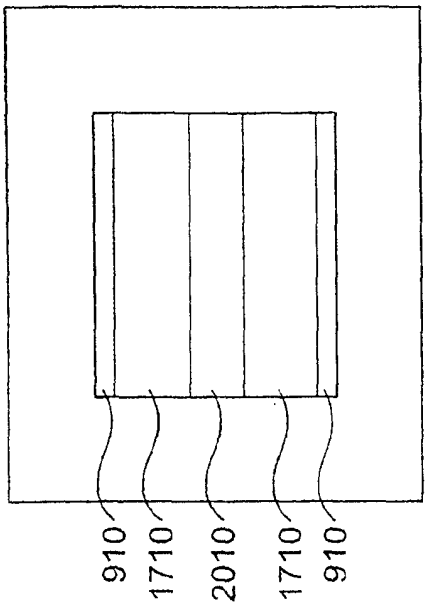


图 20A

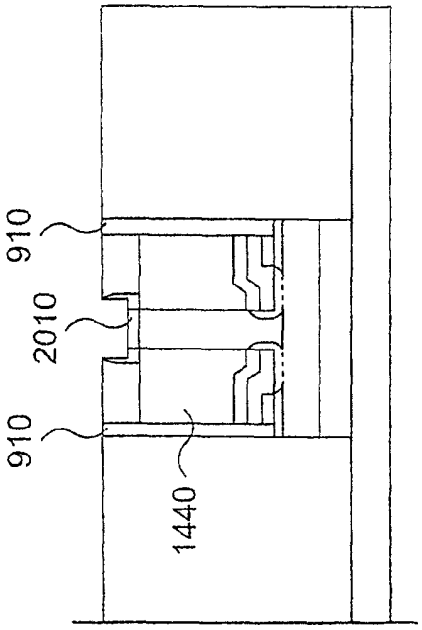


图 20C

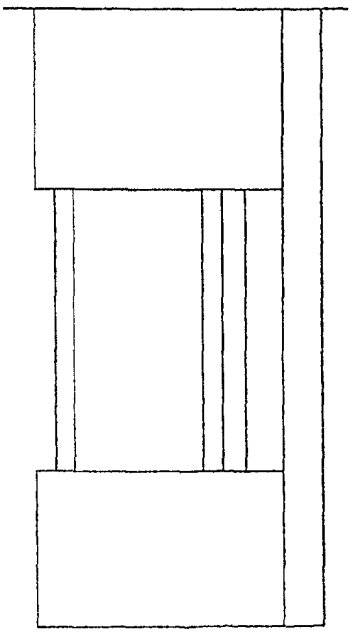


图 20B

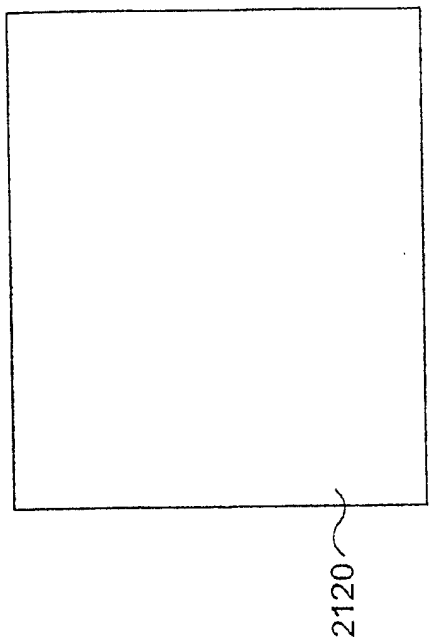


图 21A

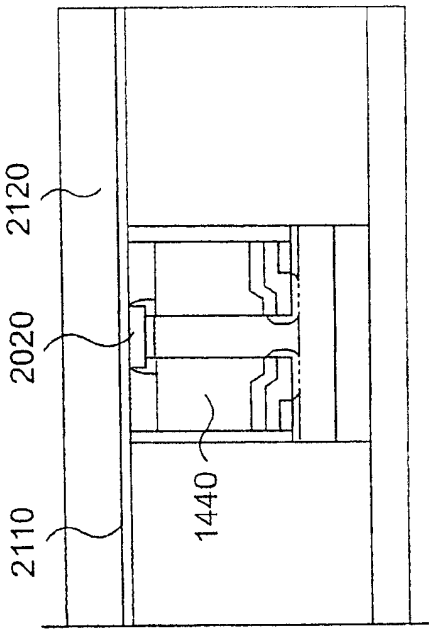


图 21C

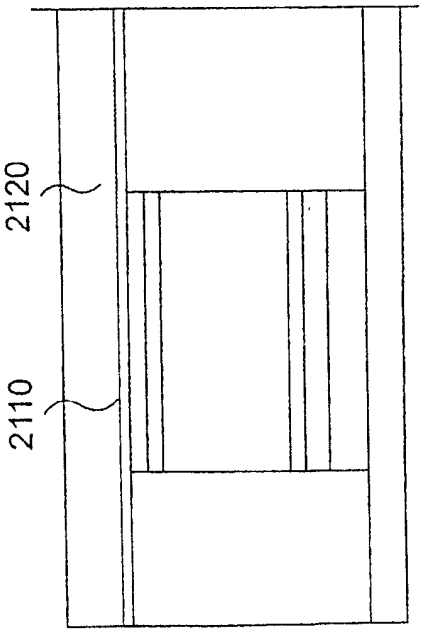


图 21B

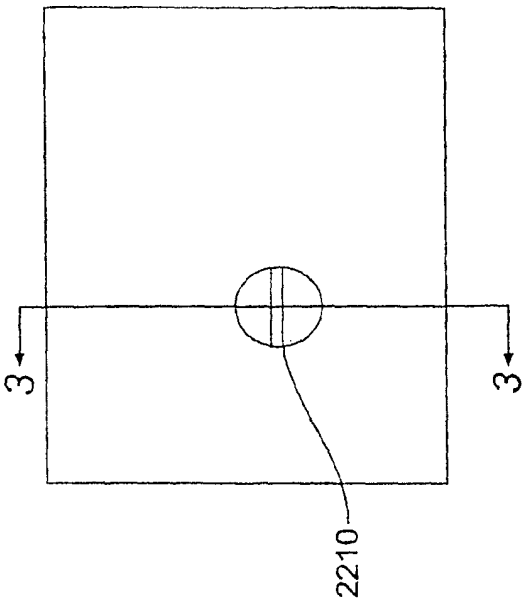


图 22A

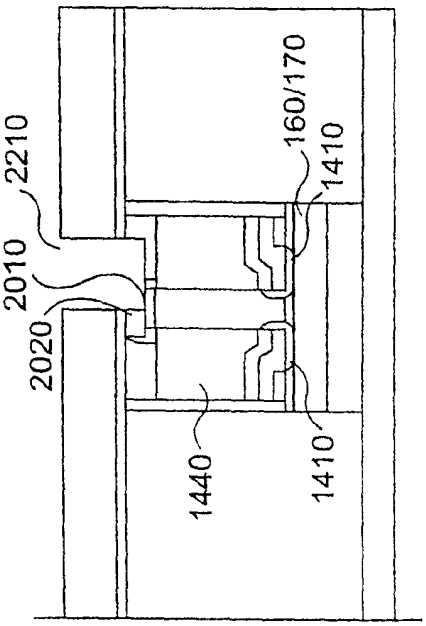


图 22C

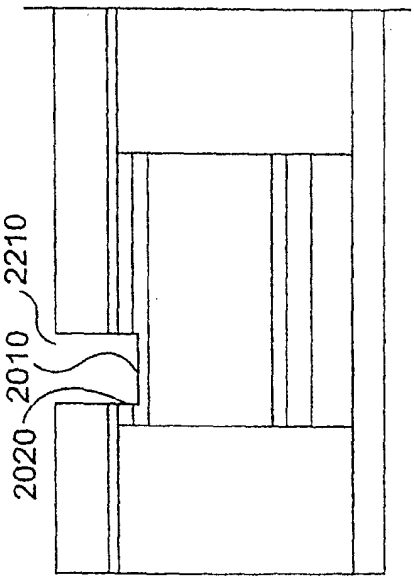


图 22B

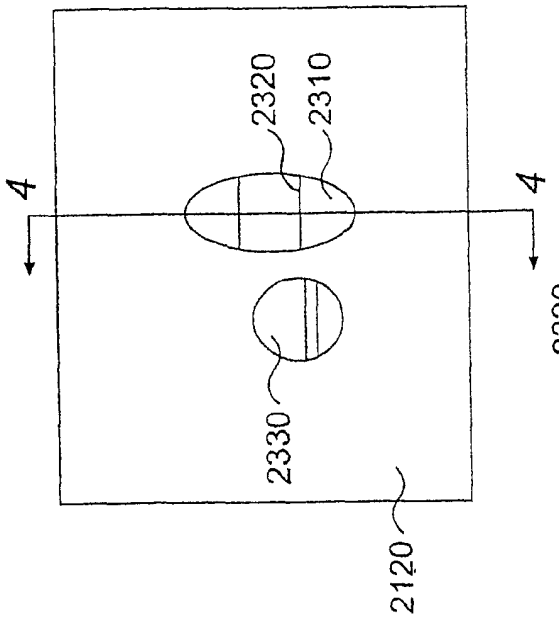


图 23A

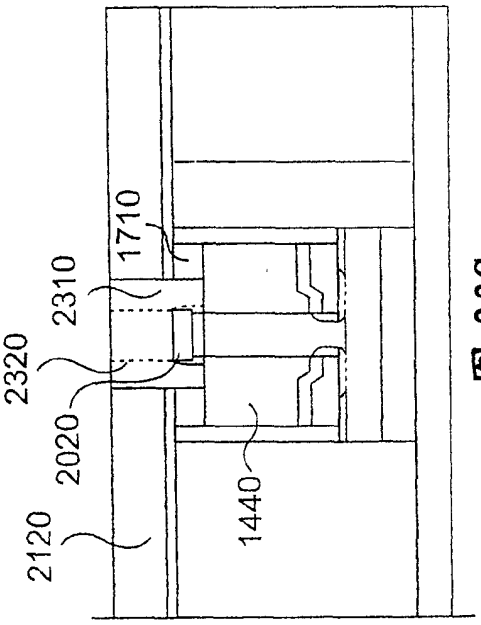


图 23C

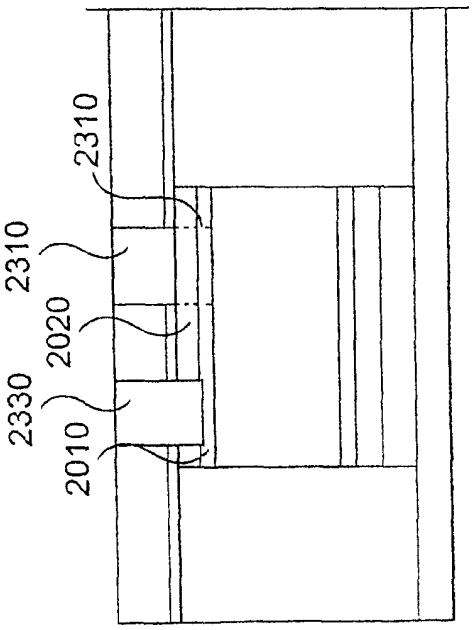


图 23B

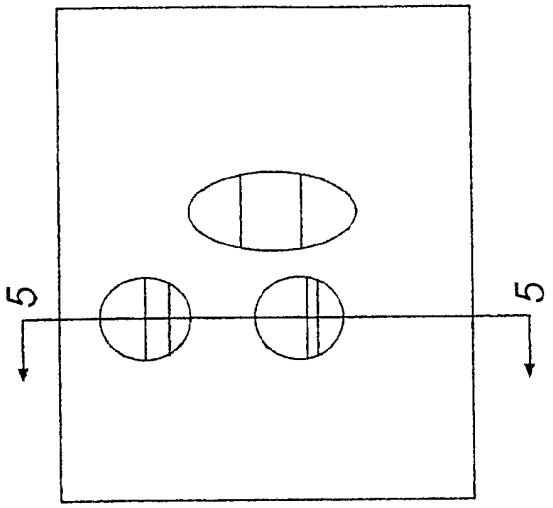


图 24A

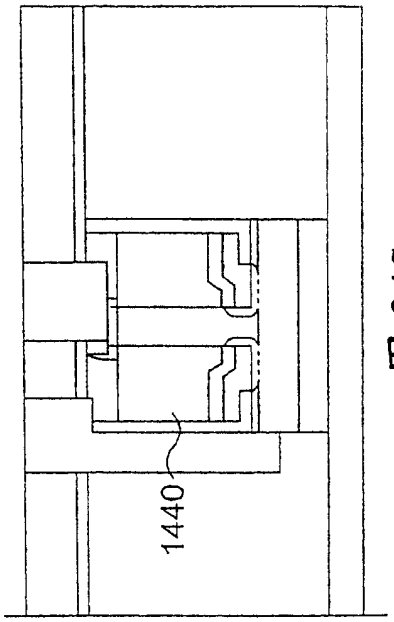


图 24C

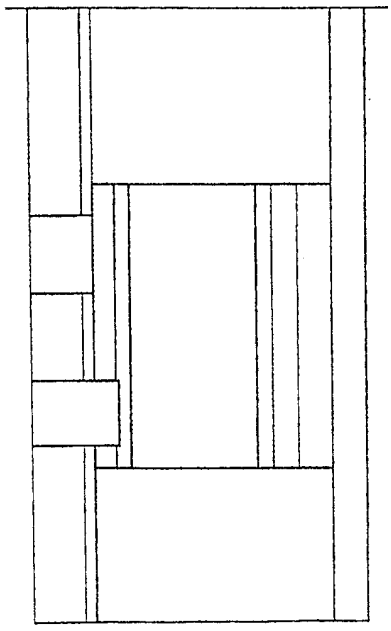


图 24B

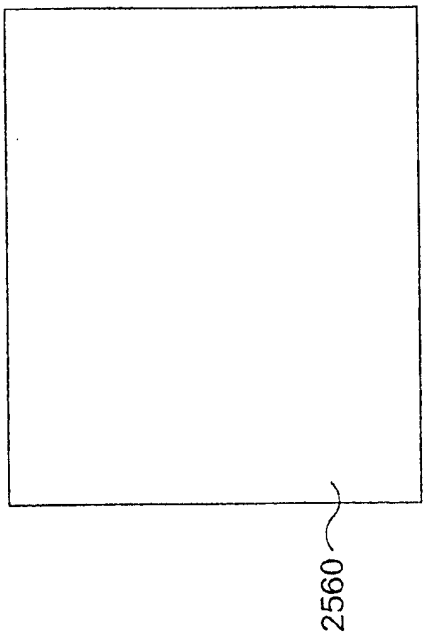


图 25A

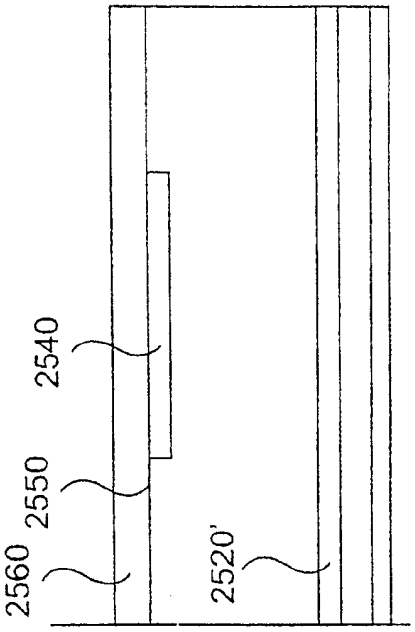


图 25C

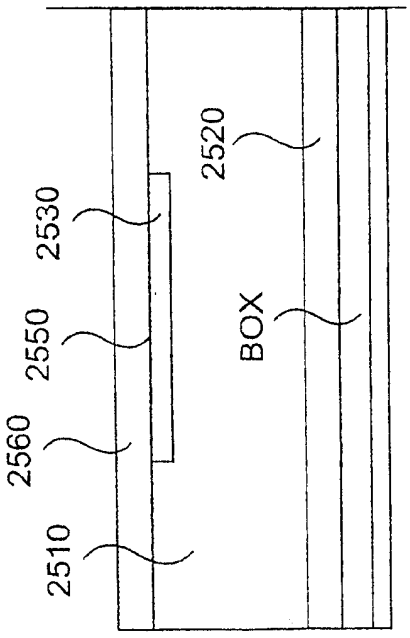


图 25B

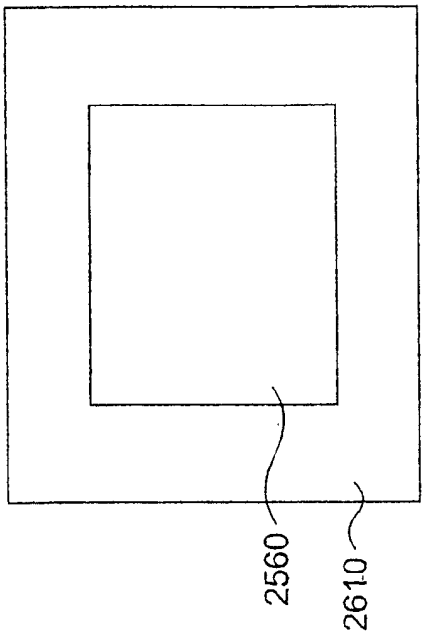


图 26A

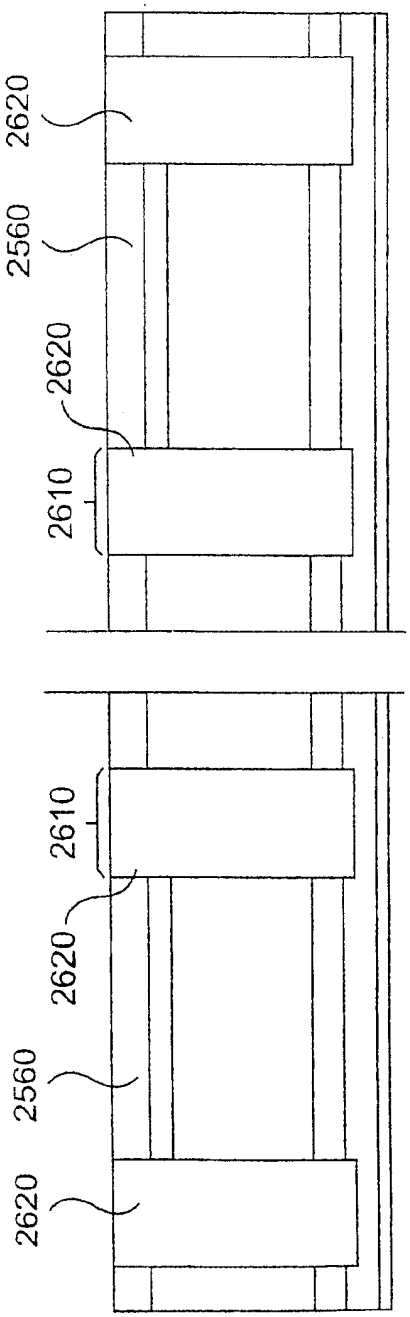


图 26C

图 26B

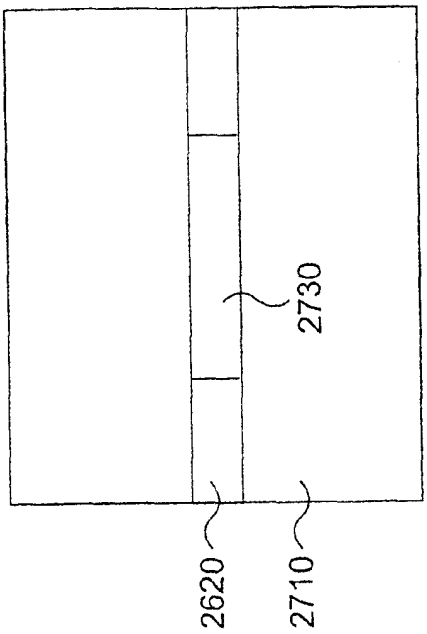


图 27A

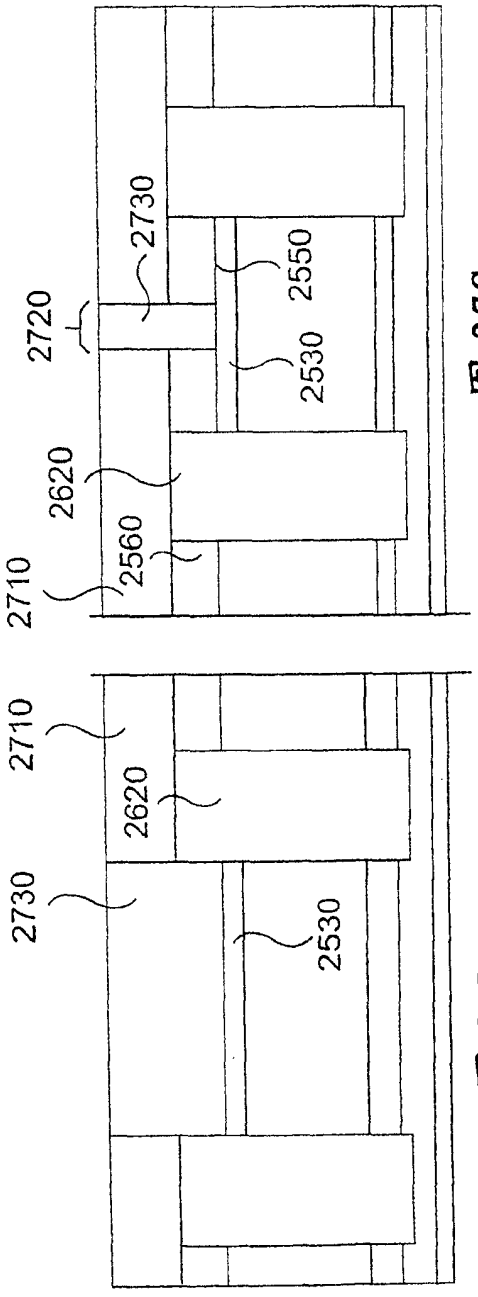


图 27C

图 27B

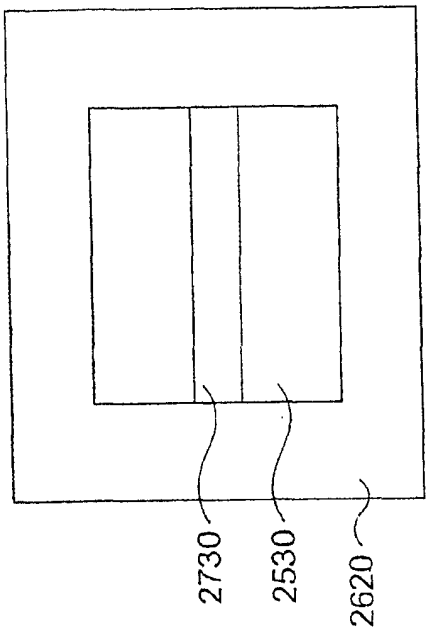


图 28A

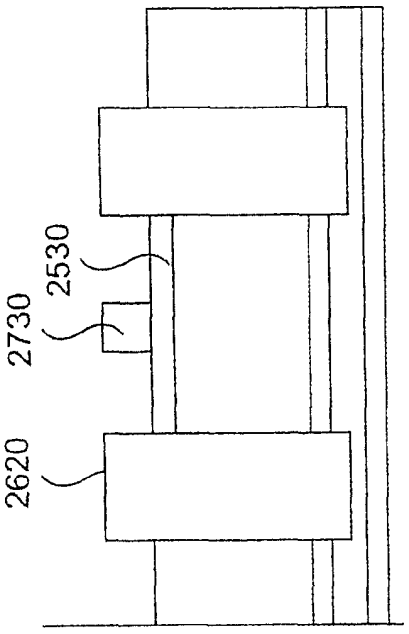


图 28C

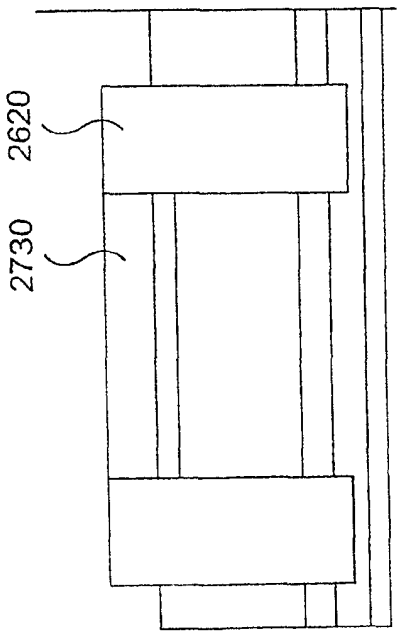


图 28B

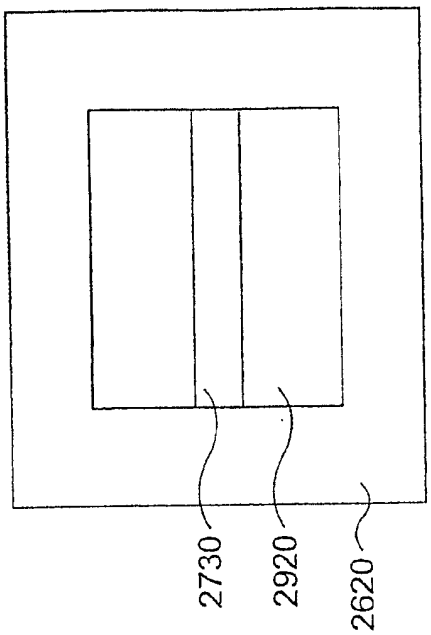


图 29A

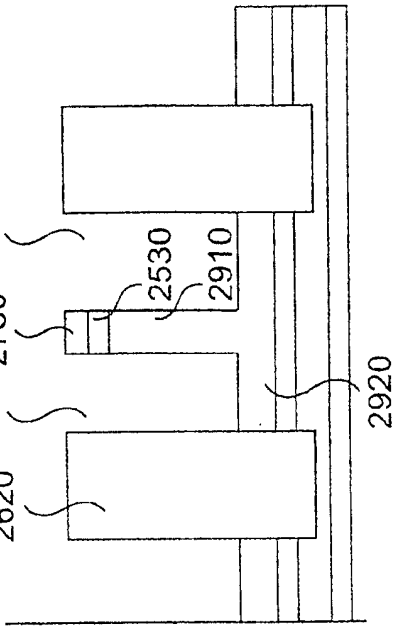


图 29C

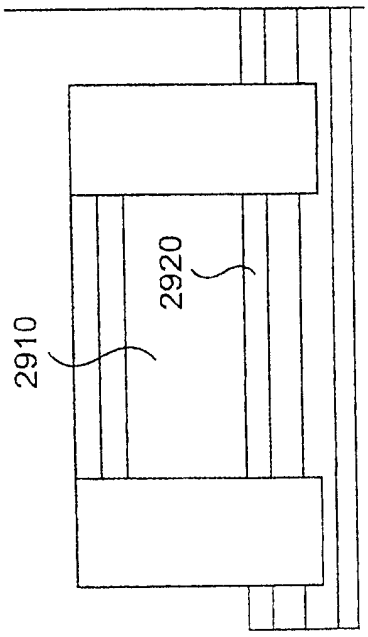


图 29B

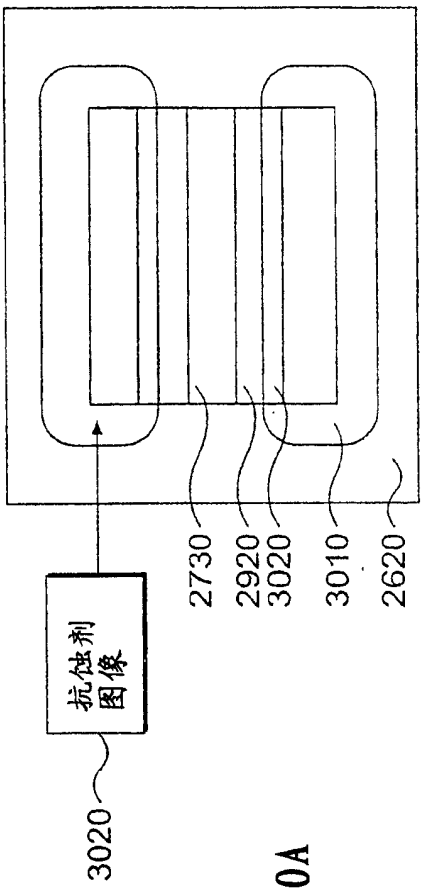


图 30A

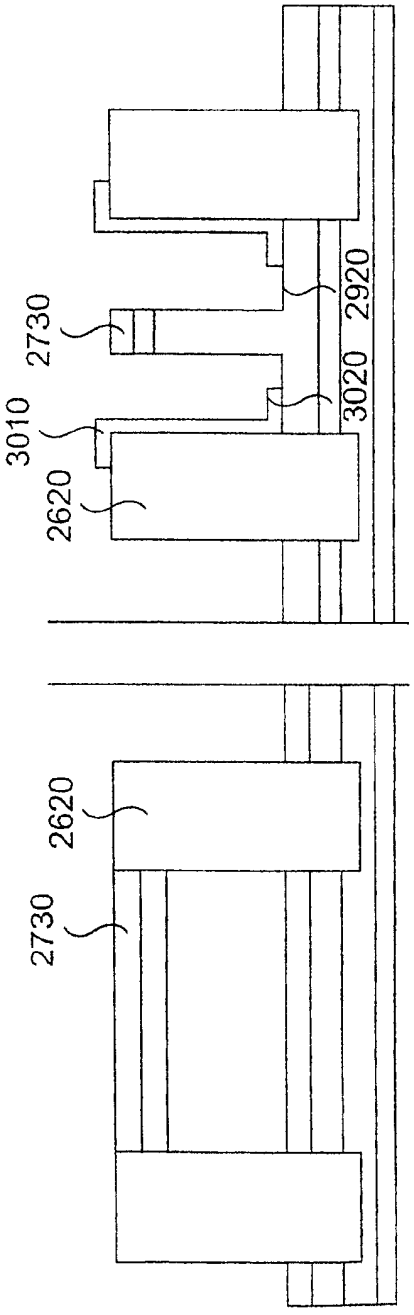


图 30B

图 30C

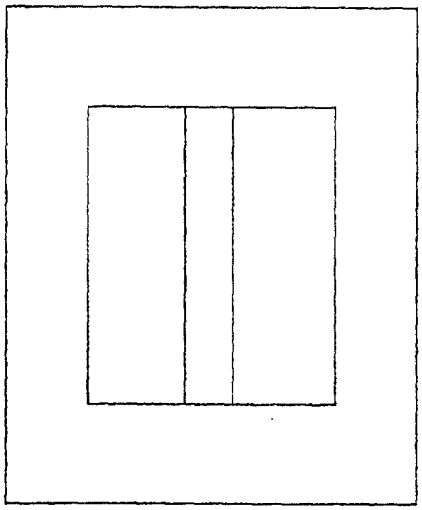


图 31A

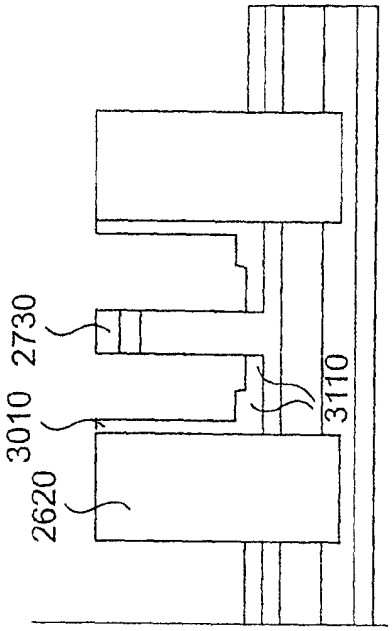


图 31C

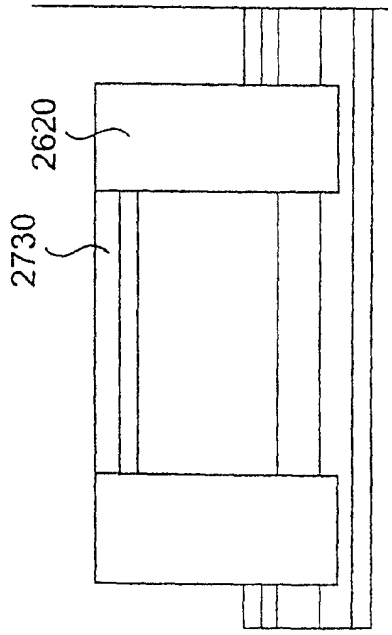


图 31B

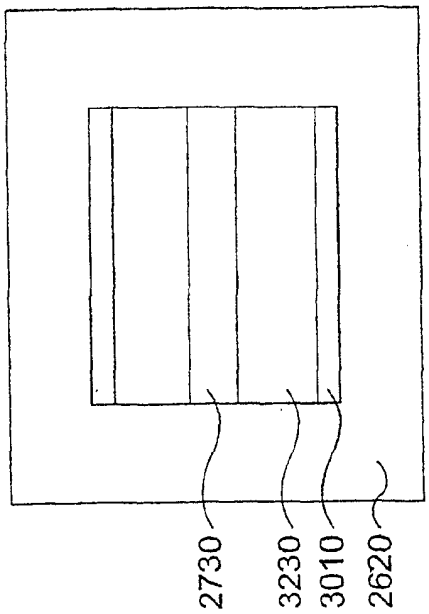


图 32A

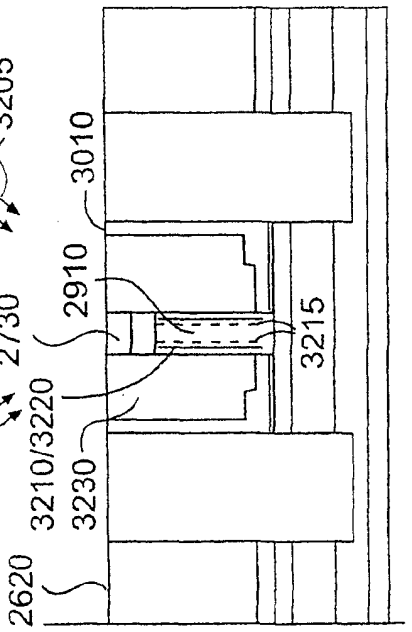


图 32C

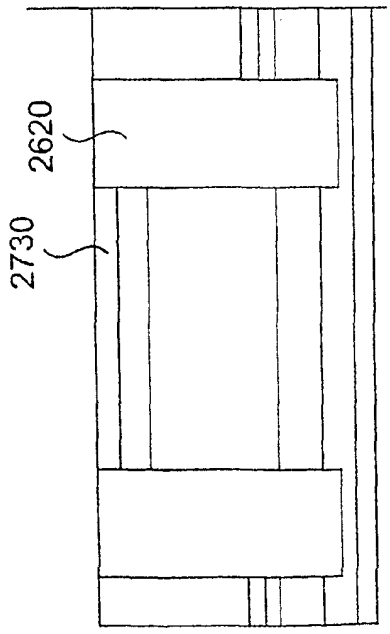


图 32B

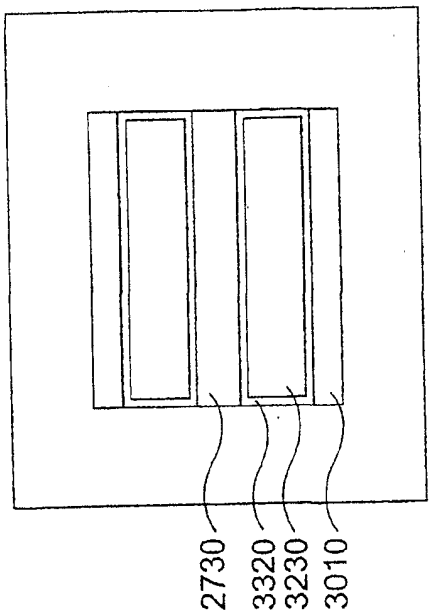


图 33A

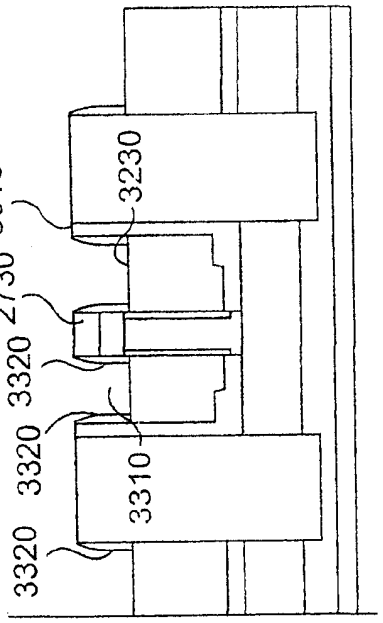


图 33C

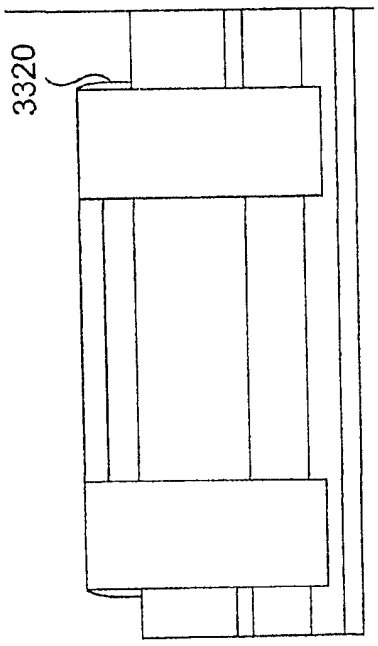


图 33B

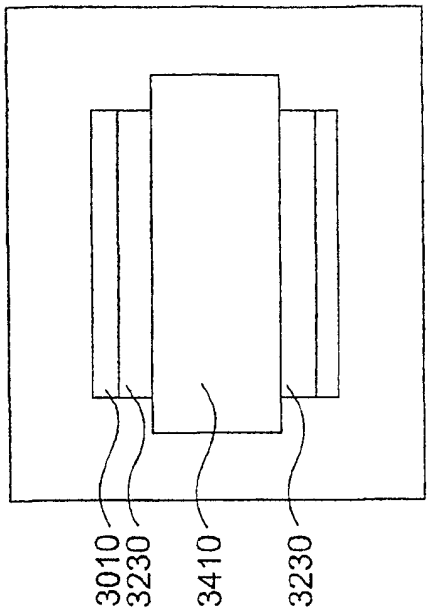


图 34A

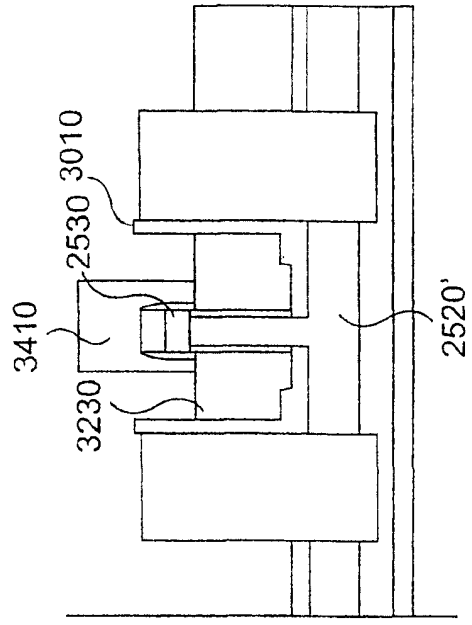


图 34C

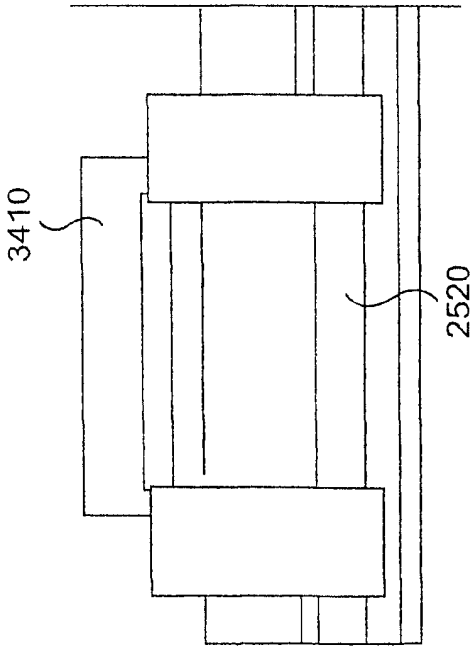


图 34B

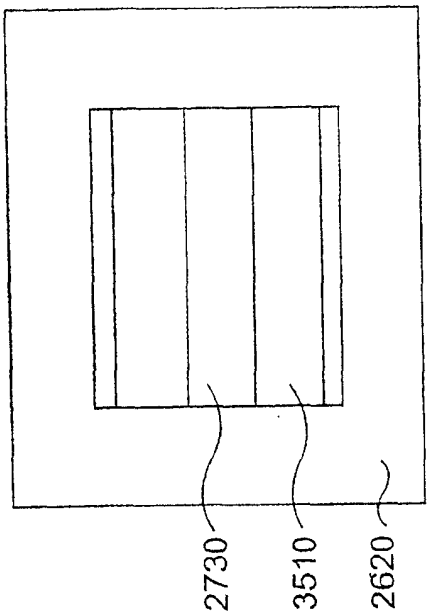


图 35A

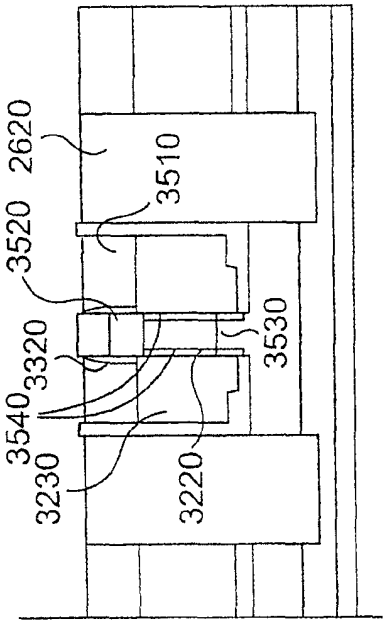


图 35C

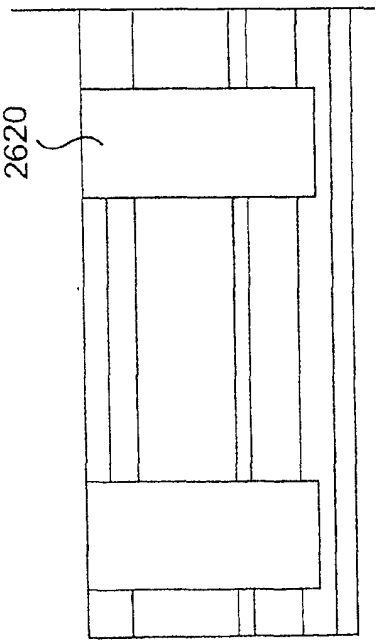


图 35B

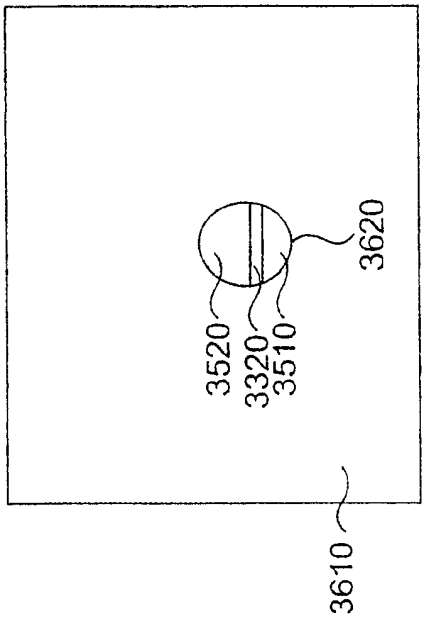


图 36A

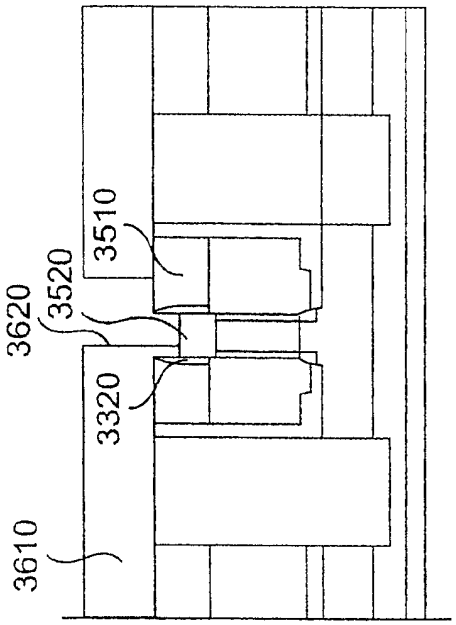


图 36C

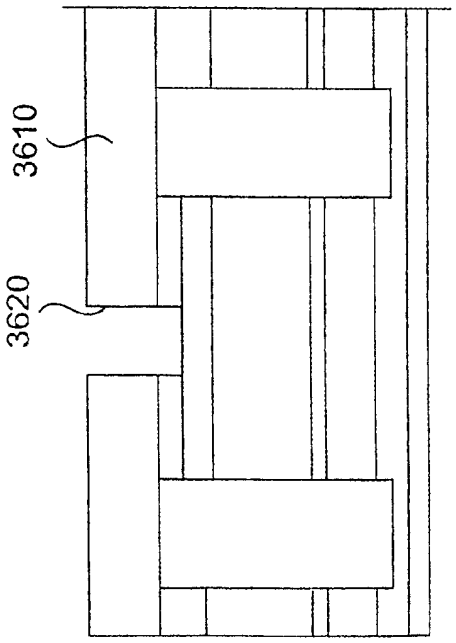


图 36B

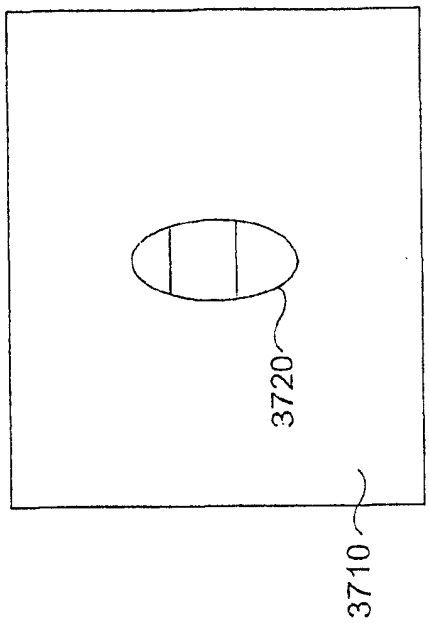


图 37A

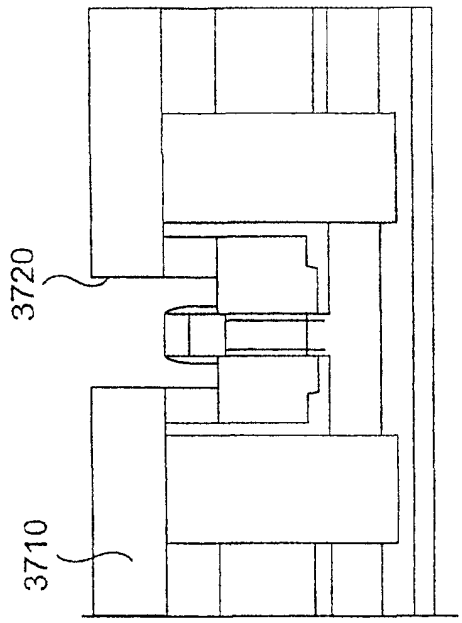


图 37C

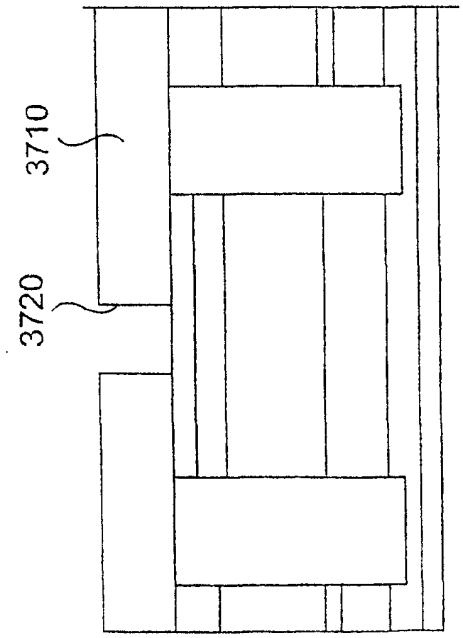


图 37B

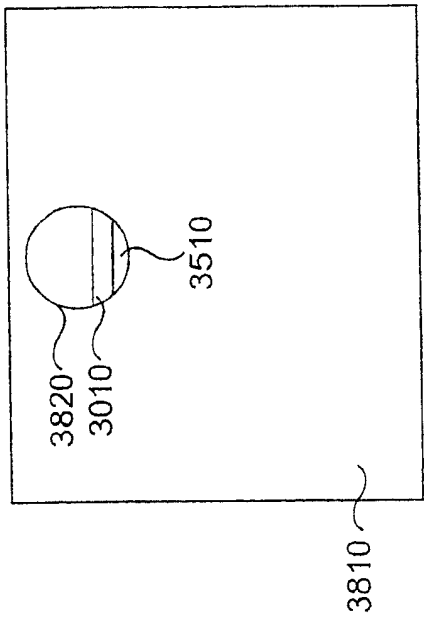


图 38A

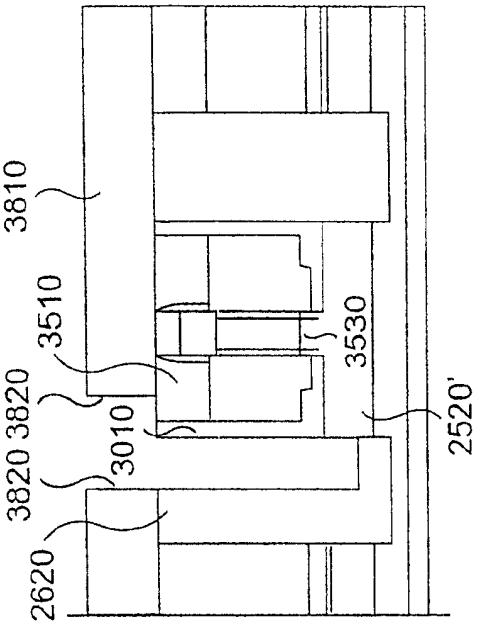


图 38C

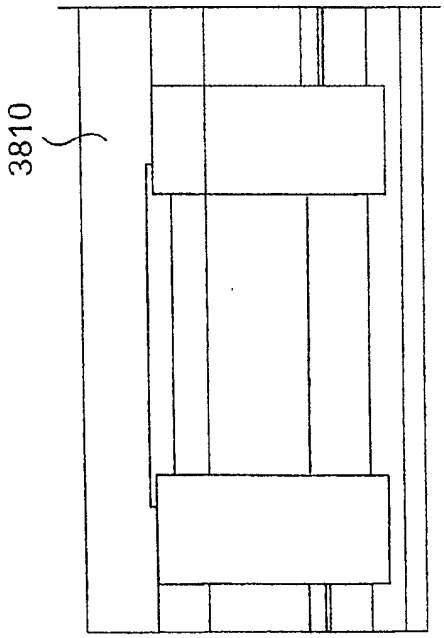


图 38B

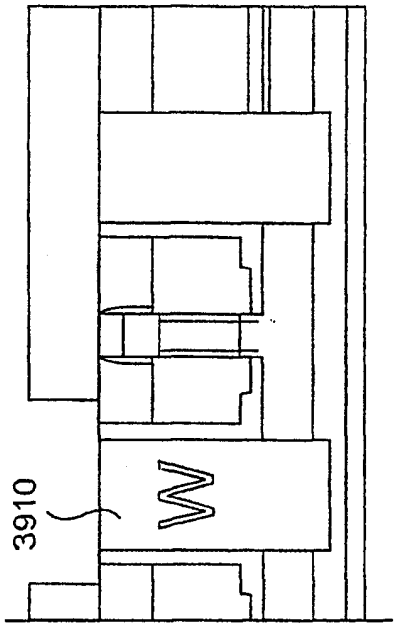


图 39 B

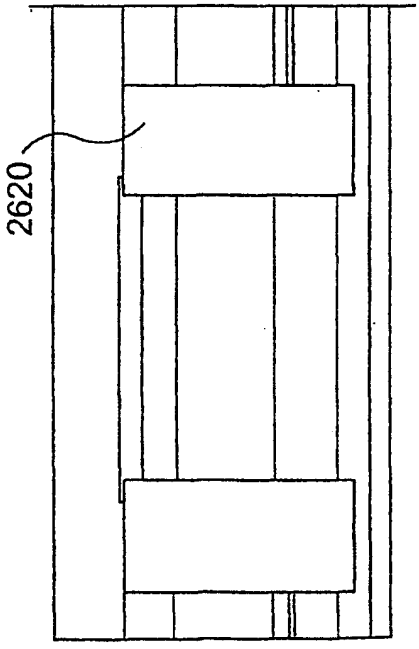


图 39A