

- 심사관 : 김종호

- 장수길, 박충범, 이중희

- (54) 발명의 명칭 반도체 장치 및 그 제작 방법

(57) 요약

본 발명은 반도체 장치의 제작 공정시에 ESD가 발생되기 어려운 반도체 장치를 제공한다.

리드하는 거리가 긴 배선 A를 갖는 반도체 장치의 제작에서, 플라즈마 분위기에 직접 노출되는 공정에서는 배선 A를 복수의 섬 형상 배선으로서 형성하고, 이후 복수의 섬 형상 배선을 전기적으로 직렬로 접속시킨다. 구체적으로 말하면, 복수의 섬 형상 배선을 형성하고, 복수의 섬 형상 배선을 절연층으로 덮고, 절연층 위에 형성된 배선에 의하여 복수의 섬 형상 배선을 전기적으로 직렬로 접속시킨다. 섬 형상 배선과 절연층 위에 형성된 배선은 절연층에 형성된 개구를 통하여 전기적으로 접속된다.

대표도 - 도1



(56) 선행기술조사문헌

KR100651825 B1*

US20080068524 A1*

US20040145018 A1*

KR1020080048261 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

반도체 장치에 있어서,

제 1 배선;

상기 제 1 배선 위의 제 1 절연층;

상기 제 1 절연층 위의 복수의 제 2 배선;

상기 복수의 제 2 배선 위의, 복수의 개구를 포함하는 제 2 절연층; 및

상기 제 2 절연층 위의, 섬 형상을 각각 갖는 복수의 제 3 배선

을 포함하고,

상기 복수의 제 2 배선은 상기 복수의 개구를 통해 상기 복수의 제 3 배선에 전기적으로 접속되고,

상기 복수의 제 2 배선은 상기 복수의 제 3 배선에 의해 서로 전기적으로 직렬로 접속되고,

상기 제 1 배선은 상기 복수의 제 2 배선과 중첩되지 않는, 반도체 장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 복수의 제 2 배선 중 적어도 일부는 상기 제 1 배선과 동일한 도전층으로 형성되는, 반도체 장치.

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 제 1 절연층은 질화 실리콘 또는 산화 알루미늄을 포함하는, 반도체 장치.

청구항 6

반도체 장치에 있어서,

기판 위의 게이트 전극;

상기 게이트 전극 위의, 제 1 개구를 포함하는 게이트 절연층;

상기 게이트 절연층 위의 반도체막;

상기 반도체막 위의, 제 2 개구 및 제 3 개구를 포함하는 절연층;

상기 절연층 위의, 상기 반도체막에 접속되는 화소 전극;

상기 기판과 상기 게이트 절연층 사이의 제 1 배선;

상기 게이트 절연층과 상기 절연층 사이의 제 2 배선; 및

상기 절연층 위의 제 3 배선

을 포함하고,

상기 제 1 배선은 상기 제 1 개구 및 제 2 개구를 통해 상기 제 3 배선에 전기적으로 접속되고, 상기 제 2 배선은 상기 제 3 개구를 통해 상기 제 3 배선에 전기적으로 접속되는, 반도체 장치.

청구항 7

제 6 항에 있어서,

상기 제 1 배선은 상기 제 2 배선과 중첩되지 않는, 반도체 장치.

청구항 8

제 6 항에 있어서,

상기 제 3 배선은 상기 화소 전극과 동일한 재료로 형성되는, 반도체 장치.

청구항 9

제 1 항 또는 제 6 항에 있어서,

상기 제 1 배선은 구리를 포함하는, 반도체 장치.

청구항 10

제 6 항에 있어서,

상기 게이트 절연층은 질화 실리콘 또는 산화 알루미늄을 포함하는, 반도체 장치.

청구항 11

삭제

청구항 12

삭제

청구항 13

반도체 장치에 있어서,

제 1 게이트 배선;

제 2 게이트 배선;

상기 제 1 게이트 배선 및 상기 제 2 게이트 배선과 병렬로 연장되는 제 1 배선;

상기 제 1 게이트 배선, 상기 제 2 게이트 배선 및 상기 제 1 배선 위의 게이트 절연층;

상기 게이트 절연층 위의 반도체층;

상기 반도체층과 상기 게이트 절연층 위의 제 2 배선;

상기 게이트 절연층 위의 제 3 배선;

상기 제 2 배선과 상기 제3 배선 위의, 제 1 개구 및 제 2 개구를 포함하는 절연층;

상기 절연층 위의 제 4 배선; 및

상기 게이트 절연층 위의 제 5 배선

을 포함하고,

상기 제 2 배선 및 상기 제 3 배선은 상기 게이트 절연층의 상면과 직접 접하고,

상기 제 4 배선은 상기 제 1 개구를 통해 상기 제 2 배선에 전기적으로 접속되고,

상기 제 4 배선은 상기 제 2 개구를 통해 상기 제 3 배선에 전기적으로 접속되고,
 상기 제 2 배선은 상기 제 1 게이트 배선 및 상기 제 1 배선과 중첩되고,
 상기 제 5 배선은 상기 제 3 배선에 전기적으로 접속되고,
 상기 제 5 배선은 상기 제2 게이트 배선과 중첩되는, 반도체 장치.

청구항 14

제 13 항에 있어서,
 상기 제 2 배선은 상기 제 3 배선과 동일한 재료를 포함하는, 반도체 장치.

청구항 15

제 13 항에 있어서,
 상기 제 2 배선 및 상기 제3 배선 각각은 금속 원소의 질화물을 포함하는, 반도체 장치.

청구항 16

제 13 항에 있어서,
 상기 제 1 게이트 배선 및 상기 제 2 게이트 배선 각각은 구리를 포함하는, 반도체 장치.

청구항 17

제 13 항에 있어서,
 상기 게이트 절연층은 산화 알루미늄을 포함하는, 반도체 장치.

청구항 18

제 13 항에 있어서,
 상기 반도체층의 전체가 상기 제 1 게이트 배선과 중첩되는, 반도체 장치.

청구항 19

제 13 항에 있어서,
 상기 반도체층은 산화물 반도체를 포함하는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 제작 공정시에 ESD가 발생되기 어려운 반도체 장치 및 그 제작 방법에 관한 것이다.

[0002] 또한, 본 명세서 등에서 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 전기 광학 장치, 표시 장치, 반도체 회로, 및 전자 기기는 모두 반도체 장치다.

배경 기술

[0003] 표시 장치 등의 반도체 장치에 사용되는 반도체 회로는 정전기 방전(Electro Static Discharge, 아래에서 ESD라고 기재함)으로 인하여 반도체 소자, 전극, 절연층 등이 손상을 입을 경우가 있다. 이 ESD로 인한 손상을 방지하기 위하여 대부분의 반도체 회로에는 보호 회로가 접속되어 있다. 보호 회로는 단자나 배선 등에 인가된 과잉의 전압이 반도체 회로에 공급되는 것을 방지하기 위한 회로다. 보호 회로에 사용되는 대표적인 소자로서는 저항 소자, 다이오드, 트랜지스터, 및 용량 소자 등이 있다.

[0004] 또한, 보호 회로를 제공함으로써, 신호나 전원 전압과 함께 노이즈가 배선 등에 입력되더라도, 상기 노이즈로 인한 후단의 반도체 회로의 오동작을 방지할 수 있고, 상기 노이즈로 인한 반도체 소자의 열화 또는 파괴를 방지할 수도 있다.

[0005] 예를 들어 특허 문헌 1에서는 표시 장치의 주사 전극과 표시부의 외주에 배치된 도전선 사이에, 소스와 게이트를 단락시킨 MOS형 트랜지스터와 게이트와 드레인을 단락시킨 MOS형 트랜지스터가 직렬로 접속된 보호 회로를 접속시키는 기술이 기재되어 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 특허 출원 공개 평7-92448호 공보

발명의 내용

해결하려는 과제

[0007] 그러나, 특허 문헌 1과 같이 표시 장치의 주사 전극과 표시부의 외주에 배치한 도전선 사이에 보호 회로를 형성한 것만으로는 상기 표시 장치에 제공된 반도체 소자 예를 들어 트랜지스터로의 ESD로 인한 손상을 방지하기 어렵다. 특히, 표시 장치에는 리드하는 거리가 긴 배선이 많이 포함되고, 리드하는 거리가 긴 배선은 부유 상태(전기적으로 고립된 상태)에서 플라스마 분위기에 노출되면 전하가 축적되기 쉽고, 상기 배선에 축적된 전하에 의하여 ESD가 발생되므로, 트랜지스터가 손상을 입을 우려가 있다. 또한, 상기 배선과, 절연층을 개재(介在)하여 상기 배선 보다 아래 층에 위치하는 배선 사이에서 ESD가 발생되어 절연층이 손상을 입음으로써 양쪽 배선이 단락될 우려가 있다.

[0008] 그래서, 본 발명의 일 형태는 제작 공정시에 ESD가 발생되기 어려운 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

과제의 해결 수단

[0009] 금속 등으로 형성된 도전층은 부유 상태에서 플라스마 분위기에 노출되면 전하가 축적되기 쉽다. 도전층이 부유 상태에서 플라스마 분위기에 노출되는 공정의 일례로서 도전층을 드라이 에칭법에 의하여 가공하여 배선을 형성하는 에칭 공정이나, 형성된 배선 위에 플라스마 CVD법 등에 의하여 절연층을 형성하는 공정 등이 있다.

[0010] 축적되는 전하는 도전층의 표면적이 클수록 많아진다. 따라서, 리드하는 거리가 긴 배선은 전하의 축적이 많아지고, 상기 배선과 접속되는 트랜지스터나, 상기 배선과 중첩되는 배선 사이에서 ESD가 발생되기 쉽다.

[0011] 따라서, 리드하는 거리가 긴 배선을 형성할 때 부유 상태에서 플라스마 분위기에 직접 노출되는 공정시에는 복수의 섬 형상 배선을 형성하고, 이후에 복수의 섬 형상 배선을 전기적으로 직렬로 접속시켜 리드하는 거리가 긴 배선을 형성함으로써, ESD로 인하여 반도체 장치가 손상을 입는 것을 방지한다.

[0012] 구체적으로 말하면, 제 1 배선 위에 제 1 절연층을 개재하여 리드하는 거리가 긴 배선을 형성하는 경우에, 제 1 절연층 위에 복수의 제 2 섬 형상 배선을 형성하고, 복수의 제 2 섬 형상 배선을 제 2 절연층으로 덮은 후, 제 2 절연층 위에 형성한 복수의 제 3 섬 형상 배선에 의하여 복수의 제 2 섬 형상 배선을 전기적으로 직렬로 접속시킨다. 제 2 배선과 제 2 절연층 위에 형성된 제 3 배선은 제 2 절연층에 형성된 개구를 통하여 전기적으로 접속시킨다.

[0013] 또한, 제 1 절연층 위에 형성되는 섬 형상 제 2 배선은 제 1 배선과 중첩되지 않는 것이 바람직하다.

[0014] 본 발명의 일 형태는 제 1 배선과, 제 1 배선을 덮는 제 1 절연층과, 제 1 절연층 위에 섬 형상으로 형성된 복수의 제 2 배선과, 제 2 배선을 덮는 제 2 절연층과, 제 2 절연층 위에 섬 형상으로 형성된 복수의 제 3 배선을 갖고, 제 2 배선은 제 2 절연층에 형성된 개구를 통하여 제 3 배선과 전기적으로 접속되어 있고, 복수의 제 2 배선은 상기 복수의 제 3 배선에 의하여 전기적으로 직렬로 접속되어 있는 것을 특징으로 한다.

[0015] 또한, 복수의 제 2 배선 중 적어도 일부의 배선은 제 1 배선과 같은 도전층을 사용하여 형성되어도 좋다.

[0016] 본 발명의 일 형태는 게이트 전극을 형성하고, 게이트 전극을 덮는 게이트 절연층을 형성하고, 게이트 절연층 위에 게이트 전극과 적어도 일부가 중첩되는 섬 형상 반도체층을 형성하고, 게이트 절연층 위에 전기적으로 분리된 복수의 배선과, 배선의 일부와 반도체층을 전기적으로 접속시키는 제 1 전극 및 제 2 전극을 형성하고, 배선, 제 1 전극, 및 제 2 전극을 덮는 절연층을 형성하고, 복수의 배선 위에 절연층의 일부를 제거하여 제 1 개

구를 형성하고, 제 2 전극 위에 절연층의 일부를 제거하여 제 2 개구를 형성하고, 절연층과 제 1 개구 위에 복수의 배선을 전기적으로 접속시키는 접속 배선을 형성하고, 절연층과 제 2 개구 위에 제 2 전극과 전기적으로 접속되는 화소 전극을 형성하는 것을 특징으로 한다.

[0017] 또한, 제 1 개구와 제 2 개구는 동시에 형성할 수 있다. 또한, 접속 배선과 화소 전극은 같은 도전층으로 형성할 수 있다.

발명의 효과

[0018] 본 발명의 일 형태에 의하여 제작 공정시에 ESD가 발생되기 어려운 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 일 형태를 설명하기 위한 상면도.
 도 2는 본 발명의 일 형태를 설명하기 위한 상면도.
 도 3a 및 도 3b는 본 발명의 일 형태를 설명하기 위한 단면도.
 도 4는 본 발명의 일 형태를 설명하기 위한 단면도.
 도 5는 본 발명의 일 형태를 설명하기 위한 상면도.
 도 6은 본 발명의 일 형태를 설명하기 위한 단면도.
 도 7은 본 발명의 일 형태를 설명하기 위한 상면도.
 도 8은 본 발명의 일 형태를 설명하기 위한 단면도.
 도 9a 내지 도 9c는 본 발명의 일 형태를 설명하기 위한 회로도.
 도 10a 및 도 10b는 본 발명의 일 형태를 설명하기 위한 회로도.
 도 11은 본 발명의 일 형태를 설명하기 위한 회로도.
 도 12a 내지 도 12c는 제작 방법을 설명하기 위한 도면.
 도 13a 내지 도 13c는 제작 방법을 설명하기 위한 도면.
 도 14a 내지 도 14c는 제작 방법을 설명하기 위한 도면.
 도 15a 및 도 15b는 제작 방법을 설명하기 위한 도면.
 도 16a 내지 도 16c는 제작 방법을 설명하기 위한 도면.
 도 17a 내지 도 17c는 제작 방법을 설명하기 위한 도면.
 도 18a 내지 도 18c는 제작 방법을 설명하기 위한 도면.
 도 19a 내지 도 19c는 트랜지스터의 구성예를 설명하기 위한 단면도.
 도 20a 내지 도 20d는 트랜지스터의 구성예를 설명하기 위한 단면도.
 도 21a 내지 도 21c는 본 발명의 일 형태를 설명하기 위한 도면.
 도 22a 및 도 22b는 본 발명의 일 형태를 설명하기 위한 도면.
 도 23a 및 도 23b는 본 발명의 일 형태를 설명하기 위한 도면.
 도 24a 내지 도 24f는 전자 기기를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0020] 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 아래의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 아래에서 설명하는 발명의 구성에서 동일 부분 또는 같은 기능을 갖는 부분에는 동일 부호를 다른 도면

사이에서 공통적으로 사용하고, 그 반복 설명은 생략한다.

- [0021] 또한, 본 명세서 등에서의 "제 1", "제 2", "제 3" 등의 서수는 구성 요소의 혼동을 피하기 위하여 붙이는 것이며, 수적으로 한정하는 것은 아니다.
- [0022] 또한, 도면 등에서의 각 구성의 위치, 크기, 범위 등은 이해하기 쉽게 하기 위하여 실제의 위치, 크기, 범위 등을 나타내지 않는 경우가 있다. 따라서, 본 발명은 반드시 도면 등에서의 위치, 크기, 범위 등에 한정되지 않는다.
- [0023] 트랜지스터는 반도체 소자의 한가지이며, 전류나 전압의 증폭이나 도통 또는 비도통을 제어하는 스위칭 동작 등을 실현할 수 있다. 본 명세서의 트랜지스터는 IGFET(Insulated Gate Field Effect Transistor)나 박막 트랜지스터(TFT: Thin Film Transistor)를 포함한다.
- [0024] 또한, 트랜지스터의 "소스"나 "드레인"의 기능은 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화되는 경우 등에는 바뀌는 경우가 있다. 따라서, 본 명세서에서는 "소스"나 "드레인"이라는 용어는 바뀌 사용할 수 있는 것으로 한다.
- [0025] 또한, 본 명세서 등에서 "전극"이나 "배선"이라는 용어는 이들 구성 요소를 기능적으로 한정하는 것은 아니다. 예를 들어 "전극"은 "배선"의 일부분으로서 사용될 수 있고, 그 반대도 마찬가지다. 또한, "전극"이나 "배선"이라는 용어는 복수의 "전극"이나 "배선"이 일체가 되어 형성되는 경우 등도 포함한다.
- [0026] (실시형태 1)
- [0027] 본 실시형태에서는 정전기 방전 등으로 인한 손상을 방지하는 반도체 장치의 구성예에 대하여 도 1 내지 도 4 및 도 9a 내지 도 10b를 사용하여 설명한다. 또한, 본 실시형태에서는 반도체 장치의 일 형태인 표시 장치로의 적용예에 대하여 설명한다.
- [0028] 도 9a에 표시 장치에 사용되는 반도체 장치(100)의 회로 구성예를 도시하였다. 반도체 장치(100)는 기판(101) 위에 화소 영역(102)과, m개(m은 1 이상의 정수)의 단자(105) 및 단자(107)를 갖는 단자부(103)와, n개(n은 1 이상의 정수)의 단자(106)를 갖는 단자부(104)를 포함한다. 또한, 반도체 장치(100)는 단자부(103)에 전기적으로 접속되는 배선(203) 및 m개의 배선(212)과, 단자부(104)에 전기적으로 접속되는 n개의 배선(216)을 포함한다. 또한, 화소 영역(102)은 세로 m개(행)×가로 n개(열)의 매트릭스 형태로 배치된 복수의 화소(110)를 포함한다. i행 j열의 화소(110)(i, j)(i는 1 이상 m 이하의 정수, j는 1 이상 n 이하의 정수)는 행 방향으로 연장되는 배선(212_i)과, 열 방향으로 연장되는 배선(216_j)에 각각 전기적으로 접속되어 있다. 또한, 각 화소는 배선(203)과 접속되어 있고, 배선(203)은 단자(107)와 전기적으로 접속되어 있다. 배선(203)은 용량 전극 또는 용량 배선으로서 기능할 수 있다. 또한, 배선(212_i)은 단자(105_i)와 전기적으로 접속되어 있고, 배선(216_j)은 단자(106_j)와 전기적으로 접속되어 있다.
- [0029] 단자부(103) 및 단자부(104)는 외부 입력 단자이며, FPC(Flexible Printed Circuit) 등을 통하여 외부에 제공된 제어 회로와 접속된다. 외부에 제공된 제어 회로로부터 공급되는 신호는 단자부(103) 및 단자부(104)를 통하여 반도체 장치(100)에 입력된다. 도 9a에는 단자부(103)를 화소 영역(102) 외측의 오른쪽과 왼쪽에 형성하고, 2개소로부터 신호를 입력하는 구성을 도시하였다. 또한, 단자부(104)를 화소 영역(102) 외측의 위쪽과 아래쪽에 형성하고, 2개소로부터 신호를 입력하는 구성을 도시하였다. 2개소로부터 신호를 입력함으로써 신호의 공급 능력이 높아지기 때문에 반도체 장치(100)의 고속 동작이 용이해진다. 또한, 반도체 장치(100)의 대형화나 고정밀화에 따른 배선 저항의 증대에 의한 신호 지연의 영향을 경감시킬 수 있다. 또한, 반도체 장치(100)는 중복성(redundancy)을 가질 수 있기 때문에 반도체 장치(100)의 신뢰성을 향상시킬 수 있다. 또한, 도 9a에서는 단자부(103) 및 단자부(104)를 각각 2개소씩 형성하는 구성으로 하였지만, 각각 1개소씩 형성하는 구성으로 하여도 상관없다.
- [0030] 반도체 장치(100)를 EL(Electro Luminescence) 표시 장치로서 사용하는 경우에 화소(110)로서 사용할 수 있는 회로 구성의 일례인 화소(210)를 도 9b에 도시하였다. 도 9b에 도시된 화소(210)는 트랜지스터(111), 트랜지스터(121), EL 소자(122), 및 용량 소자(113)를 포함한다. 트랜지스터(111)의 게이트 전극은 배선(212_i)에 전기적으로 접속되어 있고, 트랜지스터(111)의 소스 전극 및 드레인 전극 중 하나는 배선(216_j)에 전기적으로 접속되어 있다. 또한, 트랜지스터(111)의 소스 전극 및 드레인 전극 중 다른 하나는 노드(115)에 전기적으로 접속되어 있다. 또한, 용량 소자(113)의 전극 중 하나는 노드(115)에 전기적으로 접속되어 있고, 용량 소자(113)의 전극 중 다른 하나는 배선(203)에 전기적으로 접속되어 있다. 또한, 트랜지스터(121)의 게이트 전극은 노드(115)에 전기적으로 접속되어 있고, 트랜지스터(121)의 소스 전극 및 드레인 전극 중 하나는 EL 소자(122)의 전

극 중 하나와 전기적으로 접속되어 있고, 트랜지스터(121)의 소스 전극 및 드레인 전극 중 다른 하나는 배선(203)에 전기적으로 접속되어 있다. 또한, EL 소자(122)의 전극 중 다른 하나는 전극(114)에 전기적으로 접속되어 있다. 전극(114)의 전위는 0V, GND, 또는 공통 전위 등의 고정 전위로 해 두면 좋다. 배선(203)의 전위는 임의의 고정 전위로 하면 좋지만, 적어도 배선(203)과 전극(114)의 전위차가 트랜지스터(121)의 문턱 전압과 EL 소자(122)의 문턱 전압을 합한 전압보다 크게 되도록 설정한다.

[0031] 화소(210)에서 트랜지스터(111)는 배선(216_j)으로부터 공급되는 화상 신호를 트랜지스터(121)의 게이트 전극에 입력할지 여부를 선택하는 기능을 갖는다. 배선(212_i)에 트랜지스터(111)를 온 상태로 하는 신호가 공급되면, 트랜지스터(111)를 통하여 배선(216_j)으로부터 화상 신호가 노드(115)로 공급된다.

[0032] 트랜지스터(121)는 노드(115)에 공급된 전위(화상 신호)에 따른 전류를 EL 소자(122)에 공급하는 기능을 갖는다. 용량 소자(113)는 노드(115)와 배선(203)의 전위차를 일정하게 유지하는 기능을 갖는다. 트랜지스터(121)는 화상 신호에 따른 전류를 EL 소자(122)로 공급하기 위한 전류원으로서 기능한다.

[0033] 반도체 장치(100)를 액정 표시 장치로서 사용하는 경우에 화소(110)로서 사용할 수 있는 회로 구성의 일례인 화소(310)를 도 9c에 도시하였다. 도 9c에 도시된 화소(310)는 트랜지스터(111), 액정 소자(112), 및 용량 소자(113)를 갖는다. 트랜지스터(111)의 게이트 전극은 배선(212_i)에 전기적으로 접속되어 있고, 트랜지스터(111)의 소스 전극 및 드레인 전극 중 하나는 배선(216_j)에 전기적으로 접속되어 있다. 또한, 트랜지스터(111)의 소스 전극 및 드레인 전극 중 다른 하나는 노드(115)에 전기적으로 접속되어 있다. 또한, 용량 소자(113)의 전극 중 하나는 노드(115)에 전기적으로 접속되어 있고, 용량 소자(113)의 전극 중 다른 하나는 배선(203)에 전기적으로 접속되어 있다. 또한, 액정 소자(112)의 전극 중 하나는 노드(115)에 전기적으로 접속되어 있고, 액정 소자(112)의 전극 중 다른 하나는 전극(114)에 전기적으로 접속되어 있다. 전극(114)의 전위는 0V, GND, 또는 공통 전위 등의 고정 전위로 해 두면 좋다. 또한, 배선(203)의 전위도 고정 전위로 해 두면 좋지만, 필요에 따라 전위를 변동시켜도 좋다.

[0034] 화소(310)에서 트랜지스터(111)는 배선(216_j)으로부터 공급되는 화상 신호를 노드(115)에 입력할지 여부를 선택하는 기능을 갖는다. 배선(212_i)에 트랜지스터(111)를 온 상태로 하는 신호가 공급되면, 트랜지스터(111)를 통하여 배선(216_j)으로부터 화상 신호가 노드(115)에 공급된다. 액정 소자(112)는 노드(115)에 공급되는 화상 신호(전위)에 따라 액정 소자(112)를 투과하는 빛의 편광 상태를 제어한다. 용량 소자(113)는 노드(115)에 공급된 전위를 유지하기 위한 유지 용량 소자(Cs 용량 소자라고도 함)으로서 기능한다. 용량 소자(113)를 제공함으로써 트랜지스터(111)가 오프 상태일 때 소스 전극과 드레인 전극 사이를 흐르는 전류(오프 전류)에 기인하는 노드(115)의 전위 변동을 억제할 수 있다.

[0035] 트랜지스터(111) 및 트랜지스터(121)의 채널이 형성되는 반도체층에는 비정질 반도체, 미결정 반도체, 단결정 반도체 등을 사용할 수 있다. 예를 들어 비정질 실리콘이나 미결정 게르마늄 등을 사용할 수 있다. 또한, 탄소화 실리콘, 갈륨 비소, 산화물 반도체, 질화물 반도체 등의 화합물 반도체나, 유기 반도체 등을 사용할 수 있다.

[0036] 산화물 반도체는 에너지 갭이 3.0eV 이상으로 크고, 가시광에 대한 투과율이 높다. 또한, 산화물 반도체를 적절한 조건으로 가공하여 얻어진 트랜지스터는 사용시의 온도 조건하(예를 들어 25℃)에서 오프 전류를 $100\text{zA}(1 \times 10^{-19}\text{A})$ 이하, 또는 $10\text{zA}(1 \times 10^{-20}\text{A})$ 이하, 더 나아가서는 $1\text{zA}(1 \times 10^{-21}\text{A})$ 이하로 할 수 있다. 그러므로, 소비 전력이 적은 반도체 장치를 제공할 수 있다. 또한, 반도체층에 산화물 반도체를 사용함으로써 용량 소자(113)를 제공하지 않아도 노드(115)의 전위를 유지할 수 있으므로, 화소의 개구율을 높일 수 있어, 표시 품질이 좋고 소비 전력이 저감된 표시 장치를 제공할 수 있다.

[0037] 또한, 채널이 형성되는 반도체층에 산화물 반도체를 사용하는 경우에는, 수분 또는 수소 등 불순물을 저감하고 산화물 반도체 내의 산소 결손을 저감시킴으로써 얻어지는 i형(진성) 산화물 반도체 또는 실질적으로 i형인 산화물 반도체를 사용하는 것이 바람직하다.

[0038] 수분 또는 수소 등 전자 공여체(도너)가 되는 불순물이 저감되어 고순도화된 산화물 반도체(purified OS)는 이후 산화물 반도체에 산소를 공급하여 산화물 반도체 내의 산소 결손을 저감시킴으로써 i형(진성) 산화물 반도체 또는 i형에 매우 가까운 산화물 반도체(실질적으로 i형인 산화물 반도체)로 할 수 있다. 채널이 형성되는 반도체층에 i형 또는 실질적으로 i형인 산화물 반도체가 사용된 트랜지스터는 오프 전류가 현저히 낮다는 특성을 갖는다. 구체적으로 말하면, 고순도화된 산화물 반도체란 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의한 수소 농도 측정값이 $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 더 바람직하게는 5

$\times 10^{17}/\text{cm}^3$ 이하인 것을 뜻한다.

- [0039] 또한, 홀 효과 측정에 의하여 측정할 수 있는 i형 산화물 반도체 또는 실질적으로 i형인 산화물 반도체의 캐리어 밀도는 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만이다. 또한, 산화물 반도체의 밴드 갭은 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 채널이 형성되는 반도체층에 i형 산화물 반도체 또는 실질적으로 i형인 산화물 반도체를 사용함으로써 트랜지스터의 오프 전류를 낮출 수 있다.
- [0040] 여기서, 산화물 반도체 내의 수소 농도의 SIMS 분석에 대하여 설명한다. SIMS 분석은 그 원리상 시료의 표면 근방이나 재질이 다른 막들의 적층 계면 근방의 데이터를 정확히 얻기 어렵다는 것이 알려져 있다. 그래서, 막 내의 수소 농도의 두께 방향에서의 분포를 SIMS로 분석하는 경우, 대상이 되는 막이 존재하는 범위에서 극단적인 값 변동이 없고 거의 일정한 값이 얻어지는 영역에서의 평균값을 수소 농도로서 채용한다. 또한, 측정 대상이 되는 막의 두께가 얇은 경우에는 인접하는 막 내의 수소 농도의 영향을 받아 거의 일정한 값이 얻어지는 영역을 찾을 수 없는 경우가 있다. 이 경우에는, 상기 막이 존재하는 영역에서의 수소 농도의 최대값 또는 최소값을 상기 막 내의 수소 농도로서 채용한다. 상기 막이 존재하는 영역에서 최대값을 나타내는 산 모양의 피크, 최소값을 나타내는 골짜기 모양의 피크가 존재하지 않는 경우에는, 변곡점의 값을 수소 농도로서 채용한다.
- [0041] 채널이 형성되는 반도체층에 사용되는 산화물 반도체로서 적어도 인듐(In) 또는 아연(Zn)을 함유하는 것이 바람직하다. 특히 인듐(In) 및 아연(Zn)을 함유하는 것이 바람직하다. 또한, 상기 산화물 반도체막이 사용된 트랜지스터의 전기 특성의 편차를 저감시키기 위한 스테빌라이저로서 갈륨(Ga)을 추가적으로 함유하는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 함유하는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 함유하는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 함유하는 것이 바람직하다.
- [0042] 또한, 다른 스테빌라이저로서 란타노이드인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀름(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 임의의 1종류 또는 복수 종류를 가져도 좋다.
- [0043] 예를 들어 산화물 반도체로서 산화 인듐, 산화 주석, 산화 아연, 2원계 금속인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다. 또한, 상기 산화물 반도체에 SiO_2 를 포함시켜도 좋다.
- [0044] 여기서, 예를 들어 In-Ga-Zn계 산화물이란 인듐(In), 갈륨(Ga), 및 아연(Zn)을 함유한 산화물을 뜻하고, In, Ga, 및 Zn의 비율은 불문한다. 또한, In, Ga, 및 Zn 외의 금속 원소가 들어 있어도 좋다. 이 때, 산화물 반도체에서 화학량론적 조성보다 산소를 과잉으로 하면 바람직하다. 산소를 과잉으로 함으로써 산화물 반도체의 산소 결손에 기인한 캐리어 생성을 억제할 수 있다.
- [0045] 또한, 산화물 반도체층으로서 $\text{InMO}_3(\text{ZnO})_m(m>0)$ 으로 표기되는 박막을 사용할 수 있다. 또한, M은 Sn, Zn, Ga, Al, Mn, 및 Co 중에서 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서 $\text{In}_2\text{SnO}_5(\text{ZnO})_n(n>0)$ 으로 표기되는 재료를 사용하여도 좋다.
- [0046] 예를 들어 원자수비가 In:Ga:Zn=1:1:1, In:Ga:Zn=2:2:1, In:Ga:Zn=1:3:2, 또는 In:Ga:Zn=3:1:4 중인 In-Ga-Zn계 산화물이나 그 조성의 근방의 산화물을 사용할 수 있다. 또는, 원자수비가 In:Sn:Zn=1:1:1, In:Sn:Zn=2:1:3, 또는 In:Sn:Zn=2:1:5인 In-Sn-Zn계 산화물이나 그 조성의 근방의 산화물을 사용하면 좋다.
- [0047] 그러나, 상술한 것에 한정되지 않고, 필요로 하는 반도체 특성(이동도, 문턱값, 편차 등)에 따라 적절한 조성을 갖는 것을 사용하면 좋다. 또한, 필요로 하는 반도체 특성을 얻기 위하여 캐리어 농도, 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.
- [0048] 예를 들어 In-Sn-Zn계 산화물을 사용한 경우에는 비교적 용이하게 높은 이동도를 얻을 수 있다. 그러나, In-

Ga-Zn계 산화물을 사용한 경우에도 벌크 내 결합 밀도를 저감함으로써 이동도를 올릴 수 있다.

- [0049] 또한, 예를 들어 In, Ga, 및 Zn의 원자수비가 $\text{In:Ga:Zn}=\text{a:b:c}(\text{a}+\text{b}+\text{c}=1)$ 인 산화물의 조성이 원자수비가 $\text{In:Ga:Zn}=\text{A:B:C}(\text{A}+\text{B}+\text{C}=1)$ 인 산화물의 조성의 근방이라는 것은 a, b, c 가 $(\text{a}-\text{A})^2+(\text{b}-\text{B})^2+(\text{c}-\text{C})^2 \leq r^2$ 를 만족시키는 것을 말하며, r 는 예를 들어 0.05로 하면 좋다. 다른 산화물도 마찬가지다.
- [0050] 산화물 반도체는 단결정과 비단결정 중 어느 쪽이라도 좋다. 후자의 경우에는, 비정질과 다결정(폴리크리스탈이라고도 함) 중 어느 쪽이라도 좋다. 또한, 비정질 중에 결정성을 갖는 부분을 포함하는 구조라도 좋다.
- [0051] 비정질(어모퍼스) 상태의 산화물 반도체는 비교적 용이하게 평탄한 표면을 얻을 수 있기 때문에 이것을 사용하여 트랜지스터를 제작하였을 때의 계면 산란을 저감할 수 있고, 비교적 용이하게 비교적 높은 이동도를 얻을 수 있다.
- [0052] 또한, 산화물 반도체로서 In-Zn계 산화물의 재료를 사용하는 경우에는, Zn에 대한 In의 원자수비를 0.5 이상 50 이하, 바람직하게는 1 이상 20 이하, 더 바람직하게는 1.5 이상 15 이하로 한다. Zn의 원자수비를 바람직한 상기 범위로 함으로써, 트랜지스터의 전계 효과 이동도를 향상시킬 수 있다. 또한, 화합물의 원자수비가 $\text{In:Zn:O}=\text{X:Y:Z}$ 일 때, $\text{Z} > 1.5\text{X}+\text{Y}$ 로 한다.
- [0053] 산화물 반도체막은 예를 들어 비단결정을 포함하여도 좋다. 비단결정은 예를 들어 CAAC(C Axis Aligned Crystal), 다결정, 미결정, 비정질부를 포함한다. 비정질부는 미결정 및 CAAC보다 결합 준위 밀도가 높다. 또한, 미결정은 CAAC보다 결합 준위 밀도가 높다. 또한, CAAC를 갖는 산화물 반도체를 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)라고 부른다.
- [0054] 산화물 반도체막은 예를 들어 CAAC-OS를 포함하여도 좋다. CAAC-OS는 예를 들어 c 축 배향되고, a 축 또는/및 b 축은 거시적으로 보면 정렬되어 있지 않다.
- [0055] 산화물 반도체막은 예를 들어 미결정을 포함하여도 좋다. 또한, 미결정을 포함한 산화물 반도체를 미결정 산화물 반도체라고 부른다. 미결정 산화물 반도체막은 예를 들어 막 내에 크기가 1nm 이상 10nm 미만인 미결정(나노 결정이라고도 함)을 포함한다.
- [0056] 산화물 반도체막은 예를 들어 비정질부를 포함하여도 좋다. 또한, 비정질부를 포함하는 산화물 반도체를 비정질 산화물 반도체라고 부른다. 비정질 산화물 반도체막은 예를 들어 원자 배열이 무질서한 막이고, 결정 성분이 없다. 또는, 비정질 산화물 반도체막은 예를 들어 완전한 비정질이고, 결정부를 갖지 않는다.
- [0057] 또한, 산화물 반도체막이 CAAC-OS, 미결정 산화물 반도체, 비정질 산화물 반도체의 혼합막이어도 좋다. 혼합막은 예를 들어 비정질 산화물 반도체의 영역과, 미결정 산화물 반도체의 영역과, CAAC-OS의 영역을 갖는다. 또한, 혼합막은 예를 들어 비정질 산화물 반도체의 영역과, 미결정 산화물 반도체의 영역과, CAAC-OS의 영역의 적층 구조를 가져도 좋다.
- [0058] 또한, 산화물 반도체막은 예를 들어 단결정을 포함하여도 좋다.
- [0059] 산화물 반도체막은 복수의 결정부를 갖고, 상기 결정부의 c 축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되어 있는 것이 바람직하다. 또한, 상이한 결정부들 사이에서 a 축 및 b 축의 방향이 각각 상이하여도 좋다. 이와 같은 산화물 반도체막의 일례로서는 CAAC-OS막이 있다.
- [0060] CAAC-OS막에 포함되는 결정부는 하나의 변이 100nm 미만의 입방체 내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는 CAAC-OS막에 포함되는 비정질부와 결정부의 경계, 결정부와 결정부의 경계는 명확하지 않다. 또한, TEM에 의하여 CAAC-OS막에 명확한 입계(그레인 바운더리라고도 함)는 확인되지 않는다. 그래서, CAAC-OS막은 입계에 기인하는 전자 이동도의 저하가 억제된다.
- [0061] CAAC-OS막에 포함되는 결정부는 예를 들어 c 축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, 또 ab 면에 수직인 방향에서 볼 때 금속 원자가 삼각형 또는 육각형으로 배열되며, c 축에 수직인 방향에서 볼 때 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 상이한 결정부들 사이에서 a 축 및 b 축의 방향이 각각 상이하여도 좋다. 본 명세서에서 단순히 "수직"이라고 기재한 경우에는, 80° 이상 100° 이하의 범위, 바람직하게는 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 단순히 "평행"이라고 기재한 경우에는, -10° 이상 10° 이하의 범위, 바람직하게는 -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.

- [0062] 또한, CAAC-OS막에서 결정부의 분포가 균일하지 않아도 좋다. 예를 들어 CAAC-OS막의 형성 과정에서 산화물 반도체막 표면 측으로부터 결정 성장시키는 경우에는, 피형성면 근방보다 표면 근방에서 결정부가 차지하는 비율이 높은 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가함으로써 상기 불순물 첨가 영역에서 결정부의 결정성이 저하되는 경우도 있다.
- [0063] CAAC-OS막에 포함되는 결정부의 c축은 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에 CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 상이한 방향을 향하는 경우가 있다. 또한, 성막하였을 때 또는 성막 후에 가열 처리 등의 결정화 처리를 실시하였을 때, 결정부는 형성된다. 따라서, 결정부의 c축은 CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬된다.
- [0064] CAAC-OS막이 사용된 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.
- [0065] 산화물 반도체막을 CAAC-OS막으로 하기 위해서는 산화물 반도체막이 형성되는 표면이 비정질이면 바람직하다. 산화물 반도체막이 형성되는 표면이 결정질이면 산화물 반도체막의 결정성이 흐트러지기 쉽고, CAAC-OS막이 형성되기 어렵다.
- [0066] 다만, 산화물 반도체막이 형성되는 표면은 CAAC 구조를 가져도 좋다. 산화물 반도체막이 형성되는 표면이 CAAC 구조를 갖는 경우에는, 산화물 반도체막이 CAAC-OS막이 되기 쉽다.
- [0067] 또한, 산화물 반도체막을 구성하는 산소의 일부는 질소로 치환되어도 좋다.
- [0068] 또한, CAAC-OS와 같이 결정부를 갖는 산화물 반도체에서는 벌크 내 결함을 더 저감시킬 수 있고, 표면의 평탄성을 높이면 비정질 상태의 산화물 반도체 이상의 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는 평탄한 표면 위에 산화물 반도체를 형성하는 것이 바람직하고, 구체적으로 말하면, 평균 면 거칠기(Ra)가 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는 0.1nm 이하인 표면 위에 형성하면 좋다. Ra는 원자간력 현미경(AFM: Atomic Force Microscope)으로 평가할 수 있다.
- [0069] 다만, 본 실시형태에서 이후 설명하는 트랜지스터는 보텀 게이트형이므로 게이트 전극과 게이트 절연층은 산화물 반도체막 아래 쪽에 존재한다. 따라서, 상기 평탄한 표면을 얻기 위하여 기판 위에 게이트 전극 및 게이트 절연층을 형성한 후, 적어도 게이트 전극과 중첩하는 게이트 절연층의 표면에 화학적 기계 연마(CMP: Chemical Mechanical Polishing) 처리 등의 평탄화 처리를 실시하여도 좋다.
- [0070] 산화물 반도체막은 두께를 1nm 이상 30nm 이하(바람직하게는 5nm 이상 10nm 이하)로 하고, 스퍼터링법, MBE(Molecular Beam Epitaxy)법, CVD법, 펄스 레이저 퇴적법, ALD(Atomic Layer Deposition)법 등을 적절히 사용할 수 있다. 또한, 산화물 반도체막은 스퍼터링 타겟 표면에 대략 수직으로 복수의 기판 표면이 고정된 상태에서 성막을 하는 스퍼터링 장치를 사용하여 형성하여도 좋다.
- [0071] 다음에, 도 9b에 도시된 화소(210)의 구성예에 대하여 도 1 내지 도 4를 사용하여 설명한다. 도 1 및 도 2는 화소(210) 및 화소(210)에 접속되는 배선의 평면 구성을 도시한 상면도다. 도 1은 가장 위층에 화소 전극(211)이 형성된 상태의 상면도이고, 도 2는 그 위에 격벽층(254), EL층(251)이 형성된 상태의 상면도다. 또한, 도 1 및 도 2에서는 간략화를 위하여 일부의 구성 요소의 기재를 생략하였다.
- [0072] 또한, 본 실시형태에서는 트랜지스터를 n채널형 트랜지스터로 가정하여 설명한다.
- [0073] 도 3a 내지 도 4는 화소(210)의 적층 구성을 도시한 단면도다. 도 3a는 도 1 및 도 2의 1점 쇄선 A1-A2에 따른 부위의 단면에 상당하고, 도 3b는 도 1 및 도 2의 1점 쇄선 B1-B2에 따른 부위의 단면에 상당한다. 도 4는 도 1 및 도 2의 1점 쇄선 C1-C2에 따른 부위의 단면에 상당한다.
- [0074] 도 1에 도시된 트랜지스터(111)에서 드레인 전극(206b)은 U자형(C자형, ㄷ자형, 또는 말굽형) 소스 전극(206a)으로 둘러싸인다. 이러한 형상으로 함으로써, 트랜지스터의 면적이 작더라도 충분한 채널 폭을 확보할 수 있어 트랜지스터가 도통될 때 흐르는 전류(온 전류라고도 함)량을 늘릴 수 있다.
- [0075] 또한, 화소 전극(211)과 전기적으로 접속된 드레인 전극(206b)과 게이트 전극(202) 사이에 생기는 기생 용량이 소스 전극(206a)과 게이트 전극(202) 사이에 생기는 기생 용량보다 크면, 피드스루(feedthrough)의 영향을 받기 쉬워지기 때문에 노드(115)에 공급된 전위를 정확히 유지할 수 없어 표시 장치의 표시 품질이 저하되는 요인이 된다. 본 실시형태와 같이, U자형 소스 전극(206a)으로 드레인 전극(206b)을 둘러싸으로써 충분한 채널 폭을

확보하면서 드레인 전극(206b)과 게이트 전극(202)의 사이에 생기는 기생 용량을 작게 할 수 있기 때문에 표시 장치의 표시 품질을 향상시킬 수 있다. 또한, 게이트 전극(202)은 배선(212_i)과 접속되어 있고, 소스 전극(206a)은 배선(236)과 접속되어 있다. 또한, 도 1, 도 2, 및 도 4에는 복수의 배선(246)을 통하여 복수의 배선(236)이 전기적으로 직렬로 접속됨으로써 배선(216_j)이 형성되는 예를 도시하였다.

[0076] 도 3a의 단면 A1-A2는 트랜지스터(111), 트랜지스터(121), 및 용량 소자(113)의 적층 구조를 도시한 것이다. 트랜지스터(111) 및 트랜지스터(121)는 채널 에칭형이라고 불리는 보텀 게이트 트랜지스터다.

[0077] 도 3a에 도시된 단면 A1-A2에서 기판(200) 위에 절연층(201)이 형성되어 있고, 절연층(201) 위에 게이트 전극(202), 배선(203), 및 게이트 전극(262)이 형성되어 있다. 또한, 게이트 전극(202), 배선(203), 및 게이트 전극(262) 위에 절연층(204)이 형성되어 있고, 절연층(204) 위에 반도체층(205) 및 반도체층(223)이 형성되어 있다. 절연층(204)은 게이트 절연층으로서 기능한다. 또한, 반도체층(205) 위에 소스 전극(206a) 및 드레인 전극(206b)이 형성되어 있고, 반도체층(223) 위에 소스 전극(266a) 및 드레인 전극(266b)(도 1 참조)이 형성되어 있다. 또한, 반도체층(205) 및 반도체층(223)의 일부와 접촉되도록 소스 전극(206a), 드레인 전극(206b), 소스 전극(266a), 및 드레인 전극(266b) 위에 절연층(207)이 형성되어 있고, 절연층(207) 위에 절연층(208)이 형성되어 있다.

[0078] 또한, 트랜지스터(111)의 드레인 전극(206b)은 배선(237)을 통하여 트랜지스터(121)의 게이트 전극(262)에 전기적으로 접속되어 있다. 또한, 드레인 전극(206b)과 배선(237)은 절연층(207) 및 절연층(208)에 형성된 개구(238)를 통하여 접속되어 있고, 게이트 전극(262)과 배선(237)은 절연층(204), 절연층(207), 및 절연층(208)에 형성된 개구(239)를 통하여 접속되어 있다. 또한, 트랜지스터(121)의 소스 전극(266a)은 절연층(207), 및 절연층(208)에 형성된 개구(209)를 통하여 화소 전극(211)과 접속되어 있다. 또한, 도 1 및 도 2에서 트랜지스터(121)의 드레인 전극(266b)은 절연층(207) 및 절연층(208)에 형성된 개구(232)와, 절연층(204), 절연층(207), 및 절연층(208)에 형성된 개구(233)와, 배선(234)을 통하여 배선(203)과 전기적으로 접속되어 있다.

[0079] 또한, 절연층(208) 위에 EL층(251)을 분리하기 위한 격벽층(254)이 화소마다 형성되어 있다. 또한, 화소 전극(211) 및 격벽층(254) 위에 EL층(251)이 형성되어 있고, 격벽층(254) 및 EL층(251) 위에 대향 전극(252)이 형성되어 있다. 개구(271)에서 화소 전극(211), EL층(251), 및 대향 전극(252)이 중첩된 부위가 EL 소자(253)로서 기능한다.

[0080] 게이트 전극(202), 배선(212_i), 및 배선(203)은 같은 도전층을 사용하여 형성할 수 있다. 또한, 게이트 전극(202), 배선(212_i), 및 배선(203)을 구리(Cu)를 포함한 도전 재료로 형성함으로써, 배선 저항의 증가를 방지할 수 있다. 또한, 게이트 전극(202), 배선(212_i), 및 배선(203)을 Cu를 포함한 도전층과, 텅스텐(W), 탄탈(Ta), 몰리브덴(Mo), 티타늄(Ti), 크롬(Cr) 등 Cu보다 용점이 높은 금속 원소를 함유한 도전층이나 상술한 금속 원소의 질화물이나 산화물을 적층시킴으로써 마이그레이션을 억제하여 반도체 장치의 신뢰성을 향상시킬 수 있다. 예를 들어 질화 탄탈과 구리의 적층이 사용된다.

[0081] 절연층(204)은 Cu가 확산되는 것을 방지하는 배리어성을 갖는 재료를 사용하여 형성하는 것이 바람직하다. 배리어성을 갖는 재료로서는 예를 들어 질화 실리콘이나 산화 알루미늄을 들 수 있다. 배리어성을 갖는 절연층으로 Cu를 포함한 배선을 덮음으로써 Cu가 확산되는 것을 억제할 수 있다.

[0082] 또한, 반도체층(205)과 접촉되어 형성되는 소스 전극(206a) 및 드레인 전극(206b), 반도체층(223)과 접촉되어 형성되는 소스 전극(266a) 및 드레인 전극(266b)(이것과 같은 층으로 형성되는 배선을 포함함)은 Cu를 사용하지 않고 형성하는 것이 바람직하다. 산화물 반도체층과 접촉되어 형성되는 전극에 Cu를 사용하면, 전극 형성시의 에칭에 의하여 Cu가 산화물 반도체층 내로 확산되어 트랜지스터의 전기 특성이나 신뢰성을 저하시키는 원인이 된다. 또한, 소스 전극(206a), 드레인 전극(206b), 소스 전극(266a), 및 드레인 전극(266b)은 단층 구조를 가져도 좋고, 복수층을 적층시킨 구조를 가져도 좋다. 예를 들어 텅스텐, 알루미늄, 및 티타늄의 3층 구조로 하여도 좋다.

[0083] 또한, 배선(203)과 드레인 전극(206b)이 절연층(204)을 개재하여 중첩된 부분이 용량 소자(113)로서 기능한다. 따라서, 배선(203)은 용량 전극 또는 용량 배선으로서 기능한다. 또한, 절연층(204)은 용량 소자(113)를 구성하는 유전체층으로서 기능한다. 또한, 용량 소자(113)를 구성하기 위한 유전체층으로서 산화물 반도체를 사용하여도 좋다. 산화물 반도체층의 비유전율은 14 내지 16으로 크므로, 유전체층에 산화물 반도체를 사용하면, 용량 소자(113)의 용량을 크게 할 수 있다. 또한, 배선(203)과 드레인 전극(206b) 사이에 형성되는 유전체층은 다층 구조를 가져도 좋다. 유전체층을 다층 구조로 함으로써 하나의 유전체층에 핀홀이 생겨도 이 핀홀이 다른

유전체층으로 피복되기 때문에 용량 소자(113)를 정상적으로 기능시킬 수 있다.

- [0084] 도 3b에 도시된 단면 B1-B2에서 기판(200) 위에 절연층(201)이 형성되어 있고, 절연층(201) 위에 절연층(204)이 형성되어 있고, 절연층(201) 위에 배선(236)이 형성되어 있다. 또한, 배선(236) 위에 절연층(204)이 형성되어 있고, 절연층(204) 위에 절연층(207)이 형성되어 있고, 절연층(207) 위에 절연층(208)이 형성되어 있다. 또한, 절연층(208) 위에 화소 전극(211)이 형성되어 있다. 절연층(208) 및 화소 전극(211) 위에 격벽층(254)이 형성되어 있고, 격벽층(254)의 화소 전극(211)과 중첩되는 위치에 개구(271)가 형성되어 있다.
- [0085] 개구(271)가 형성되는 격벽층(254)의 측면 형상은 테이퍼 형상 또는 곡물을 갖는 형상으로 하는 것이 바람직하다. 격벽층(254)을 감광성 수지 재료로 형성하면, 격벽층(254)의 측면 형상을 연속된 곡물을 갖는 형상으로 할 수 있다. 격벽층(254)을 형성하기 위한 유기 절연 재료로서는 아크릴 수지, 페놀 수지, 폴리스타이렌, 폴리이미드 등을 적용할 수 있다.
- [0086] 화소 전극(211)은 EL 소자(253)의 전극 중 하나로서 기능한다. 또한, 대향 전극(252)은 EL 소자(253)의 전극 중 다른 하나로서 기능한다. 대향 전극(252)은 트랜지스터의 소스 전극 또는 드레인 전극과 같은 재료로 형성할 수 있다. EL 소자(253)가 EL 소자(253)의 발광이 기판(200) 측의 면으로부터 얻어지는 하면 발광(보텀 이미션) 구조인 경우에는, 대향 전극(252)으로서 알루미늄이나 은 등 빛의 반사율이 높은 재료를 사용하는 것이 바람직하다.
- [0087] EL층(251)은 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층 등을 적층하여 사용하면 좋다. 또한, 화소 전극(211)을 양극으로서 사용하는 경우에는 화소 전극(211)에 일 함수가 큰 재료를 사용한다. 또한, 화소 전극(211)을 복수의 층으로 이루어진 적층 구조로 하는 경우에는 적어도 EL층(251)과 접촉된 층에 일 함수가 큰 재료를 사용한다. 또한, 대향 전극(252)을 음극으로서 사용하는 경우에는 대향 전극(252)에 일 함수가 작은 금속 재료를 사용하면 좋다. 구체적으로 말하면, 대향 전극(252)으로서 알루미늄과 리튬의 합금을 사용할 수 있다. 대향 전극(252)을 알루미늄과 리튬의 합금층과 도전층의 적층으로 하여도 좋다.
- [0088] 또한, EL 소자(253)의 발광이 대향 전극(252) 측의 면으로부터 얻어지는 상면 발광(톱 이미션) 구조나 상면 및 하면의 양쪽으로부터 발광이 얻어지는 양면 발광(듀얼 이미션) 구조에 적용할 수도 있다. EL 소자(253)를 상면 발광 구조로 하는 경우에는 화소 전극(211)을 음극으로서 사용하며 대향 전극(252)을 양극으로서 사용하고, EL층(251)을 구성하는 주입층, 수송층, 발광층 등을 하면 발광 구조와 반대 순서로 적층하면 좋다.
- [0089] 도 4에 도시된 단면 C1-C2는 배선(216_j)의 적층 구조를 도시한 것이다. 도 4에 도시된 단면 C1-C2에서 기판(200) 위에 절연층(201)이 형성되어 있다. 또한, 절연층(201) 위에 배선(212_i) 및 배선(203)이 형성되어 있고, 배선(212_i) 및 배선(203) 위에 절연층(204)이 형성되어 있다. 또한, 절연층(204) 위에 복수의 배선(236)이 형성되어 있다. 배선(236)은 절연층(207) 및 절연층(208)에 형성된 개구(227)를 통하여 절연층(208) 위에 형성된 배선(246)과 전기적으로 접속되어 있다.
- [0090] 도 10a에 본 실시형태의 배선(216_j)의 등가 회로도를 도시하였다. 배선(216_j)은 복수의 배선(236)과 복수의 배선(246)을 갖고, 배선(246)을 통하여 복수의 배선(236)을 전기적으로 직렬로 접속함으로써 형성된다.
- [0091] 금속 등으로 형성되는 도전층은 부유 상태에서 플라즈마 분위기에 노출되면 플라즈마 분위기로부터 공급된 전하가 축적되기 쉽다. 또한, 축적되는 전하는 도전층의 표면적이 클수록 많아진다. 따라서, 리드하는 거리가 긴 배선은 전하의 축적이 많아져 ESD가 발생되기 쉽다. 예를 들어 리드하는 거리가 긴 배선과 아래 층의 배선이 절연층을 개재하여 중첩되는 위치에서 ESD로 인한 절연 파괴 등이 생길 경우가 있다.
- [0092] 그래서, 도 1 및 도 4에 도시된 바와 같이, 플라즈마 분위기에 직접 노출되는 공정시에는 복수의 섬 형상 배선(236)을 형성하고, 이후의 공정에서 전기적으로 직렬로 접속시킴으로써 리드하는 거리가 긴 배선(216_j)이 형성된다. 플라즈마 분위기에 직접 노출되는 공정시에는 복수의 섬 형상 배선(236)을 형성함으로써 축적되는 전하를 적게 하여 아래 층의 배선과 중첩되는 위치에서 ESD가 생기기 어렵게 할 수 있다.
- [0093] 따라서, 절연층(204)의 박막화가 가능하게 되고, 용량 소자의 용량을 크게 할 수 있다. 또한, 게이트 절연층으로서 기능하는 절연층(204)의 박막화에 의하여 트랜지스터의 성능을 높일 수 있다. 또한, 용량 소자나 트랜지스터의 점유 면적을 작게 할 수 있으므로 표시 장치의 고정밀화를 실현하기 쉬워져 표시 품질을 높일 수 있다. 또한, 반도체 장치의 고집적화를 실현하기 쉬워진다.
- [0094] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시할 수 있다.

- [0095] (실시형태 2)
- [0096] 본 실시형태에서는 도 5, 도 6, 도 10a, 및 도 10b를 사용하여 실시형태 1에 기재된 구성과 다른 구성을 갖는 배선(216_j)에 대하여 설명한다.
- [0097] 도 5는 화소(210) 및 화소(210)에 접속되는 배선의 평면 구성을 도시한 상면도다. 도 6은 도 5의 1점 쇄선 D1-D2에 따른 부위의 단면도다. 본 실시형태의 배선(216_j)과 실시형태 1의 배선(216_j)은 배선(236)의 배치가 다르다. 본 실시형태의 배선(216_j)에서는 배선(216_j)을 구성하는 배선(236)을 배선(236)보다 아래 층에 형성되는 배선과 중첩되지 않도록 형성한다. 구체적으로 말하면, 배선(236)을 배선(212_i) 및 배선(203)과 중첩되지 않도록 형성한다. 도 10b에 본 실시형태의 배선(216_j)의 등가 회로도를 도시하였다.
- [0098] 플라즈마 분위기에 직접 노출되는 공정시에는 복수의 섬 형상 배선(236)을 형성하고 배선(236)을 배선(236)보다 아래 층에 형성되는 배선과 중첩되지 않도록 배치하여 리드하는 거리가 긴 배선(216_j)을 형성함으로써 ESD가 생기기 어렵게 할 수 있다.
- [0099] 따라서, 절연층(204)의 박막화가 가능하게 되고, 용량 소자의 용량을 크게 할 수 있다. 또한, 게이트 절연층으로서 기능하는 절연층(204)의 박막화에 의하여 트랜지스터의 성능을 높일 수 있다. 또한, 용량 소자나 트랜지스터의 점유 면적을 작게 할 수 있으므로 표시 장치의 고정밀화를 실현하기 쉬워져 표시 품질을 높일 수 있다. 또한, 반도체 장치의 고집적화를 실현하기 쉬워진다.
- [0100] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시할 수 있다.
- [0101] (실시형태 3)
- [0102] 본 실시형태에서는 도 7 및 도 8을 사용하여 실시형태 1 및 실시형태 2에 기재된 구성과 다른 구성을 갖는 배선(216_j)에 대하여 설명한다.
- [0103] 도 7은 화소(210) 및 화소(210)에 접속되는 배선의 평면 구성을 도시한 상면도다. 도 8은 도 6의 1점 쇄선 E1-E2에 따른 부위의 단면도다. 본 실시형태의 배선(216_j)은 배선(216_j)이 갖는 복수의 배선(236)의 일부를 배선(212_i)과 같은 도전층으로 형성된 배선(226)으로 구성한 점이 실시형태 2와 다르다. 도 11에 본 실시형태의 배선(216_j)의 등가 회로도를 도시하였다.
- [0104] 배선(212_i)을 Cu 등 저항률이 작은 재료를 포함한 도전층으로 형성하는 경우에는, 배선(216_j)의 일부를 배선(212_i)과 같은 도전층으로 형성된 배선(226)으로 함으로써 배선(216_j)의 배선 저항을 저감시킬 수 있다.
- [0105] 구체적으로 말하면, 배선(246)을 통하여 배선(236)과 배선(226)을 전기적으로 직렬로 접속함으로써 배선(216_j)을 형성한다. 배선(226)과 배선(246)은 절연층(204), 절연층(207), 및 절연층(208)에 형성된 개구(228)를 통하여 전기적으로 접속되어 있고, 배선(236)과 배선(246)은 개구(227)를 통하여 전기적으로 접속되어 있다. 또한, 배선(236) 모두를 배선(226)으로 치환하여도 좋다.
- [0106] 본 실시형태에 따르면, 제작 공정시에 ESD가 생기기 어렵고 배선 저항이 낮은 배선(216_j)을 형성할 수 있다. 또한, 배선(216_j)의 배선 저항을 저감시킴으로써, 배선(216_j)을 통하여 전파되는 신호의 지연이나 신호 파형 일그러짐(distortion) 등이 개선되어, 표시 품질이 양호하고 동작이 안정되고 신뢰성이 높은 표시 장치를 제공할 수 있다.
- [0107] 또한, 절연층(204)의 박막화가 가능하게 되고, 용량 소자의 용량을 크게 할 수 있다. 또한, 게이트 절연층으로서 기능하는 절연층(204)의 박막화에 의하여 트랜지스터의 성능을 높일 수 있다. 또한, 용량 소자나 트랜지스터의 점유 면적을 작게 할 수 있으므로 표시 장치의 고정밀화를 실현하기 쉬워져 표시 품질을 높일 수 있다. 또한, 반도체 장치의 고집적화를 실현하기 쉬워진다.
- [0108] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시할 수 있다.
- [0109] (실시형태 4)
- [0110] 본 실시형태에서는 도 1 내지 도 4를 사용하여 설명한 표시 장치의 화소부 및 배선(216_j)의 제작 방법에 대하여 도 12a 내지 도 18c를 사용하여 설명한다. 또한, 도 12a 내지 도 15b에서 단면 A1-A2는 도 1 및 도 2의 1점 쇄선 A1-A2에 따른 부위의 단면도이고, 도 16a 내지 도 18c의 단면 C1-C2는 도 1 및 도 2의 1점 쇄선 C1-C2에 따른 부위의 단면도다.
- [0111] 우선, 기판(200) 위에 절연층(201)이 되는 절연층을 두께 50nm 이상 300nm 이하, 바람직하게는 100nm 이상

200nm 이하로 형성한다(도 12a 및 도 16a 참조). 기판(200)으로서는 유리 기판, 세라믹 기판 외에 본 제작 공정에서의 처리 온도에 견딜 수 있을 정도의 내열성을 갖는 플라스틱 기판 등을 사용할 수 있다. 또한, 기판이 투광성을 가질 필요가 없는 경우에는 스테인리스 합금 등 금속의 기판 표면에 절연층을 제공한 것을 사용하여도 좋다. 유리 기판으로서는 예를 들어 바륨보로실리케이트 유리, 알루미늄보로실리케이트 유리, 또는 알루미늄실리케이트 유리 등 무알칼리 유리 기판을 사용하면 좋다. 이 외에 석영 기판, 사파이어 기판 등을 사용할 수 있다. 본 실시형태에서는 기판(200)에 알루미늄보로실리케이트 유리를 사용한다.

[0112] 또한, 기판(200)으로서 가요성 기판(플렉서블 기판)을 사용하여도 좋다. 가요성 기판을 사용하는 경우에는, 가요성 기판 위에 트랜지스터나 용량 소자 등을 직접 제작하여도 좋고, 다른 제작 기판 위에 트랜지스터나 용량 소자 등을 제작하고 이것을 박리하고 가요성 기판으로 전치하여도 좋다. 한편, 제작 기판으로부터 박리하고 가요성 기판으로 전치하기 위하여, 제작 기판과 트랜지스터나 용량 소자 등 사이에 박리층을 제공하는 것이 좋다.

[0113] 절연층(201)은 하지층으로 기능하고, 기판(200)으로부터 불순물 원소가 확산되는 것을 방지 또는 저감시킬 수 있다. 절연층(201)은 질화 알루미늄, 산화 알루미늄, 질화 산화 알루미늄, 산화 질화 알루미늄, 산화 갈륨, 질화 실리콘, 산화 실리콘, 질화 산화 실리콘, 또는 산화 질화 실리콘 중에서 선택된 재료를 단층으로 또는 적층하여 형성한다. 또한, 본 명세서에서 질화 산화물이란 산소보다 질소의 함유량이 많은 것을 가리키고, 산화 질화물이란 질소보다 산소의 함유량이 많은 것을 가리킨다. 또한, 각 원소의 함유량은 예를 들어 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 등을 사용하여 측정할 수 있다. 절연층(201)은 스퍼터링법, CVD법, 도포법, 인쇄법 등을 사용하여 형성할 수 있다.

[0114] 또한, 절연층(201)에 염소, 불소 등의 할로젠 원소를 포함시킴으로써, 기판(200)으로부터 불순물 원소가 확산되는 것을 방지 또는 저감시키는 기능을 더 높일 수 있다. 절연층(201)에 포함시키는 할로젠 원소의 농도 피크는 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 측정되고, $1 \times 10^{15} / \text{cm}^3$ 이상 $1 \times 10^{20} / \text{cm}^3$ 이하이면 좋다.

[0115] 절연층(201)은 스퍼터링법, MBE법, CVD법, 펄스 레이저 퇴적법, ALD법 등을 적절히 사용하여 형성할 수 있다. 또한, μ 파(예를 들어 주파수 2.45GHz)를 사용한 고밀도 플라즈마 CVD법 등을 적용할 수 있다. 또한, 절연층(201)은 스퍼터링 타겟 표면에 대략 수직으로 복수의 기판 표면이 고정된 상태에서 성막하는 스퍼터링 장치를 사용하여 형성하여도 좋다.

[0116] 본 실시형태에서는 기판(200) 위에 절연층(201)으로서 플라즈마 CVD법을 사용하여 막 두께가 200nm인 산화 질화 실리콘층을 형성한다. 또한, 절연층(201)을 형성할 때의 온도는 기판(200)이 견딜 수 있는 온도 범위에서 최대한 높은 온도가 바람직하다. 예를 들어 기판(200)을 350℃ 이상 450℃ 이하의 온도로 가열하면서 절연층(201)을 형성한다. 한편, 절연층(201) 형성시의 온도는 일정한 것이 바람직하다. 예를 들어 기판을 350℃로 가열하면서 절연층(201)을 형성한다.

[0117] 또한, 절연층(201)을 형성한 후에 감압하, 질소 분위기하, 희가스 분위기하, 또는 초진조 에어 질소 분위기하에서 가열 처리를 실시하여도 좋다. 가열 처리에 의하여 절연층(201)에 포함되는 수소, 수분, 수소화물, 또는 산화물 등의 농도를 저감시킬 수 있다. 가열 처리는 기판(200)이 견딜 수 있는 온도 범위에서 최대한 높은 온도로 실시하는 것이 바람직하다. 구체적으로 말하면, 절연층(201)의 성막 온도 이상 기판(200)의 변형점 미만의 온도로 가열 처리하는 것이 바람직하다.

[0118] 또한, 절연층(201)의 수소 농도는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하로 하는 것이 바람직하다.

[0119] 또한, 절연층(201)을 형성한 후, 절연층(201)에 산소 도핑 처리를 실시하여 절연층(201)을 화학량론적 조성보다 산소가 많은 영역을 갖는(산소 과잉 영역을 갖는) 상태로 하여도 좋다. 또한, "산소 도핑 처리"란 산소(적어도 산소 라디칼, 산소 원자, 산소 분자, 오존, 산소 이온(산소 분자 이온), 및 산소 클러스터 이온 중 어느 것을 포함함)를 벌크 내에 첨가하는 것을 의미한다. 또한, 상기 "벌크"라는 용어는 산소를 박막 표면뿐만 아니라 박막 내부에 첨가하는 것을 명확하게 하는 취지로 사용하였다. 또한, "산소 도핑 처리"에는 플라즈마화한 산소를 벌크에 첨가하는 "산소 플라즈마 도핑 처리"가 포함된다. 산소 도핑 처리는 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 산소 분위기하에서 실시하는 플라즈마 처리 등을 사용할 수 있다. 또한, 이온 주입법으로서 가스 클러스터 이온 빔을 사용하여도 좋다.

[0120] 산소 도핑 처리에는 산소를 포함한 가스를 사용할 수 있다. 산소를 포함한 가스로서는 산소, 일산화 이질소,

이산화 질소, 이산화탄소, 일산화 탄소 등을 사용할 수 있다. 또한, 산소 도핑 처리에서 상술한 산소를 포함한 가스에 희가스를 첨가하여도 좋다.

[0121] 또한, 산소를 첨가함으로써 절연층(201)을 구성하는 원소와 수소 사이의 결합, 또는 상기 원소와 수산기 사이의 결합을 절단함과 함께, 상술한 수소 또는 수산기가 산소와 반응함으로써 물이 생성되므로, 산소의 도입 후에 가열 처리를 하면 불순물인 수소 또는 수산기가 물로서 이탈되기 쉬워진다. 그러므로, 절연층(201)에 산소를 도입한 후에 가열 처리를 실시하여도 좋다. 이 후, 절연층(201)에 산소를 추가적으로 도입하여 절연층(201)을 산소 과잉 상태로 하여도 좋다. 또한, 절연층(201)으로의 산소 도입과 가열 처리 각각을 교대로 복수 횟수 실시하여도 좋다. 또한, 가열 처리와 산소의 도입을 동시에 실시하여도 좋다.

[0122] 다음에, 절연층(201) 위에 스퍼터링법, 진공 증착법, 또는 도금법을 사용하여 100nm 이상 500nm 이하, 바람직하게는 200nm 이상 300nm 이하의 두께로 도전층을 형성하고, 상기 도전층 위에 포토리소그래피법 또는 잉크젯법에 의하여 레지스트 마스크를 형성하고, 레지스트 마스크를 사용하여 도전층을 에칭하여 게이트 전극(202), 배선(212_i), 배선(203), 및 게이트 전극(262)을 형성한다(도 12a 및 도 16a 참조). 또한, 레지스트 마스크를 사용하지 않고 구리 등의 도전성 나노 페이스트를 잉크젯법에 의하여 기판 위에 토출하고 소성함으로써 형성할 수도 있다.

[0123] 또한, 상기 도전층은 알루미늄(Al), 크롬(Cr), 구리(Cu), 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 네오디뮴(Nd), 스칸듐(Sc) 중에서 선택된 금속 재료, 상술한 금속 원소를 성분으로 포함한 합금 재료, 상술한 금속 원소의 질화물 재료 등을 사용하여 형성할 수 있다. 또한, 망가니즈(Mn), 마그네슘(Mg), 지르코늄(Zr), 베릴륨(Be) 중에서 선택된 어느 하나 또는 복수의 금속 원소를 포함한 재료를 사용하여도 좋다. 또한, 인 등의 불순물 원소가 포함된 다결정 실리콘으로 대표되는 반도체, 니켈 실리사이드 등의 실리사이드를 사용하여도 좋다.

[0124] 또한, 상기 도전층은 단층 구조와 2층 이상의 적층 구조의 어느 쪽이라도 좋다. 예를 들어 실리콘을 포함한 알루미늄을 사용한 단층 구조, 알루미늄 위에 티타늄이 적층된 2층 구조, 질화 티타늄 위에 티타늄이 적층된 2층 구조, 질화 티타늄 위에 텅스텐이 적층된 2층 구조, 질화 탄탈 위에 텅스텐이 적층된 2층 구조, Cu-Mg-Al 합금 위에 구리가 적층된 2층 구조, 질화 티타늄과 구리와 텅스텐이 순차적으로 적층된 3층 구조, 텅스텐과 구리와 질화 탄탈이 순차적으로 적층된 3층 구조 등이 있다. 상기 도전층에 구리를 사용함으로써, 상기 도전층으로 형성되는 배선의 저항을 저감시킬 수 있다. 또한, 구리를 텅스텐, 몰리브덴, 탄탈 등의 고용점 금속이나 상기 금속의 질화물과 적층시킴으로써, 구리를 배선에 사용한 경우의 밀착성이나, 히록 등의 마이그레이션에 대한 내성을 개선할 수 있다.

[0125] 또한, 상기 도전층은 인듐 주석 산화물, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘이 첨가된 인듐 주석 산화물 등 투광성을 갖는 도전성 재료를 적용할 수도 있다. 또한, 상기 투광성을 갖는 도전성 재료와, 상기 금속 원소를 포함한 재료의 적층 구조로 할 수도 있다.

[0126] 또한, 상기 도전층으로서 질소를 포함한 금속 산화물, 구체적으로 말하면, 질소를 포함한 In-Ga-Zn계 산화물이나, 질소를 포함한 In-Sn계 금속 산화물이나, 질소를 포함한 In-Ga계 금속 산화물이나, 질소를 포함한 In-Zn계 금속 산화물이나, 질소를 포함한 산화 주석이나, 질소를 포함한 산화 인듐이나, 금속 질화물(InN, SnN 등)을 사용할 수 있다. 이들 재료는 5eV(전자 볼트) 이상의 일 함수를 갖고, 게이트 전극층으로서 사용한 경우, 트랜지스터의 문턱 전압을 양으로 할 수 있어 소위 노멀리-오프의 스위칭 소자를 실현할 수 있다. 또한, 상기 도전층을 적층 구조로 하는 경우에는, 게이트 절연층으로서 기능하는 절연층과 접촉된 층에 질소를 포함한 금속 산화물을 사용함으로써 노멀리 오프의 스위칭 소자를 실현할 수 있다.

[0127] 본 실시형태에서는 도전층으로서 스퍼터링법을 사용하여 절연층(201) 위에 질화 탄탈과 구리의 적층막을 형성한다. 그리고, 포토리소그래피 공정에 의하여 형성한 레지스트 마스크를 사용하여 도전층의 일부를 선택적으로 에칭하여 게이트 전극(202), 배선(212_i), 배선(203), 및 게이트 전극(262)을 형성한다. 에칭은 드라이 에칭법 또는 웨트 에칭법으로 실시할 수 있다. 또한, 도전층의 에칭은 드라이 에칭법과 웨트 에칭법의 양쪽 모두를 조합하여 실시하여도 좋다. 예를 들어 Cu를 웨트 에칭법으로 에칭하고, 질화 탄탈을 드라이 에칭법으로 에칭하여도 좋다.

[0128] 또한, 도전층을 드라이 에칭법으로 에칭하는 경우에는, 에칭 가스로서 할로젠 원소를 포함한 가스를 사용할 수 있다. 할로젠 원소를 포함한 가스의 일례로서는 염소(Cl_2), 3염화 붕소(BCl_3), 4염화 실리콘(SiCl_4), 또는 4염

화 탄소(CCl_4) 등으로 대표되는 염소계 가스, 4불화 탄소(CF_4), 6불화 황(SF_6), 3불화 질소(NF_3), 또는 트라이플루오로메탄(CHF_3) 등으로 대표되는 불소계 가스, 브로민화 수소(HBr), 또는 산소를 적절히 사용할 수 있다. 또한, 사용하는 에칭용 가스에 불활성 기체를 첨가하여도 좋다. 또한, 드라이 에칭법으로는 반응성 이온 에칭(RIE: Reactive Ion Etching)법을 사용할 수 있다.

[0129] 또한, 플라즈마 소스로서 용량 결합형 플라즈마(CCP: Capacitively Coupled Plasma), 유도 결합형 플라즈마(ICP: Inductively Coupled Plasma), 전자 사이클로트론 공명(ECR: Electron Cyclotron Resonance) 플라즈마, 헬리콘과 여기 플라즈마(HWP: Helicon Wave Plasma), 마이크로와 여기 표면파 플라즈마(SWP: Surface Wave Plasma) 등을 사용할 수 있다. 특히, ICP, ECR, HWP, 및 SWP는 고밀도의 플라즈마를 생성할 수 있다. 드라이 에칭법을 사용하여 실시하는 에칭(아래에서는 드라이 에칭 처리라고도 함)은 원하는 가공 형상으로 에칭할 수 있도록 에칭 조건(코일형 전극에 인가되는 전력량, 기관 축의 전극에 인가되는 전력량, 기관 축의 전극 온도 등)을 적절히 조절하여 실시한다.

[0130] 한편, 포토리소그래피법을 사용하여 도전층이나 절연층 위에 임의 형상의 레지스트 마스크를 형성하는 공정을 포토리소그래피 공정이라고 하지만, 일반적으로 레지스트 마스크 형성 후에 에칭 공정과 레지스트 마스크의 박리 공정이 실시되는 경우가 많다. 따라서, 특별한 설명이 없는 한 본 명세서의 포토리소그래피 공정에는 레지스트 마스크의 형성 공정과, 도전층 또는 절연층의 에칭 공정과, 레지스트 마스크의 박리 공정이 포함되어 있는 것으로 한다.

[0131] 또한, 형성된 배선 또는 전극 등의 단면 형상, 구체적으로 말하면, 단부의 단면 형상(테이퍼각이나 막 두께 등)을 다음과 같이 함으로써 이후 형성되는 층의 피복성을 향상시킬 수 있다.

[0132] 예를 들어 게이트 전극(202)의 단면 형상이 사다리꼴 형상 또는 삼각 형상이 되도록 게이트 전극(202) 단부를 테이퍼 형상으로 한다. 이 때, 게이트 전극(202) 단부의 테이퍼 각 θ (도 12a 참조)는 80° 이하, 바람직하게는 60° 이하, 더 바람직하게는 45° 이하로 한다. 또한, θ 란 테이퍼 각 테이퍼 형상을 갖는 층을 그 단면(기관의 표면과 직교하는 면) 방향으로부터 관찰할 때 상기 층의 측면과 저면이 이루는 상기 층 내의 각도를 가리킨다. 또한, 테이퍼 각이 90° 미만인 경우를 순 테이퍼라고 부르고, 테이퍼 각이 90° 이상인 경우를 역 테이퍼라고 부른다.

[0133] 또한, 게이트 전극(202) 단부의 단면 형상을 복수 단을 갖는 계단 형상으로 함으로써 그 위에 형성하는 층에 의한 피복성을 향상시킬 수도 있다. 또한, 게이트 전극(202)에 한정되지 않고, 각 층의 단부의 단면 형상을 순 테이퍼 형상 또는 계단 형상으로 함으로써, 그 위에 형성되는 층이 끊어지는 현상(단절)을 방지하여 피복성을 양호하게 할 수 있다.

[0134] 다음에, 게이트 전극(202), 배선(212_i), 배선(203), 및 게이트 전극(262) 위에 절연층(204) 및 반도체층(205)을 형성한다(도 12b 및 도 16b 참조).

[0135] 절연층(204)은 스퍼터링법, MBE법, CVD법, 펄스 레이저 퇴적법, ALD법 등을 적절히 사용하여 형성할 수 있다. 또한, μ 파를 사용한 고밀도 플라즈마 CVD법 등을 적용할 수 있다. 또한, 절연층(204)은 스퍼터링 타깃 표면에 대략 수직으로 복수의 기관 표면이 고정된 상태에서 성막하는 스퍼터링 장치를 사용하여 형성하여도 좋다.

[0136] 절연층(204)은 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 산화 탄탈, 산화 갈륨, 산화 이트륨, 산화 란탄, 산화 하프늄, 하프늄 실리케이트, 질소가 도입된 하프늄 실리케이트, 질소가 도입된 하프늄 알루미늄네이트 중에서 선택된 재료를 단층으로 또는 적층하여 형성할 수 있다.

[0137] 본 실시형태에서는 절연층(204)으로서 기관 온도를 200°C 내지 350°C 로 하여 μ 파를 사용한 고밀도 플라즈마 CVD법에 의하여 질화 실리콘과 산화 질화 실리콘의 적층을 형성한다. 절연층(204)은 50nm 이상 800nm 이하, 바람직하게는 100nm 이상 600nm 이하의 두께로 형성하는 것이 바람직하다. 절연층(204)의 두께는 제작하는 트랜지스터의 크기나 게이트 전극(202)의 단차 피복성을 고려하여 형성하는 것이 바람직하다.

[0138] 또한, 일반적으로 용량 소자는 대향하는 두 개의 전극 사이에 유전체가 끼워진 구성을 갖고, 유전체의 두께가 얇을수록(대향하는 두 개의 전극 사이의 거리가 짧을수록) 또한 유전체의 유전율이 클수록 용량이 커진다. 다만, 용량 소자의 용량을 늘리기 위하여 유전체를 얇게 하면 두 개의 전극 사이에 생기는 누설 전류(리크 전류라고도 함)가 증가되기 쉬워지고, 또한 용량 소자의 절연 내압이 저하되기 쉬워진다.

[0139] 트랜지스터의 게이트 전극, 게이트 절연층, 반도체층이 중첩되는 부분은 상술한 용량 소자로서 기능한다(아래에

서 게이트 용량 소자라고도 기재함). 또한, 반도체층에서 게이트 절연층을 개재하여 게이트 전극과 중첩되는 영역에 채널이 형성된다. 즉 게이트 전극과 채널 형성 영역이 용량 소자의 두 개의 전극으로서 기능하고, 게이트 절연층이 용량 소자의 유전체로서 기능한다. 게이트 용량 소자의 용량은 큰 것이 바람직하지만, 용량을 늘리기 위하여 게이트 절연층을 얇게 하면 상술한 바와 같이 누설 전류의 증가나 절연 내압의 저하 등의 문제가 발생되기 쉽다.

[0140] 그래서, 절연층(204)으로서 하프늄 실리케이트(HfSi_xO_y ($x>0$, $y>0$)), 질소가 첨가된 하프늄 실리케이트($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x>0$, $y>0$, $z>0$)), 질소가 첨가된 하프늄 알루미늄네이트($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x>0$, $y>0$, $z>0$)), 산화 하프늄, 산화 이트륨 등의 high-k 재료를 사용하면, 절연층(204)을 두껍게 하여도 게이트 전극(202)과 반도체층(205) 사이의 용량을 충분히 확보할 수 있다.

[0141] 예를 들어 절연층(204)으로서 산화 실리콘보다 유전율이 높은 high-k 재료를 사용하면, 절연층(204)을 두껍게 하여도 절연층(204)에 산화 실리콘을 사용한 경우와 동등한 용량을 실현할 수 있어 게이트 전극(202)과 반도체층(205) 사이에 생기는 누설 전류를 저감시킬 수 있다. 또한, 게이트 전극(202)과 같은 층으로 형성된 배선과, 상기 배선과 중첩된 다른 배선 사이에 생기는 누설 전류를 저감시킬 수 있다. 또한, 절연층(204)을 high-k 재료와 상기 재료의 적층 구조로 하여도 좋다.

[0142] 절연층(204)은 이후 형성되는 반도체층(205)과 접촉되는 부분에 산소를 포함하는 것이 바람직하다. 반도체층(205)과 접촉되는 절연층(204)은 막(벌크) 내의 산소량이 적어도 화학량론적 조성을 넘는 것이 바람직하다. 예를 들어 절연층(204)으로서 산화 실리콘막을 사용하는 경우에는, $\text{SiO}_{2+\alpha}$ (다만, $\alpha>0$)로 한다. 이 산화 실리콘막을 절연층(204)으로서 사용함으로써 반도체층(205)에 산소를 공급할 수 있어 특성을 양호하게 할 수 있다.

[0143] 또한, 게이트 전극(202)(이것과 같은 층으로 형성된 배선 또는 전극을 포함함)을 Cu를 포함한 도전층으로 형성한 경우에는, 절연층(204)의 게이트 전극(202)과 접촉된 부분을 Cu의 확산을 억제하기 위한 배리어성을 갖는 재료를 사용하여 형성하는 것이 바람직하다. 배리어성을 갖는 재료로서는 예를 들어 질화 실리콘막이나 산화 알루미늄을 들 수 있다. 게이트 전극(202)을 배리어성을 갖는 절연층으로 덮음으로써 Cu의 확산을 억제할 수 있다. 또한, 하지층으로서 기능하는 절연층(201)도 배리어성을 갖는 재료로 형성하고, 게이트 전극(202)을 배리어성을 갖는 재료로 끼운 구성으로 함으로써 Cu의 확산을 억제하는 효과를 더 높일 수 있다.

[0144] 또한, 질화 실리콘이나 산화 알루미늄 등은 수소, 수분, 수소화물, 또는 수산화물 등의 불순물이나 산소에 대한 배리어성도 갖는다. 절연층(204)을 배리어성을 갖는 재료로 형성함으로써 기판 측으로부터 상기 불순물이 침입되는 것을 방지함과 함께 절연층(204) 내에 포함되는 산소가 기판 측으로 확산되는 것을 방지할 수 있다.

[0145] 본 실시형태에서는 게이트 전극(202)(이것과 같은 층으로 형성된 배선 또는 전극을 포함함) 위에 절연층(204)으로서 μ 파를 사용한 고밀도 플라즈마 CVD법에 의하여 질화 실리콘과 산화 질화 실리콘의 적층막을 형성한다.

[0146] 또한, 절연층(204)을 형성하기 전에 산소, 일산화 이질소, 또는 회가스(대표적으로는 아르곤) 등을 사용한 플라즈마 처리에 의하여 피형성면 표면에 부착된 수분이나 유기물 등의 불순물을 제거하는 것이 바람직하다.

[0147] 또한, 절연층(204)을 형성한 후 감압하, 질소 분위기하, 회가스 분위기하, 또는 초진조 에어 질소 분위기하에서 가열 처리하여도 좋다. 가열 처리에 의하여 절연층(204)에 포함되는 수소, 수분, 수소화물, 또는 수산화물 등의 농도를 저감시킬 수 있다. 가열 처리는 기판(200)이 견딜 수 있는 온도 이하의 범위에서 최대한 높은 온도로 실시하는 것이 바람직하다. 구체적으로 말하면, 절연층(204)의 성막 온도 이상 기판(200)의 변형점 미만으로 실시하는 것이 바람직하다.

[0148] 또한, 절연층(204)을 형성한 후 절연층(204)에 산소 도핑 처리를 실시하여 절연층(204)을 산소 과잉 상태로 하여도 좋다. 또한, 절연층(204)으로의 산소 도핑 처리는 상기 가열 처리 후에 실시하는 것이 바람직하다.

[0149] 산소 공급원이 되는 산소를 많이(과잉으로) 포함한 절연층(204)을 반도체층(205)과 접촉되도록 제공함으로써, 이후의 가열 처리에 의하여 상기 절연층(204)으로부터 반도체층(205)으로 산소를 공급할 수 있다. 반도체층(205)으로 산소를 공급함으로써 반도체층(205) 내의 산소 결손을 보전할 수 있다.

[0150] 또한, 절연층(204)을 절연층 A와 절연층 B의 적층으로 하고, Cu를 포함한 도전전층으로 형성된 게이트 전극(202)(이것과 같은 층으로 형성된 배선 또는 전극을 포함함) 위에 배리어성을 갖는 재료를 사용하여 절연층 A를 형성하고, 절연층 A 위에 산소를 포함한 재료를 사용하여 절연층 B를 형성하여도 좋다. 예를 들어 게이트 전극(202) 위에 절연층 A로서 질화 실리콘막을 형성하고, 그 위에 절연층 B로서 산화 질화 실리콘막을 형성하여도

좋다.

- [0151] 또한, 절연층(204)을 단층으로 또는 적층하여 형성하는 경우에는, 절연층(204)의 반도체층(205)과 접촉되는 층에 산화 갈륨이나 산화 갈륨 아연을 사용하여도 좋다. 특히, 반도체층(205)에 산화물 반도체를 사용하는 경우에는, 반도체층(205)과 접촉되는 층에 반도체층(205)을 구성하는 산화물 반도체와 같은 종류의 성분을 포함한 재료를 사용하면 바람직하다. 이러한 재료는 산화물 반도체와 성질이 잘 맞고, 이 재료를 반도체층(205)과 접촉되는 절연층(204)에 사용함으로써, 반도체층(205)과 절연층(204)의 계면 상태를 양호한 상태로 유지할 수 있기 때문이다. 여기서, "산화물 반도체와 같은 종류의 성분"이란 산화물 반도체의 구성 원소 중에서 선택되는 하나 또는 복수의 원소를 포함하는 것을 의미한다. 예를 들어 산화물 반도체가 In-Ga-Zn계 산화물 반도체 재료로 구성되는 경우에는, 같은 종류의 성분을 포함한 절연 재료로서 산화 갈륨이나 산화 갈륨 아연 등이 있다.
- [0152] 다음에, 절연층(204) 위에 이후 반도체층(205)이 되는 반도체층(215)(도시하지 않았음)을 형성한다. 반도체층(215)은 CVD법이나 스퍼터링법 등에 의하여 비정질 반도체, 미결정 반도체, 다결정 반도체 등을 사용하여 형성할 수 있다. 예를 들어 비정질 실리콘이나, 미결정 게르마늄 등을 사용할 수 있다. 또한, 탄소화 실리콘, 갈륨 비소, 산화물 반도체, 질화물 반도체 등의 화합물 반도체나 유기 반도체 등을 사용할 수 있다.
- [0153] 본 실시형태에서는 반도체층(215)으로서 산화물 반도체를 사용한다. 반도체층(215)을 형성하기 전에 절연층(204)의 반도체층(215)과 접촉되어 형성되는 영역에 평탄화 처리를 실시하여도 좋다. 평탄화 처리로서는 특별히 한정되지 않지만, 연마 처리(예를 들어 CMP 처리), 드라이 에칭 처리, 플라즈마 처리를 사용할 수 있다.
- [0154] 플라즈마 처리로서는 예를 들어 아르곤 가스를 도입하여 플라즈마를 발생시키는 역 스퍼터링을 실시할 수 있다. 역 스퍼터링이란 아르곤 분위기하에서 기판 측에 RF 전원을 사용하여 전압을 인가하여 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨, 산소 등을 사용하여도 좋다. 역 스퍼터링을 실시하면, 절연층(204) 표면에 부착된 분말상 물질(파티클, 먼지라고도 함)을 제거할 수 있다.
- [0155] 또한, 평탄화 처리로서의 연마 처리, 드라이 에칭 처리, 플라즈마 처리는 복수 횟수 실시하여도 좋고, 이들을 조합하여 실시하여도 좋다. 또한, 조합하는 경우에는, 공정 순서도 특별히 한정되지 않고 절연층(204) 표면의 요철 상태에 맞추어 적절히 설정하면 좋다.
- [0156] 또한, 반도체층(215)을 형성하기 전에 산소, 일산화 이질소, 또는 희가스(대표적으로는 아르곤) 등을 사용한 플라즈마 처리에 의하여 피형성면 표면에 부착된 수분이나 유기물 등의 불순물을 제거하는 것이 바람직하다.
- [0157] 또한, 스퍼터링법에 의하여 반도체층(215)을 형성할 때, 스퍼터링 가스는 희가스(대표적으로는 아르곤) 분위기, 산소 가스 분위기, 희가스 및 산소의 혼합 가스를 적절히 사용한다. 또한, 스퍼터링 가스에는 수소, 물, 수산기, 또는 수소화물 등의 불순물이 제거된 고순도 가스를 사용하는 것이 바람직하다.
- [0158] 또한, 반도체층(215)은 산소가 많이 포함되는 조건(예를 들어 산소 100%의 분위기하에서 스퍼터링법에 의하여 형성하는 조건 등)으로 형성함으로써 산소를 많이 포함한 상태 또는 산소 과포화 상태(바람직하게는 결정 상태에서의 산화물 반도체의 화학량론적 조성을 넘는 양의 산소를 함유한 영역이 포함된 상태)인 것이 바람직하다.
- [0159] 예를 들어 스퍼터링법을 사용하여 산화물 반도체층을 형성하는 경우에는, 스퍼터링 가스 내의 산소 가스가 차지하는 비율이 많은 조건으로 실시하는 것이 바람직하고, 산소 가스 100%의 스퍼터링 가스를 사용하는 것이 바람직하다. 스퍼터링 가스 내의 산소 가스가 차지하는 비율이 많은 조건, 특히 산소 가스 100%의 분위기하에서 성막하면, 예를 들어 성막 온도를 300℃ 이상으로 하여도 산화물 반도체층 내로부터 Zn이 방출되는 것이 억제된다.
- [0160] 또한, 반도체층(215)은 구리, 알루미늄, 염소 등의 불순물이 거의 포함되지 않는 고순도화된 것이 바람직하다. 트랜지스터의 제조 공정에서 상기 불순물이 혼입 또는 산화물 반도체층 표면에 부착될 우려가 없는 공정을 적절히 선택하는 것이 바람직하다. 구체적으로 말하면, 산화물 반도체층 내의 구리 농도는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $1 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다. 또한, 산화물 반도체층 내의 알루미늄 농도는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하로 한다. 또한, 산화물 반도체층 내의 염소 농도는 $2 \times 10^{18} \text{ atoms/cm}^3$ 이하로 한다.
- [0161] 또한, 반도체층(215) 내의 나트륨(Na), 리튬(Li), 칼륨(K) 등의 알칼리 금속의 농도는 Na는 $5 \times 10^{16} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{16} \text{ cm}^{-3}$ 이하, 더 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하, Li는 $5 \times 10^{15} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하, K는 $5 \times 10^{15} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하로 한다.

- [0162] 본 실시형태에서는 반도체층(215)으로서 AC 전원 장치를 갖는 스퍼터링 장치를 사용한 스퍼터링법에 의하여 막 두께가 35nm인 In-Ga-Zn계 산화물(IGZO)을 형성한다. 스퍼터링법에 의하여 제작하기 위한 타깃으로서는 원자수비가 In:Ga:Zn=1:1:1인 금속 산화물 타깃을 사용한다.
- [0163] 반도체층(215)은 감압 상태로 유지된 성막실 내에 기판(200)을 유지하고, 성막실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 상기 타깃을 사용하여 절연층(204) 위에 형성한다. 성막실 내의 잔류 수분을 제거하기 위해서는 흡착형 진공 펌프 예를 들어 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단으로서는 터보 분자 펌프에 콜드 트랩(cold trap)이 장착된 것이라도 좋다. 크라이오 펌프를 사용하여 배기한 성막실은 예를 들어 수소 원자, 물(H₂O) 등 수소 원자를 함유한 화합물(더 바람직하게는 탄소 원자를 함유한 화합물도) 등이 배기되기 때문에, 상기 성막실에서 형성된 반도체층(215)에 포함되는 불순물 농도를 저감시킬 수 있다.
- [0164] 또한, 절연층(204)과 반도체층(215)을 대기에 노출시키지 않고 연속적으로 형성하여도 좋다. 절연층(204)과 반도체층(215)을 대기에 노출시키지 않고 연속적으로 형성하면, 절연층(204) 표면에 수소나 수분 등의 불순물이 부착되는 것을 방지할 수 있다.
- [0165] 다음에, 포토리소그래피 공정을 사용하여 반도체층(215)의 일부를 선택적으로 에칭하여 섬 형상 반도체층(205)을 형성한다(도 12b 참조). 또한, 반도체층(205)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에 제조 비용을 저감시킬 수 있다.
- [0166] 또한, 반도체층(215)의 에칭에는 드라이 에칭법과 웨트 에칭법 중 어느 쪽을 사용하여도 좋고 양쪽 모두를 사용하여도 좋다. 웨트 에칭법에 의하여 반도체층(215)을 에칭하는 경우는, 에칭액으로서 인산과 초산과 질산을 섞은 용액이나, 옥살산을 포함하는 용액 등을 사용할 수 있다. 또한, ITO-07N(KANTO CHEMICAL CO., INC. 제조)을 사용하여도 좋다. 또한, 드라이 에칭법으로 반도체층(215)을 에칭하는 경우에는 예를 들어 ECR 또는 ICP 등의 고밀도 플라즈마 소스를 사용한 드라이 에칭법을 사용할 수 있다. 또한, 넓은 면적에 걸쳐 고르게 방전을 얻기 쉬운 드라이 에칭법으로서 ECCP(Enhanced Capacitively Coupled Plasma) 모드를 사용한 드라이 에칭법이 있다. 이 드라이 에칭법은 예를 들어 제 10 세대의 3m를 넘는 사이즈의 기판을 사용하는 경우에도 대응할 수 있다.
- [0167] 또한, 반도체층(205)을 형성한 후에 반도체층(205) 내의 과잉 수소(물이나 수산기를 포함함)를 제거(탈수화 또는 탈수소화)하기 위한 가열 처리를 실시하여도 좋다. 가열 처리의 온도는 300℃ 이상 700℃ 이하, 또는 기판의 변형점 미만으로 한다. 가열 처리는 감압하 또는 질소 분위기하 등에서 실시할 수 있다. 예를 들어 상기 기판을 가열 처리 장치의 한 종류인 전기로에 반입하여, 질소 분위기하에서 450℃로 1시간 동안 반도체층(205)을 가열 처리한다.
- [0168] 또한, 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열 전도 또는 열 복사에 의하여 피처리물을 가열하는 장치를 사용하여도 좋다. 예를 들어 GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는 할로겐 램프, 메탈할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발해지는 빛(전자기파)의 복사에 의하여 피처리물을 가열하는 장치다. GRTA 장치는 고온 가스를 사용하여 가열 처리를 실시하는 장치다. 고온 가스에는 아르곤 등의 회가스, 또는 질소와 같은 가열 처리에 의하여 피처리물과 반응하지 않는 불활성 기체가 사용된다.
- [0169] 예를 들어 가열 처리로서 650℃ 내지 700℃의 고온으로 가열한 불활성 가스 중에 기판을 넣고, 몇 분 동안 가열한 후, 기판을 불활성 가스 중에서 꺼내는 GRTA를 실시하여도 좋다.
- [0170] 또한, 가열 처리에서는 질소, 또는 헬륨, 네온, 아르곤 등의 회가스에 물, 수소 등이 포함되지 않은 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 회가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0171] 또한, 가열 처리에 의하여 반도체층(205)을 가열한 후, 같은 노(爐)에 고순도 산소 가스, 고순도 일산화 이질소 가스, 또는 조건조 에어(캐비티 링 다운 분광법(CRDS: Cavity Ring-Down Spectroscopy)을 사용한 노점 측정기를 사용하여 측정된 경우의 수분량이 20ppm(노점 환산으로 -55℃) 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하의 공기)를 도입하여도 좋다. 산소 가스 또는 일산화 이질소 가스에 물, 수소 등이 포함되지

많은 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 산소 가스 또는 일산화 이질소 가스의 순도를 6N 이상, 바람직하게는 7N 이상(즉 산소 가스 또는 일산화 이질소 가스 중의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다. 탈수화 또는 탈수소화 처리에 의한 불순물 배제 공정으로 산화물 반도체를 구성하는 주성분 재료인 산소가 감소되지만, 산소 가스 또는 일산화 이질소 가스의 작용에 의하여 산소를 공급함으로써, 산화물 반도체 내의 산소 결손을 저감시키고 산화물 반도체로 형성된 반도체층(205)을 i형(진성) 또는 실질적으로 i형으로 할 수 있다. 이 점에서 본 발명의 일 형태는 실리콘 등에 불순물 원소를 첨가하여 i형으로 하는 기술과 다르기 때문에 여태까지 없었던 기술적 사상을 포함한다고 말할 수 있다.

[0172] 탈수화 또는 탈수소화를 위한 가열 처리는 산화물 반도체층을 형성한 후라면, 섬 형상 반도체층(205)을 형성하기 전에 실시하여도 좋고, 형성한 후에 실시하여도 좋다. 또한, 탈수화 또는 탈수소화를 위한 가열 처리는 복수 횟수 실시하여도 좋고, 다른 가열 처리를 겸하여도 좋다.

[0173] 또한, 탈수화 또는 탈수소화 처리에 의하여 산화물 반도체를 구성하는 주성분 재료인 산소가 동시에 이탈되어 감소될 우려가 있다. 산화물 반도체층에서 산소가 이탈된 개소에는 산소 결손이 존재하고, 상기 산소 결손에 기인하여 트랜지스터의 전기 특성 변동을 초래하는 도너 준위가 형성된다.

[0174] 따라서, 탈수화 또는 탈수소화 처리된 반도체층(205)에 산소 도핑 처리를 실시하여 반도체층(205) 내에 산소를 공급하여도 좋다.

[0175] 탈수화 또는 탈수소화 처리된 반도체층(205)에 산소를 도입하여 막 내에 산소를 공급함으로써 탈수화 또는 탈수소화 처리에 의한 불순물의 배제 공정에 의하여 생긴 산화물 반도체 내의 산소 결손을 저감시키고, 산화물 반도체로 형성된 반도체층(205)을 i형(진성)으로 할 수 있다. i형(진성) 반도체층(205)을 갖는 트랜지스터는 전기 특성 변동이 억제되어 전기적으로 안정된다.

[0176] 산화물 반도체로 형성된 반도체층(205)에 산소를 도입하는 경우에는, 산소 도핑 처리를 직접 반도체층(205)에 실시하여도 좋고, 다른 층을 통하여 실시하여도 좋다.

[0177] 또한, 산소를 도입함으로써 산화물 반도체를 구성하는 원소와 수소 사이의 결합, 또는 상기 원소와 수산기 사이의 결합을 절단함과 함께, 상기 수소 또는 상기 수산기가 산소와 반응함으로써 물을 생성하므로, 산소를 도입한 후에 가열 처리를 실시하면, 불순물인 수소 또는 수산기가 물로서 이탈되기 쉬워진다. 그러므로, 반도체층(205)에 산소를 도입한 후에 가열 처리를 실시하여도 좋다. 이 후, 반도체층(205)에 추가로 산소를 도입하여 반도체층(205)을 산소 과잉 상태로 하여도 좋다. 또한, 반도체층(205)으로의 산소의 도입과 가열 처리는 교대로 복수 횟수 실시하여도 좋다. 또한, 가열 처리와 산소의 도입을 동시에 실시하여도 좋다. 또한, 충분한 산소를 공급함으로써 산화물 반도체로 형성된 반도체층(205)을 산소 과포화 상태로 하기 위하여, 산소를 많이 포함한 절연층(산화 실리콘 등)을 반도체층(205)을 끼우도록 접촉시켜 제공하는 것이 바람직하다.

[0178] 또한, 산소를 많이 포함한 절연층의 수소 농도도 트랜지스터의 특성에 영향을 미치기 때문에 중요하다. 산소를 많이 포함한 절연층의 수소 농도가 $7.2 \times 10^{20} \text{ atoms/cm}^3$ 이상인 경우에는, 트랜지스터의 초기 특성의 편차의 증대, L길이 의존성의 증대, 게다가 BT스트레스 시험으로 인하여 크게 열화하기 때문에, 산소를 많이 포함한 절연층의 수소 농도는 $7.2 \times 10^{20} \text{ atoms/cm}^3$ 미만으로 한다. 즉 반도체층(205)의 수소 농도는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하 또 산소를 많이 포함한 절연층의 수소 농도는 $7.2 \times 10^{20} \text{ atoms/cm}^3$ 미만으로 하는 것이 바람직하다.

[0179] 또한, 반도체층(205)은 복수의 산화물 반도체층이 적층된 구조를 가져도 좋다. 예를 들어 반도체층(205)을 제 1 산화물 반도체층과 제 2 산화물 반도체층의 적층으로 하고, 제 1 산화물 반도체층과 제 2 산화물 반도체층에 조성이 다른 금속 산화물을 사용하여도 좋다. 예를 들어 제 1 산화물 반도체층에 3원계 금속 산화물을 사용하고 제 2 산화물 반도체층에 2원계 금속 산화물을 사용하여도 좋다. 또한, 예를 들어 제 1 산화물 반도체층과 제 2 산화물 반도체층의 양쪽 모두를 3원계 금속 산화물로 하여도 좋다.

[0180] 또한, 제 1 산화물 반도체층과 제 2 산화물 반도체층의 구성 원소를 동일하게 하고, 조성을 서로 다르게 하여도 좋다. 예를 들어 제 1 산화물 반도체층의 원자수비를 In:Ga:Zn=1:1:1로 하고, 제 2 산화물 반도체층의 원자수비를 In:Ga:Zn=3:1:2로 하여도 좋다. 또한, 제 1 산화물 반도체층의 원자수비를 In:Ga:Zn=1:3:2로 하고, 제 2 산화물 반도체층의 원자수비를 In:Ga:Zn=1:1:1로 하여도 좋다.

[0181] 이 때, 제 1 산화물 반도체층과 제 2 산화물 반도체층 중 게이트 전극에 가까운 측(채널 측)의 산화물 반도체층의 In과 Ga의 함유율을 In>Ga로 하면 좋다. 또한, 게이트 전극으로부터 먼 측(백 채널 측)의 산화물 반도체층

의 In과 Ga의 함유율을 $\text{In} \leq \text{Ga}$ 로 하면 좋다.

- [0182] 산화물 반도체에서는 주로 중금속의 s궤도가 캐리어 전도에 기여하므로 In의 함유율을 높게 함으로써 s궤도의 오버 랩이 많아질 경향이 있어 $\text{In} > \text{Ga}$ 의 조성을 갖는 산화물은 $\text{In} \leq \text{Ga}$ 의 조성을 갖는 산화물보다 높은 이동도를 갖는다. 또한, Ga는 In보다 산소 결손의 형성 에너지가 크므로 산소 결손이 생기기 어려우므로 $\text{In} \leq \text{Ga}$ 의 조성을 갖는 산화물은 $\text{In} > \text{Ga}$ 의 조성을 갖는 산화물보다 안정된 특성을 갖는다.
- [0183] 채널 측에 $\text{In} > \text{Ga}$ 의 조성을 갖는 산화물 반도체를 적용하고 백 채널 측에 $\text{In} \leq \text{Ga}$ 의 조성을 갖는 산화물 반도체를 적용함으로써, 트랜지스터의 이동도 및 신뢰성을 더 높일 수 있다.
- [0184] 또한, 제 1 산화물 반도체층과 제 2 산화물 반도체층에 결정성이 서로 다른 산화물 반도체를 적용하여도 좋다. 즉 단결정 산화물 반도체, 다결정 산화물 반도체, 비정질 산화물 반도체, 또는 CAAC-OS를 적절히 조합한 구성으로 하여도 좋다. 또한, 제 1 산화물 반도체층과 제 2 산화물 반도체층 중 적어도 하나에 비정질 산화물 반도체를 적용하면 반도체층(205)의 내부 응력이나 외부 응력이 완화되므로 트랜지스터의 특성의 편차가 저감되고, 또한 트랜지스터의 신뢰성이 더 향상될 수 있다.
- [0185] 한편, 비정질 산화물 반도체는 수소 등 도너가 되는 불순물을 흡수하기 쉽고, 또한 산소 결손이 생기기 쉬우므로 n형화되기 쉽다. 그러므로, 채널 측의 산화물 반도체층에는 CAAC-OS 등의 결정성을 갖는 산화물 반도체를 적용하는 것이 바람직하다.
- [0186] 또한, 트랜지스터로서 채널 에칭형 보텀 게이트 트랜지스터를 사용하는 경우에는, 백 채널 측에 비정질 산화물 반도체를 사용하면, 소스 전극 및 드레인 전극을 형성할 때의 에칭 처리에 의하여 산소 결손이 생겨 n형화되기 쉽다. 따라서, 채널 에칭형 트랜지스터를 사용하는 경우에는, 백 채널 측의 산화물 반도체층에 결정성을 갖는 산화물 반도체를 적용하는 것이 바람직하다.
- [0187] 또한, 반도체층(205)을 산화물 반도체층을 3층 이상 적층시킨 구조로 하고, 결정성을 갖는 복수의 산화물 반도체층으로 비정질 산화물 반도체층을 끼운 구조로 하여도 좋다. 또한, 결정성을 갖는 산화물 반도체층과 비정질 산화물 반도체층을 교대로 적층시키는 구조로 하여도 좋다.
- [0188] 또한, 반도체층(205)을 복수의 층을 적층시킨 구조로 하는 경우에는, 상기 구성을 적절히 조합하여 사용할 수 있다.
- [0189] 또한, 반도체층(205)을 복수의 산화물 반도체층의 적층 구조로 하는 경우에는, 각 산화물 반도체층을 형성할 때마다 산소 도핑 처리를 실시하여도 좋다. 각 산화물 반도체층을 형성할 때마다 산소 도핑 처리를 실시함으로써 산화물 반도체 내의 산소 결손을 저감시키는 효과를 높일 수 있다.
- [0190] 다음에, 반도체층(205) 위에 도전층(217)(도시하지 않았음)을 형성하고, 포토리소그래피 공정에 의하여 도전층(217)의 일부를 선택적으로 에칭하여 소스 전극(206a), 드레인 전극(206b), 소스 전극(266a), 드레인 전극(266b)(도 1 참조), 및 배선(236)을 형성한다(도 12c 및 도 16c 참조).
- [0191] 도전층(217)은 이후의 공정에서의 가열 처리에 견딜 수 있는 재료를 사용하여 형성한다. 또한, 도전층(217)은 게이트 전극(202)과 같은 재료 및 구성을 사용할 수 있다. 도전층(217)은 예를 들어 Al, Cu, Cr, Ta, Ti, Mo, 및 W 중에서 선택된 원소를 포함하는 금속 또는 상술한 원소를 성분으로 포함한 금속 질화물(질화 티타늄, 질화 몰리브덴, 질화 텅스텐) 등을 사용하여 형성할 수 있다. 또한, Al 등의 금속층의 아래 측 및 위 측 중 하나 또는 양쪽 모두에 Ti, Mo, W 등의 고용점 금속 또는 이들의 금속 질화물(질화 티타늄, 질화 몰리브덴, 질화 텅스텐)을 적층시킨 구성으로 하여도 좋다. 또한, 도전층(217)을 도전성 금속 산화물로 형성하여도 좋다. 도전성 금속 산화물로서는 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐-산화 주석($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO라고 약기함), 산화 인듐-산화 아연($\text{In}_2\text{O}_3\text{-ZnO}$), 또는 이들 상기 금속 산화물 재료에 산화 실리콘을 함유시킨 것을 사용할 수 있다.
- [0192] 또한, 반도체층(205)에 산화물 반도체를 사용하는 경우에는, 소스 전극(206a) 및 드레인 전극(206b)이 되는 도전층(217)에 Cu를 사용하지 않는 것이 바람직하다. 특히, 도전층(217)에 주성분 레벨(1wt% 이상)로 Cu가 포함되지 않는 것이 바람직하다. 소스 전극(206a) 및 드레인 전극(206b)이 되는 도전층(217)은 반도체층(205)과 접촉되어 형성되기 때문에 도전층(217)을 에칭할 때 노출된 반도체층(205) 표면에 Cu가 부착되고, 또한 부착된 Cu가 반도체층(205) 내로 확산되어 트랜지스터의 전기 특성을 열화시키거나 신뢰성을 저하시키는 원인 중 하나가 된다.

- [0193] 본 실시형태에서는 도전층(217)으로서 스퍼터링법에 의하여 W, Al, 및 Ti의 적층을 형성한다. 도전층(217)의 에칭은 웨트 에칭법 또는 드라이 에칭법으로 실시할 수 있다. 예를 들어 에칭 가스($\text{BCl}_3:\text{Cl}_2=750\text{sccm}:150\text{sccm}$)를 사용하여, 바이어스 전력을 1500W로 하고, ICP 전원 전력을 0W로 하고, 압력을 2.0Pa로 한 ICP 에칭법(드라이 에칭법)에 의하여 실시할 수 있다.
- [0194] 다음에, 반도체층(205) 및 반도체층(223)의 일부와 접촉되도록 소스 전극(206a), 드레인 전극(206b), 소스 전극(266a), 드레인 전극(266b), 및 배선(236) 위에 막 두께가 20nm 내지 50nm인 절연층(225)을 형성한다(도 13a 및 도 17a 참조). 절연층(225)은 절연층(201) 또는 절연층(204)과 같은 재료 및 방법으로 형성할 수 있다. 예를 들어 산화 실리콘이나 산화 질화 실리콘 등을 스퍼터링법이나 CVD법으로 형성하여 절연층(225)으로서 사용할 수 있다.
- [0195] 본 실시형태에서는 절연층(225)으로서 플라즈마 CVD법에 의하여 막 두께가 30nm인 산화 질화 실리콘막을 형성한다. 예를 들어 SiH_4 와 N_2O 의 가스 유량 비율을 $\text{SiH}_4:\text{N}_2\text{O}=20\text{sccm}/3000\text{sccm}$ 로 하고, 압력을 40Pa로 하고, RF 전원 전력(전원 출력)을 100W로 하고, 기판 온도를 350℃로 하여 절연층(225)을 형성하면 좋다.
- [0196] 또한, 절연층(225)에 산화 갈륨이나 산화 갈륨 아연을 사용하여도 좋다. 특히, 반도체층(205)에 산화물 반도체를 사용하는 경우에는, 절연층(225)에 반도체층(205)을 구성하는 산화물 반도체와 같은 성분을 포함한 재료를 사용하면 바람직하다. 이러한 재료는 산화물 반도체와 성질이 잘 맞고, 이 재료를 반도체층(205)과 접촉된 절연층(225)에 사용함으로써 반도체층(205)과 절연층(225)의 계면 상태를 양호하게 유지할 수 있다.
- [0197] 다음에, 절연층(225)에 산소(231)를 도입하여 절연층(225)을 산소를 과잉으로 포함한 절연층(207)으로 한다(도 13b 및 도 17b 참조). 산소(231)에는 적어도 산소 라디칼, 오존, 산소 원자, 산소 이온(분자 이온, 클러스터 이온을 포함함) 중 어느 것이 포함된다. 산소(231)는 산소 도핑 처리에 의하여 도입할 수 있다.
- [0198] 또한, 산소(231)의 도입은 플라즈마 처리에 의하여 절연층(225) 전체 면에 한번에 실시하여도 좋고, 예를 들어 섬 형상 이온 빔을 사용할 수 있다. 선형 이온 빔을 사용하는 경우에는 기판(200) 또는 이온 빔 상대적으로 이동(스캔)시킴으로써 절연층(225) 전체 면에 산소(231)를 도입할 수 있다.
- [0199] 산소(231)의 공급 가스로서는 산소 원자를 포함한 가스를 사용하면 좋고, 예를 들어 O_2 가스, N_2O 가스, CO_2 가스, CO 가스, NO_2 가스 등을 사용할 수 있다. 또한, 산소 공급 가스에 희가스(예를 들어 Ar)를 포함시켜도 좋다.
- [0200] 또한, 예를 들어 이온 주입법으로 산소를 도입하는 경우에는, 산소(231)의 도즈량은 $1 \times 10^{13} \text{ ions/cm}^2$ 이상 $5 \times 10^{16} \text{ ions/cm}^2$ 이하로 하는 것이 바람직하고, 절연층(207)의 산소 함유량은 화학양론적 조성을 넘을 정도로 하는 것이 바람직하다. 또한, 이와 같이 화학양론적 조성보다 산소를 과잉으로 포함한 영역은 절연층(207)의 일부에 존재하면 좋다. 또한, 산소의 주입 깊이는 주입 조건에 따라 적절히 제어하면 좋다.
- [0201] 본 실시형태에서는 산소 분위기하에서 플라즈마 처리함으로써 산소(231)를 도입한다. 또한, 절연층(207)은 반도체층(205)과 접촉된 절연층이기 때문에 최대한 물이나 수소 등의 불순물이 포함되지 않는 것이 바람직하다. 따라서, 산소(231)를 도입하기 전에 절연층(225) 내의 과잉 수소(물이나 수산기를 포함함)를 제거하기 위한 가열 처리를 하는 것이 바람직하다. 탈수화 또는 탈수소화 처리를 목적으로 한 가열 처리의 온도는 300℃ 이상 700℃ 이하, 또는 기판의 변형점 미만으로 한다. 탈수화 또는 탈수소화 처리를 목적으로 한 가열 처리는 상술한 가열 처리와 마찬가지로 실시할 수 있다.
- [0202] 산소(231)를 도입하기 위한 플라즈마 처리(산소 플라즈마 처리)는 산소 유량을 250sccm로 하고, ICP 전원 전력을 0W로 하고, 바이어스 전력을 4500W로 하고, 압력을 15Pa로 하여 실시한다. 이 때, 산소 플라즈마 처리에 의하여 절연층(225)에 도입된 산소의 일부는 절연층(225)을 통과하여 반도체층(205)에 도입된다. 반도체층(205) 내에 절연층(225)을 통과하여 산소가 도입되기 때문에 반도체층(205) 표면이 플라즈마로 인한 대미지를 덜 받아 반도체 장치의 신뢰성을 향상시킬 수 있다. 절연층(225)은 10nm보다 두껍고 100nm보다 얇은 것이 바람직하다. 절연층(225)의 두께를 10nm 이하로 하면, 산소 플라즈마 처리시에 반도체층(205)이 대미지를 받기 쉽다. 또한, 절연층(225)의 두께를 100nm 이상으로 하면, 산소 플라즈마 처리에 의하여 도입된 산소가 반도체층(205)에 충분히 공급되지 않을 우려가 있다. 또한, 절연층(225)의 탈수화 또는 탈수소화 처리를 목적으로 한 가열 처리 및/또는 산소(231)의 도입은 복수 횟수 실시하여도 좋다. 절연층(225)에 산소를 도입함으로써 절연층(207)을 산소 공급층으로서 기능시킬 수 있다.

- [0203] 다음에, 절연층(207) 위에 막 두께가 200nm 내지 500nm인 절연층(208)을 형성한다(도 13c 및 도 17c 참조). 절연층(208)은 절연층(201) 또는 절연층(204)과 같은 재료 및 방법으로 형성할 수 있다. 예를 들어 산화 실리콘막이나 산화 질화 실리콘막 등을 스퍼터링법이나 CVD법으로 형성하여 절연층(208)으로서 사용할 수 있다.
- [0204] 본 실시형태에서는 절연층(208)으로서 플라즈마 CVD법에 의하여 막 두께가 370nm인 산화 질화 실리콘막을 형성한다. 예를 들어 SiH_4 와 N_2O 의 가스 유량 비율을 $\text{SiH}_4:\text{N}_2\text{O}=30\text{sccm}:4000\text{sccm}$ 로 하고, 압력을 200Pa로 하고, RF 전원 전력(전원 출력)을 150W로 하고, 기판 온도를 220℃로 하여 절연층(208)을 형성하면 좋다.
- [0205] 또한, 절연층(208)을 형성한 후, 불활성 가스 분위기하, 산소 분위기하, 또는 불활성 가스와 산소의 혼합 분위기하에서 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 600℃ 이하의 온도로 가열 처리하여도 좋다. 상기 가열 처리에 의하여 절연층(207)에 포함되는 산소가 반도체층(205)에 공급됨으로써 반도체층(205)의 산소 결손을 보전할 수 있다. 또한, 절연층(207) 위에 절연층(208)을 형성함으로써 절연층(207)이 포함한 산소를 효율적으로 반도체층(205)에 공급할 수 있다.
- [0206] 또한, 절연층(208)에 산소 도핑 처리를 실시하여 절연층(208)에 산소(231)를 도입함으로써 산소 과잉 상태로 하여도 좋다. 절연층(208)으로의 산소(231)의 도입은 절연층(207)으로의 산소(231)의 도입과 마찬가지로 실시하여도 좋다. 또한, 절연층(208)에 산소(231)를 도입한 후, 불활성 가스 분위기하, 산소 분위기하, 또는 불활성 가스와 산소의 혼합 분위기하에서 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 600℃ 이하의 온도로 가열 처리하여도 좋다.
- [0207] 채널이 형성되는 반도체층에 산화물 반도체가 사용된 트랜지스터는 산화물 반도체층에 산소가 공급됨으로써 산화물 반도체층과 절연층 사이의 계면 준위 밀도를 저감시킬 수 있다. 결과적으로, 트랜지스터의 동작 등에 기인하여 산화물 반도체층과 절연층의 계면에 캐리어가 포획되는 것을 억제할 수 있어 신뢰성이 높은 트랜지스터를 얻을 수 있다.
- [0208] 또한, 산화물 반도체층의 산소 결손에 기인하여 캐리어가 생기는 경우가 있다. 일반적으로 산화물 반도체층의 산소 결손은 산화물 반도체층 내에 캐리어인 전자가 생성되는 원인 중 하나가 된다. 결과적으로, 트랜지스터의 문턱 전압이 음 방향으로 시프트하게 된다. 그래서, 산화물 반도체층에 산소가 충분히 공급되고, 바람직하게는 산화물 반도체층에 산소가 과잉으로 포함됨으로써, 산화물 반도체층의 산소 결손 밀도를 저감시킬 수 있다.
- [0209] 다음에, 포토리소그래피 공정에 의하여 절연층(204), 절연층(207), 및 절연층(208)의 일부를 선택적으로 제거하여 개구(209), 개구(238), 개구(239), 개구(232)(도 1 참조), 개구(233)(도 1 참조), 및 개구(227)를 형성한다(도 14a 및 도 18a 참조). 절연층(204), 절연층(207), 및 절연층(208)의 에칭은 드라이 에칭법 또는 웨트 에칭법에 의하여 실시할 수 있다. 또한, 드라이 에칭법과 웨트 에칭법을 조합하여 실시하여도 좋다.
- [0210] 다음에, 스퍼터링법이나 진공 증착법 등에 의하여 투광성을 갖는 도전층(투명 도전층이라고도 함)을 30nm 이상 200nm 이하, 바람직하게는 50nm 이상 100nm 이하의 막 두께로 형성하고, 포토리소그래피 공정에 의하여 화소 전극(211), 배선(234)(도 1 참조), 배선(237)(도 1 참조), 및 배선(246)을 형성한다(도 14b 및 도 18b 참조).
- [0211] 투광성을 갖는 도전층으로서 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 기재함), 인듐 아연 산화물, 산화 실리콘이 첨가된 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 사용하여 형성할 수 있다. 또한, 1장 내지 10장의 그래핀 시트로 이루어진 재료를 사용하여도 좋다. 본 실시형태에서는 투광성을 갖는 도전층으로서 두께가 80nm인 ITO를 형성한다.
- [0212] 화소 전극(211)은 개구(209)를 통하여 트랜지스터(121)의 소스 전극(266a)과 전기적으로 접속되어 있다. 또한, 배선(237)은 개구(238) 및 개구(239)를 통하여 게이트 전극(262)과 드레인 전극(206b)을 전기적으로 접속시킨다. 또한, 배선(234)은 개구(232) 및 개구(233)를 통하여 배선(203)과 드레인 전극(266b)을 전기적으로 접속시킨다. 또한, 배선(246)은 개구(227)를 통하여 배선(236)에 전기적으로 접속되어 있다. 배선(236)과 배선(246)으로 배선(216_j)을 형성한다.
- [0213] 또한, 절연층(204)을 형성한 후부터 도전층(217)을 형성하기 전의 기간에, 절연층(204)의 일부에 개구를 형성하고, 상기 개구를 통하여 게이트 전극(262)과 드레인 전극(206b), 및 배선(203)과 드레인 전극(266b)을 직접 접속시킬 수도 있다.
- [0214] 그러나, 절연층(204)에 개구를 형성하려면 개구를 형성하기 위한 포토리소그래피 공정이 필요하다. 포토리소그

래피 공정의 증가는 반도체 장치의 생산 비용의 상승이나 생산성 저하의 원인 중 하나가 된다.

- [0215] 본 실시형태에 의하면, 포토리소그래피 공정을 늘리지 않고 게이트 전극(262)과 드레인 전극(206b), 및 배선(203)과 드레인 전극(266b)을 접속할 수 있기 때문에 생산 비용의 증가를 억제하여 반도체 장치의 생산성을 양호하게 할 수 있다.
- [0216] 다음에, 절연층(208), 배선(216_j) 위에 격벽층(254)을 제공한다(도 2, 도 14c, 및 도 18c 참조). 격벽층(254)은 유기 절연 재료나 무기 절연 재료를 사용하여 형성할 수 있다. 격벽층(254)에는 포토리소그래피 공정에 의하여 화소 전극(211)과 중첩되는 위치에 개구(271)가 형성된다(도 2 및 도 14c 참조). 또한, 격벽층(254)의 측벽 형상(개구(271) 단부의 형상)은 테이퍼 형상 또는 곡물을 갖는 형상으로 하는 것이 바람직하다. 격벽층(254)을 감광성 수지 재료로 형성하면, 격벽층(254)의 측벽 형상을 연속된 곡물을 갖는 형상으로 할 수 있다. 격벽층(254)을 형성하기 위한 유기 절연 재료로서는 아크릴 수지, 페놀 수지, 폴리스타이렌, 폴리이미드 등을 적용할 수 있다. 본 실시형태에서는 격벽층(254)으로서 감광성 폴리이미드를 사용한다.
- [0217] 다음에, 개구(271)의 화소 전극(211)과 접촉된 영역에 EL층(251)을 형성한다(도 15a 참조). 다음에, EL층(251) 위에 대향 전극(252)을 형성한다(도 15b 참조).
- [0218] 화소 전극(211)은 EL 소자(253)의 전극 중 하나로서 기능한다. 또한, 대향 전극(252)은 EL 소자(253)의 전극 중 다른 하나로서 기능한다. 또한, EL층(251)은 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층 등을 적층하여 형성하면 좋다. 또한, 화소 전극(211)을 양극으로서 사용하는 경우에는 화소 전극(211)에 일 함수가 큰 재료를 사용한다. 또한, 화소 전극(211)을 복수 층의 적층 구조로 하는 경우에는 적어도 EL층(251)과 접촉된 층에 일 함수가 큰 재료를 사용한다. 또한, 대향 전극(252)을 음극으로서 사용하는 경우에는 대향 전극(252)에 일 함수가 작은 금속 재료를 사용하면 좋다. 구체적으로 말하면, 대향 전극(252)으로서 알루미늄과 리튬의 합금을 사용할 수 있다.
- [0219] 또한, 본 실시형태에서는 EL 소자(253)의 발광이 EL 소자(253)의 기관(200) 측의 면으로부터 얻어지는 하면 발광(보텀 이미션) 구조에 적용하는 예를 기재하였지만, 본 발명의 일 형태는 EL 소자(253)의 기관(200)과 반대 측의 면으로부터 빛이 얻어지는 상면 발광(탑 이미션) 구조의 표시 장치나, 상술한 면의 양쪽 모두로부터 발광이 얻어지는 양면 발광(듀얼 이미션) 구조의 표시 장치에 적용할 수도 있다. EL 소자(253)를 상면 발광 구조로 하는 경우에는, 화소 전극(211)을 음극, 대향 전극(252)을 양극으로서 사용하고, EL층(251)을 구성하는 주입층, 수송층, 발광층 등을 하면 발광 구조와 반대의 순서로 적층하면 좋다.
- [0220] 본 실시형태에 기재된 바와 같이, 플라즈마 분위기에 직접 노출되는 공정시에는 복수의 섬 형상 배선(236)을 형성하고, 섬 형상 배선(236)이 플라즈마 분위기에 직접 노출되지 않도록 섬 형상 배선(236)을 절연층으로 덮고, 이후의 공정에서 전기적으로 직렬로 접속시킴으로써 리드하는 거리가 긴 배선(216_j)을 형성한다. 플라즈마 분위기에 직접 노출되는 공정시에는 복수의 섬 형상 배선(236)을 형성함으로써, 축적되는 전하를 적게 하고 아래 층의 배선과 중첩되는 위치에서도 ESD가 발생되기 어렵게 할 수 있다.
- [0221] 따라서, 절연층(204)의 박막화가 가능하게 되고, 용량 소자의 용량을 크게 할 수 있다. 또한, 게이트 절연층으로서 기능하는 절연층(204)의 박막화에 의하여 트랜지스터의 성능을 높일 수 있다. 또한, 용량 소자나 트랜지스터의 점유 면적을 작게 할 수 있으므로 표시 장치의 고정밀화를 실현하기 쉬워져 표시 품질을 높일 수 있다. 또한, 반도체 장치의 고집적화를 실현하기 쉬워진다.
- [0222] 본 실시형태는 다른 실시형태와 자유로이 조합할 수 있다.
- [0223] (실시형태 5)
- [0224] 본 실시형태에서는 상기 실시형태에 기재된 트랜지스터에 적용할 수 있고 다른 구성을 갖는 트랜지스터에 대하여 도 19a 내지 도 20d의 단면도를 사용하여 설명한다. 또한, 상기 실시형태와 동일 부분 또는 같은 기능을 갖는 부분 및 공정은 상기 실시형태와 같이 실시할 수도 있고, 본 실시형태에서 반복된 설명은 생략한다. 또한, 같은 개소의 상세한 설명도 생략한다.
- [0225] 도 19a에 도시된 트랜지스터(450)는 기관(400) 위에 하지층으로서 기능하는 절연층(436), 게이트 전극(401), 게이트 절연층으로서 기능하는 절연층(402), 반도체층(403), 채널 보호층(406), 소스 전극(405a), 드레인 전극(405b), 및 절연층(409)을 갖는다. 트랜지스터(450)는 채널 보호형(채널 스톱형이라고도 함)이라고 불리는 보텀 게이트 트랜지스터 중 하나이고, 역 스택거형 트랜지스터 중 하나다.
- [0226] 반도체층(403)과 채널 보호층(406)은 반도체층(403)과 채널 보호층(406)의 계면을 대기에 노출시키지 않고 연속

적으로 형성하는 것이 바람직하다. 대기에 노출시키지 않고 연속적으로 형성함으로써 반도체층(403)과 채널 보호층(406)의 계면에 물, 수소, 하이드로 카본 등의 불순물이 부착되는 것을 방지할 수 있다.

- [0227] 채널 보호층(406)은 절연층(402)과 같은 재료 및 방법으로 형성할 수 있다. 또한, 절연층(207)과 같은 재료 및 방법으로 형성하여도 좋다. 또한, 채널 보호층(406)으로서 반도체층(403)과 같은 종류의 성분을 포함한 재료를 사용하여도 좋다. 구체적으로 말하면, 채널 보호층(406)으로서 반도체층(403)의 구성 원소 중에서 선택되는 하나 또는 복수의 원소를 포함한 재료를 사용하는 것이 바람직하다.
- [0228] 절연층(409)은 상기 실시형태의 절연층(208)과 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0229] 절연층(436)은 상기 실시형태에서 설명한 절연층(201)과 마찬가지로 형성할 수 있다. 또한, 절연층(436)으로서 반도체층(403)과 같은 종류의 성분을 포함한 재료를 사용하여도 좋다.
- [0230] 또한, 트랜지스터(450)의 채널 길이 L은 반도체층(403)과 접촉된, 캐리어가 흐르는 방향과 평행한 채널 보호층(406)의 폭으로 정의된다.
- [0231] 도 20a는 트랜지스터(450)에 백 게이트 전극(411)을 형성한 구성예를 도시한 것이다. 백 게이트 전극(411)은 반도체층(403)의 채널 형성 영역 위에 절연층(409)을 개재하여 형성된다. 또한, 도 20a에는 백 게이트 전극(411)을 절연층(409) 위에 형성하는 예를 도시하였지만, 소스 전극(405a) 및 드레인 전극(405b)과 같은 층을 사용하여 채널 보호층(406) 위에 백 게이트 전극(411)을 형성하여도 좋다.
- [0232] 또한, 게이트 전극(401)과 백 게이트 전극(411)으로 반도체층(403)의 채널 형성 영역을 끼우도록 백 게이트 전극(411)이 배치된다. 백 게이트 전극(411)은 게이트 전극(401), 소스 전극(405a), 또는 드레인 전극(405b)과 같은 재료 및 방법으로 형성할 수 있다.
- [0233] 백 게이트 전극(411)은 소스 전극(405a) 및 드레인 전극(405b) 중 어느 하나에 전기적으로 접속되어 있어도 좋고, 게이트 전극(401)에 전기적으로 접속되어 있어도 좋다. 또한, 어디에도 접속되지 않고 전기적으로 부유(플로팅) 상태로 하여도 좋다. 백 게이트 전극(411)을 제공하면, 복수의 트랜지스터를 형성하였을 때의 특성 편차가 저감되어 반도체 장치의 동작이 안정되는 효과를 얻을 수 있다. 또한, 백 게이트 전극의 전위를 변화시킴으로써, 트랜지스터(450)의 문턱 전압을 변화시킬 수 있다.
- [0234] 도 19b에 도시된 트랜지스터(460)는 기판(400) 위에 소스 전극(405a), 드레인 전극(405b), 반도체층(403), 절연층(402), 및 게이트 전극(401)을 갖는다. 기판(400)과 반도체층(403) 사이에는 절연층(436)이 형성되어 있다. 트랜지스터(460) 위에는 절연층(409)이 형성되어 있다. 트랜지스터(460)는 톱 게이트 트랜지스터 중 하나이고, 순 스테거형 트랜지스터라고도 한다.
- [0235] 트랜지스터(460)는 절연층(436) 위에 도전층을 형성한 후, 포토리소그래피 공정에 의하여 소스 전극(405a) 및 드레인 전극(405b)을 형성한다. 소스 전극(405a) 및 드레인 전극(405b)은 상기 실시형태의 소스 전극(206a) 및 드레인 전극(206b)과 같은 재료 및 방법으로 형성할 수 있다.
- [0236] 포토리소그래피 공정에서의 레지스트 마스크 형성시의 노광에는 자외선이나 KrF 레이저광이나 ArF 레이저광을 사용하면 좋다. 반도체층(403)과 접촉된 소스 전극(405a)과 드레인 전극(405b) 사이의 폭에 따라 트랜지스터(460)의 채널 길이 L이 결정된다. 또한, 채널 길이 L을 25nm 미만으로 하는 경우에는, 포토리소그래피 공정에서의 레지스트 마스크 형성시의 노광은 수nm 내지 수십nm로 파장이 매우 짧은 초자외선(Extreme Ultraviolet)을 사용하면 좋다. 초자외선에 의한 노광은 해상도가 높고 초점 심도도 크다. 따라서, 이후 형성되는 트랜지스터의 채널 길이 L을 10nm 이상 1000nm 이하로 할 수도 있고, 회로의 동작 속도를 고속화할 수 있다.
- [0237] 게이트 전극(401) 및 절연층(402) 위에 수분이나 수소 등의 불순물이 반도체층(403)에 다시 혼입되지 않도록 이들이 외부로부터 침입되는 것을 블록하는 절연층(409)을 형성하는 것이 바람직하다.
- [0238] 도 20b는 트랜지스터(460)에 백 게이트 전극(411)을 형성한 구성예를 도시한 것이다. 백 게이트 전극(411)은 반도체층(403)의 채널 형성 영역과 중첩된 위치에 절연층(436)을 개재하여 형성된다. 백 게이트 전극(411)의 전위를 변화시킴으로써 트랜지스터(460)의 문턱 전압을 변화시킬 수 있다.
- [0239] 도 19c에 도시된 트랜지스터(470)는 기판(400) 위에 게이트 전극(401), 절연층(402), 반도체층(403), 소스 전극(405a), 및 드레인 전극(405b)을 갖는다. 트랜지스터(470) 위에는 절연층(407) 및 절연층(409)이 순차적으로 적층된다. 트랜지스터(470)는 보텀 게이트 트랜지스터 중 하나이다.
- [0240] 트랜지스터(470)의 채널 길이 L은 반도체층(403)과 접촉된 소스 전극(405a)과 드레인 전극(405b) 사이의 폭에

따라 결정된다.

- [0241] 절연층(407)은 상기 실시형태의 절연층(207)과 같은 재료 및 방법으로 형성할 수 있다.
- [0242] 도 20c는 트랜지스터(470)에 백 게이트 전극(411)을 형성한 경우의 구성예다. 게이트 전극과 백 게이트 전극으로 반도체층의 채널 형성 영역을 끼우도록 백 게이트 전극(411)을 배치된다. 백 게이트 전극(411)은 도전층으로 형성되고, 게이트 전극과 마찬가지로 기능시킬 수 있다. 또한, 백 게이트 전극의 전위를 변화시킴으로써, 트랜지스터(470)의 문턱 전압을 변화시킬 수 있다.
- [0243] 도 20d는 상기 실시형태의 트랜지스터(111)에 백 게이트 전극(411)을 형성한 구성예를 도시한 것이다. 백 게이트 전극의 전위를 변화시킴으로써, 트랜지스터(111)의 문턱 전압을 변화시킬 수 있다. 도 20d에서는 백 게이트 전극(411)을 절연층(208) 위에 형성한 예를 도시하였지만, 절연층(207)과 절연층(208) 사이에 제공하여도 좋다.
- [0244] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시할 수 있다.
- [0245] (실시형태 6)
- [0246] 본 실시형태에서는 상기 실시형태에 기재된 표시 장치의 일례에 대하여 도 21a 내지 도 22b를 사용하여 설명한다. 또한, 상기 실시형태에 일례로서 기재된 트랜지스터를 사용하여 트랜지스터를 포함한 구동 회로의 일부 또는 전체를 화소부와 같은 기관 위에 일체 형성하고, 시스템 온 패널을 형성할 수 있다.
- [0247] 도 21a에서 제 1 기관(4001) 위에 제공된 화소부(4002)를 둘러싸도록 실(seal)재(4005)가 제공되고, 화소부(4002)는 제 1 기관(4001)과 제 2 기관(4006) 사이에 밀봉되어 있다. 도 21a에서는 제 1 기관(4001) 위의 실재(4005)로 둘러싸인 영역과 다른 영역에 별도로 준비된 기관 위에 단결정 반도체 또는 다결정 반도체로 형성된 신호선 구동 회로(4003) 및 주사선 구동 회로(4004)가 실장되어 있다. 또한, 신호선 구동 회로(4003), 주사선 구동 회로(4004), 또는 화소부(4002)에 공급되는 각종 신호 및 전위는 FPC(4018a)(FPC: Flexible Printed Circuit) 및 FPC(4018b)로부터 공급된다.
- [0248] 도 21b 및 도 21c에서 제 1 기관(4001) 위에 제공된 화소부(4002) 및 주사선 구동 회로(4004)를 둘러싸도록 실재(4005)가 제공되어 있다. 또한, 화소부(4002) 및 주사선 구동 회로(4004) 위에 제 2 기관(4006)이 제공되어 있다. 따라서, 화소부(4002) 및 주사선 구동 회로(4004)는 제 1 기관(4001), 실재(4005), 및 제 2 기관(4006)에 의하여 표시 소자와 함께 밀봉되어 있다. 도 21b 및 도 21c에서는 제 1 기관(4001) 위의 실재(4005)로 둘러싸인 영역과 다른 영역에 별도로 준비된 기관 위에 단결정 반도체 또는 다결정 반도체로 형성된 신호선 구동 회로(4003)가 실장되어 있다. 도 21b 및 도 21c에서는 신호선 구동 회로(4003), 주사선 구동 회로(4004), 또는 화소부(4002)에 공급되는 각종 신호 및 전위는 FPC(4018)로부터 공급된다.
- [0249] 또한, 도 21b 및 도 21c에는 신호선 구동 회로(4003)를 별도로 형성하고, 제 1 기관(4001)에 실장하는 예를 도시하였지만, 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도로 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도로 형성하여 실장하여도 좋다.
- [0250] 또한, 별도로 형성한 구동 회로의 접속 방법은 특별히 한정되지 않고, COG(Chip On Glass) 방법, 와이어 본딩 방법, 또는 TAB(Tape Automated Bonding) 방법 등을 사용할 수 있다. 도 21a는 COG 방법으로 신호선 구동 회로(4003) 및 주사선 구동 회로(4004)를 실장하는 예이고, 도 21b는 COG 방법으로 신호선 구동 회로(4003)를 실장하는 예이고, 도 21c는 TAB 방법으로 신호선 구동 회로(4003)를 실장하는 예이다.
- [0251] 또한, 표시 장치는 표시 소자가 밀봉된 상태에 있는 패널과, 상기 패널에 컨트롤러를 포함한 IC 등이 실장된 상태에 있는 모듈을 포함한다.
- [0252] 또한, 본 명세서에서의 표시 장치란 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치를 포함함)을 가리킨다. 또한, 커넥터 예를 들어 FPC, TAB 테이프, 또는 TCP가 장착된 모듈, TAB 테이프나 TCP 끝에 프린트 배선판이 제공된 모듈, 또는 표시 소자에 COG 방법으로 IC(집적 회로)가 직접 실장된 모듈도 모두 표시 장치에 포함되는 것으로 한다.
- [0253] 또한, 제 1 기관 위에 제공된 화소부 및 주사선 구동 회로는 복수의 트랜지스터를 갖고, 상기 실시형태에 기재된 트랜지스터를 적용할 수 있다.
- [0254] 표시 장치에 제공되는 표시 소자로서 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함)를 사용할 수 있다. 발광 소자는 전류 또는 전압에 의하여 회도가 제어되는 소자를 그 범주에 포함하고, 구체적으로 말하면, 무기 EL이나 유기 EL 등이 포함된다. 또한, 전자 잉크 등 전기적 작용에 의하여 콘트라스트

가 변화하는 표시 매체도 적용할 수 있다.

- [0255] 도 22a 및 도 22b는 도 21b의 선회선 M-N를 따라 절단한 단면 구성을 도시한 단면도다. 도 22a 및 도 22b에 도시된 바와 같이, 반도체 장치는 전극(4015) 및 전극(4016)을 갖고, 전극(4015) 및 단자 전극(4016)은 이방성 도전층(4019)을 통하여 FPC(4018)가 갖는 단자와 전기적으로 접속되어 있다. 또한, 전극(4016)은 절연층(4022)에 형성된 개구를 통하여 배선(4014)과 전기적으로 접속되어 있다.
- [0256] 전극(4015)은 제 1 전극층(4030)과 같은 도전막으로 형성되고, 전극(4016)은 트랜지스터(4010) 및 트랜지스터(4011)의 소스 전극 및 드레인 전극과 같은 도전층으로 형성되고, 배선(4014)은 트랜지스터(4010), 트랜지스터(4011)의 게이트 전극과 같은 도전층으로 형성된다. 또한, 전극(4016)과 배선(4014)이 절연층(4022)에 형성된 개구를 통하여 접속되어 있다.
- [0257] 또한, 제 1 기관(4001) 위에 형성된 화소부(4002) 및 주사선 구동 회로(4004)는 복수의 트랜지스터를 갖고, 도 22a 및 도 22b에는 화소부(4002)에 포함되는 트랜지스터(4010)와, 주사선 구동 회로(4004)에 포함되는 트랜지스터(4011)를 도시하였다. 또한, 도 22a 및 도 22b에는 주사선 구동 회로(4004)에 제작 공정에서 ESD가 발생되기 어려운 구성을 사용한 예를 도시하였다. 상기 실시형태에 기재된 제작 공정에서 ESD가 발생되기 어려운 구성은 화소부(4002)뿐만 아니라 신호선 구동 회로(4003) 및 주사선 구동 회로(4004) 등에 사용할 수도 있다.
- [0258] 도 22a에서는 트랜지스터(4010) 및 트랜지스터(4011) 위에 절연막(4020)이 제공되고, 도 22b에서는 절연층(4024)에 평탄화층(4021)이 더 제공되어 있다. 또한, 절연층(4023)은 하지층으로서 기능하는 절연층이고, 절연층(4022)은 게이트 절연층으로서 기능하는 절연층이다.
- [0259] 평탄화층(4021)으로는 아크릴, 폴리이미드, 벤조사이클로부텐계 수지, 폴리아미드, 에폭시 수지, 실록산계 수지 등의 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 외에 저유전율 재료(low-k 재료), PSG(인 유리), BPSG(인붕소 유리) 등을 사용할 수 있다. 또한, 이들 재료로 형성되는 복수의 절연층을 적층시킴으로써 평탄화층(4021)을 형성하여도 좋다.
- [0260] 본 실시형태에서는 트랜지스터(4010) 및 트랜지스터(4011)로서 상기 실시형태에 기재된 채널이 형성되는 반도체층에 산화물 반도체가 사용된 트랜지스터를 적용한다.
- [0261] 반도체층에 산화물 반도체가 사용된 트랜지스터는 전기 특성 변동이 억제되어 전기적으로 안정된다. 따라서, 도 22a 및 도 22b에 기재된 본 실시형태의 반도체 장치로서 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0262] 또한, 도 22b에는 절연층(4024) 위에서 구동 회로용 트랜지스터(4011)의 채널 형성 영역과 중첩된 위치에 도전층(4017)을 제공하는 예를 도시하였다. 본 실시형태에서는 도전층(4017)을 제 1 전극층(4030)과 같은 도전층으로 형성한다. 도전층(4017)을 반도체층의 채널 형성 영역과 중첩되는 위치에 제경함으로써 도전층(4017)이 백 게이트 전극으로서 기능하고, BT 시험 전후에서의 트랜지스터(4011)의 문턱 전압의 변화량을 더 저감시킬 수 있다. 또한, 도전층(4017)의 전위는 트랜지스터(4011)의 게이트 전극과 동일하여도 좋고 달라도 좋고, 도전층(4017)을 제 2 게이트 전극으로 기능시킬 수도 있다. 또한, 도전층(4017)의 전위는 GND, 0V, 또는 플로팅 상태라도 좋다. 또한, 도전층(4017)에 공급되는 전위를 제어함으로써 트랜지스터의 문턱 전압을 제어할 수 있다. 또한, 트랜지스터(4010)에 백 게이트 전극을 형성하여도 좋다.
- [0263] 또한, 도전층(4017)은 외부의 전기장을 차폐하는 기능도 갖는다. 즉 외부의 전장이 내부(박막 트랜지스터를 포함한 회로부)에 작용하지 않도록 하는 기능(특히 정전기에 대한 정전 차폐 기능)도 갖는다. 도전층(4017)의 차폐 기능에 의하여 정전기 등의 외부 전기장의 영향에 의하여 트랜지스터의 전기적인 특성이 변동되는 것을 방지할 수 있다.
- [0264] 또한, 도전층(4017)에 의하여 반도체층을 덮음으로써 도전층(4017) 측에서 반도체층에 빛이 입사되는 것을 방지할 수 있다. 따라서, 반도체층의 빛 열화를 방지하고 트랜지스터의 문턱 전압이 시프트되는 등의 전기 특성 열화가 초래되는 것을 방지할 수 있다.
- [0265] 화소부(4002)에 설치된 트랜지스터(4010)는 표시 소자와 전기적으로 접속되어 있고, 표시 패널을 구성한다. 표시 소자는 표시를 실시할 수 있으면 특별히 한정되지 않고 다양한 표시 소자를 사용할 수 있다.
- [0266] 도 22a에 표시 소자로서 액정 소자를 사용한 액정 표시 장치의 예를 도시하였다. 도 22a에서 표시 소자인 액정 소자(4013)는 제 1 전극층(4030), 제 2 전극층(4031), 및 액정층(4008)을 포함한다. 또한, 액정층(4008)을 끼우도록 배향막으로서 기능하는 절연층(4032) 및 절연층(4033)이 제공되어 있다. 제 2 전극층(4031)은 제 2 기

판(4006) 측에 제공되고, 제 1 전극층(4030)과 제 2 전극층(4031)은 액정층(4008)을 개재하여 중첩된 구성이다.

[0267] 또한, 스페이서(4035)는 절연층을 선택적으로 에칭하여 얻어지는 기둥 형상 스페이서이며, 제 1 전극층(4030)과 제 2 전극층(4031) 사이의 간격(셀 갭)을 제어하기 위하여 제공된다. 또한, 구(球) 형상 스페이서를 사용하여도 좋다.

[0268] 표시 소자로서 액정 소자를 사용하는 경우에는, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이들 액정 재료는 조건에 따라 콜레스테릭(cholesteric)상, 스멕틱(smectic)상, 큐빅(cubic)상, 키랄 네마틱(chiral nematic)상, 등방상 등을 나타낸다.

[0269] 또한, 배향막이 불필요한 블루상을 나타내는 액정을 사용하여도 좋다. 블루상은 액정상 중 하나이고, 콜레스테릭 액정을 계속적으로 승온시켰을 때 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현되는 상이다. 블루상은 좁은 온도 범위에서밖에 발현되지 않으므로, 온도 범위를 개선하기 위하여 5wt% 이상의 키랄제를 혼합시킨 액정 조성물을 액정층에 사용한다. 블루상을 나타내는 액정과 키랄제를 포함한 액정 조성물은 응답 속도가 1msec 이하로 짧고, 광학적 등방성을 가지므로, 배향 처리가 불필요하고 또 시야각 의존성이 작다. 또한, 배향막을 제공할 필요가 없어 러빙 처리도 불필요하기 때문에 러빙 처리로 인하여 초래되는 정전 파괴를 방지할 수 있고, 제작 공정에서 액정 표시 장치의 불량이나 과손이 발생하는 것을 경감시킬 수 있다. 따라서, 액정 표시 장치의 생산성을 향상시킬 수 있다. 산화물 반도체층이 사용된 트랜지스터는 정전기의 영향을 받아 트랜지스터의 전기적 특성이 현저하게 변동하여 설계 범위를 이탈할 우려가 있다. 따라서 산화물 반도체층이 사용된 트랜지스터를 갖는 액정 표시 장치에 블루상의 액정 재료를 사용하는 것은 더 효과적이다.

[0270] 또한, 액정 재료의 고유 저항은 $1 \times 10^9 \Omega \cdot \text{cm}$ 이상이고, 바람직하게는 $1 \times 10^{11} \Omega \cdot \text{cm}$ 이상이고, 더 바람직하게는 $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상이다. 또한, 본 명세서에서의 고유 저항값은 20℃에서 측정한 값이다.

[0271] 본 실시형태에 사용되는 채널이 형성되는 반도체층에 산화물 반도체가 사용된 트랜지스터는 오프 상태에서의 전류값(오프 전류값)을 낮게 할 수 있다. 따라서, 화상 신호 등의 전기 신호의 유지 시간을 길게 할 수 있고 전원 온 상태에서는 기록 간격도 길게 설정할 수 있다. 따라서, 리프레쉬 동작의 빈도를 줄일 수 있기 때문에 소비 전력을 억제하는 효과를 갖는다.

[0272] 액정 표시 장치에 제공되는 유지 용량 소자의 용량은 화소부에 배치되는 트랜지스터의 누설 전류 등을 고려하여 소정의 기간 동안 전하가 유지될 수 있도록 설정된다. 유지 용량 소자의 용량은 트랜지스터의 오프 전류 등을 고려하여 설정하면 좋다. 반도체층에 산화물 반도체가 사용된 트랜지스터를 적용함으로써 유지 용량 소자의 용량을 각 화소의 액정 용량의 1/3 이하, 바람직하게는 1/5 이하로 할 수 있다.

[0273] 또한, 상술한 채널이 형성되는 반도체층에 산화물 반도체가 사용된 트랜지스터는 비교적 높은 전계 효과 이동도가 얻어지므로, 고속 구동이 가능하다. 따라서, 표시 기능을 갖는 반도체 장치의 화소부에 상기 트랜지스터를 사용함으로써, 고화질의 화상을 제공할 수 있다. 또한, 동일 기판 위에 구동 회로부 또는 화소부를 나누어 제작할 수 있으므로 반도체 장치의 부품 점수를 삭감할 수 있다.

[0274] 액정 표시 장치에는 TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 사용할 수 있다.

[0275] 또한, 본 실시형태에 기재된 액정 표시 장치는 노멀리 블랙형 액정 표시 장치 예를 들어 수직 배향(VA) 모드를 채용한 투과형 액정 표시 장치로 하여도 좋다. 여기서, 수직 배향 모드란 액정 표시 패널의 액정 분자의 배열을 제어하는 방식의 일종으로서 전압이 인가되지 않을 때 액정 분자가 패널 면에 대하여 수직 방향을 향하는 방식이다. 수직 배향 모드로서는 여러 종류가 있지만, 예를 들어 MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드 등을 사용할 수 있다. 또한, 화소(픽셀)를 몇 개의 영역(서브 픽셀)으로 나누고 각각 다른 방향으로 분자가 배향되도록 구성되는 멀티 도메인화 또는 멀티 도메인 설계라는 방법을 사용할 수 있다.

[0276] 또한, 표시 장치에서 블랙 매트릭스(차광층), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기판) 등은 적절히 제공한다. 예를 들어 편광 기판 및 위상차 기판에 의한 원 편광을 사용하여도 좋다. 또한, 광원으로서 백 라이트, 사이드 라이트 등을 사용하여도 좋다.

- [0277] 또한, 화소부에서의 표시 방식은 프로그래시브 방식이나 인터레이스 방식 등을 사용할 수 있다. 또한, 컬러 표시할 때, 화소에서 제어하는 색 요소로서는 RGB(R는 적색, G는 녹색, B는 청색을 나타냄)의 3색에 한정되지 않는다. 예를 들어 RGBW(W는 백색을 나타냄), 또는 RGB에 옐로우, 시안, 마젠타 등을 1색 이상 추가한 것이 있다. 또한, 색 요소의 도트마다 그 표시 영역의 크기가 달라도 좋다. 다만, 본 발명은 컬러 표시의 표시 장치에 한정되지 않고, 흑백 표시의 표시 장치에 적용할 수도 있다.
- [0278] 또한, 표시 장치에 포함되는 표시 소자로서 일렉트로루미네선스를 이용하는 발광 소자를 적용할 수 있다. 일렉트로루미네선스를 이용하는 발광 소자는 발광 재료가 유기 화합물인지 무기 화합물인지에 따라 구별되고, 일반적으로는 전자는 유기 EL 소자라고 불리고, 후자는 무기 EL 소자라고 불린다.
- [0279] 유기 EL 소자는 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성 유기 화합물을 포함한 층에 주입되고, 전류가 흐른다. 그리고, 상기 캐리어(전자 및 정공)가 재결합함으로써, 발광성 유기 화합물이 여기 상태를 형성하고, 이 여기 상태가 기저 상태로 되돌아갈 때 발광한다. 상기 메커니즘 때문에 이와 같은 발광 소자는 전류 여기형 발광 소자라고 불린다.
- [0280] 무기 EL 소자는 그 소자 구성에 따라 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖고, 발광 메커니즘은 도너 준위와 억셉터 준위를 사용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층으로 끼우고, 그것을 전극으로 끼운 구조이며, 발광 메커니즘은 금속 이온의 내각(內殼) 전자 전이(electron transition)를 이용하는 국재(局在)형 발광이다. 또한, 여기서는 발광 소자로서 유기 EL 소자를 사용하여 설명한다.
- [0281] 발광 소자는 발광을 얻기 위하여 적어도 한 쌍의 전극 중 하나가 투광성을 가지면 좋다. 그리고, 기판 위에 트랜지스터 및 발광 소자를 형성하고, 기판과는 반대 측의 면으로부터 발광이 얻어지는 상면 발광 구조, 기판 측의 면으로부터 발광이 얻어지는 하면 발광 구조, 기판 측 및 기판과는 반대 측의 면으로부터 발광이 얻어지는 양면 발광 구조의 발광 소자가 있고, 어느 발광 구조의 발광 소자나 적용할 수 있다.
- [0282] 도 22b는 표시 소자로서 발광 소자를 사용한 발광 장치의 예를 도시한 것이다. 표시 소자인 발광 소자(4513)는 화소부(4002)에 설치된 트랜지스터(4010)와 전기적으로 접속되어 있다. 또한, 발광 소자(4513)는 제 1 전극층(4030), 전계 발광층(4511), 및 제 2 전극층(4031)의 적층 구조를 갖지만, 이것에 한정되지 않는다. 발광 소자(4513)로부터 얻어지는 빛의 방향 등에 맞추어 발광 소자(4513)의 구성을 적절히 바꿀 수 있다.
- [0283] 격벽(4510)은 유기 절연 재료 또는 무기 절연 재료를 사용하여 형성한다. 특히 감광성 수지 재료를 사용하여 제 1 전극층(4030) 위에 개구부를 형성하고, 이 개구부의 측벽이 연속한 곡률을 갖는 경사면이 되도록 형성하는 것이 바람직하다.
- [0284] 전계 발광층(4511)은 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다.
- [0285] 발광 소자(4513)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록 제 2 전극층(4031) 및 격벽(4510) 위에 보호층을 형성하여도 좋다. 보호층으로는 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, DLC막 등을 형성할 수 있다. 또한, 제 1 기판(4001), 제 2 기판(4006), 및 실재(4005)에 의하여 밀봉된 공간에는 충전재(4514)가 제공되고 밀봉된다. 이와 같이 외기에 노출되지 않도록 기밀성이 높고 탈가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.
- [0286] 충전재(4514)로서는 질소나 아르곤 등의 불활성 기체 외에 자외선 경화 수지 또는 열 경화 수지를 사용할 수 있고, PVC(폴리비닐 클로라이드), 아크릴 수지, 폴리이미드, 에폭시 수지, 실리콘(silicone) 수지, PVB(폴리비닐 부티랄), 또는 EVA(에틸렌비닐아세테이트)를 사용할 수 있다. 예를 들어 충전재로서 질소를 사용하면 좋다.
- [0287] 또한, 필요한 경우에는, 발광 소자의 발광 면에 편광판, 원편광판(타원편광판을 포함), 위상차판($\lambda/4$ 판, $\lambda/2$ 판), 컬러 필터 등의 광학 필름을 적절히 제공하여도 좋다. 또한, 편광판 또는 원편광판에 반사 방지막을 제공하여도 좋다. 예를 들어 표면 요철에 의하여 반사광을 확산시켜 눈부심을 저감할 수 있는 안티 글레이 처리를 할 수 있다.
- [0288] 표시 소자에 전압을 인가하는 제 1 전극층 및 제 2 전극층(화소 전극층, 공통 전극층, 대향 전극층 등이라고도 함)에서는 얻어지는 빛의 방향, 전극층이 형성되는 위치, 및 전극층의 패턴 구조에 따라 투광성 및 반사성을 선택하면 좋다.
- [0289] 제 1 전극층(4030) 및 제 2 전극층(4031)은 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐아연

산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐주석 산화물(ITO라고도 기재함), 인듐 아연 산화물, 산화 실리콘이 첨가된 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.

- [0290] 또한, 제 1 전극층(4030) 및 제 2 전극층(4031)은 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오븀(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속, 그 합금, 또는 그 금속 질화물 중 임의의 1종류 또는 복수 종류를 사용하여 형성할 수 있다.
- [0291] 또한, 제 1 전극층(4030) 및 제 2 전극층(4031)으로서 도전성 고분자(도전성 폴리머라고도 함)를 포함한 도전성 조성물을 사용하여 형성할 수 있다. 도전성 고분자로서는 이른바 π 전자 공역계 도전성 고분자를 사용할 수 있다. 예를 들어 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 아닐린, 피롤, 및 티오펜 중 2종 이상으로 이루어진 공중합체 또는 그 유도체 등을 들 수 있다.
- [0292] 또한, 트랜지스터는 정전기 등으로 인하여 파괴되기 쉬우므로, 구동 회로 보호용 보호 회로를 제공하는 것이 바람직하다. 보호 회로는 비선형 소자를 사용하여 구성하는 것이 바람직하다.
- [0293] 채널이 형성되는 반도체층에 산화물 반도체가 사용된 트랜지스터를 적용함으로써 신뢰성이 좋은 표시 기능을 갖는 반도체 장치(표시 장치)를 제공할 수 있다. 또한, 상기 실시형태에 기재된 배선 구조를 사용함으로써 제작 공정시에 ESD가 발생되기 어렵게 할 수 있다. 따라서, 고정밀화나 대면적화가 가능하고, 표시 품질이 높은 표시 기능을 갖는 반도체 장치를 제공할 수 있다. 또한, 소비 전력이 저감된 반도체 장치를 제공할 수 있다.
- [0294] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시할 수 있다.
- [0295] (실시형태 7)
- [0296] 상기 실시형태의 표시 장치는 3D 영상을 표시하는 반도체 장치에 적용될 수 있다. 본 실시형태에서는 왼쪽 눈용 영상과 오른쪽 눈용 영상을 고속으로 전환시키는 표시 장치와, 표시 장치의 영상과 동기하는 전용 안경을 사용하여, 동영상 또는 정지 화상인 3D 영상을 시인하는 예에 대하여 도 23a 및 도 23b를 사용하여 설명한다.
- [0297] 도 23a는 표시 장치(2711)와, 전용 안경 본체(2701)가 케이블(2703)로 접속된 외관도를 도시한 것이다. 표시 장치(2711)로서는 본 명세서의 표시 장치를 사용할 수 있다. 전용 안경 본체(2701)의 왼쪽 눈용 패널(2702a)과 오른쪽 눈용 패널(2702b)에 제공된 셔터가 교대로 개폐됨으로써 사용자는 표시 장치(2711)의 화상을 3D로서 인식할 수 있다.
- [0298] 또한, 도 23b는 표시 장치(2711)와 전용 안경 본체(2701)의 주요 구성에 대한 블록도다.
- [0299] 도 23b에 도시된 표시 장치(2711)는 표시 제어 회로(2716), 표시부(2717), 타이밍 발생기(2713), 소스 라인 측 구동 회로(2718), 외부 조작 수단(2722), 및 게이트 라인 측 구동 회로(2719)를 갖는다. 또한, 출력되는 신호는 키보드 등의 외부 조작 수단(2722)에 의한 조작에 따라 변화될 수 있다.
- [0300] 타이밍 발생기(2713)에서는 스타트 펄스 신호 등을 형성함과 함께, 왼쪽 눈용 영상과 왼쪽 눈용 패널(2702a)의 셔터를 동기시키기 위한 신호, 및 오른쪽 눈용 영상과 오른쪽 눈용 패널(2702b)의 셔터를 동기시키기 위한 신호 등을 형성한다.
- [0301] 왼쪽 눈용 영상의 동기 신호(2731a)를 표시 제어 회로(2716)에 입력하여 왼쪽 눈용 영상을 표시부(2717)에 표시함과 동시에 왼쪽 눈용 패널(2702a)의 셔터를 여는 동기 신호(2730a)를 왼쪽 눈용 패널(2702a)에 입력한다. 또한, 오른쪽 눈용 영상의 동기 신호(2731b)를 표시 제어 회로(2716)에 입력하여 오른쪽 눈용 영상을 표시부(2717)에 표시함과 동시에 오른쪽 눈용 패널(2702b)의 셔터를 여는 동기 신호(2730b)를 오른쪽 눈용 패널(2702b)에 입력한다.
- [0302] 또한, 왼쪽 눈용 영상과 오른쪽 눈용 영상을 고속으로 전환시키기 때문에 표시 장치(2711)는 발광 다이오드(LED)를 사용하여 시분할에 의하여 컬러 표시하는 계시 가법 혼색법(필드 시퀀셜법)으로 하는 것이 바람직하다.
- [0303] 또한, 필드 시퀀셜법을 사용하기 때문에 타이밍 발생기(2713)는 발광 다이오드의 백 라이트부에도 동기 신호(2730a) 및 동기 신호(2730b)와 동기하는 신호를 입력하는 것이 바람직하다. 또한, 백 라이트부는 R, G, B의 LED를 갖는 것으로 한다.
- [0304] 본 실시형태는 본 명세서의 다른 실시형태와 적절히 조합할 수 있다.

- [0305] (실시형태 8)
- [0306] 본 실시형태에서는 상기 실시형태의 표시 장치를 구비한 전자 기기의 예에 대하여 설명한다.
- [0307] 도 24a는 노트북형 퍼스널 컴퓨터를 도시한 것이며, 본체(3001), 하우징(3002), 표시부(3003), 키보드(3004) 등으로 구성되어 있다. 상기 실시형태에 기재된 표시 장치를 적용함으로써 신뢰성이 높은 노트북형 퍼스널 컴퓨터로 할 수 있다.
- [0308] 도 24b는 휴대 정보 단말(PDA)를 도시한 것이며, 본체(3021)에 표시부(3023), 외부 인터페이스(3025), 조작 버튼(3024) 등이 제공되어 있다. 또한, 조작용 부속품으로서 스타일러스(3022)가 있다. 상기 실시형태에 기재된 표시 장치를 적용함으로써 신뢰성이 높은 휴대 정보 단말(PDA)로 할 수 있다.
- [0309] 도 24c는 전자 서적의 일례를 도시한 것이다. 예를 들어 전자 서적은 2개의 하우징(하우징(2706) 및 하우징(2704))으로 구성되어 있다. 하우징(2706) 및 하우징(2704)은 축부(2712)에 의하여 일체가 되어 있고, 상기 축부(2712)를 축으로 하여 개폐 동작할 수 있다. 이러한 구성으로 함으로써 종이 서적처럼 동작할 수 있다.
- [0310] 하우징(2706)에는 표시부(2705)가 제공되어 있고, 하우징(2704)에는 표시부(2707)가 제공되어 있다. 표시부(2705) 및 표시부(2707)는 계속된 화상을 표시하는 구성으로 하여도 좋고, 다른 화상을 표시하는 구성으로 하여도 좋다. 다른 화상을 표시하는 구성으로 함으로써 예를 들어 오른쪽 표시부(도 24c에서는 표시부(2705))에 글을 표시하고, 왼쪽 표시부(도 24c에서는 표시부(2707))에 화상을 표시할 수 있다. 상기 실시형태에 기재된 표시 장치를 적용함으로써 신뢰성이 높은 전자 서적으로 할 수 있다.
- [0311] 또한, 도 24c는 하우징(2706)에 조작부 등이 구비된 예를 도시한 것이다. 예를 들어 하우징(2706)에 전원 단자(2721), 조작 키(2723), 스피커(2725) 등이 구비되어 있다. 조작 키(2723)에 의하여 페이지를 넘길 수 있다. 또한, 하우징의 표시부와 동일 면에 키보드나 포인팅 디바이스 등이 구비된 구성으로 하여도 좋다. 또한, 하우징의 뒷면이나 측면에 외부 접속용 단자(이어폰 단자, USB 단자 등), 기록 매체 삽입부 등이 구비된 구성으로 하여도 좋다. 또한, 전자 서적은 전자 사전으로서의 기능을 갖는 구성으로 하여도 좋다.
- [0312] 또한, 전자 서적은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선으로 전자 서적 서버에서 원하는 서적 데이터 등을 구입하여 다운로드하는 구성으로 할 수도 있다.
- [0313] 도 24d는 휴대 전화기를 도시한 것이며, 2개의 하우징(하우징(2800) 및 하우징(2801))으로 구성되어 있다. 하우징(2801)에는 표시 패널(2802), 스피커(2803), 마이크로폰(2804), 포인팅 디바이스(2806), 카메라용 렌즈(2807), 외부 접속 단자(2808) 등이 구비되어 있다. 또한, 하우징(2800)에는 휴대 전화를 충전하는 태양 전지 셀(2810), 외부 메모리 슬롯(2811) 등이 구비되어 있다. 또한, 안테나는 하우징(2801) 내부에 내장되어 있다.
- [0314] 또한, 표시 패널(2802)은 터치 패널을 구비한다. 도 24d에는 영상으로 표시된 복수의 조작 키(2805)를 점선으로 도시하였다. 또한, 태양 전지 셀(2810)에서 출력되는 전압을 각 회로에 필요한 전압으로 승압하기 위한 승압 회로도 실장되어 있다.
- [0315] 표시 패널(2802)은 사용 형태에 따라 표시의 방향이 적절히 변화된다. 또한, 표시 패널(2802)과 동일 면 위에 카메라용 렌즈(2807)가 구비되어 있어 영상 통화가 가능하다. 스피커(2803) 및 마이크로폰(2804)은 음성 통화에도 한정되지 않고, 영상 통화, 녹음, 재생 등이 가능하다. 또한, 하우징(2800)과 하우징(2801)은 도 24d와 같이 펼쳐진 상태에서 슬라이드됨으로써 서로 겹친 상태로 할 수 있어, 휴대하기 적합한 소형화가 가능하다.
- [0316] 외부 접속 단자(2808)는 USB 케이블 등의 각종 케이블 및 AC 어댑터와 접속할 수 있고, 충전 및 퍼스널 컴퓨터 등과 데이터를 통신할 수 있다. 또한, 외부 메모리 슬롯(2811)에 기록 매체를 삽입함으로써, 더 많은 데이터의 저장 및 이동에 대응할 수 있다.
- [0317] 또한, 상기 기능에 추가적으로 적외선 통신 기능, 텔레비전 수신 기능 등이 구비된 것이라도 좋다. 상기 실시형태에 기재된 표시 장치를 적용함으로써 신뢰성이 높은 휴대 전화기로 할 수 있다.
- [0318] 도 24e는 디지털 비디오 카메라를 도시한 것이며, 본체(3051), 표시부 A(3057), 접안부(3053), 조작 스위치(3054), 표시부 B(3055), 배터리(3056) 등으로 구성되어 있다. 상술한 실시형태에 기재된 표시 장치를 적용함으로써 신뢰성이 높은 디지털 비디오 카메라로 할 수 있다.
- [0319] 도 24f는 텔레비전 장치의 일례를 도시한 것이다. 텔레비전 장치는 하우징(9601)에 표시부(9603)가 제공되어 있다. 표시부(9603)에 영상을 표시할 수 있다. 또한, 여기서는 스탠드(9605)에 의하여 하우징(9601)이 지지된

구성을 도시하였다. 상기 실시형태에 기재된 표시 장치를 적용함으로써 신뢰성이 높은 텔레비전 장치로 할 수 있다.

[0320] 텔레비전 장치는 하우징(9601)이 구비한 조작 스위치나, 별도의 리모트 컨트롤러에 의하여 조작할 수 있다. 또한, 리모트 컨트롤러에 상기 리모트 컨트롤러로부터 출력되는 정보를 표시하는 표시부가 제공된 구성으로 하여도 좋다.

[0321] 또한, 텔레비전 장치는 수신기나 모뎀 등이 구비된 구성으로 한다. 수신기에 의하여 일반 텔레비전 방송을 수신할 수 있고, 또 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일방향(송신자에게서 수신자) 또는 쌍방향(송신자와 수신자간 또는 수신자끼리 등)의 정보 통신을 실시할 수도 있다.

[0322] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시할 수 있다.

부호의 설명

- [0323]
- 100: 반도체 기관
 - 101: 기관
 - 102: 화소 영역
 - 103: 단자부
 - 104: 단자부
 - 105: 단자
 - 106: 단자
 - 107: 단자
 - 110: 화소
 - 111: 트랜지스터
 - 112: 액정 소자
 - 113: 용량 소자
 - 114: 전극
 - 115: 노드
 - 121: 트랜지스터
 - 122: EL 소자
 - 200: 기관
 - 201: 절연층
 - 202: 게이트 전극
 - 203: 배선
 - 204: 절연층
 - 205: 반도체층
 - 207: 절연층
 - 208: 절연층
 - 209: 개구
 - 210: 화소
 - 211: 화소 전극

212: 배선
215: 반도체층
216: 배선
217: 도전층
218: 격벽층
219: 개구
223: 반도체층
225: 절연층
226: 배선
227: 개구
228: 개구
231: 산소
232: 개구
233: 개구
234: 배선
236: 배선
237: 배선
238: 개구
239: 개구
246: 배선
251: EL층
252: 대향 전극
253: EL 소자
254: 격벽층
262: 게이트 전극
271: 개구
310: 화소
400: 기판
401: 게이트 전극
402: 절연층
403: 반도체층
406: 채널 보호층
407: 절연층
409: 절연층
411: 백 게이트 전극
436: 절연층

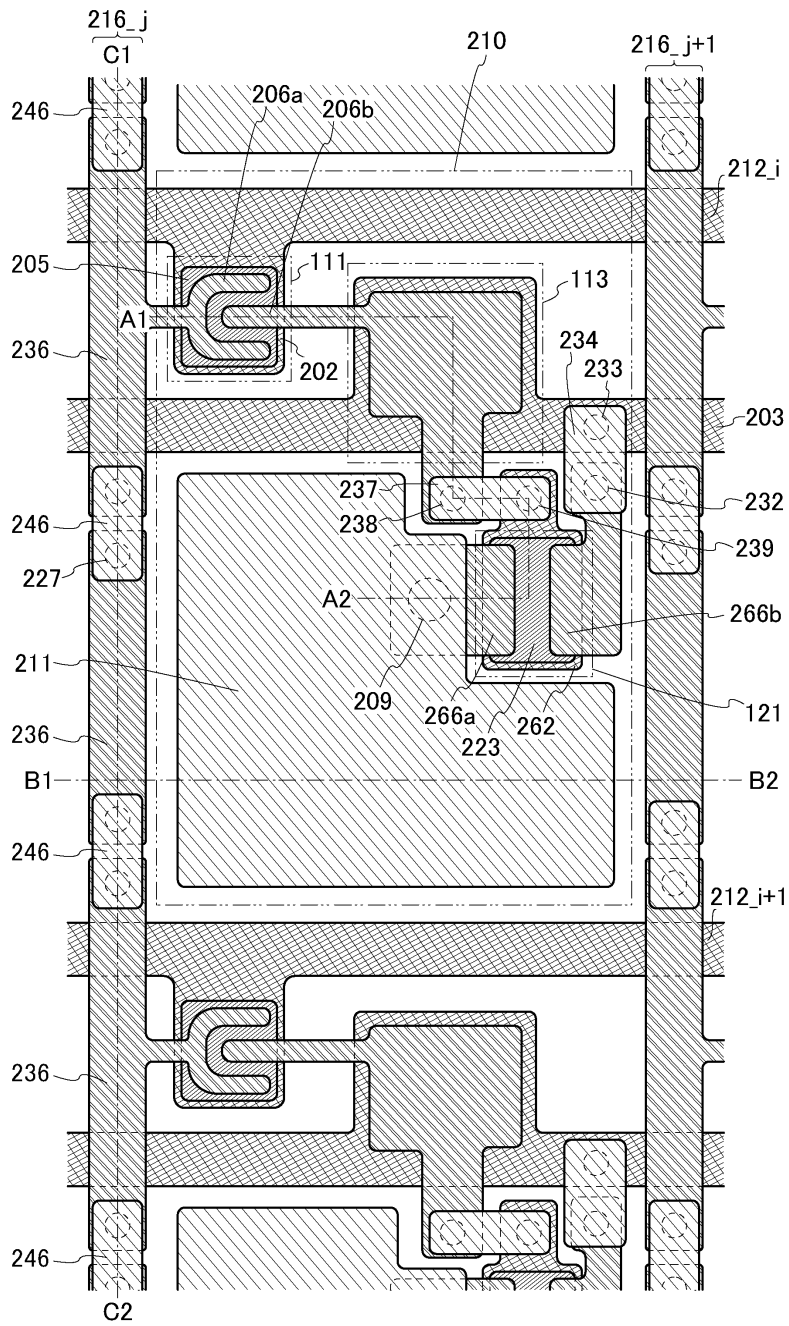
450: 트랜지스터
 460: 트랜지스터
 470: 트랜지스터
 2701: 안경 본체
 2703: 케이블
 2704: 하우징
 2705: 표시부
 2706: 하우징
 2707: 표시부
 2711: 표시 장치
 2712: 측부
 2713: 타이밍 발생기
 2716: 표시 제어 회로
 2717: 표시부
 2718: 소스 라인 측 구동 회로
 2719: 게이트 라인 측 구동 회로
 2721: 전원 단자
 2722: 외부 조작 수단
 2723: 조작 키
 2725: 스피커
 2800: 하우징
 2801: 하우징
 2802: 표시 패널
 2803: 스피커
 2804: 마이크로폰
 2805: 조작 키
 2806: 포인팅 디바이스
 2807: 카메라용 렌즈
 2808: 외부 접속 단자
 2810: 태양 전지 셀
 2811: 외부 메모리 슬롯
 3001: 본체
 3002: 하우징
 3003: 표시부
 3004: 키보드
 3021: 본체

3022: 스타일러스
 3023: 표시부
 3024: 조작 버튼
 3025: 외부 인터페이스
 3051: 본체
 3053: 접안부
 3054: 조작 스위치
 3056: 배터리
 4001: 기관
 4002: 화소부
 4003: 신호선 구동 회로
 4004: 주사선 구동 회로
 4005: 실재
 4006: 기관
 4008: 액정층
 4010: 트랜지스터
 4011: 트랜지스터
 4013: 액정 소자
 4014: 배선
 4015: 전극
 4016: 전극
 4017: 도전층
 4018: FPC
 4019: 이방성 도전층
 4020: 절연층
 4021: 평탄화층
 4022: 절연층
 4023: 절연층
 4024: 절연층
 4030: 전극층
 4031: 전극층
 4032: 절연층
 4033: 절연층
 4035: 스페이서
 4510: 격벽
 4511: 전계 발광층

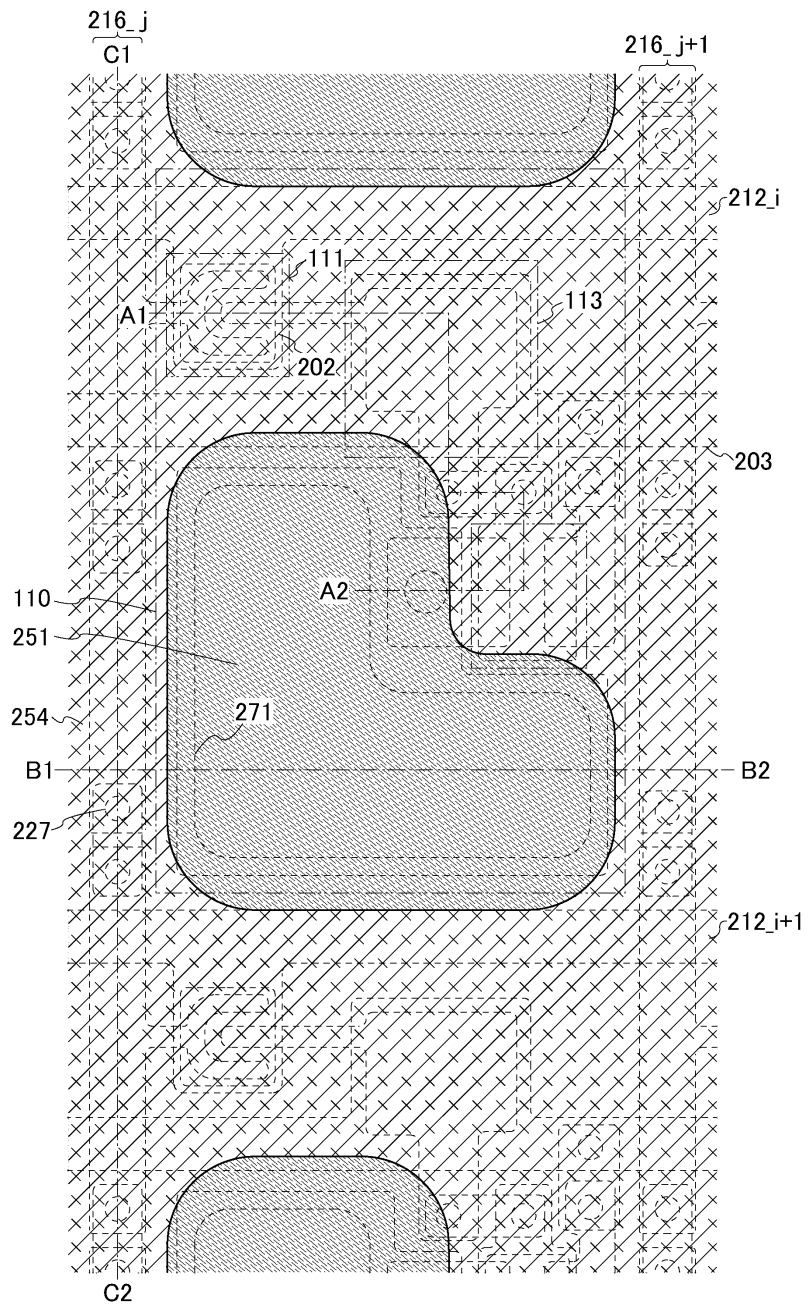
4513: 발광 소자
4514: 충전재
9601: 하우징
9603: 표시부
9605: 스탠드
105_i: 단자
106_j: 단자
206a: 소스 전극
206b: 드레인 전극
212_i: 배선
212_j: 배선
266a: 소스 전극
266b: 드레인 전극
2702a: 왼쪽 눈용 패널
2702b: 오른쪽 눈용 패널
2730a: 동기 신호
2730b: 동기 신호
2731a: 동기 신호
2731b: 동기 신호
4018a: FPC
4018b: FPC
405a: 소스 전극
405b: 드레인 전극

도면

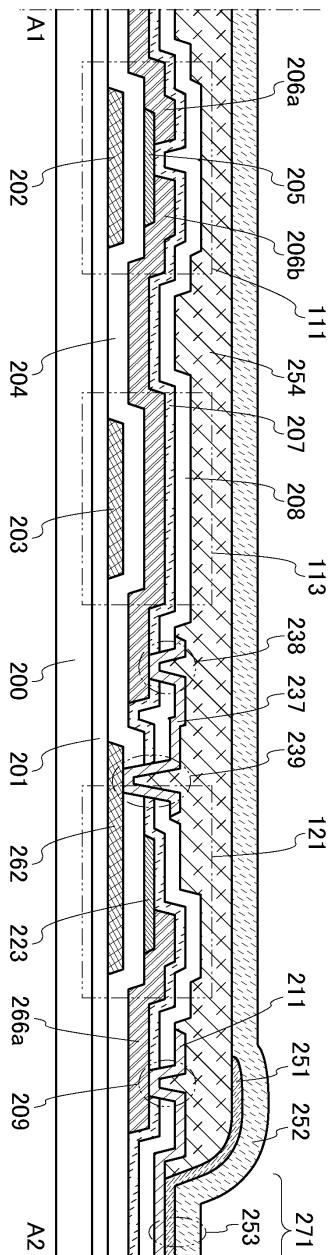
도면1



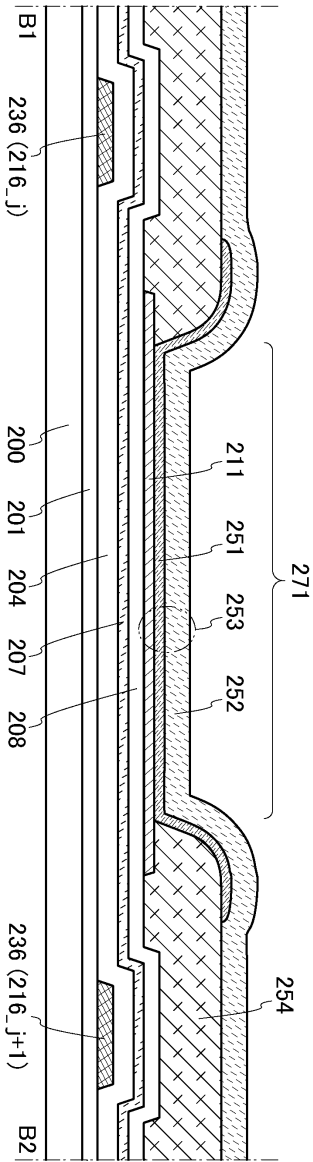
도면2



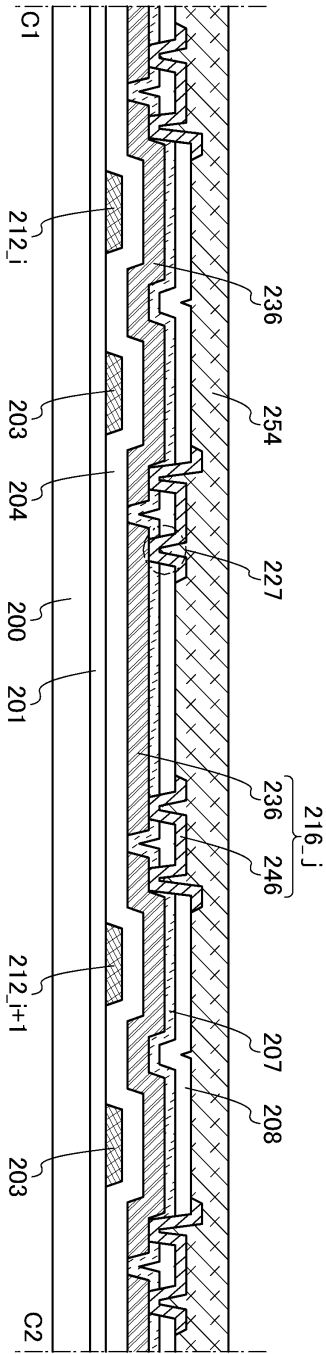
도면3a



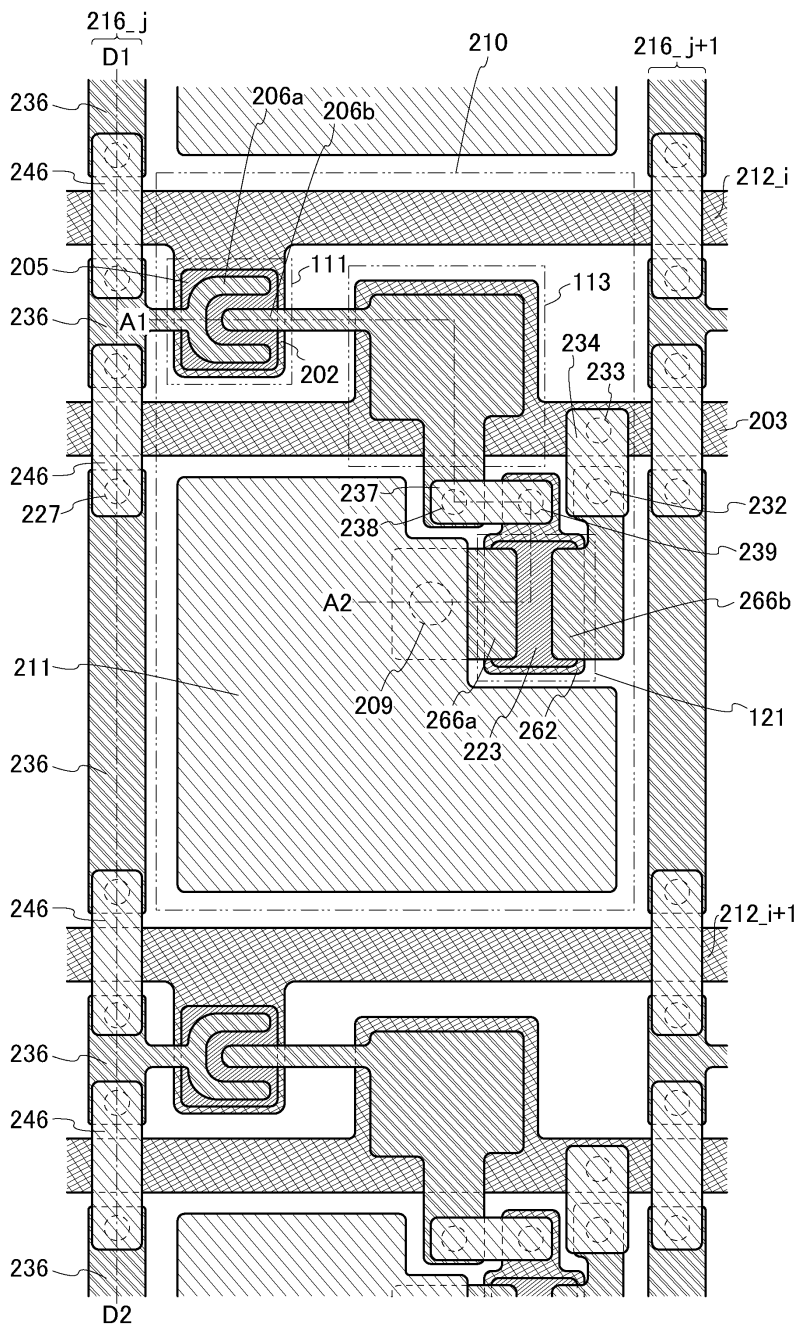
도면3b



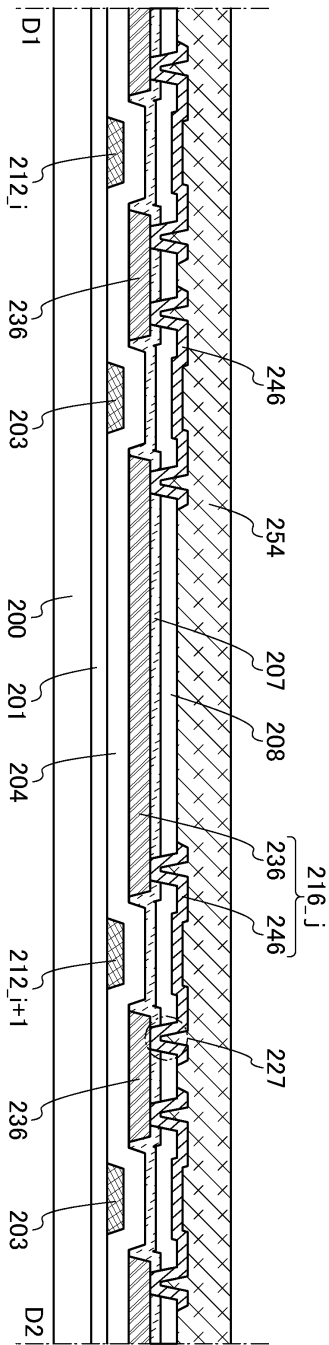
도면4



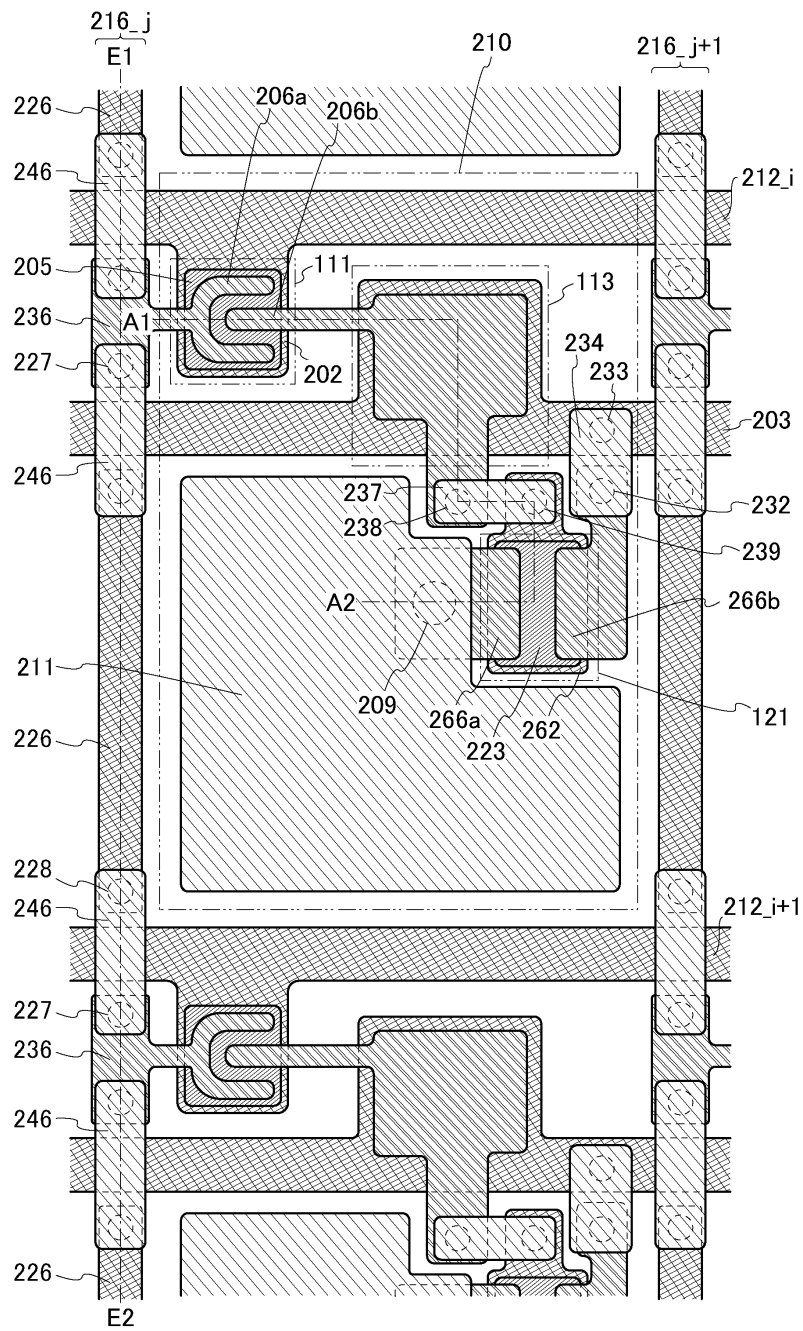
도면5



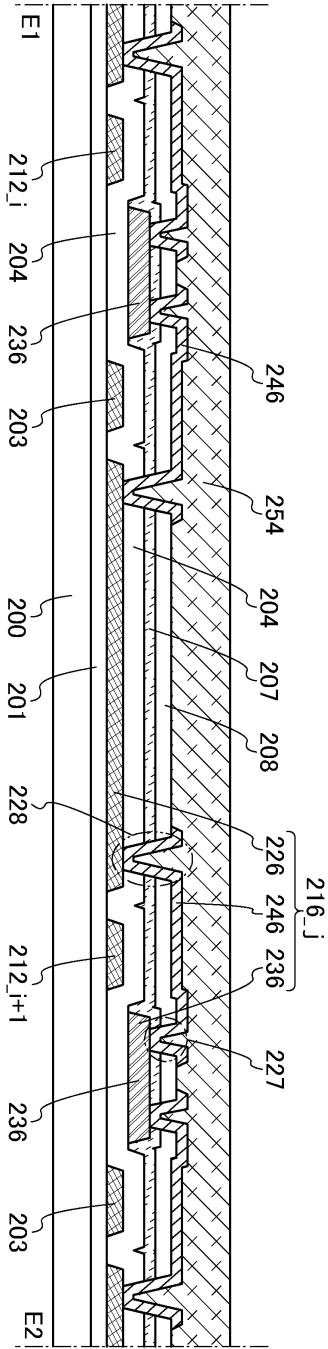
도면6



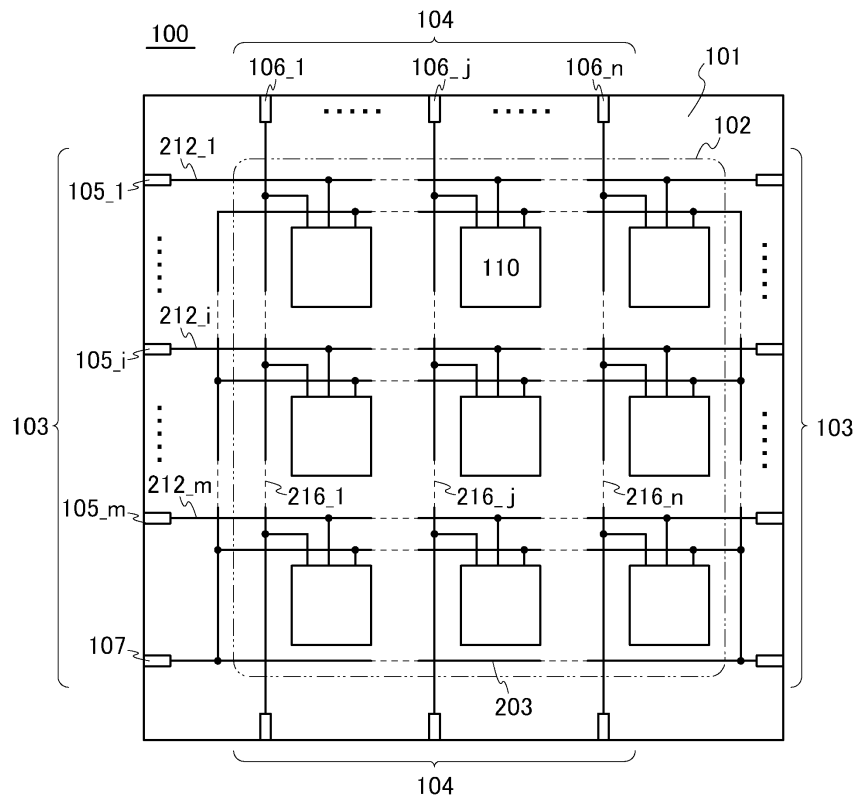
도면7



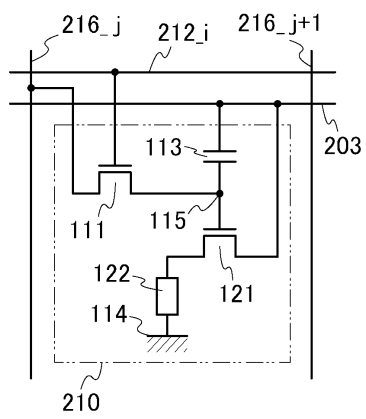
도면8



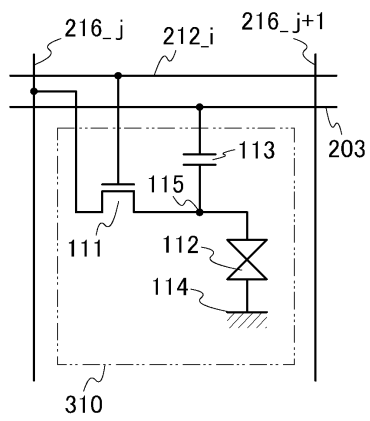
도면9a



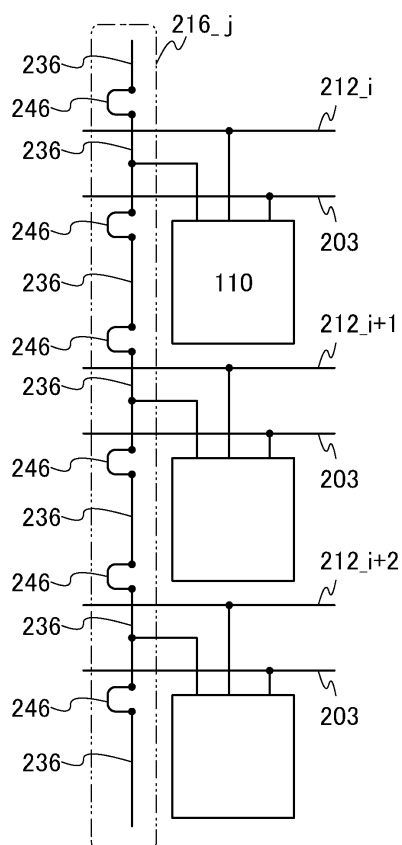
도면9b



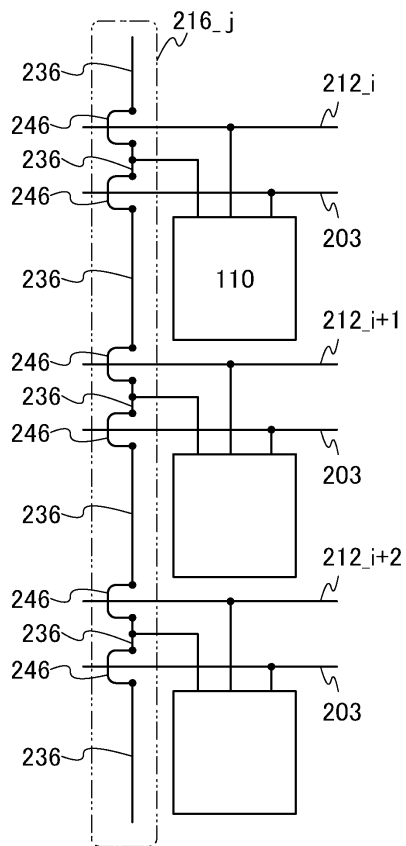
도면9c



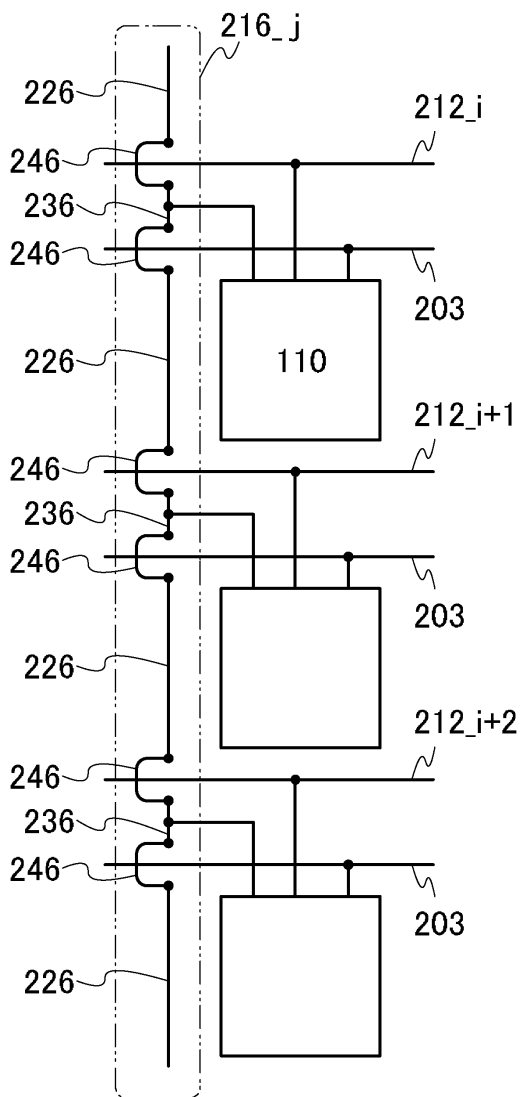
도면10a



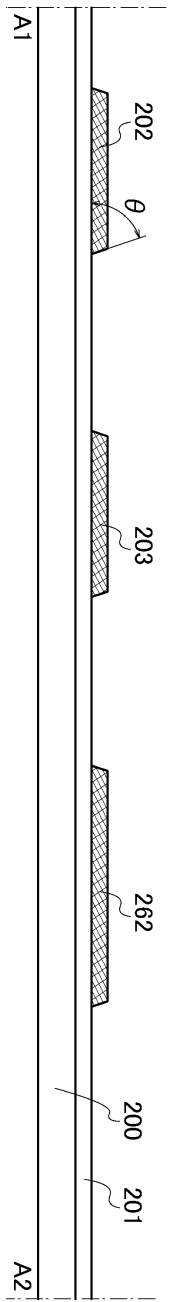
도면10b



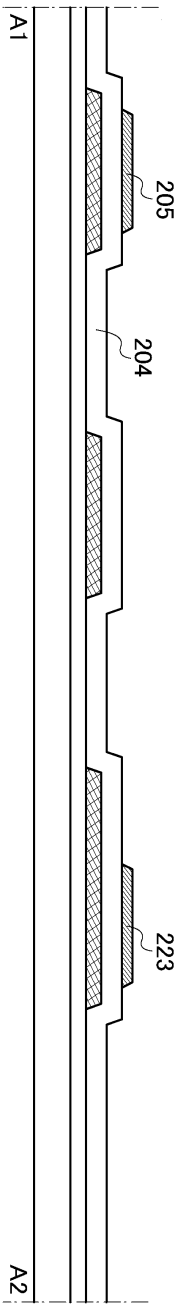
도면11



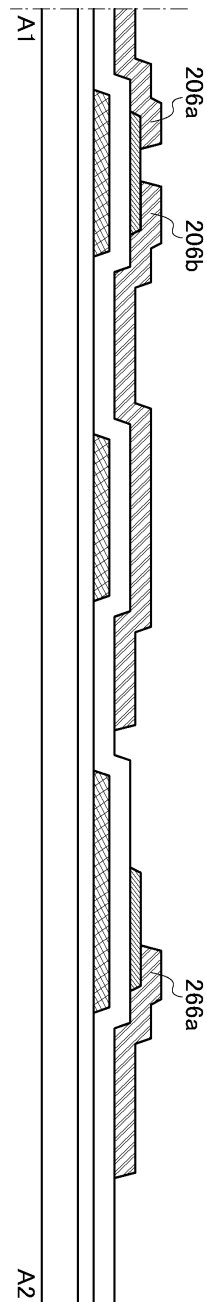
도면12a



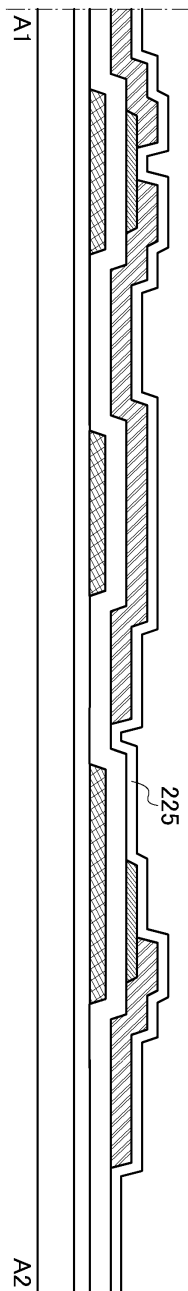
도면12b



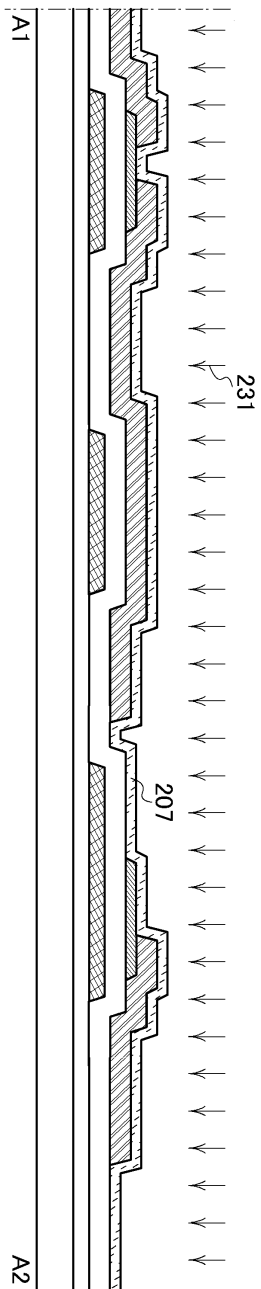
도면12c



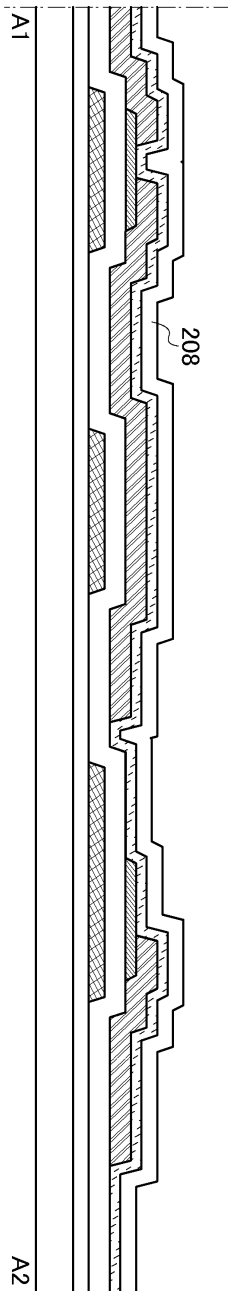
도면13a



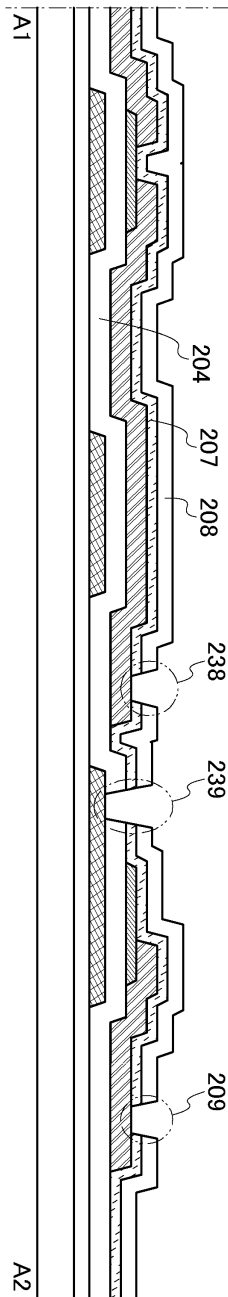
도면13b



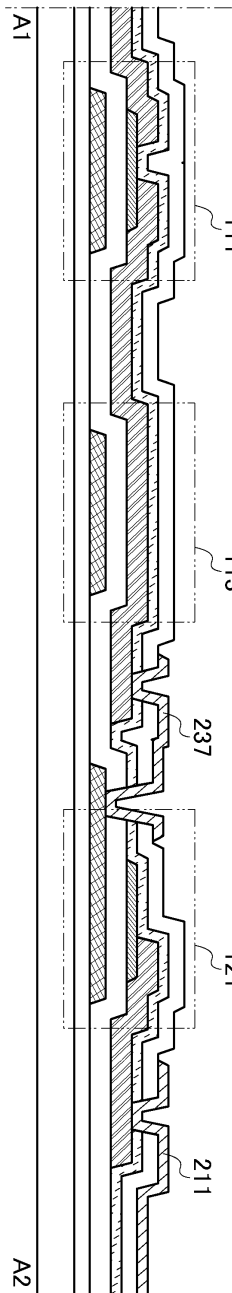
도면13c



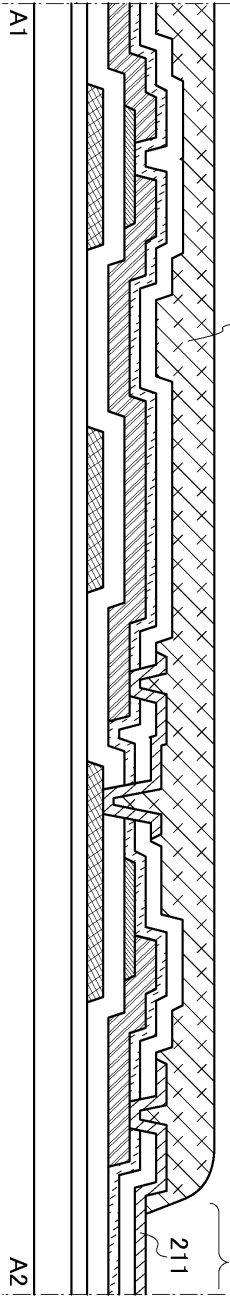
도면14a



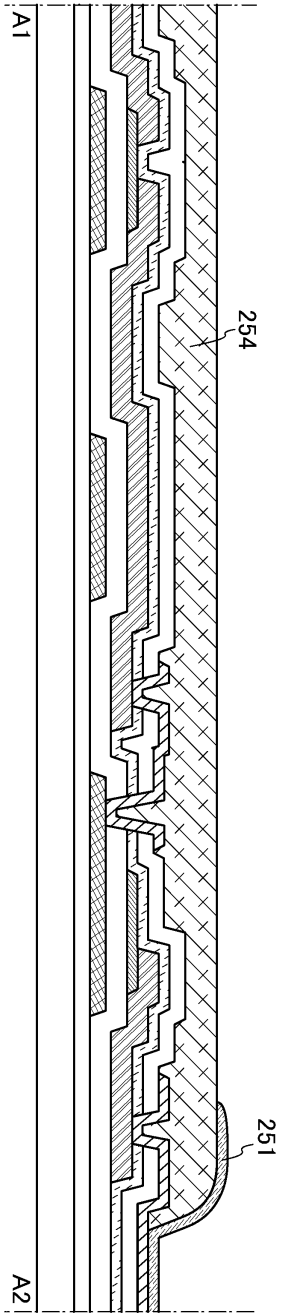
도면14b



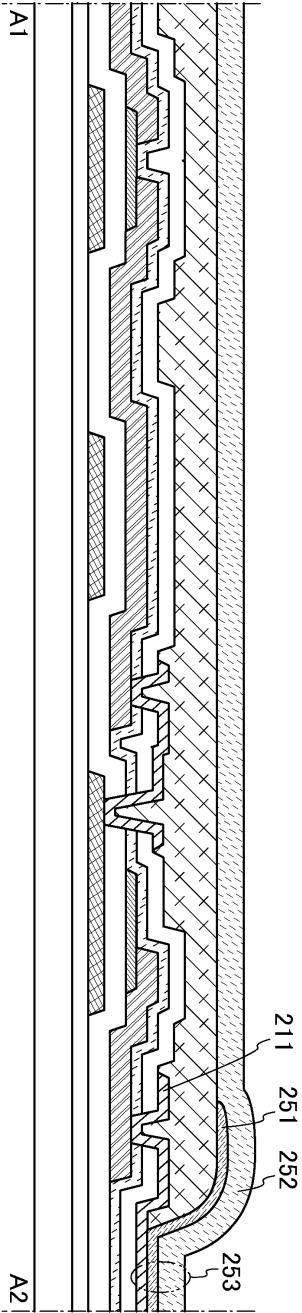
도면14c



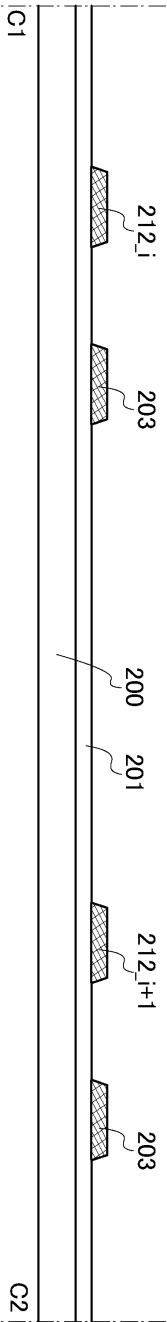
도면15a



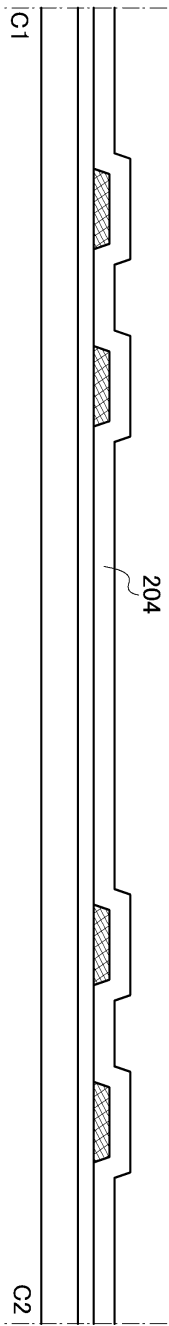
도면15b



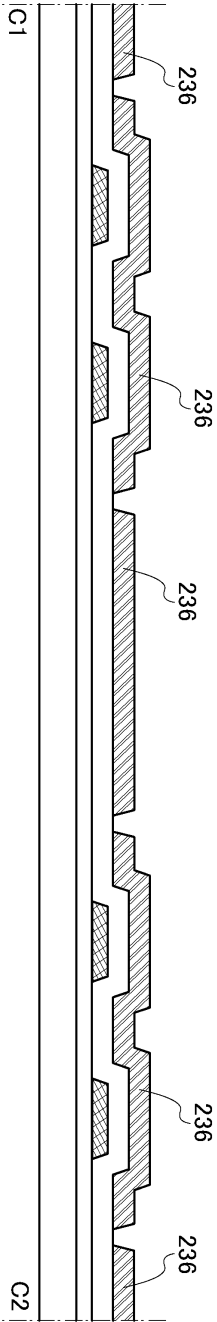
도면16a



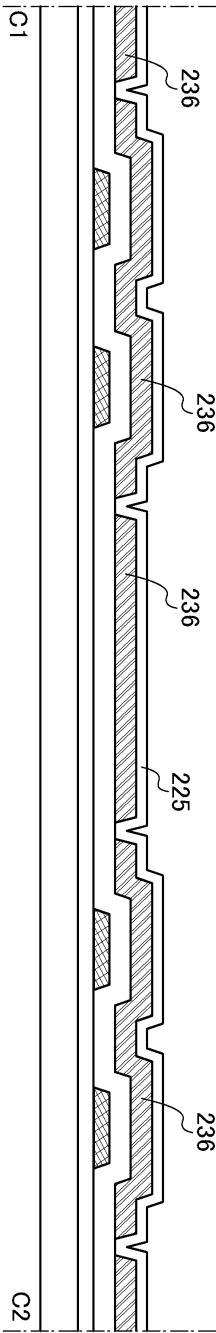
도면16b



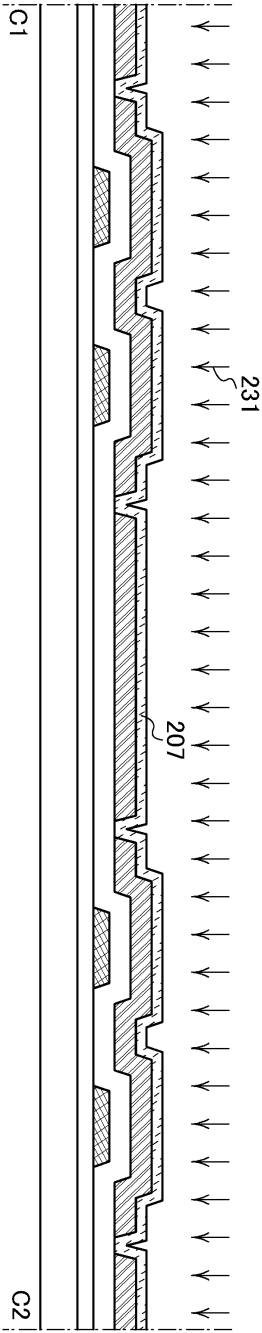
도면16c



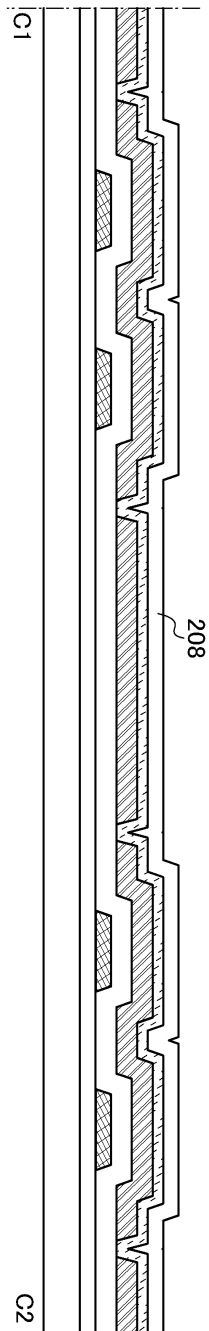
도면17a



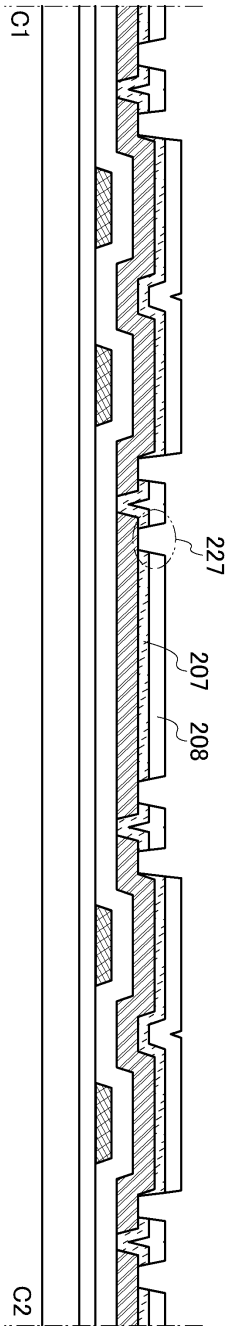
도면17b



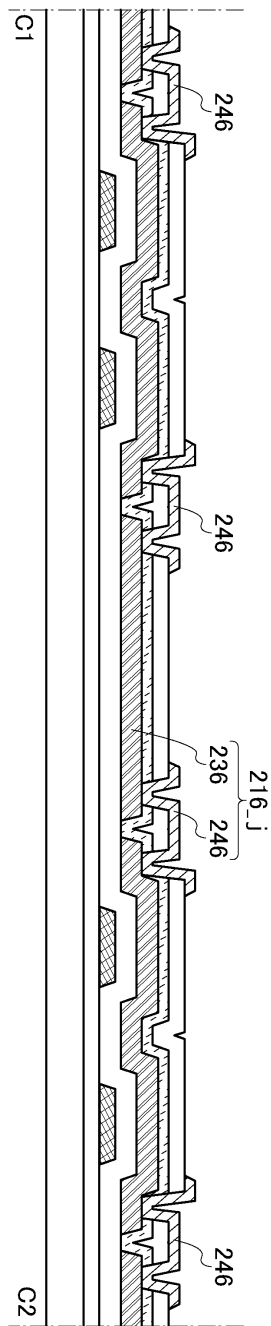
도면17c



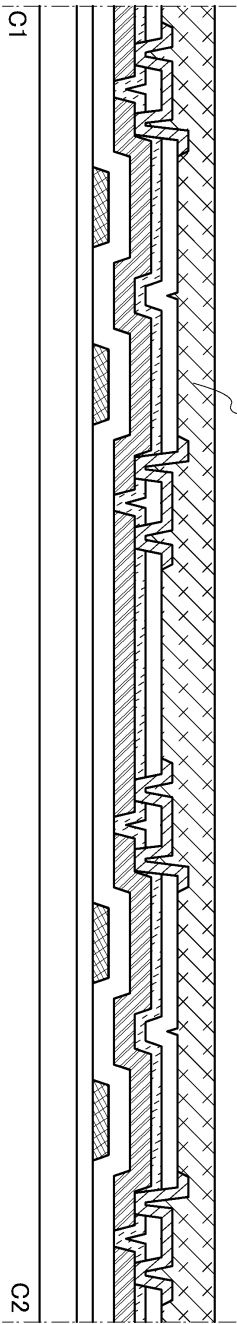
도면18a



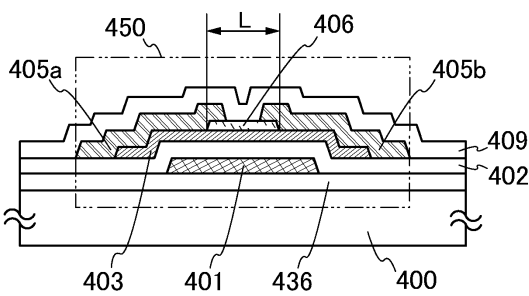
도면18b



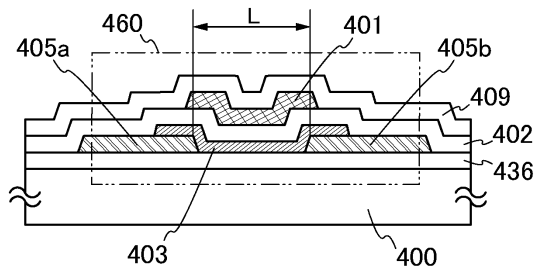
도면18c



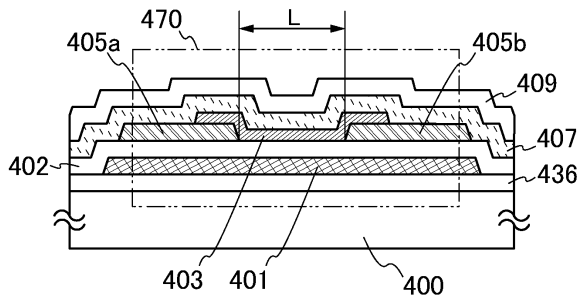
도면19a



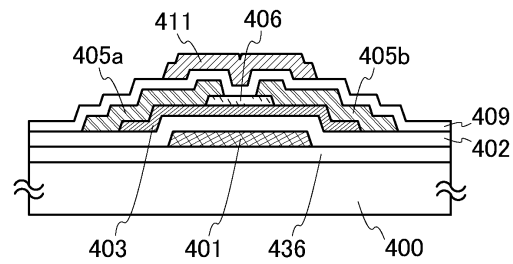
도면19b



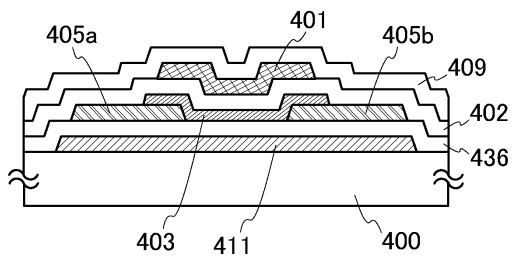
도면19c



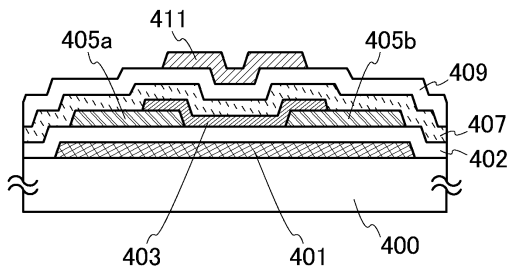
도면20a



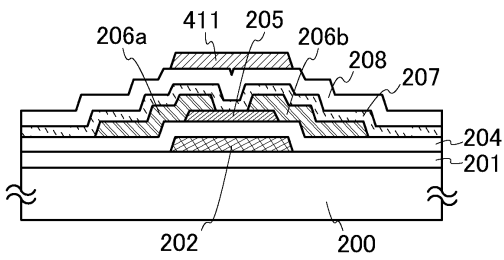
도면20b



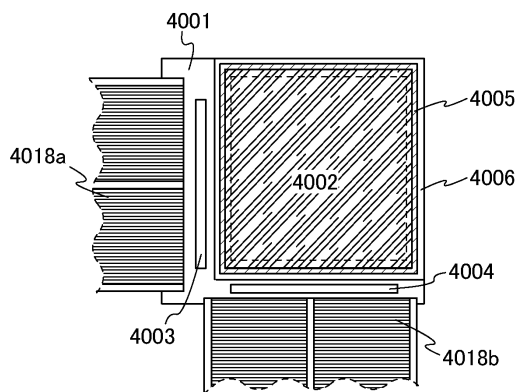
도면20c



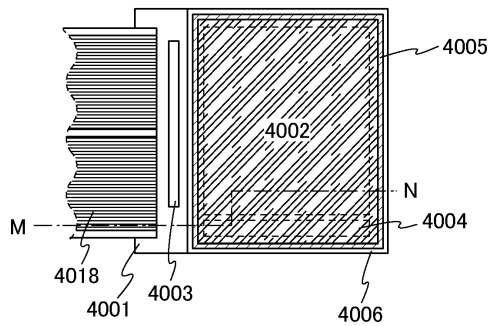
도면20d



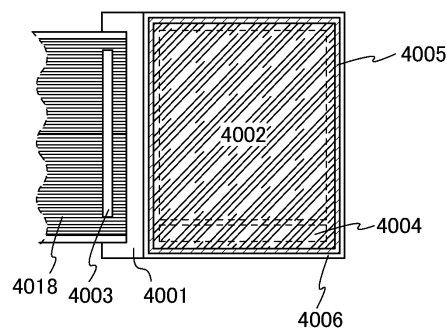
도면21a



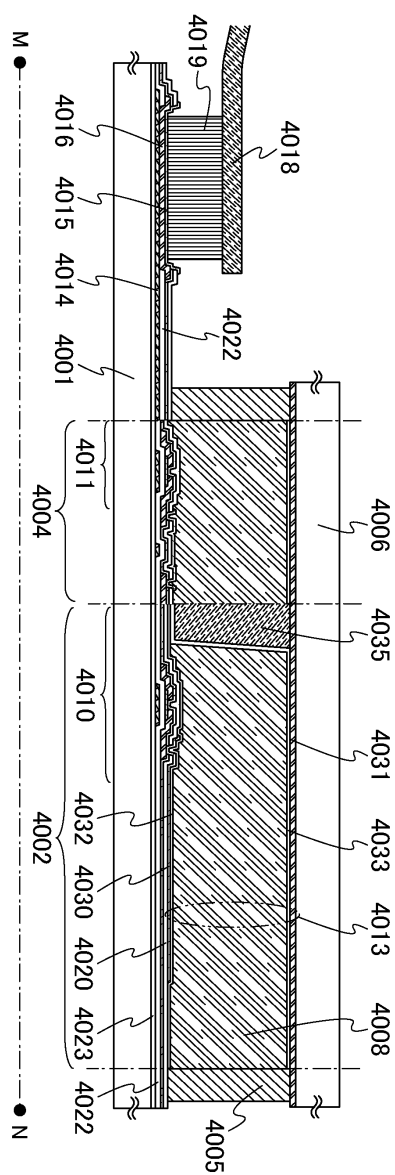
도면21b



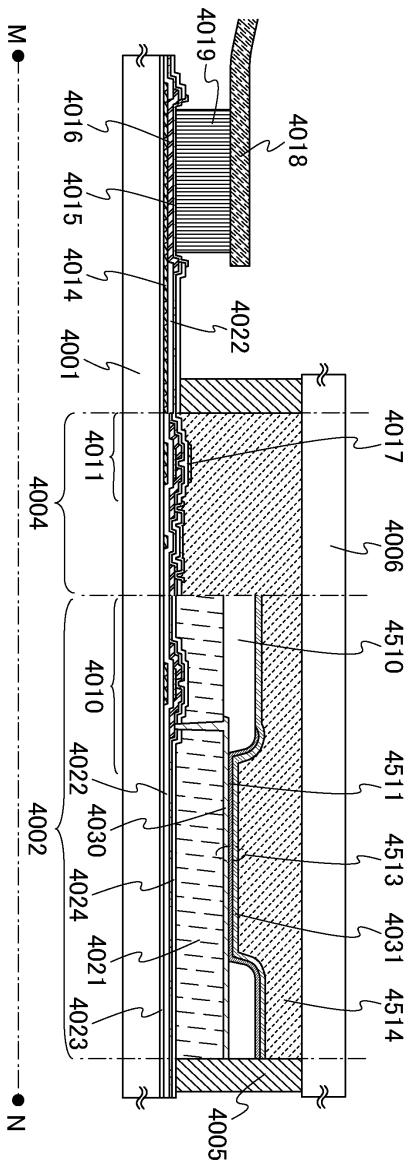
도면21c



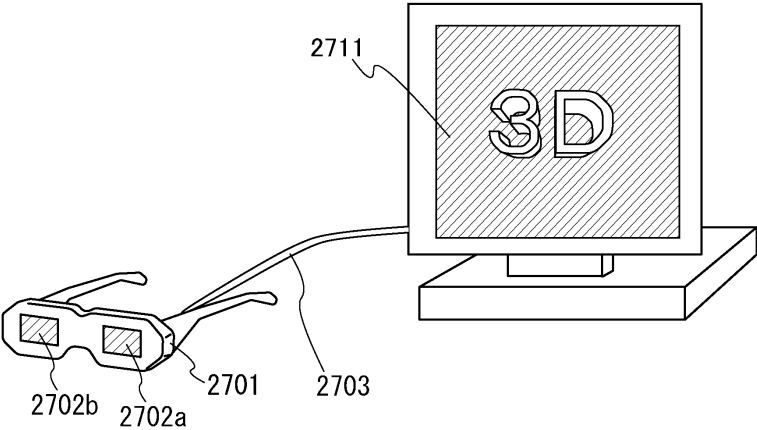
도면22a



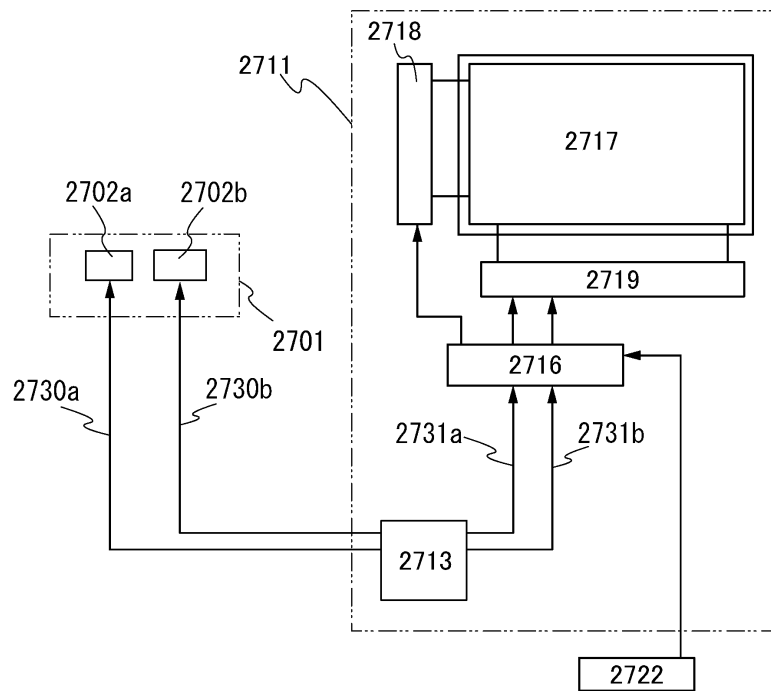
도면22b



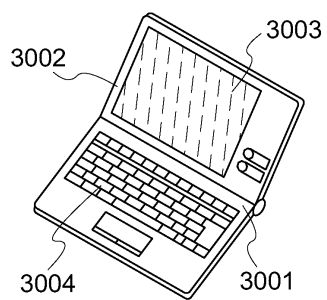
도면23a



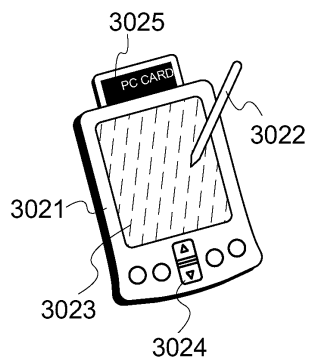
도면23b



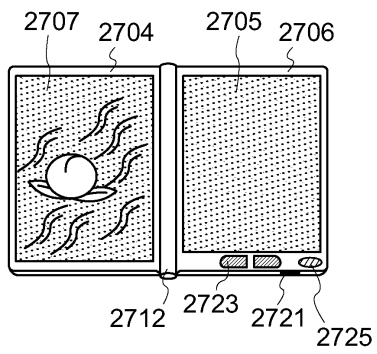
도면24a



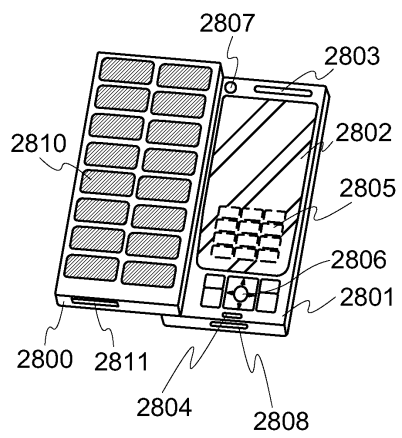
도면24b



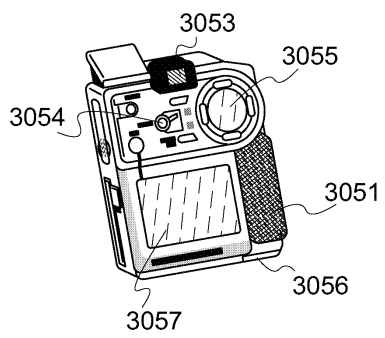
도면24c



도면24d



도면24e



도면24f

