



(12)发明专利

(10)授权公告号 CN 105025802 B

(45)授权公告日 2018.01.05

(21)申请号 201480010856.5

(22)申请日 2014.02.27

(65)同一申请的已公布的文献号

申请公布号 CN 105025802 A

(43)申请公布日 2015.11.04

(30)优先权数据

13/779,376 2013.02.27 US

(85)PCT国际申请进入国家阶段日

2015.08.27

(86)PCT国际申请的申请数据

PCT/US2014/019011 2014.02.27

(87)PCT国际申请的公布数据

W02014/134301 EN 2014.09.04

(73)专利权人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72)发明人 P·B·约翰逊 I·O·伍感特

(74)专利代理机构 北京纪凯知识产权代理有限公司 11245

代理人 赵蓉民 徐东升

(51)Int.Cl.

A61B 8/00(2006.01)

H01L 29/84(2006.01)

H01L 21/02(2006.01)

审查员 王传利

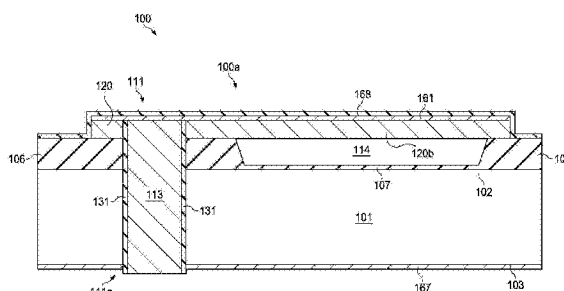
权利要求书1页 说明书7页 附图11页

(54)发明名称

具有穿透基板通孔(TSV)的电容式微加工超声换能器(CMUT)器件

(57)摘要

一种电容式微加工超声换能器(CMUT)器件100,该器件包括至少一个CMUT单元101a,其包括具有顶部的第一衬底101,该顶部上包括图案化介电层,该图案化介电层包括厚介电区106和薄介电区107。隔膜层120b接合在该厚介电区上并且在薄介电区上方以在微机电系统(MEMS)腔114上方提供可移动隔膜。穿透衬底通孔(TSV)111包括介电衬垫,其从第一衬底的底部延伸到所述隔膜层的顶部表面。顶部金属层161包括TSV上方、可移动隔膜上方的第一部分,并且将TSV耦合到可移动隔膜。图案化的金属层167在第一衬底的底部表面上,包括与对TSV侧向的第一衬底的底部接触的第一图案化的层部分。



1. 一种电容式微加工超声换能器CMUT器件, 所述CMUT器件包括: 具有至少一个CMUT单元的至少一个CMUT元件, 所述CMUT单元包括:

第一衬底, 所述第一衬底包括顶部和底部;

图案化介电层, 所述图案化介电层在所述衬底的所述顶部上方, 所述介电层具有第一区和第二区, 所述第二区被所述第一区横向地环绕并且比所述第一区更薄, 所述第一区和所述第二区限定腔;

隔膜层, 所述隔膜层被直接接合在所述介电层的所述第一区上并且围绕所述介电层的所述第二区上方的所述腔, 所述隔膜层包括在所述腔内可移动的可移动隔膜;

穿透所述衬底、所述介电层和所述隔膜层的穿透衬底通孔TSV, 并且所述TSV横向远离所述可移动隔膜定位, 所述TSV包括从所述衬底的所述底部延伸到与所述隔膜层共面的导电填充物, 所述TSV具有介电衬垫;

金属层, 所述金属层接触所述衬底的所述顶部上方的所述导电填充物, 所述金属层沿所述隔膜层横向延伸并且接触所述可移动隔膜; 以及

在所述第一衬底的所述底部上的图案化金属层, 所述图案化金属层包括接触所述TSV侧向的所述第一衬底的所述底部的第一图案化层部分。

2. 根据权利要求1所述的CMUT器件, 其进一步包含: 在所述CMUT器件的顶部上方包括在所述金属层上方的至少一个介电钝化层。

3. 根据权利要求1所述的CMUT器件, 其进一步包括:

多个第二CMUT单元;

第二金属层, 所述第二金属层接触所述衬底的所述底部下方的所述CMUT单元的所述导电填充物以将所述CMUT单元耦合到所述多个第二CMUT单元, 并且其中所有的所述多个第二CMUT单元具有通过穿过所述第一衬底将单元耦合到单元而提供的共用底电极。

4. 根据权利要求1所述的CMUT器件, 其中所述隔膜层包括单晶硅材料。

5. 根据权利要求1所述的CMUT器件, 其中所述TSV导电填充材料包括铜, 并且所述TSV包括从所述第一衬底的所述底部突出的突出TSV末端。

6. 根据权利要求1所述的CMUT器件, 其中所述第一衬底具有小于或等于($\leq$) $0.1 \Omega\text{-cm}$ 的电阻率。

7. 根据权利要求1所述的CMUT器件, 其中所述隔膜层被真空熔化接合到所述介电层的所述第一区。

具有穿透基板通孔 (TSV) 的电容式微加工超声换能器 (CMUT) 器件

技术领域

[0001] 所公开的实施方式涉及电容式微加工超声换能器 (CMUT) 器件及其制造方法。

背景技术

[0002] CMUT器件在医疗应用中变得逐渐普及。例如,CMUT器件已经用于改进医疗超声成像探测 (probe)。此外,CMUT器件已经用于提供高强度聚焦超声以用于医疗疗法。传统的CMUT器件通常被直接制造在硅衬底上 (例如,在硅晶片上)。例如,传统的CMUT器件经常使用微机电系统 (MEMS) 加工技术来制造,其中脱模层被蚀刻掉,留下自支撑 (柔性) 隔膜。隔膜的顶部被金属化以提供顶 (电极) 板,并且隔膜接着被用作换能器来发送和接收超声信号。

[0003] 传统的CMUT器件利用接合焊盘来提供与器件中的每个CMUT元件的顶板的电接触,诸如用于包括以CMUT阵列排列的多个CMUT元件的CMUT器件的多个接合焊盘。由于接合线被提高在接合焊盘上方,因此接合焊盘被定位成远离CMUT阵列中的CMUT元件以有助于封装。这种限制不仅由于需要相互连接的引导线路 (routing line) 而增大了CMUT器件的管芯尺寸 (diesize),还使得封装工艺复杂化。管芯尺寸的增加和封装工艺的复杂化这两者增加了封装的CMUT管芯的成本。

发明内容

[0004] 公开的实施方式描述了传统的利用接合焊盘来连接到每个CMUT单元的顶板的CMUT器件问题的解决方案,其被认为极大地约束了包括CMUT元件的二维 (2D) CMUT阵列的CMUT器件的设计并且增加了它的大小,并且还使它们的性能降低。将接合焊盘连接到传统的大的2D CMUT阵列的每个CMUT元件涉及在CMUT管芯的顶部上广泛的使用金属互联迹线,这从而增加了管芯尺寸并且降低了CMUT性能。对于包含大量CMUT元件的CMUT阵列来说 (例如,>10x10阵列的CMUT元件),使用金属互联迹线来提供与每个元件的接触对于内部元件而言通常变得过于复杂,并且需要替换的连接方案。一个这样的连接方案为使用穿透衬底连接。

[0005] 公开的实施方式包括具有穿透衬底通孔 (TSV) 的CMUT器件,该CMUT器件允许底部器件 (管芯) 接触从而穿透管芯与CMUT单元或包括多个CMUT单元的CMUT元件的顶板 (顶部电极) 进行连接,以有助于制造2D CMUT阵列。对于具有多个CMUT元件的CMUT器件,顶部电极针对每个CMUT元件而被分隔,从而允许使用针对每个元件的单个TSV而对相应元件进行单独寻址,并且对于器件上的所有CMUT元件通常存在电气共用 (electrically common) 底部电极 (例如,Si衬底的固体片)。在其它实施方式中,CMUT器件可以具有用于所有CMUT元件的电气共用顶部电极和用于每个元件的单独底部电极,以允许相应元件的单独寻址。

附图说明

[0006] 图1A是描绘根据示例性实施方式的作为具有单个CMUT单元的CMUT元件而被示出

的示例性CMUT器件的顶视图。

[0007] 图1B是描绘沿着所示的切割线A-A'的图1A中所示的示例性CMUT器件/元件/单元的截面图。

[0008] 图2A-图2H是示出根据示例性实施方式的针对用于形成CMUT器件的示例性方法的工艺进展的截面图。

[0009] 图3是描绘根据示例性实施方式的包括多个CMUT元件的示例性CMUT器件的顶视图,每个CMUT元件包括图1A和图1B中所示的多个CMUT单元。

具体实施方式

[0010] 电容式微加工超声换能器 (CMUT) 传感器单元实体是CMUT传感器单元。多个CMUT传感器单元可以被并联连接 (例如,具有电共用的可移动隔膜120b) 以形成CMUT元件。CMUT元件可以具有任意数量 (>1) 的CMUT单元。通常,元件中的CMUT单元越多,元件响应于给定刺激 (stimulus) 而可以产生的超声输出压力越大。CMUT阵列 (器件/管芯) 可以具有任意数量的CMUT元件。相应CMUT元件的电极中的一个 (例如,顶部电极) 可以与其他CMUT元件的其他电极 (例如,顶部电极) 电隔离,以允许每个CMUT元件被独立地连接以可单独寻址。如此处所描述的,使得CMUT元件中的每个CMUT单元的可移动隔膜120b电共用允许通过单个TSV对CMUT元件中的所有单元进行寻址。

[0011] 图1A示出根据示例性实施方式的被示出为具有单个CMUT单元100a的CMUT元件的示例性CMUT器件100。切割线A-A'被提供为图1B所示的和以下描述的其它图2A-图2H的截面图。CMUT单元100a包括穿透衬底通孔 (TSV) 111和具有顶部102和底部103的单晶材料 (例如,在单晶硅衬底上的体单晶硅或硅外延层) 的第一衬底101。

[0012] 如图1B所示,顶部102包括在其上的图案化 (patterned) 介电层,该图案化介电层包括厚介电区106和薄介电区107。TSV 111伸出第一衬底101的整个厚度到隔膜层102的顶表面。TSV 111与第一衬底101和隔膜层120由介电衬垫 (dielectric liner) 131电隔离。尽管介电衬垫131被示出为沿着TSV 111的整个长度,介电衬垫131被示出为包括在厚介电区106的侧壁上,然而在热形成的介电衬垫131 (例如,氧化硅) 的情况下,与沉积介电衬垫131相反,介电衬垫131将不生长在厚介电区106的侧壁上,并且从而不在厚介电区106的侧壁上。TSV 111包括TSV填充材料113,在一个具体实施方式中诸如Cu。TSV 111还被示出为包括可选的突出TSV末端 (tip) 111a,其从第一衬底101的底部103突出 (protrude)。

[0013] 被示出为绝缘体上硅 (SOI) 衬底115的第二衬底隔膜层120 (在图2A中描绘) 被接合到第一衬底101的厚介电区106并且在第一衬底101的薄介电区107的上方,以在所示的MEMS腔114上方提供可移动隔膜120b。接合可以包括真空接合,诸如真空熔化 (vacuum fusion) 接合。图案化顶部金属层 (例如,A1Cu层) 161在TSV 111的顶部的上方并且在可移动隔膜120b的顶部的上方,所述图案化的顶部金属层161包括将TSV 111耦合到可移动隔膜120b的金属层部分。介电钝化层168被示出为在CMUT单元100a的顶部的上方。

[0014] 第一衬底101可以包括单晶硅,或在单晶硅上的外延硅。第一衬底101通常具有小于或等于 ($\leq$) $0.1 \Omega\text{-cm}$ 的电阻率,并且可以是p型掺杂或n型掺杂。CMUT单元100a被示出为包括在第一衬底101的底部103上的图案化金属层167,图案化金属层167在CMUT单元110a的底部103上提供第一电极接触以实现固定电极。如上所述,在包括多个CMUT元件 (每个CMUT

元件包括多个CMUT单元100a)的CMUT器件的情况下,由图案化金属层167提供的固定电极接触是用于CMUT器件上的所有CMUT元件的共用底部固定电极(例如,第一衬底101的固体片,诸如Si片)。

[0015] TSV 111提供到可移动隔膜120b的底部连接,其提供用于CMUT器件100的CMUT单元100a的顶板。如上所述,对于具有多个CMUT元件的CMUT器件,顶部电极可以针对每个CMUT元件而被分隔,这允许使用每个元件的相应TSV 111而对相应元件进行单独寻址(addressing)。因此CMUT器件100不需要顶部接触或接合焊盘。

[0016] 需要注意的是CMUT器件的厚度和尺寸可以被调整以适应于特定应用。例如,以180kHz操作的气载超声应用的通常的示例性尺寸是具有1.12mm直径的可移动隔膜120b的CMUT单元、1.32mm板宽度的图案化顶部金属层161(在CMUT单元100a侧面上的顶部金属层161的100 μ m板重叠),以及14 μ m厚度的可移动隔膜120b。

[0017] 图2A-图2H示出根据示例性实施方式的在制造的不同阶段形成CMUT器件的示例性方法的步骤。尽管CMUT器件被描述为形成为具有带有单个CMUT传感器单元的单个元件,然而如上所公开的,CMUT器件可以被形成为具有多个CMUT元件,多个CMUT元件中的每个CMUT元件具有一个或更多个CMUT单元,用于形成具有多个CMUT元件的CMUT阵列(参见以下描述的图3)。

[0018] 图2A-图2H示出用于形成具有带有单个CMUT单元100a的单个CMUT元件的CMUT器件的示例性方法的工艺中的步骤。在不偏离本公开的范围的情况下,用于形成所公开的CMUT器件的其它技术可以被使用,包括形成具有多个所公开的CMUT元件的CMUT器件。通过将给定CMUT元件中的CMUT单元的可移动隔膜120b耦合到一起,CMUT元件内的多个CMUT单元可以被并联连接,从而在给定区域的上方来增加输出压力。将CMUT单元并联连接减少了(用于驱动的)阻抗。CMUT元件可以彼此电隔离以独立使用从而有助于波束控制(beam steering)或从而提高较大区域上的空间分辨率。本领域技术人员还可以差异化地驱动/感测CMUT元件,以改善共模信号或减轻制造非对称性。

[0019] 厚介电区106诸如包括氧化硅层被设置在第一衬底101的顶部102上。第一衬底101通常可以包括任意单晶衬底材料,其包括基于硅的衬底或其它衬底。第一衬底101提供 $\leq 0.1 \Omega\text{-cm}$ 的低衬底电阻率,诸如约0.01 $\Omega\text{-cm}$ 。

[0020] 在一个具体实施方式中,为了形成厚介电区106,通过使用高压氧化(HiPOx)工艺,厚氧化硅层生长到4.5 μ m到5.5 μ m的厚度。使用HiPOx有助于厚热氧化层的迅速生长并且提供通常小于 $\pm 1\%$ 的横跨管芯的良好的厚度控制。HiPOx工艺条件的一个具体示例集包括在未使用的第一衬底101上的在汽流中的25个大气压处的1000 $^{\circ}\text{C}$ 的温度达9.5小时(例如,体单晶硅晶片),并且光刻的对齐标记随后在工艺中被蚀刻。

[0021] 替换地,厚介电区106还可以包括传统的热生长的氧化硅(例如,使用硅的局部氧化(LOCOS)工艺,其中二氧化硅被形成在硅晶片上的所选区域(在此为厚介电区106)中,硅晶片通常使用氮化硅作为掩模版(mask)用于氧化,,或可以是包括氧化硅或其它介电材料的沉积的介电层。然而,利用传统氧化的LOCOS方案将通常不产生5 μ m厚(或更厚)的氧化层,并且沉积的介电(例如,氧化物)薄膜通常将不提供横跨管芯的小于 $\pm 1\%$ 的厚度控制。

[0022] 通常存在的衬底销售方的激光划线(laser scribe)可以用于确保最小的表面污染或粗糙度,其将有助于随后的晶片接合步骤。接着可以是前侧对齐标记的掩模和蚀刻。抗

蚀条 (resist strip) 和预清洁工艺可以有助于确保在向其接合SOI衬底115的隔膜层120或诸如标准体硅衬底这样的第二衬底的工艺中随后被使用的厚介电区106的光滑表面。

[0023] 第一版图级 (masking level) “CELLETC” 使用厚的光刻胶来支撑随后的穿过厚介电区106 (例如, 厚氧化硅层) 的蚀刻氧化硅, 以初始地开始限定第一衬底101 (例如, Si晶片) 上的针对每个CMUT阵列/管芯的至少一个经蚀刻的单个单元CMUT元件。非聚合的等离子体蚀刻可以用于蚀刻厚介电区106的第一部分, 诸如当厚介电区106包括氧化硅并且具有约5 μ m到5.3 μ m的厚度时, 蚀刻约4.65 μ m的氧化硅。通常期望 $\sim 80^\circ$ 的侧壁倾斜度, 并且可以根据自然抗蚀 (natural resist erosion) 来实现。厚介电区106的剩余部分 (例如0.5 μ m的氧化硅) 在等离子体蚀刻之后可以通过湿法蚀刻来移除, 该湿法蚀刻提供相对于衬底材料 (例如, Si) 的蚀刻选择性以避免损坏第一衬底101的顶部102。

[0024] 在厚介电区106的蚀刻期间, 第一衬底101 (例如, 晶片) 的顶部102的大约50%通常将是开放 (露出) 的。抗蚀剂接着被剥除 (例如, 湿法剥除工艺)。在适当预氧化清洁之后, 在氧化步骤中可以生长薄的 (例如, 0.3 μ m的) CMUT单元氧化物以形成薄介电区107。

[0025] 图2A显示描述在SOI衬底 (例如, SOI晶片) 115的真空熔化接合之后的工艺中的CMUT器件的截面图, 该CMUT器件包括柄状物 (handle) (例如, 晶片) 116、掩埋介电层117 (其在本领域中通常被称为“掩埋氧化层”或“(BOX) 层”) 和隔膜层120 (例如, 在SOI领域中通常被称为“活性层”)。隔膜层120被接合到第一衬底101的厚介电区106。

[0026] 被牺牲的 (sacrificial) 柄状物116可以表示根据任意适当材料形成的任意适当半导体晶片, 诸如未掺杂或轻掺杂的 (n或p掺杂) 硅。也被牺牲的掩埋介电层117可以是任意适当 (多个) 电绝缘 (介电) 材料层, 诸如 (多个) 氧化硅层。隔膜层120表示 (多个) 任意适当的 (多个) 衬底材料层, 诸如掺杂的单晶硅。在具体实施方式中, 柄状物116包括具有约5到10 Ω -cm的电阻率, 掩埋介电层117表示约1.5 μ m到2.5 μ m厚的氧化硅层, 并且隔膜层120表示具有约5 Ω -cm电阻率的约14 μ m $\pm$ 5 μ m厚度的掺杂硅。为了单元或元件之间的电互联, 隔膜层120可以包括在其上的金属层, 其使得所提供的通道成为低电阻率通道。

[0027] 然而, 如上所述, 作为SOI衬底的替换以降低成本, 包括标准硅体衬底材料 (例如, 体Si晶片) 的第二衬底可以被接合到第一衬底101 (CMUT衬底/晶片) 的厚介电区106。在本实施方式中, 在接合之后, 通过背面磨光和抛光到期望的目标隔膜厚度诸如14 μ m+5 μ m厚度, 第二衬底材料可以变薄。

[0028] 对于其中CMUT器件/管芯包括多个CMUT元件 (CMUT阵列) 的实施方式, 隔膜层120可以针对每个CMUT元件中的所有CMUT单元而被电共用。每个CMUT元件可以具有单独/唯一的顶板, 该顶板包括元件内的单元的多个电连接的可移动隔膜120b, 其可以通过从第一衬底101的底部103可获得的专用TSV来电连接。每个CMUT元件的顶板的低电阻率可以通过随后在可移动隔膜120b上的金属沉积和以下描述的图案化的工艺步骤来提供。包括清洁和等离子体预处理的适当的已知接合过程可以被使用。

[0029] 对于真空熔化晶片接合, 如在本领域内众所周知的, 确保良好晶片接合的属性包括具有通常小于3Å的表面粗糙度的光滑的接合表面。生长的热氧化物和硅衬底通常满足这个要求。在接合之前, 表面可以用RCA清洁 (SC-1, 其中SC表示标准清洁) 工艺, 用75 $^\circ$ C或80 $^\circ$ C的NH₄OH (氢氧化铵) +H₂O₂ (过氧化氢) +H₂O (水) 的1:1:5溶液来处理通常达10分钟。第二RCA清洁步骤是短暂浸泡在25 $^\circ$ C的HF+H₂O的1:50溶液中, 以去除薄氧化层和离子污染物的一些

碎片。第三和最后步骤的RCA清洁(被称为SC-2)是用75或80℃的HCl+H₂O₂+H₂O的1:1:6溶液来进行的。这个工艺有效地去除金属化(离子)污染物的剩余痕迹。随后可以是N₂等离子体激活和DI水冲洗。真空接合通常是在小于8x10⁵mbar的压力处进行的。作为最终步骤,接合表面在N₂中被退火达数个小时,诸如4小时1050℃的N₂退火。

[0030] 在接合之后,柄状物116接着被去除,诸如通过背面磨光柄状物116到约150μm的研磨后目标,在研磨之后在对研磨之后剩余的柄状物的湿法蚀刻之前进行第二个4小时1050℃退火,接着对剩余柄状物进行湿法蚀刻。当柄状物116包括硅时在背面磨光之后剩余的柄状物可以在湿法硅蚀刻中被蚀刻,诸如使用氢氧化物(例如,KOH或TMAH),停止在掩埋介电层117上。对可移动隔膜(例如,硅板)120b的掩模和蚀刻去除对齐标记上方的隔膜层120以重新打开对齐标记并且使得能够进行随后工艺步骤的适当对齐。由于隔膜层120对于蚀刻而言是通常相对厚的层(例如,约14μm厚度),Bosch蚀刻可以补偿在隔膜层120的蚀刻期间的抗蚀。如本领域已知的,Bosch工艺,也被称为脉冲或时间复用蚀刻,在两个模式/相位之间重复地交替以实现接近垂直蚀刻结构。

[0031] 图2B示出在版图级掩模“TSVHOLE”(掩模#2)之后的在工艺内的CMUT器件。在一个具体实施方式中TSV孔(嵌入通孔)219是30μm直径和150μm深(总深度)的。抗蚀剂217应该是足够厚以支撑蚀刻穿透存在的堆叠(stack),诸如1.1μm的掩埋介电层117加上14μm的隔膜层120加上5.1μm厚度的介电区106加上130μm而到第一衬底101中。TSV孔219接着被蚀刻。单独的蚀刻工具可以用于蚀刻掩埋介电层117(例如,氧化硅)并且,Bosch蚀刻在硅情况下用于蚀刻第一衬底101。

[0032] 抗蚀剂217接着被剥除并且介电衬垫131(例如,0.5μm的介电氧化物)被沉积,或热生长在嵌入式通孔/TSV孔219内的半导体表面。形成在介电衬垫131上的扩散屏障金属层设计(frame)TSV并且保护防止在诸如Cu的高流动性金属TSV填充材料的情况下TSV填充(或型芯)材料113溢出到半导体中。例如,在一个具体实施方式中,针对铜TSV填充材料113的实施方式,0.0875μm的Ta/TaN扩散屏障金属层,接着1.5μm的Cu籽晶层233(参见图2C)被沉积在介电衬垫131上。替换地,籽晶层233可以例如包括钛上方的铜。

[0033] 图2C示出在版图级掩模“CUMOLD”(掩模#3)之后的在工艺内的CMUT器件,其使用抗蚀剂221。这个掩模可以用于把诸如Cu这样的金属排除于在CMUT单元的部分上方的镀层之外。负抗蚀剂可以用于确保TSV在施加掩模之后无抗蚀剂。掩模是有用的因为可移动隔膜120b(例如,Si板)可以被歪斜几个微米并且在关于铜填充的TSV的随后的Cu化学机械抛光(CMP)步骤可能不能完全去除CMUT单元上方的铜。

[0034] 金属层接着被沉积,诸如电镀TSV填充材料113,(例如,约使用15μm的Cu)随后的CMP以限定用TSV填充材料113填充的TSV孔219。抗蚀剂221接着被剥除。图2D显示描绘在TSV填充材料113沉积(例如,Cu)、TSV填充材料113的CMP之后的工艺内的CMUT器件的截面图,其中如所示来自嵌入式TSV 111'上方的且侧向于嵌入式TSV 111'的籽晶层233上的TSV填充材料113的金属钉头已经被去除,并且在介电衬垫131与掩埋介电层117在场区域(field area)上方被去除之后。接着可以是退火步骤。第二TSV CMP可以用于去除所有剩余的屏障金属(如果存在)(例如,Cu+Ta₂N₅)。湿法剥除可以用于清除CMUT单元上方的残留物。介电衬垫131与掩埋介电层117一起接着被去除而停止在隔膜层120(例如,Si)上。

[0035] 图2E示出在顶部金属层161(诸如0.5μm厚的AlCu金属层)的沉积之后的工艺内的

CMUT器件。顶部金属层161提供隔膜层120板金属化并且将隔膜层120连接到嵌入式TSV 111'的顶部。使用抗蚀剂223的版图级“ALTOP”(掩模#4)被示出,其允许蚀刻以在(多个)CMUT元件上方限定顶部金属层161(例如,A1Cu层)。ALTOP CD可以小于最终板的尺寸(例如,小1 μm /侧)。在对可移动隔膜120(例如,Si板)图案化之前对顶部金属层161图案化避免了顶部金属层161和抗蚀剂步骤覆盖问题两者。使用抗蚀剂223中的开口,顶部金属层161可以从场区域而被湿法蚀刻。抗蚀剂223接着被剥掉。

[0036] 图2F示出在使用版图级“PLATESI”(掩模#5)对抗蚀剂225进行图案化之后的工艺内的CMUT器件。抗蚀剂225可以完全封装图案化的顶部金属层161(例如,A1Cu层)。这个掩模可以比以上描述的A1Cu(ALTOP)掩模大(例如,大1 μm /侧)。

[0037] 接着使用抗蚀剂225蚀刻隔膜层120以分隔用于具有多个CMUT元件的CMUT器件的CMUT元件并且形成所示的可移动隔膜120b。隔膜层120的蚀刻停止在厚介电区106上。具有短周期的Bosch蚀刻可以被使用以最小化侧壁扇形边。蚀刻应被配置成不可重入的。抗蚀剂可以225接着被剥掉。

[0038] 图2G示出在一个具体实施方式中的在沉积介电钝化层168诸如从氧化硅层中获得的约0.2 μm 的等离子体原硅酸四乙酯(TEOS)接着沉积0.2 μm 的等离子体氮化物钝化层之后的工艺内的CMUT器件。介电钝化层168被示出为覆盖可移动隔膜120b的侧壁。取决于CMUT应用,较厚的钝化堆可以被使用。最终合金可以被进行,诸如在400 $^{\circ}\text{C}$ 以 N_2+H_2 (形成气体)。

[0039] 图2H示出在使用粘接剂172可选的将工艺内的CMUT衬底(例如,晶片)接合到临时载体晶片180,接着背面磨光以露出第一衬底101的底部103上的TSV并且形成突出TSV末端111a之后的工艺内的CMUT器件。背面磨光(backgrind)可以将接近于嵌入式TSV的工艺内的CMUT衬底(例如,晶片)变薄,并且可以去除所有底部膜,并且在一个具体实施方式中去除第一衬底101的725 μm 厚的Si衬底中的约550 μm ,从而留下约175 μm 。第一衬底101的底部103可以被蚀刻以露出TSV末端111a,从而留下第一衬底101大约100 μm 厚。可以利用XeF等离子体蚀刻或湿法Si蚀刻,使得介电衬垫131和屏障金属(如果存在)被去除以形成具有用于TSV 111的露出的TSV填充材料113的TSV末端111a。介电衬垫131和屏障金属的等离子体蚀刻通常将在TVS 111和112的侧壁上留下介电(例如,氧化物)隔离物。

[0040] 在一个特定实施方式中,接着在第一衬底的底部103上沉积金属层,诸如Ti/Ni/Ag层(例如,1000 $\text{\AA}$ Ti + 2800 $\text{\AA}$ Ni + 1500 $\text{\AA}$ Ag)。在金属层167沉积之前第一衬底101的底部103可以被清洁。约300 $\text{\AA}$ 的预溅射蚀刻可以被使用。版图级TSVEXP”(掩模#6)接着可以被使用以在金属层167从TSV末端111a剥离时保护金属层167的区域。以上描述的图1B所示的CMUT器件100在图案化以在第一衬底101的底部103上形成图案化的金属层167以及剥除掩模6抗蚀剂之后产生(图1B中没有示出Cu籽晶层233)。在划片(dicing)(分隔(singulation))之后,得到的CMUT管芯可以被封装,诸如被接合在控制管芯的顶部。

[0041] 图3示出根据示例性实施方式的示例性CMUT器件(管芯)300,其包括多个CMUT元件301-306,其中每个电容式CMUT元件包括图1A和图1B中示出为彼此连接在元件中的CMUT单元100a-100d的CMUT单元100a中的四个。如上所述,顶部电极针对每个CMUT元件而被分隔,这允许使用针对每个元件的单个TSV而对相应的元件进行单独寻址,其中存在器件上的所有CMUT元件的共用底部电极(例如,Si的固体片)。在其它实施方式中,CMUT器件具有用于每

个元件的共用顶部电极和用于每个元件的单独底部电极,以允许相应元件的单独寻址。

[0042] 尽管CMUT器件300被示出为具有六个CMUT元件301-306,其中每个CMUT元件包括四个CMUT单元100a-100d,但是所公开的CMUT器件可以具有任意数量的CMUT元件,每个CMUT元件具有任意数量的CMUT单元。CMUT元件301-306可以彼此电隔离,并联连接在管芯上或下(on or off)(例如,通过将它们各自的TSV 111连接到共用源)以减少阻抗(用于驱动),或可以串联连接(在管芯上或下)以增大阻抗(用于感测)。相应CMUT元件可以被有区别地驱动/感测以改进共模信号或减少制造非对称性。

[0043] 所公开的CMUT器件的优点包括使用仅4个版图级的完整工艺。其它优点包括使得管芯尺寸较小,而不需要传统的接合焊盘,该传统的接合焊盘增大管芯尺寸,并且其要求引线接合并耦合到CMUT器件的顶部上的超声发射表面(可移动隔膜120b)。所公开的CMUT器件还简化了封装操作,这使得耦合到发送介质变得容易,从而降低了封装成本。所公开的CMUT器件还有助于对堆叠CMUT管芯在控制管芯上进行选择,因为两个电极从CMUT器件的底部被接触。

[0044] 所公开的实施方式可以用于形成半导体管芯,其可以被集成到多种装配流程中以形成多种不同器件和相关产品。本领域技术人员将认识到在要求保护的本发明的范围内,可以对所描述的实施方案进行修改,并且可能有很多其它实施方式。

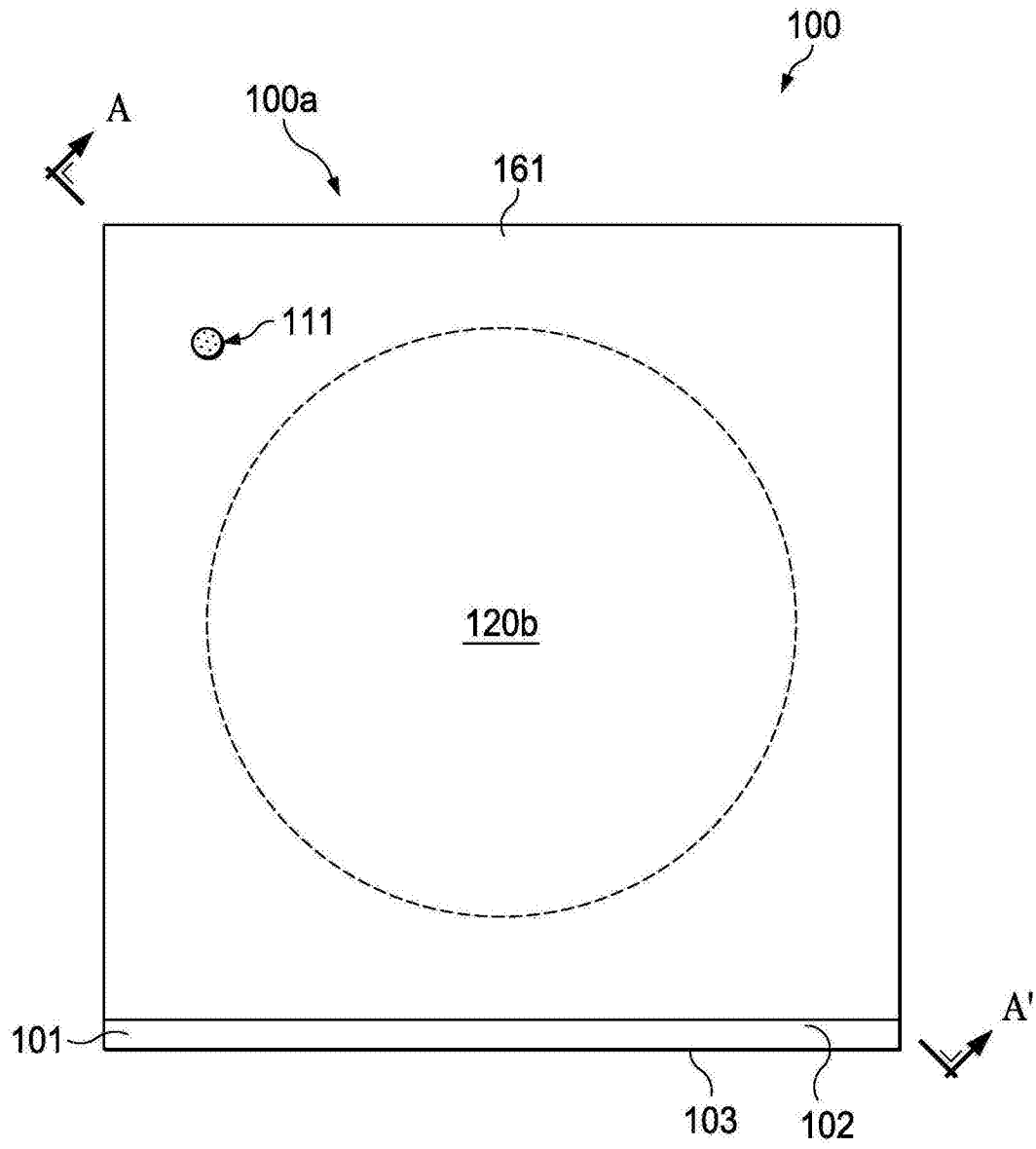


图1A

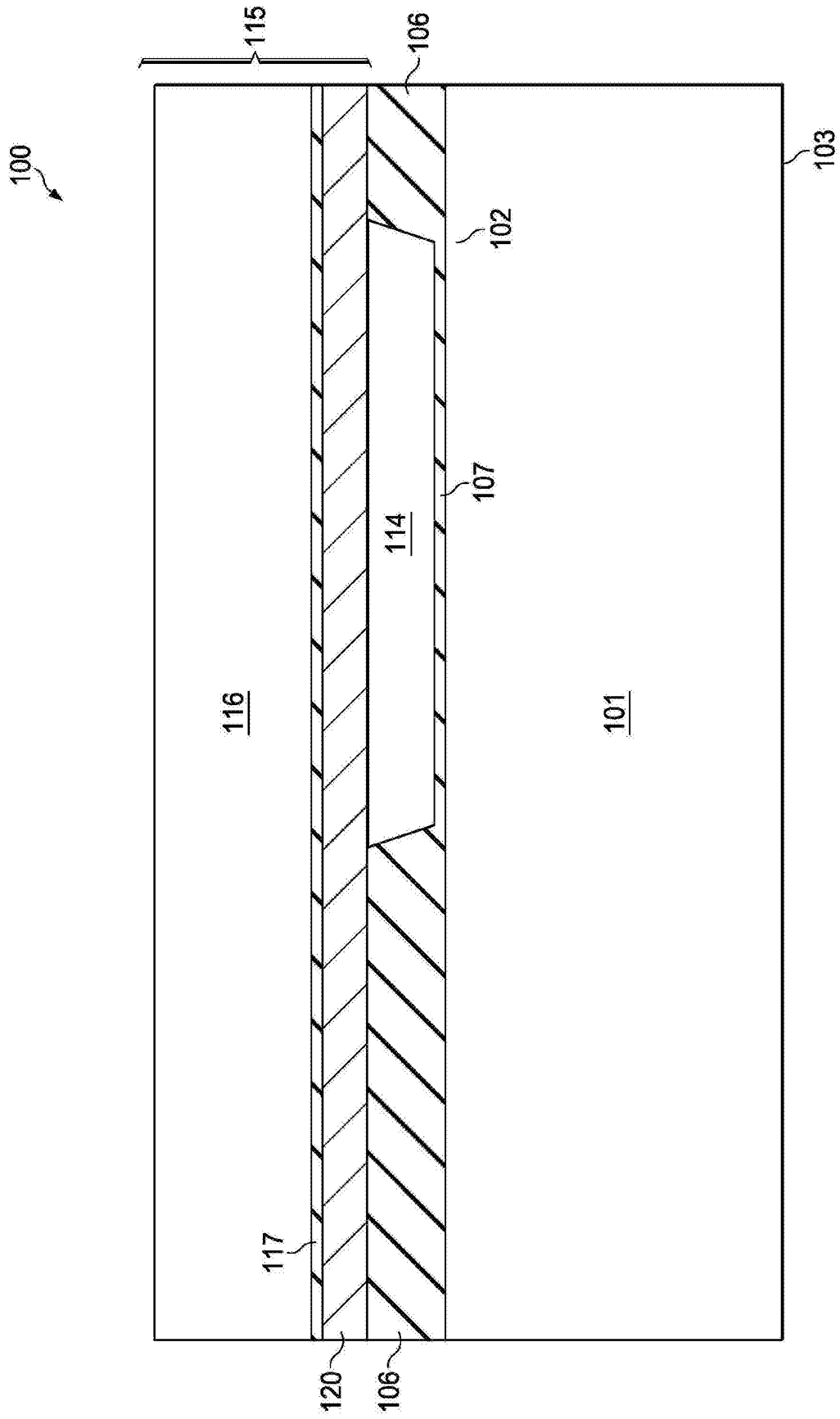


图2A

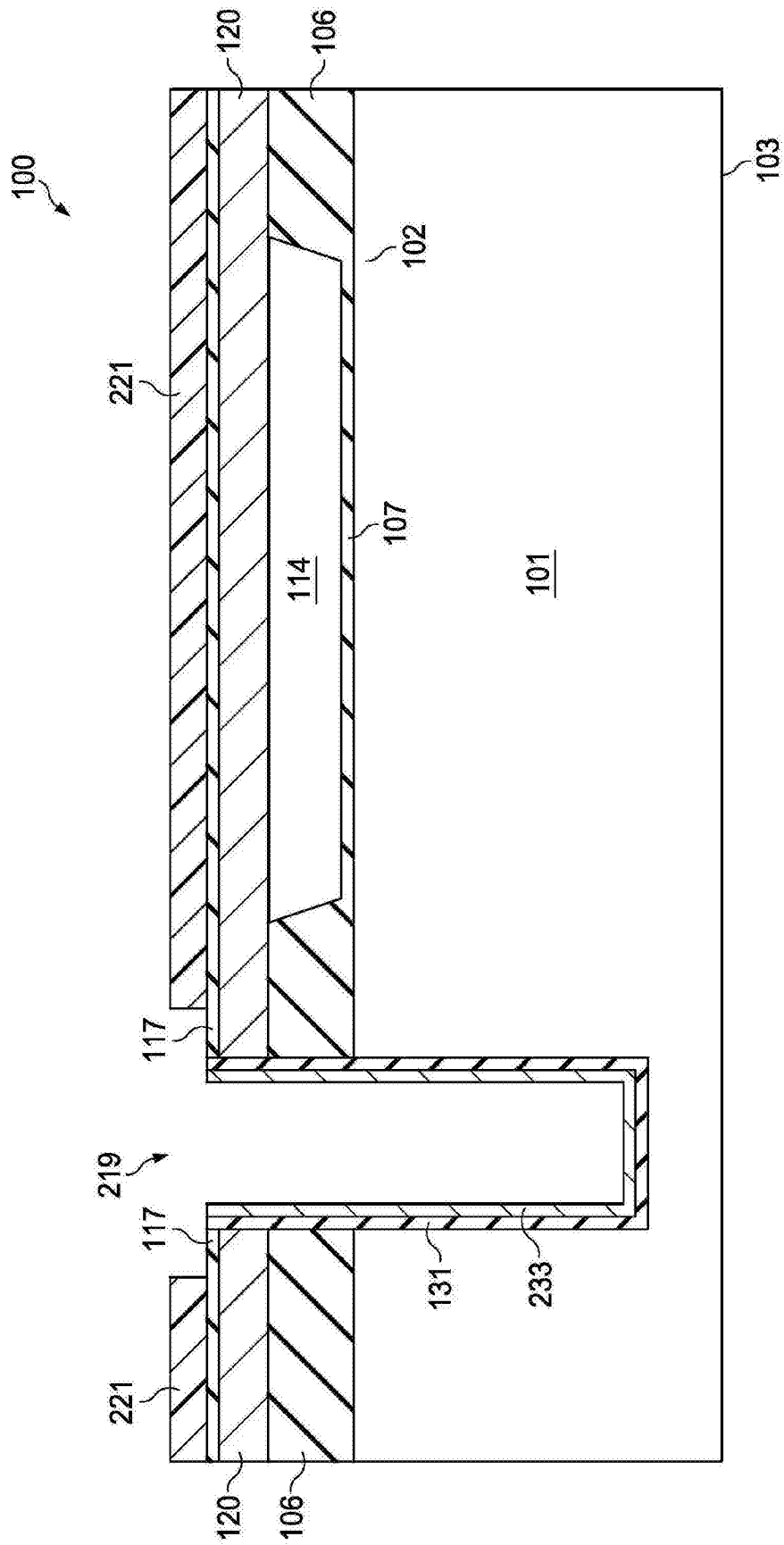


图2C

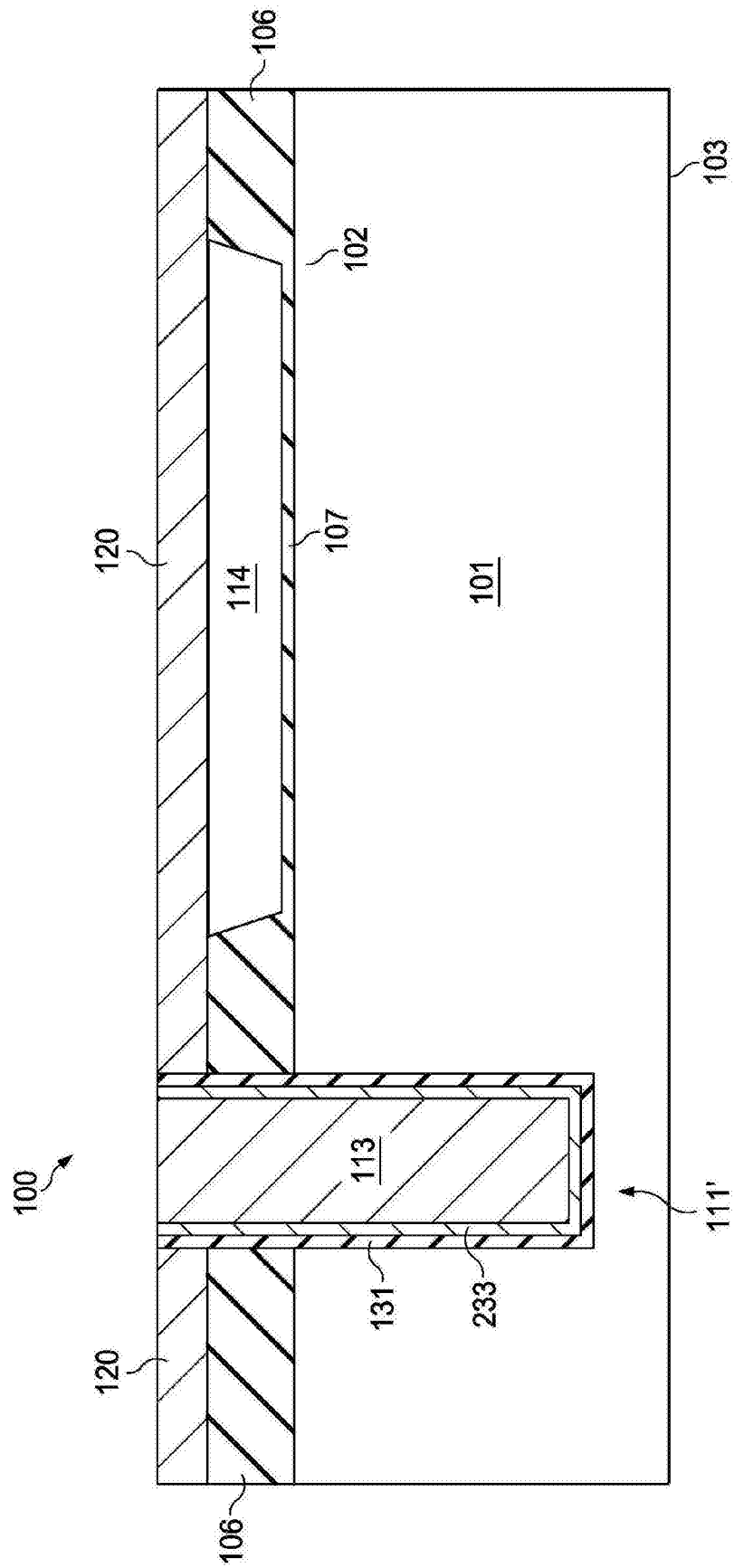


图2D

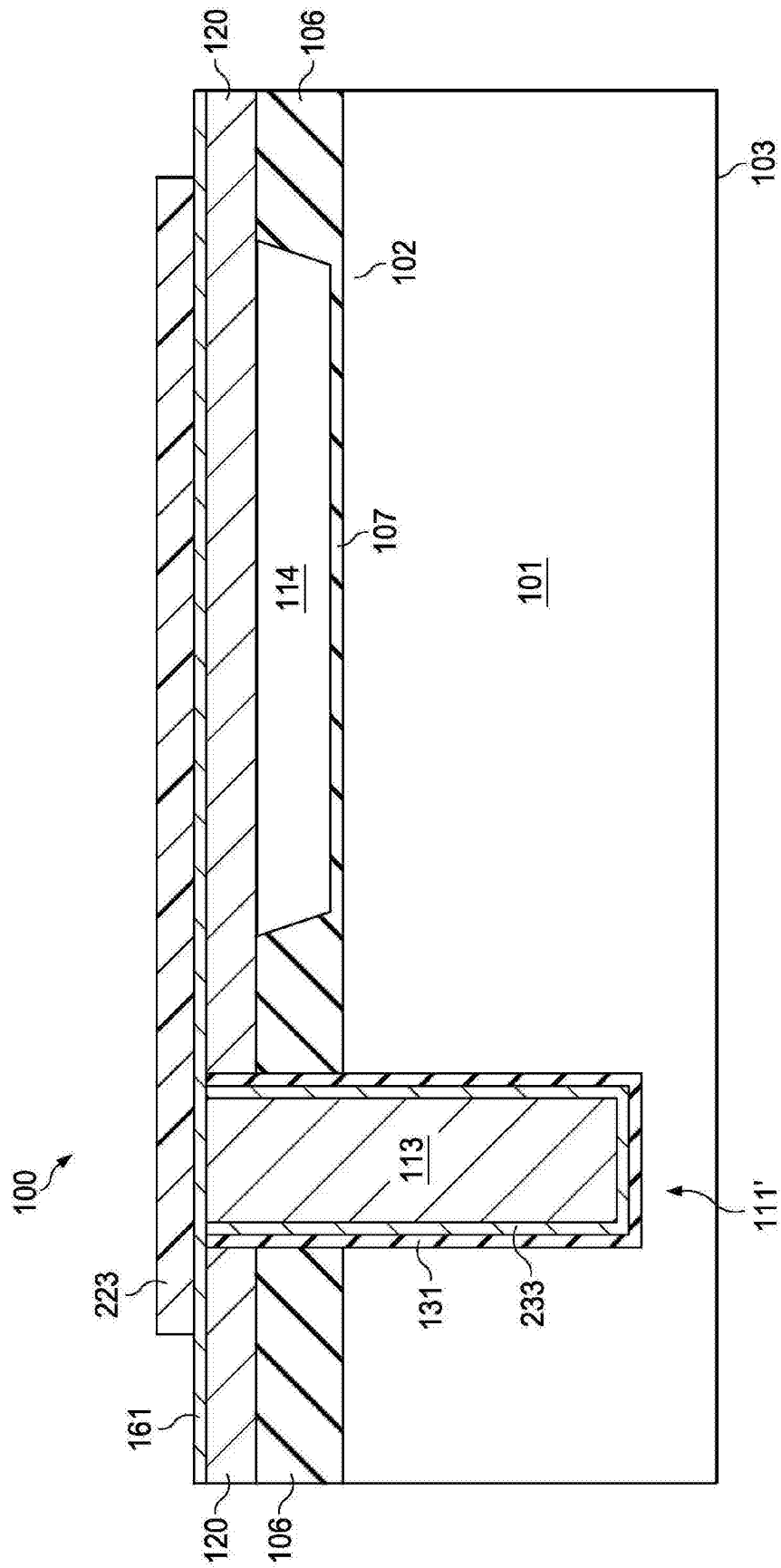


图2E

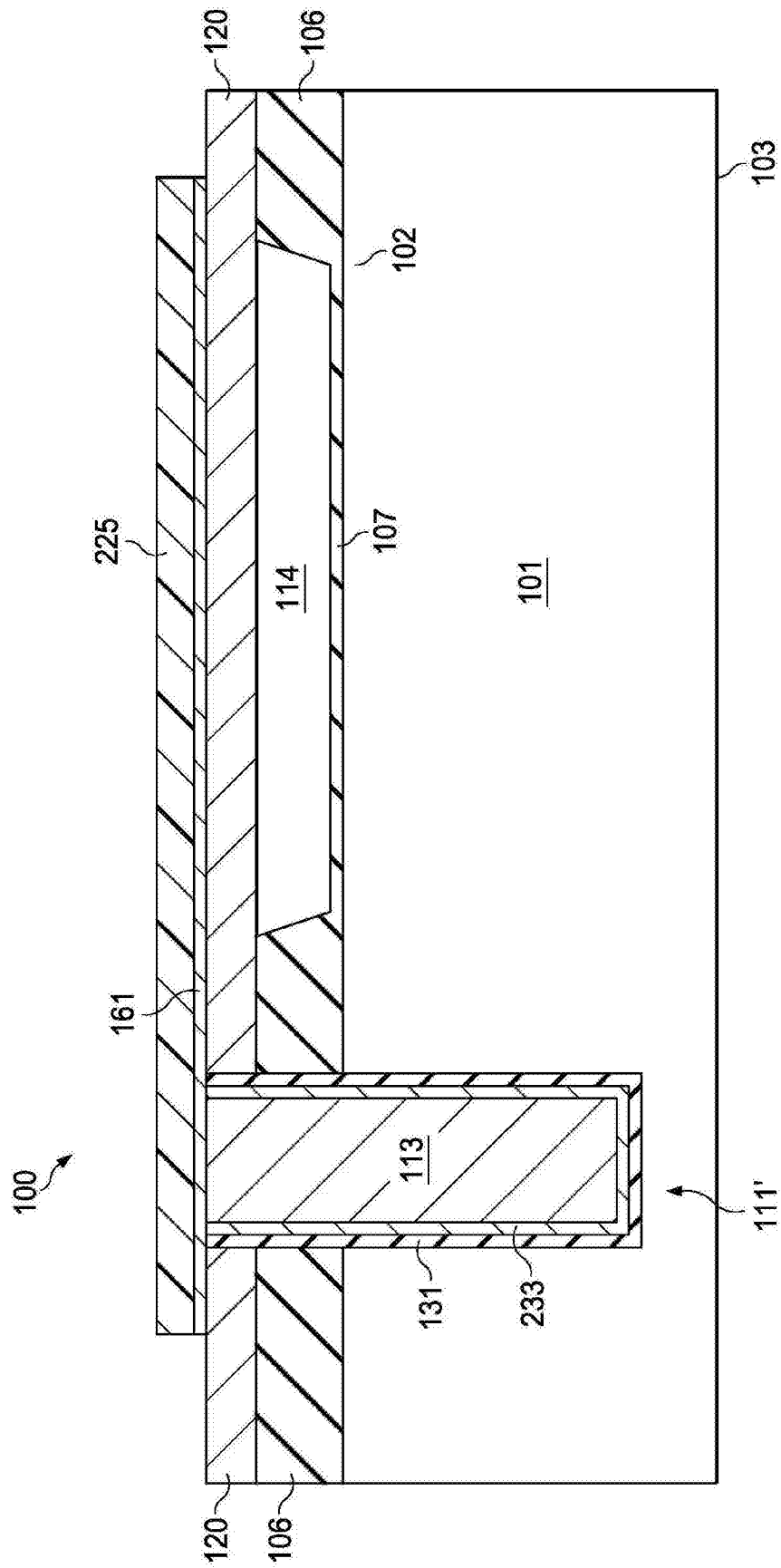


图2F

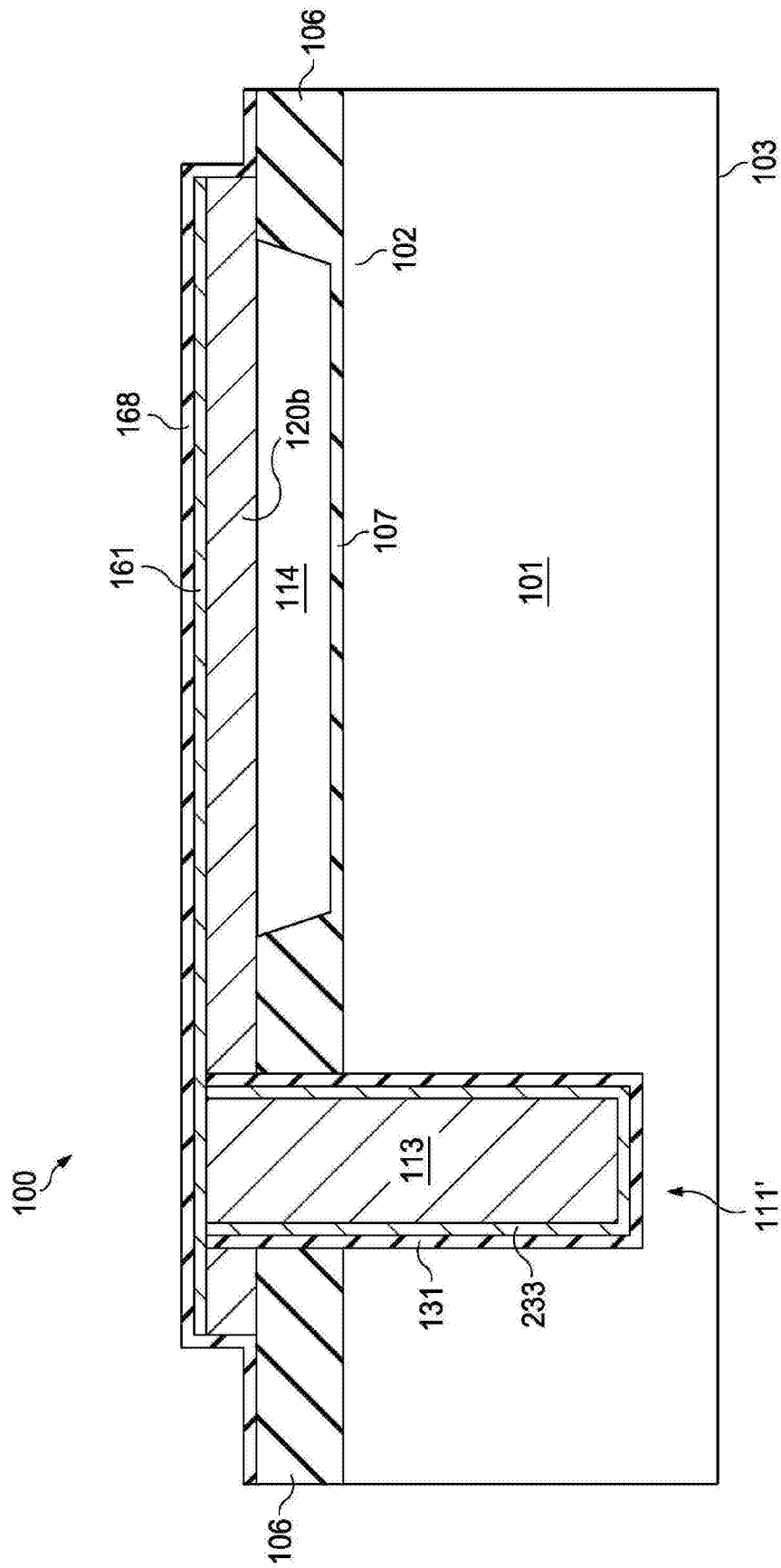


图2G

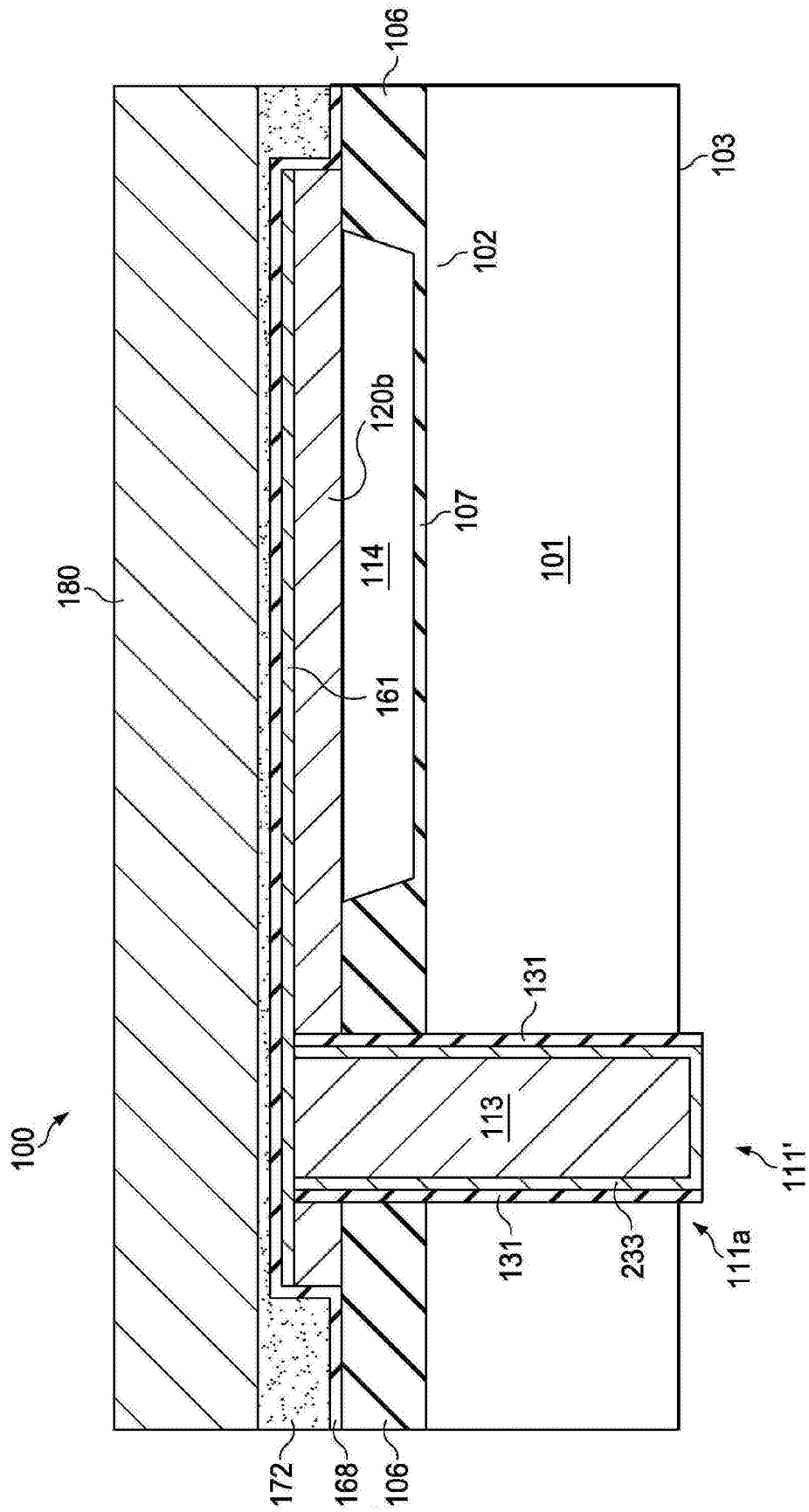


图2H

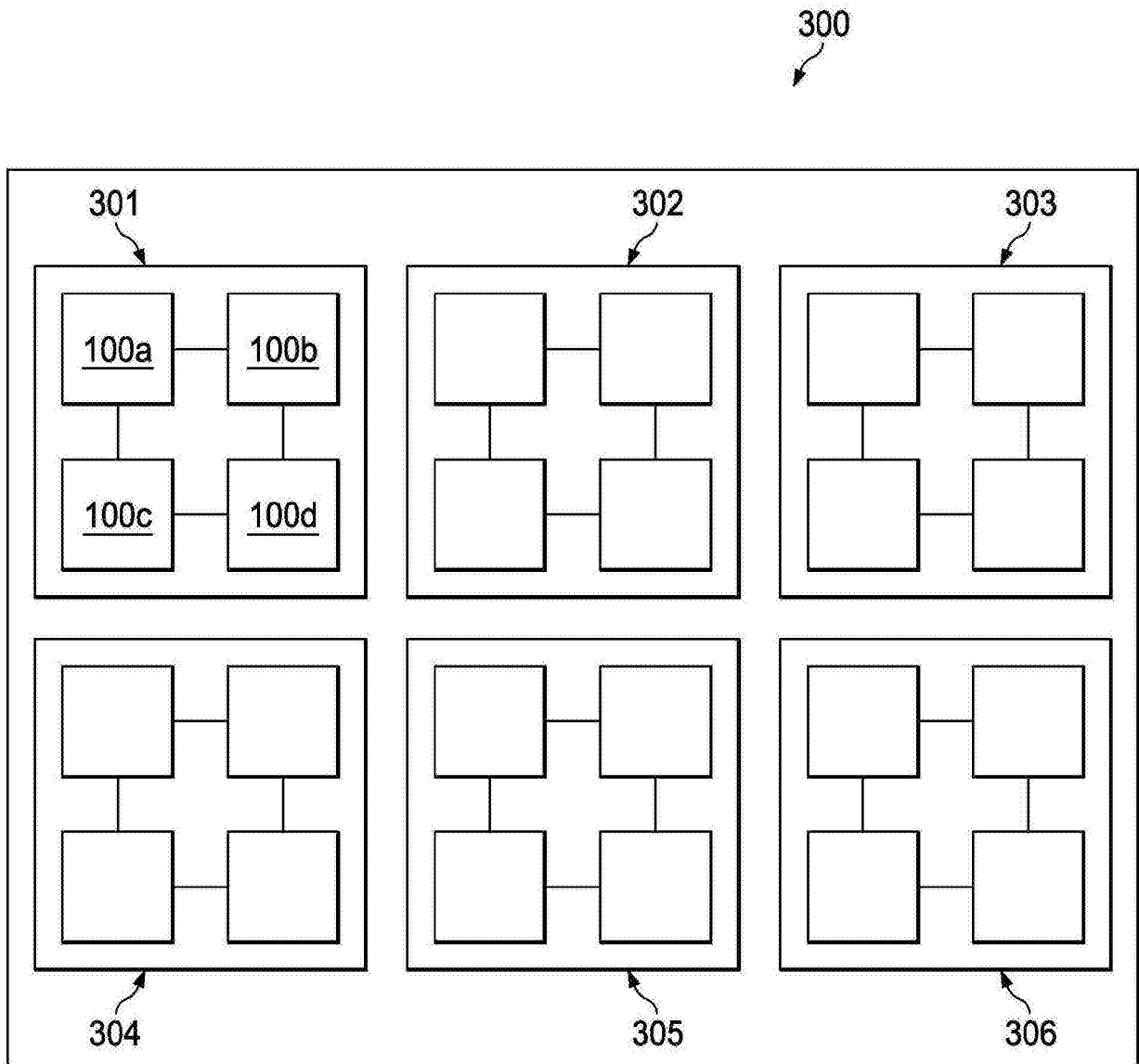


图3