



(12) 发明专利申请

(10) 申请公布号 CN 104636509 A

(43) 申请公布日 2015. 05. 20

(21) 申请号 201310549963. 2

(22) 申请日 2013. 11. 08

(71) 申请人 飞思卡尔半导体公司
地址 美国得克萨斯

(72) 发明人 周建 梁超 钟耿

(74) 专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038

代理人 刘侗

(51) Int. Cl.

G06F 17/50(2006. 01)

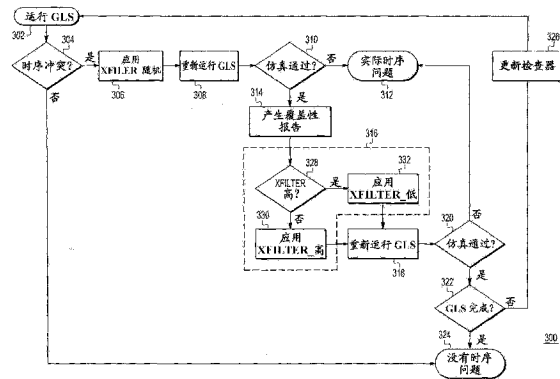
权利要求书3页 说明书6页 附图4页

(54) 发明名称

门级仿真中验证时序问题的方法

(57) 摘要

一种在集成电路设计的门级仿真(GLS)中验证时序问题的方法,所述集成电路设计包括多个单元,所述方法包括运行所述设计的行为模型的仿真例程,以及获取第一仿真结果。如果在单元处存在可能的时序冲突,与强制不确定值对应,则将单元的仿真输出强制为第一值,并获取第二仿真结果。如果该结果为负性的,则产生该单元处的明显的时序冲突的报告。如果该第二仿真结果为正性的,则将单元的输出强制为第二值,并获取第三仿真结果。如果该结果为负性的,则产生在该单元处明显的时序冲突的报告,但是,如果其为正性的,则产生没有明显的时序冲突的报告。



1. 一种用于在集成电路设计的门级仿真中验证时序问题的系统,所述集成电路设计具有多个单元,所述系统包括:

存储器,用于存储所述集成电路设计和指令;以及

处理器,耦接到所述存储器,其中所述指令在所述处理器上执行以运行所述集成电路设计的行为模型的仿真例程,并获取第一仿真结果,其中所述处理器包括,

用于如果所述第一仿真结果在单元处产生可能的时序冲突,与强制的不确定值对应,则强制所述单元的仿真输出为第一值,重新运行所述仿真例程,并获取第二仿真结果的装置,

用于如果所述第二仿真结果在所述单元处产生明显的时序冲突,则产生所述单元处的所述明显的时序冲突的报告;以及

用于如果所述第二仿真结果并不在所述单元处产生明显的时序冲突,则产生所述单元的仿真输出的状态和所述第一值的报告,强制所述单元的仿真输出为第二值,重新运行所述仿真例程,并获取第三仿真结果的装置;

用于如果所述第三仿真结果在所述单元处产生明显的时序冲突,则产生所述单元处的所述明显的时序冲突的报告;以及

用于如果所述第三仿真结果在所述单元处并不产生明显的时序冲突,则完成所述仿真的装置。

2. 如权利要求 1 所述的方法,其中所述第一值是随机值。

3. 一种用于在集成电路设计的门级仿真中验证时序问题的方法,所述集成电路设计具有多个单元,所述方法包括:

运行所述设计的行为模型的仿真例程,并获取第一仿真结果;

如果所述第一仿真结果在单元处产生可能的时序冲突,与强制的不确定值对应,则强制所述单元的仿真输出为第一值,重新运行所述仿真例程,并获取第二仿真结果;

如果所述第二仿真结果在所述单元处产生明显的时序冲突,则产生所述单元处的所述明显的时序冲突的报告;

如果所述第二仿真结果并不在所述单元处产生明显的时序冲突,则产生所述单元的仿真输出的状态和所述第一值的报告,强制所述单元的仿真输出为第二值,重新运行所述仿真例程,并获取第三仿真结果;

如果所述第三仿真结果在所述单元处产生明显的时序冲突,则产生所述单元处的所述明显的时序冲突的报告;以及

如果所述第三仿真结果在所述单元处并不产生明显的时序冲突,则完成所述仿真。

4. 如权利要求 3 所述的方法,其中利用从库中选择的标准单元编译所述集成电路设计的门级设计,其行为模型中的至少一些包括用于将单元仿真输出强制为所述第一值或第二值的配置。

5. 如权利要求 4 所述的方法,其中所述用于强制所述单元仿真输出的配置用所述单元仿真输出的所述第一值或所述第二值替换以另外的方式将获得的单元输出的值。

6. 如权利要求 3 所述的方法,其中所述第一值是随机值。

7. 如权利要求 3 所述的方法,其中:

如果所述第一仿真结果在多个单元处产生可能的时序冲突,则强制所述多个单元的仿

真输出为相应的第一值,然后重新运行所述仿真例程,并获取第二仿真结果;

如果所述第二仿真结果在所述多个单元中的一个或多个单元处产生明显的时序冲突,则产生在所述多个单元处,存在或不存在的明显的时序冲突、所述第一值以及仿真输出的状态的报告;

至少对于其结果是没有明显的时序冲突的单元或多个单元,强制所述单元或多个单元的仿真输出为与相应的第一值不同的第二值,重新运行所述仿真例程,并获取第三仿真结果;以及

如果对于所述第二值也不呈现明显的时序冲突,则利用所述仿真例程的重复再次重新运行所述仿真,并进行报告直至识别出所述第一仿真结果的时序冲突的源。

8. 如权利要求 3 所述的方法,其中完成所述仿真包括:检查仿真处理是否完成,以及如果未完成,则运行另外的仿真例程。

9. 如权利要求 3 所述的方法,其中所述单元中的至少一些时序地连接。

10. 如权利要求 3 所述的方法,其中对于所执行的每一个仿真例程,产生所述仿真结果、所述单元的仿真输出值、以及所述单元的仿真输出值是否被强制的报告。

11. 如权利要求 10 所述的方法,其中,重新运行仿真例程在限定所述单元的用于重新运行仿真例程的仿真输出的值中,利用先前的报告。

12. 一种非瞬时性计算机可读存储介质,其存储指令,所述指令在由计算机执行时,使所述计算机执行在集成电路设计的门级仿真中验证时序问题的方法,所述集成电路设计具有多个单元,所述方法包括:

运行所述设计的行为模型的仿真例程,并获取第一仿真结果;

如果所述第一仿真结果在单元处产生可能的时序冲突,与强制不确定值对应,则强制所述单元的仿真输出为第一值,重新运行所述仿真例程,并获取第二仿真结果;

如果所述第二仿真结果在所述单元处产生明显的时序冲突,则产生所述单元处的所述明显的时序冲突的报告;

如果所述第二仿真结果并不在所述单元处产生明显的时序冲突,则产生所述单元的仿真输出的状态和所述第一值的报告,强制所述单元的仿真输出为第二值,重新运行所述仿真例程,并获取第三仿真结果;

如果所述第三仿真结果在所述单元处产生明显的时序冲突,则产生所述单元处的所述明显的时序冲突的报告;以及

如果所述第三仿真结果在所述单元处并不产生明显的时序冲突,则完成所述仿真。

13. 如权利要求 12 所述的非瞬时性计算机可读存储介质,其中所述存储介质包括利用从库中选择的标准单元编译的所述集成电路设计的门级设计,其行为模型中的至少一些包括用于将单元仿真输出强制为所述第一值或第二值的配置。

14. 如权利要求 13 所述的非瞬时性计算机可读存储介质,其中所述用于强制所述单元仿真输出的配置用所述单元仿真输出的所述第一值或所述第二值替换以另外的方式将获得的单元仿真输出的值。

15. 如权利要求 12 所述的非瞬时性计算机可读存储介质,其中所述第一值是随机值。

16. 如权利要求 12 所述的非瞬时性计算机可读存储介质,其中:

如果所述第一仿真结果在多个单元处产生可能的时序冲突,则强制所述多个单元的仿

真输出强制为相应的第一值,然后重新运行所述仿真例程,并获取第二仿真结果;

如果所述第二仿真结果在所述多个单元中的一个或多个单元处产生明显的时序冲突,则产生在所述多个单元处,存在或不存在的明显的时序冲突、所述第一值、以及仿真输出的状态的报告;

至少对于其结果是没有明显的时序冲突的单元或多个单元,强制所述单元或多个单元的仿真输出为与相应的第一值不同的第二值,重新运行所述仿真例程,并获取第三仿真结果;以及

如果对于所述第二值也不呈现明显的时序冲突,则利用所述仿真例程的重复再次重新运行所述仿真,并进行报告直至识别出所述第一仿真结果的时序冲突的源。

17. 如权利要求 12 所述的非瞬时性计算机可读存储介质,其中完成所述仿真包括:检查仿真处理是否完成,以及如果未完成,则运行另外的仿真例程。

18. 如权利要求 12 所述的非瞬时性计算机可读存储介质,其中所述单元中的至少一些时序地连接。

19. 如权利要求 12 所述的非瞬时性计算机可读存储介质,其中对于所执行的每一个仿真例程,产生所述仿真结果、所述单元的仿真输出值、以及所述单元的仿真输出值是否被强制的报告。

20. 如权利要求 19 所述的非瞬时性计算机可读存储介质,其中,重新运行仿真例程在限定所述单元的用于重新运行仿真例程的仿真输出的值中,利用先前的报告。

门级仿真中验证时序问题的方法

技术领域

[0001] 本发明涉及集成电路设计和测试,更具体地,涉及集成电路设计的门级仿真中的验证时序问题的方法。

背景技术

[0002] 在具有数字(或,混合的数字和模拟)电路的集成电路(IC)的电子设计自动化(EDA)设计流程期间,通常在硬件描述语言(HDL)(如,Verilog 和 VHDL)中使用寄存器传输级(RTL)抽象来生成 IC 的高级别表示,从标准单元库中选择标准单元设计及其特性。就存储信号值的寄存器,以及对信号值执行逻辑操作的组合逻辑,限定 RTL 描述。通常 RTL 描述被转换为门级描述(诸如,网表),其由放置和路由工具使用来生成物理布局。

[0003] IC 的正确操作和性能常常受时序考量限制。IC 的静态时序分析(STA)使得能够利用关键路径和角部的定义,分析 IC 的简化的延迟模型和识别诸如保持时间和建立时间冲突、毛刺、和时钟偏斜的问题。然而,STA 约束可能是不正确的,并且可能错失某些关键路径,因此,设计的动态门级仿真常常是必要的。

[0004] 通常,动态门级仿真基于门的输入值确定门的输出值。如果一个或多个输入值是不确定的(也即,不清楚的),则仿真器的行为模型会导致也是不确定的门的输出值。随着仿真进行,这些不确定值门接着门地传播到组合模块的输出。在某些 EDA 语言中,将不确定值指定为 X。尤其是,在 VHDL 中,值“U”、“X”、“W”和“-”是元逻辑(metalogical)值;它们定义模型本身的行为而不是所综合的硬件的行为,其中“U”表示在对象在其在仿真期间被明确分配值之前的值;“X”和“W”分别表示强制值和弱值,对于所述强制值和弱值,模型不能区分逻辑电平,并且其与来自高阻抗源或输出的值(被指定为 Z,其可以不门接着门地传播)不同。不确定的 X 值的传播通常导致仿真崩溃,增加了分析时序冲突的原因和位置的难度。

[0005] 在可能的时序冲突可以被识别为假时序冲突(也即,在物理 IC 中将不实际出现的时序冲突)时,在某些常规的时序仿真技术中可以为标准单元设置被称作 Xfilter (X 过滤器)的参数。在这样的技术中,在设置 Xfilter 参数时,所识别的单元的模式产生与单元输入值和该单元的理论功能对应的输出值。例如,在利用正边沿时钟的 D 触发器的情况下,如果设置了 Xfilter 参数,则模型将产生确定的输出值,其等于在时钟的正边沿处 D 输入处的值。另外,所有用于单元的时序检查将被禁用,使得仿真能够进行而该单元不作为仿真崩溃的原因。然而,在设置了 Xfilter 参数的情况下仿真中单元的行为将不同于物理 IC 中的单元。此外,Xfilter 禁止用于该单元的所有时序检查,这会掩蔽其它时间点处的实际时序冲突。此外,在同步的电路模块的情况下,可能难以识别若干时钟信号是否处于相同的时钟域中,并且难以验证可能的时序冲突,因为在同一域的时钟树、时钟门单元以及时钟划分器中可能存在许多的缓冲器。

[0006] 在 IC 设计中识别和分析时序冲突以及将实际时序冲突与假时序冲突区分开可能是非常劳动密集且耗时的。寻求有效且高度自动化地进行此的方法。

[0007] 概述

[0008] 根据本公开一个实施例,提供了一种用于在集成电路设计的门级仿真中验证时序问题的系统,所述集成电路设计具有多个单元,所述系统包括:存储器,用于存储所述集成电路设计和指令;以及处理器,耦接到所述存储器,其中所述指令在所述处理器上执行以运行所述集成电路设计的行为模型的仿真例程,并获取第一仿真结果,其中所述处理器包括,

[0009] 用于如果所述第一仿真结果在单元处产生可能的时序冲突,与强制的不确定值对应,则强制所述单元的仿真输出为第一值,重新运行所述仿真例程,并获取第二仿真结果的装置,

[0010] 用于如果所述第二仿真结果在所述单元处产生明显的时序冲突,则产生所述单元处的所述明显的时序冲突的报告;的装置;

[0011] 用于如果所述第二仿真结果并不在所述单元处产生明显的时序冲突,则产生所述单元的仿真输出的状态和所述第一值的报告,强制所述单元的仿真输出为第二值,重新运行所述仿真例程,并获取第三仿真结果的装置;

[0012] 用于如果所述第三仿真结果在所述单元处产生明显的时序冲突,则产生所述单元处的所述明显的时序冲突的报告;的装置;以及

[0013] 用于如果所述第三仿真结果在所述单元处并不产生明显的时序冲突,则完成所述仿真的装置。

[0014] 根据本公开另一实施例,提供了一种用于在集成电路设计的门级仿真中验证时序问题的方法,所述集成电路设计具有多个单元,所述方法包括:运行所述设计的行为模型的仿真例程,并获取第一仿真结果;如果所述第一仿真结果在单元处产生可能的时序冲突,与强制的不确定值对应,则强制所述单元的仿真输出为第一值,重新运行所述仿真例程,并获取第二仿真结果;如果所述第二仿真结果在所述单元处产生明显的时序冲突,则产生所述单元处的所述明显的时序冲突的报告;如果所述第二仿真结果并不在所述单元处产生明显的时序冲突,则产生所述单元的仿真输出的状态和所述第一值的报告,强制所述单元的仿真输出为第二值,重新运行所述仿真例程,并获取第三仿真结果;如果所述第三仿真结果在所述单元处产生明显的时序冲突,则产生所述单元处的所述明显的时序冲突的报告;以及如果所述第三仿真结果在所述单元处并不产生明显的时序冲突,则完成所述仿真。。

[0015] 根据本公开再一实施例,提供了一种非瞬时性计算机可读存储介质,其存储指令,所述指令在由计算机执行时,使所述计算机执行在集成电路设计的门级仿真中验证时序问题的方法,所述集成电路设计具有多个单元,所述方法包括:运行所述设计的行为模型的仿真例程,并获取第一仿真结果;如果所述第一仿真结果在单元处产生可能的时序冲突,与强制不确定值对应,则强制所述单元的仿真输出为第一值,重新运行所述仿真例程,并获取第二仿真结果;如果所述第二仿真结果在所述单元处产生明显的时序冲突,则产生所述单元处的所述明显的时序冲突的报告;如果所述第二仿真结果并不在所述单元处产生明显的时序冲突,则产生所述单元的仿真输出的状态和所述第一值的报告,强制所述单元的仿真输出为第二值,重新运行所述仿真例程,并获取第三仿真结果;如果所述第三仿真结果在所述单元处产生明显的时序冲突,则产生所述单元处的所述明显的时序冲突的报告;以及如果所述第三仿真结果在所述单元处并不产生明显的时序冲突,则完成所述仿真。

[0016] 附图简要描述

[0017] 通过参考下面的对附图中所示的本发明的实施例的说明,可以更好地理解本发明

及其目的和优点。图中的元件出于简化和清楚的目的而示出,并且并不必然按比例绘制。

[0018] 图 1 是产生处理装置的门级设计以及分析其中的时序问题的常规方法的简化流程图;

[0019] 图 2 是作为示例给出的根据本发明一实施例的在集成电路设计的门级设计和仿真中使用的模块的行为模型的示意性框图;

[0020] 图 3 是根据本发明一个实施例的仿真和分析集成电路设计中的时序问题的方法的流程图;以及

[0021] 图 4 是用于执行本发明的方法的示例性 EDA 工具的示意性框图

具体实施方式

[0022] 现在参考图 1, 示出了用于产生集成电路(IC)的门级设计以及分析 IC 中的时序问题的电子设计自动化(EDA)的常规方法 100。方法 100 开始于步骤 102, 从库中选择要包括在 IC 中的标准单元, 以及在步骤 104, 产生寄存器传输级(RTL)描述。在步骤 106, 将 RTL 描述转换为门级描述(诸如, 网表)。在步骤 108, 进行该门级描述的静态时序分析(STA), 以及可以通过改变设计来解决 STA 所揭示的任何时序问题。然后, 在步骤 110, 进行设计的动态门级仿真。

[0023] 图 2 和 3 示出了根据本发明一实施例的在具有多个单元的集成电路(IC)设计 200 的门级仿真(GLS)中验证时序问题的方法 300。方法 300 包括: 在步骤 302, 运行设计 200 的行为模型的门级仿真(GLS), 并获取第一仿真结果 304。如果第一仿真结果 304 在单元处产生可能的时序冲突, 与强制不确定值对应, 则在步骤 306 将该单元的仿真输出强制为第一值。在步骤 308, 重新运行仿真例程, 并获取第二仿真结果 310。如果第二仿真结果 310 在该单元处是明显的时序冲突, 则产生该单元处的该明显的时序冲突的报告 312。如果第二仿真结果 310 在该单元处没有明显的时序冲突, 则在步骤 314, 产生该单元的仿真输出的状态和所述第一值的报告。然后, 在步骤 316, 将该单元的仿真输出强制为第二值。在步骤 318, 重新运行仿真例程, 并获取第三仿真结果 320。如果第三仿真结果 320 在该单元处产生明显的时序冲突, 则在步骤 312, 产生该明显的时序冲突的报告。如果第三仿真结果 320 在该单元处没有明显的时序冲突, 则完成仿真。如果在步骤 304 或在步骤 320 没有发现时序冲突, 则在步骤 324, 产生没有明显的时序冲突的报告。

[0024] 可以利用从库(诸如, 图 1 中 102 示出标准单元库)中选择的标准单元编译 IC 设计 200 的门级设计。如图 2 中所示, 在 IC 设计 200 的门级设计的行为模型的一个示例中, 至少某些标准单元的行为模型包括用于使单元仿真输出强制为第一值或第二值的配置 202。用于强制所述单元仿真输出的配置 202 可以用所述仿真单元输出的所述第一值或所述第二值替换否则将以另外的方式获取的仿真单元输出的值。第一值可以是随机值, 第二值不同于第一值。

[0025] 如果所述第一仿真结果产生可能的时序冲突, 则可以将多个单元的仿真输出强制为相应的第一值, 所述第一值可以随机定义, 然后可以重新运行仿真例程并获取第二仿真结果。如果所述第二仿真结果在所述多个单元中的一个或多个处产生明显的时序冲突, 则可以产生在所述多个单元处存在或不存在明显的时序冲突、所述第一值和仿真输出的状态的报告。至少对于其结果是没有明显的时序冲突的单元或多个单元, 将所述单元或多个单

元的仿真输出强制为与相应的第一值不同的第二值,重新运行仿真例程,并获取第三仿真结果。如果对于所述第二值也呈现没有明显的时序冲突,则可以利用所述仿真例程的重复再次重新运行所述仿真,并进行报告直至识别出所述第一仿真结果的时序冲突的源。

[0026] 完成仿真可以包括:在步骤 322 检查仿真处理是否完成,以及在步骤 326 更新用于仿真进程的检查器。如果仿真处理未完成(或者,不完美),于是可以运行另外的仿真例程 302。

[0027] IC 设计 200 的单元并不必然是组合单元,至少某些单元可以是时序地连接的。

[0028] 可以对于所执行的每一个仿真例程,产生所述仿真结果、所述单元的仿真输出值、以及所述单元的仿真输出值是否被强制的报告。重新运行仿真例程可以在限定单元的用于重新运行仿真例程的仿真输出的值中,利用先前的报告。这可以简化明显时序问题的确认或验证。

[0029] 在本发明的一个实施例中,非瞬时性计算机可读存储介质存储指令,所述指令在由计算机执行时,使计算机执行方法 300。计算机可读存储介质可以存储标准单元(具有或不具有用于将单元仿真输出强制为第一值或第二值的配置 202),和用于 IC 设计 200 的其它元件,以及用于执行方法 300 的指令。

[0030] 更详细地,图 2 示意性地出了在方法 300 的一个示例中 IC 设计 200 的门级设计中的模块的用于仿真的行为模型。IC 设计 200 被示出为具有模块 1 至 N,其分别具有单元 1.1 至 1.m,直至单元 N.1 至 N.m。模块 1 至 N 的单元每一都具有连接到栅极海(SOG)的输出。单元的行为模型还具有用于将单元输出强制为第一或第二值的配置 202,这可以根据来自仿真例程或来自操作人员的指令。模块 1 至 N 的单元可以是标准单元库中的标准单元。将理解,单元可以具有不同类型,诸如触发器、时钟门、锁存器以及其它类型,并且不同模块 1 至 N 中的单元的类型和数量通常将是不同的。某些单元的行为模型可以具有配置 202,而其它单元不需要配置 202。那些其行为模型具有配置 202 的单元也可以是可在标准单元库中获得的标准单元,以及没有配置 202 的单元。

[0031] 图 2 中以硬件的形式示出了用于将强制单元输出强制为第一或第二值配置 202。将理解,出于 IC 设计 200 的仿真的目的,配置 202 通常将是呈现出等效功能的软件,并且其可以存储在非瞬时性计算机可读存储介质上。在图 2 所示的示例中,每一配置 202 具有来自相应的基础单元 1.1 至 1.m 直至单元 N.1 至 N.m 的输出(诸如,204)的输入。单元输出 204 连接至相应的复用器 206 的一个输入,复用器的其它输入接收值 0、值 1、以及随机值(0/1)。复用器 206 具有连接到 SOG 的输出,其根据控制输入端 208 上的控制信号采取从其不同输入选择的值。控制输入端 208 可以由例如来自仿真例程或来自操作人员的指令控制。

[0032] 再次参考图 3,出于简化,在该图中配置 202 被标记为 Xfilter,但应理解,行为模型的配置 202 并不将单元的输出 204 阻断在等于其输入的单个值上,而是在仿真例程或用户的指令的控制下,随机值 0/1 或值 0 或 1 替换基础单元的输出。在步骤 306,配置 202 将单元的输出强制为第一值,该第一值可以是随机值(0/1)。替代地,第一值可以是系统地为 1 或 0 的预定值。

[0033] 在该示例中,处理步骤 316 包括:在步骤 328,就在步骤 306 单元的仿真输出被强制为第一值的该第一值为高或低进行判决。如果在步骤 306 第一值为低,则在步骤 330,将单元的仿真输出强制为高。如果在步骤 306 第一值为高,则在步骤 332,将单元的仿真输出

强制为低。

[0034] 处理步骤 316 可以利用诸如下面的软件例程实现：

[0035]

[0036]

```

'ifdef 无 Xfilter
    always @ (通知_reg)
        通知 = (通知_reg)
'else
    always (通知_reg) begin
if ('Xfilter) 通知 = (通知_reg)
case(1'b1)
    Xfilter_高: 强制_值 = 1'b1;
    Xfilter_低: 强制_值 = 1'b0;
    Xfilter_随机: 强制_值 = $随机;
    默认: 强制_值 = $随机;
endcase
$显示("%m 强制_值 = %b", 强制_值;
强制 q = 强制_值;
强制 qb = ~强制_值;
@(negedge ckb);
#2 release q ;
    release qb ;
end
'endif

```

[0037] 本发明可以至少部分地以非瞬时性机器可读介质实现，所述非瞬时性机器可读介质包含用于在计算机系统上运行的计算机程序。该程序包括用于在计算机系统上运行时执行根据本发明的方法的步骤的代码部分。

[0038] 图 4 是用于执行上面所描述的本发明的方法的示例性计算机系统 400 的示意性框图。计算机系统 400 包括：耦接到存储器 404 的处理器 402，以及耦接到存储器 404 的附加存储器或存储装置 406。计算机系统 400 还包括显示装置 408、输入装置 410 和 412、以及软件 414。软件 414 包括操作系统软件 416、应用程序 418 和数据 420。应用程序 418 可以包括门级仿真器等，数据 420 可以包括门级设计、修改或校正的门级设计、以及单元库。计算机系统 400 以及构成部分可以是本领域中公知的，并且在上面就门级仿真所描述的方法和

步骤方面是新颖的。在软件或程序在处理器 402 上执行时,该处理器变成用于执行在该处理器 402 上运行的软件或应用代码的步骤或指令的“装置”。也就是说,对于不同的指令和与指令相关联的不同的数据,如本领域中已知的,由于不同的寄存器值等,处理器 402 的内部电路呈现不同的状态。因此,在此描述的任何“用于...的装置”的结构意指处理器 402,由于其执行在此公开的方法的步骤。

[0039] 计算机程序是一系列指令,诸如,特定应用程序和/或操作系统。计算机程序可以例如包括下列中的一个或多个:子例程、函数、进程、对象方法、对象实现方式、可执行应用、小程序(applet)、服务小程序(servlet)、源代码、对象代码、共享的库/动态加载库、和/或设计用于在计算机系统上执行的其它指令序列。

[0040] 计算机程序可以内部地存储在计算机可读存储介质上,或者,可以经由计算机可读传输介质发送到计算机系统。计算机程序中的全部或某些可以提供在永久地可移除地、或者远程地耦接到信息处理系统的非瞬时性计算机可读介质上。作为示例,计算机可读介质可以包括,例如而非限制,任何数量的下列元素:磁存储介质,包括盘和带存储介质;光学存储介质,诸如压缩盘介质(例如,CDROM、CDR 等))和数字视频盘存储介质;非易失性存储器存储介质,包括基于半导体的存储器单元,诸如,闪存存储器、EEPROM、EPROM、ROM;铁磁数字存储器;MRAM;易失性存储介质,包括寄存器、缓冲器或高速缓存、主存储器、RAM 等;以及数据传输介质,包括计算机网络、点对点电信设备、以及载波传输介质。

[0041] 在前述的说明中,已经参考本发明实施例的具体示例说明了本发明。然而,将明白,其中可以进行多种修改和改变而不偏离如所附权利要求提出的本发明的宽泛的精神和范围。

[0042] 此外,本领域技术人员将认识到,上述的操作之间的分界仅仅是示例性的。多个操作可以组合到单个操作中,单个操作可以分布在若干附加的操作中,并且操作可以至少部分时间交迭地执行。此外,替代的实施例可以包括特定的操作的多个实例,并且在多种其它实施例中操作的顺序可以改变。

[0043] 在权利要求中,词“包括”或“具有”并不排除权利要求中所列出的元件或步骤之外的其它元件或步骤的存在。此外,如在此所使用的术语“一”(“a”或“an”)被定义为一个或一个以上。此外,权利要求中引入性的短语诸如“至少一个”和“一个或多个”的使用不应当被认为暗示了通过一(不定冠词“a”或“an”)而对另一权利要求要素的引入将含这样引入的权利要求要素的任何特定权利要求限制到仅包含一个这样的要素的发明,即使在同一权利要求包括引入性的短语“一个或多个”或“至少一个”以及“一”(不定冠词诸如“a”或“an”)时也是如此。对于定冠词的使用也是如此。除非以另外的方式说明,诸如“第一”和“第二”的术语被用来任意地区分这样的术语描述的要素。因此,这些术语并不必然意图表示这些要素的时间上的或其它优先级。在彼此不同的权利要求中引述了某些措施的事实并不表示这样的措施的组合不可以用来突出优点。

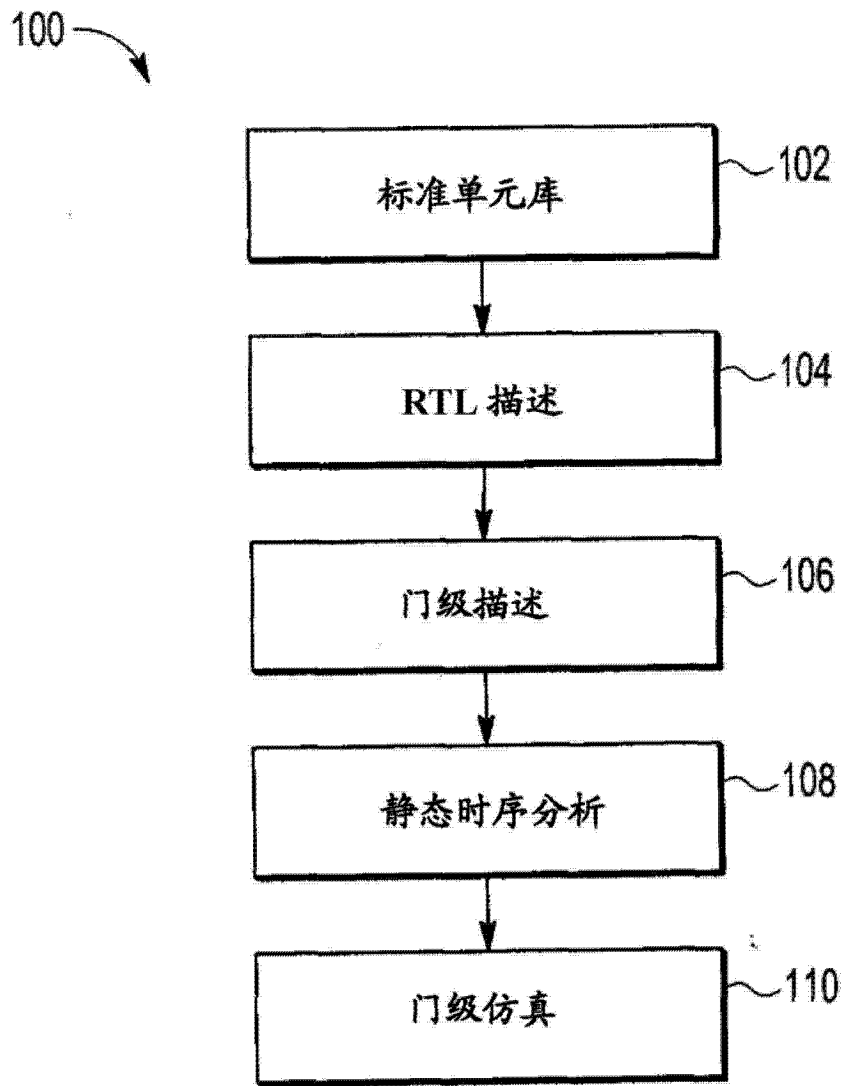


图 1 现有技术

200

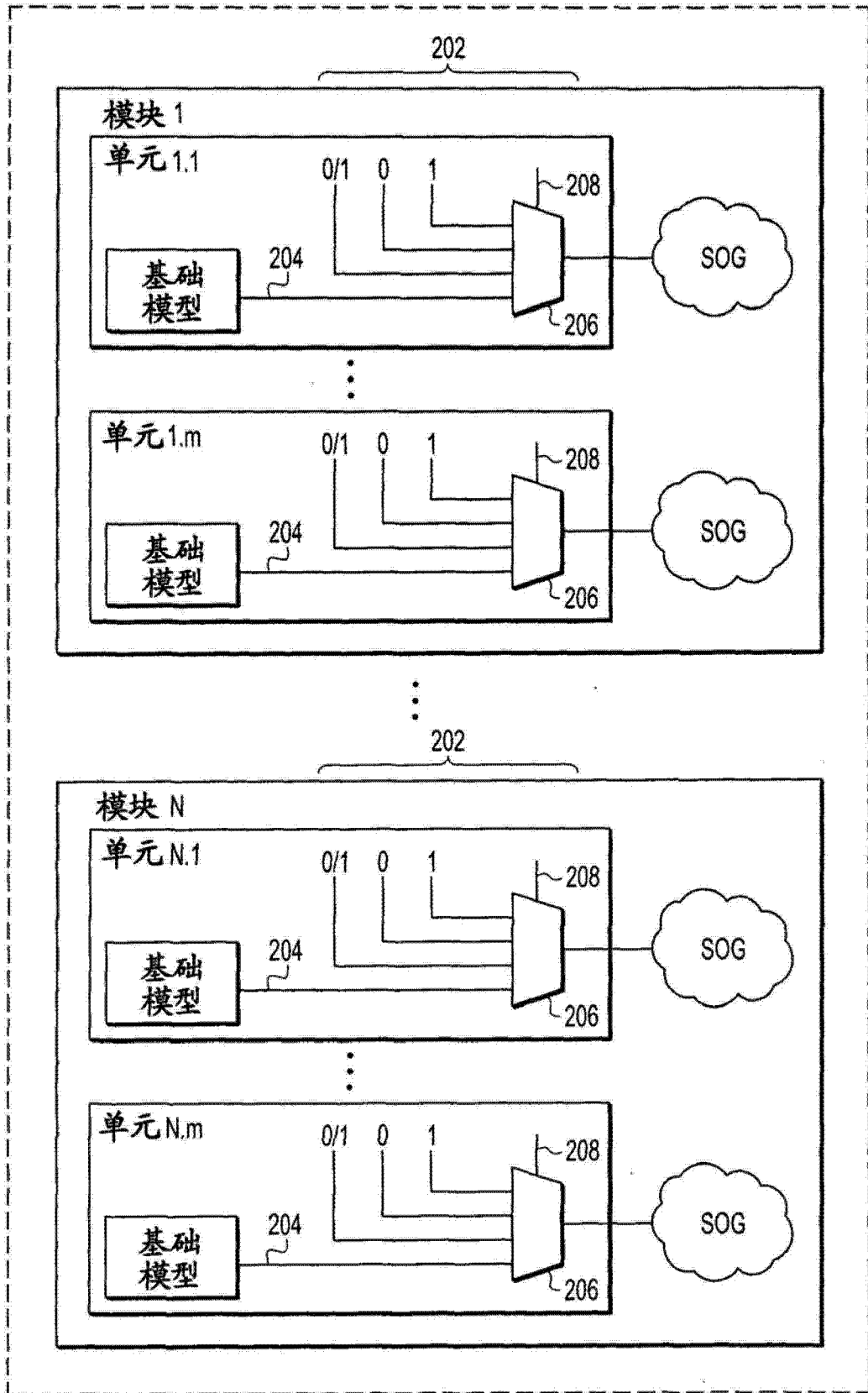


图 2

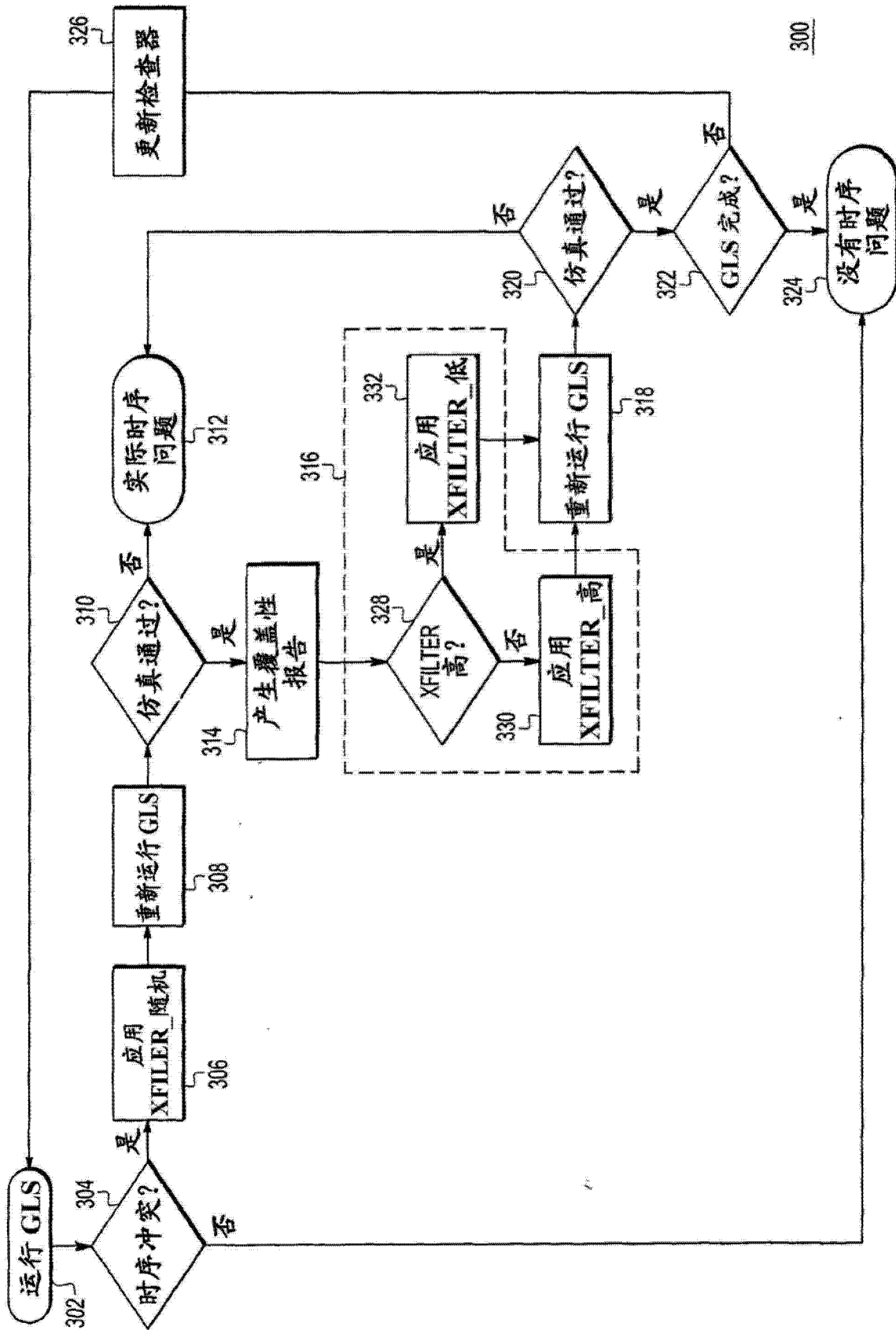


图 3

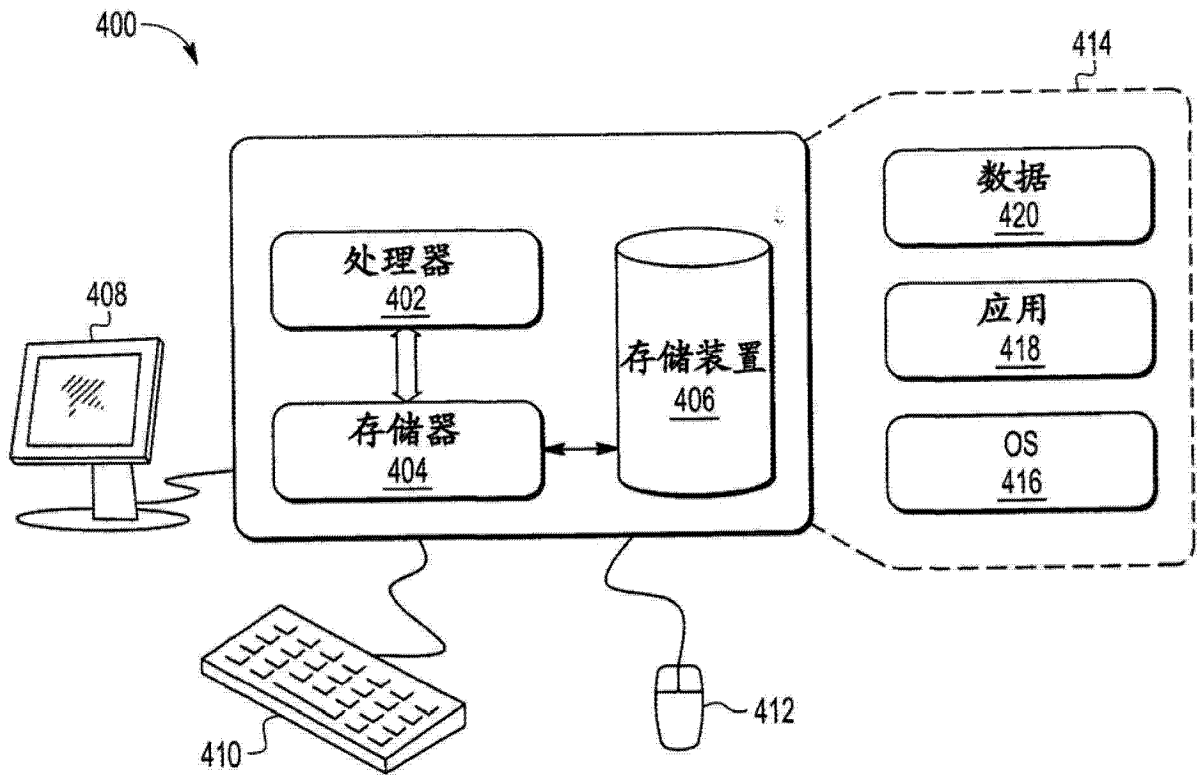


图 4