СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1197068 A

(51) 4 H 03 K 5/13

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ВСЕСОЮЗНАЯ
13 19
БИБЛИОТЕКА

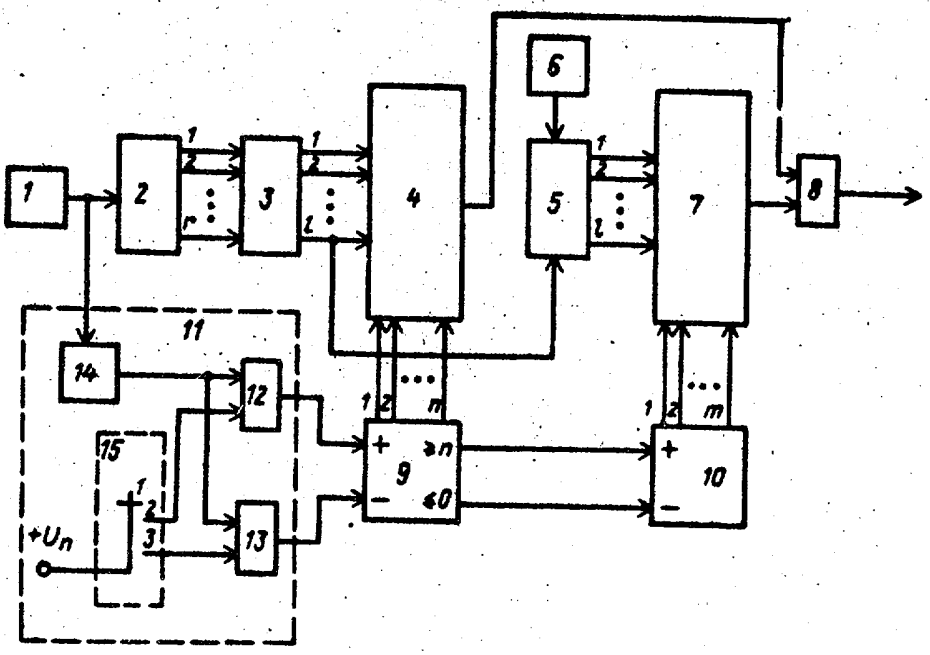
ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3736137/24-21
(22) 04.05.84
(46) 07.12.85. Бюл. № 45
(72) В.А. Емельянов, Б.П. Некрасов и А.В. Бажанов
(53) 621.374(088.8)
(56) Авторское свидетельство СССР № 572909, кл. H 03 K 5/153, 30.12.75.
Авторское свидетельство СССР № 519856, кл. H 03 K 5/13, 01.07.74.

(54) УПРАВЛЯЕМАЯ ЛИНИЯ ЗАДЕРЖКИ.

(57) Изобретение относится к области дискретной техники и может быть использовано в имитаторах помех для широкополосных систем связи. Цель изобретения - расширение области применения устройства путем уменьшения величины дискретного шага изменения задержки и обеспечение изменения задержки по заданному закону. Устройство содержит сдвигающий регистр 5 и источник задерживаемой информации, например генератор 6 псевдослучайной последовательности импульсов, Для достижения поставленной цели в устройство дополнительно введены задающий генератор 1, счетчик 2, дешифратор 3, первый 4 и второй 7 мультиплексоры, D-триггер 8, первый 9 и второй 10 реверсивные счетчики и источник 11 программируемых сигналов. Генератор 6 псевдослучайной последовательности может быть выполнен по произвольной схеме. Наличие тактового входа необходимо для синхронизации выходного сигнала с тактовыми сигналами регистра 5. 1 з.п. ф-лы, 1 ил.



(19) SU (11) 1197068 A

Изобретение относится к области дискретной техники и может быть использовано в имитаторах помех для широкополосных систем связи.

Цель изобретения - расширение области применения за счет уменьшения величины дискретного шага изменения задержки и обеспечение изменения задержки по заданному закону.

На чертеже изображена структурная электрическая схема управляемой линии задержки.

Предлагаемая линия содержит задающий генератор 1, счетчик 2, дешифратор 3, первый мультиплексор 4, сдвигающий регистр 5, источник задерживаемой информации, например генератор 6 псевдослучайной последовательности, второй мультиплексор 7, D-триггер 8, первый 9 и второй 10 реверсивные счетчики, источник 11 программируемых сигналов.

В этом устройстве последовательно соединены задающий генератор 1, счетчик 2 импульсов, дешифратор 3, первый мультиплексор 4, кроме того, последний (к-й) выход дешифратора 3 соединен с тактовыми входом сдвигающего регистра 5 и генератора 6 псевдослучайной последовательности. Выход первого мультиплексора 4 подключен к управляющему входу D-триггера 8, управляющие входы первого мультиплексора 4 соединены выходами первого реверсивного счетчика 9. Выход генератора псевдослучайной последовательности 6 соединен с информационным входом сдвигающего регистра 5, выходы сдвигающего регистра 5 соединены с информационными входами второго мультиплексора 7. Выход второго мультиплексора 7 соединен с информационным входом D-триггера 8, управляющие входы второго мультиплексора 7 соединены с выходами второго реверсивного счетчика 10. Счетные входы второго реверсивного счетчика 10 соединены с выходами импульсов переноса первого реверсивного счетчика 9, счетные входы первого реверсивного счетчика 9 соединены с выходами источника 11 программных сигналов. Структура источника 11 определяется требуемым законом изменения задержки. Он может содержать, например для линейного закона, первый 12 и второй 13 элементы И, выходы которых являются выходами источника программируемых сигналов, первые входы объединены и подключены, например, через делитель 14 частоты, к выходу генератора 1, а вторые входы подключены, например, через соответствующие контакты переключателя 15, к шине питания. Возможно также подключение счетных входов реверсивного счетчика 9 к внешним устройствам, определяющим закон изменения задержки.

Генератор псевдослучайной последовательности 6 может быть выполнен по произвольной схеме. Наличие тактового входа вызвано необходимостью синхронизации выходного сигнала с тактовым сигналом регистра 5.

Управляемая линия задержки работает следующим образом.

В исходное состояние все разряды первого реверсивного счетчика 9, второго реверсивного счетчика 10, счетчика 2 импульсов находятся в нулевом состоянии. Задающий генератор 1 вырабатывает последовательность прямоугольных импульсов, которые поступают на вход счетчика 2 импульсов. Счетчик 2 импульсов осуществляет подсчет поступающих на его вход импульсов, в результате чего на его выходах формируются двоичные, r-разрядные кодовые комбинации, изменяющиеся с приходом очередного импульса. Информация в виде двоичных, r-разрядных кодовых комбинаций поступает на входы полного дешифратора 3. Число выходов полного дешифратора 3 равно $k = 2^r$, где r - число входов дешифратора. Таким образом, двоичные r-разрядные кодовые комбинации преобразуются в параллельные, к-разрядные, унитарные кодовые комбинации. Унитарным кодом называется код, в каждой двоичной комбинации которого присутствует только одна "единица". Таким образом, на выходах дешифратора 3 в фиксированный момент времени присутствует кодовая комбинация, имеющая только одну "единицу". С приходом очередного импульса на вход счетчика 2 на его выходе изменяется кодовая комбинация, следовательно на выходе дешифратора 3 также меняется кодовая комбинация за счет перехода "единицы" в следующий разряд. Поскольку импульсы на вход счетчика 2 поступают непрерывно, то на его выходах непрерывно изменяется кодовая комбинация, и следовательно, непрерывно

изменяется кодовая комбинация на выходе дешифратора 3, т.е. "единица" поочередно появляется на каждом из выходов с частотой $f_0/к$, где к - число выходов дешифратора, а f_0 - частота задающего имитатора.

Выходы дешифратора 3 подключены к информационным входам первого мультиплексора 4, работой которого управляет первый реверсивный счетчик 9. Каждой двоичной комбинации, снимаемой с выходов первого реверсивного счетчика 9, соответствует коммутация определенного информационного входа первого мультиплексора 4 на его выход. Таким образом, "единица", поочередно со сдвигом на один такт, появляющаяся на информационных входах первого мультиплексора 4, при коммутации определенного входа мультиплексора 4 на выход, попадает на выход мультиплексора 4. При этом "единица" в выходной бинарной последовательности также будет иметь временной сдвиг однозначно определяемый тем, с какого из информационных выходов последовательность поступает на выход. Кроме того, с последнего выхода дешифратора 3 последовательность импульсов поступает на тактовые входы генератора 6 псевдослучайной последовательности и сдвигающего регистра 5, на информационный вход которого поступает псевдослучайная последовательность с генератора псевдослучайной последовательности 6. Сдвигающий регистр поразрядно подключен к информационным входам второго мультивибратора 7. К управляющим входам второго мультивибратора 7 подключен второй реверсивный счетчик 10, поэтому каждой двоичной комбинации, снимаемой с выходов второго реверсивного счетчика 10, соответствует коммутация определенного разряда сдвигающего регистра 5 на вход второго мультиплексора 7. Поскольку сдвигающий регистр 5 тактируется импульсами с последнего выхода дешифратора 3, то разница во времени между импульсами, идущими с первого и последнего выходов дешифратора 3, соответствует задержке одного разряда сдвигающего регистра 5. При управлении вторым реверсивным счетчиком 10 второго мультиплексора 7 на выход мультиплексора 7 коммутируется псевдослучайная последовательность с разрядов сдвигающего регистра 5, причем задержка псевдослучайной последовательности однозначно определяется номером разряда коммутируемого на выход второго мультиплексора 7. Таким образом, изменяя состояние второго реверсивного счетчика 10, можно управлять задержкой псевдослучайной последовательности в пределах числа разрядов сдвигающего регистра 5 с дискретным шагом, равным одному такту. Выход первого мультиплексора 4 соединен с управляющим входом D-триггера, а выход второго мультиплексора 7 соединен с информационным входом D-триггера 8. Как известно D-триггер является элементом задержки в том смысле, что информация поступает на выход с информационного входа только тогда, когда на управляющем входе есть импульс. Таким образом, импульсы с выхода первого мультиплексора 4 являются управляющими для прохождения псевдослучайной последовательности с выхода второго мультиплексора 7 на выход D-триггера 8. Тем самым осуществляется изменение задержки псевдослучайной последовательности, поступающей с выхода второго мультиплексора 7 на информационный вход D-триггера 8, в пределах одного разряда сдвигающего регистра 5 с дискретным шагом равным разнице во времени появления единицы на двух последовательных выходах дешифратора 3, т.е. равным периоду следования импульсов задающего генератора 1.

Изменение задержки псевдослучайной последовательности на выходе D-триггера может осуществляться по требуемому закону, например, либо по линейно-возрастающему, либо по линейно-убывающему. Оба эти режима работы с точки зрения принципа функционирования идентичны. В обоих случаях импульсы от задающего генератора 1 через делитель 14 частоты поступают на вход первого и второго элементов И 12 и 13. В зависимости от выбранного закона изменения задержки необходимо подать положительный потенциал на соответствующий элемент И с помощью, например, механического переключателя 15. Согласно указанной схеме в одном случае закон изменения задержки будет линейно-возрастающим, во втором случае - линейно-убывающим. При этом открывается соответствующий элемент И, либо 12, либо 13 соответственно,

и через делитель 14 частоты управляющие импульсы от задающего генератора 1 поступают на один из счетных входов первого реверсивного счетчика 9. Если импульсы поступают на счетный вход "+1", то первый реверсивный счетчик 9 осуществляет счет импульсов от 0 до 2^n, где n - число выходов счетчика, соответствующее числу его ячеек, т.е. обеспечивается линейно-возрастающий закон изменения задержки. Если же импульсы поступают на счетный вход "-1", счет происходит от 2^n до 0, тем самым обеспечивается линейно-убывающий закон изменения задержки. Осуществляя счет поступающих на вход импульсов, первый реверсивный счетчик 9 управляет первым мультиплексором 4, т.е. на выход первого мультиплексора 4 последовательно коммутируются информационные входы с частотой управляющих импульсов, поступающих на счетный вход первого реверсивного счетчика 9. При полном заполнении первого реверсивного счетчика 9 импульс с выхода переноса "$\geq n$" поступает на счетный вход "+1" второго реверсивного счетчика 10. При поступлении управляющих импульсов на счетный вход "-1" первого реверсивного счетчика 9 происходит обратный счет импульсов, и при переходе счетчика из состояния полного обнуления в состояние 2^n импульс с выхода переноса "0" поступает на счетный вход "-1" второго реверсивного счетчика 10. Второй реверсивный счетчик 10, осуществляя прямой или обратный подсчет поступающих импульсов от первого реверсивного счетчика 9, управляет вторым мультиплексором 7, коммутируя псевдослучайную последовательность с разрядов сдвигающего регистра 5 на выход второго мультиплексора 7. Таким образом, изменение задержки псевдослучайной последовательности осуществляется за счет подсчета управляющих импульсов реверсивными счетчиками 9 и 10. Первый реверсивный счетчик 9 осуществляет изменение задержки псевдослучайной последовательности в пределах одного разряда сдвигающего регистра 5, а второй реверсивный счетчик 10 - в пределах от первого до последнего разряда сдвигающего регистра 5. Поскольку управляющие импульсы от задающего генератора 1 через делитель 14 частоты поступают непрерывно на счетный вход первого реверсивного счетчика 9, то и изменения задержки псевдослучайного сигнала также происходит непрерывно. Подключение счетных входов реверсивного счетчика 9 к внешним программирующим устройствам позволяет получить в общем случае произвольный закон изменения задержки, определяемый структурой внешнего программирующего устройства.

Формула изобретения

1. Управляемая линия задержки, содержащая сдвигающий регистр и источник задерживаемой информации, выход которого соединен с информационным входом сдвигающего регистра, отличающаяся тем, что, с целью расширения области применения за счет уменьшения величины дискретного шага изменения задержки и обеспечения изменения задержки по заданному закону, в нее введены последовательно соединенные задающий генератор, дешифратор и первый мультиплексор, а также второй мультиплексор, первый и второй реверсивные счетчики, D-триггер и источник программируемых сигналов, причем управляющие входы первого мультиплексора соединены с выходами первого реверсивного счетчика, а выход первого мультиплексора соединен с управляющим входом D-триггера, последний (к-й) выход дешифратора, кроме того, соединен с тактовыми входами сдвигающего регистра и источника задерживаемой информации, выходы сдвигающего регистра соединены с информационными входами второго мультиплексора, управляющие входы второго мультиплексора соединены с выходами второго реверсивного счетчика, выход второго мультиплексора соединен с информационным входом D-триггера, счетные входы второго реверсивного счетчика соединены с выходами сигналов переноса первого реверсивного счетчика, а счетные входы первого реверсивного счетчика соединены с выходами источника программируемых сигналов, выход D-триггера является выходом устройства.

2. Управляемая линия задержки по п.1, отличающаяся тем, что, с целью обеспечения изменения задержки по линейному закону, источник программируемых сигналов содержит первый и второй элементы И, дели-

тель частоты и переключатель, подключенный к шине питания, выходы первого и второго элементов И являются выходами источника программируемых сигналов, первые входы элементов И объединены и подключены через делитель частоты к выходу задающего генератора, вторые входы элементов И подключены к соответствующим выходам переключателя.

Составитель А. Титов
Редактор Л. Зайцева Техред А.Ач Корректор М. Демчик

Заказ 7576/58 Тираж 871 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4