



(12) 发明专利

(10) 授权公告号 CN 101889334 B

(45) 授权公告日 2013.01.30

(21) 申请号 200880119292.3

(51) Int. Cl.

(22) 申请日 2008.10.02

H01L 21/338 (2006.01)

(30) 优先权数据

60/977,635 2007.10.04 US

(56) 对比文件

12/242,633 2008.09.30 US

US 2007221952 A1, 2007.09.27,

(85) PCT申请进入国家阶段日

CN 1677687 A, 2005.10.05,

2010.06.04

US 6351018 B1, 2002.02.26,

审查员 李介胜

(86) PCT申请的申请数据

PCT/US2008/078612 2008.10.02

(87) PCT申请的公布数据

W02009/046210 EN 2009.04.09

(73) 专利权人 飞兆半导体公司

地址 美国缅因州

(72) 发明人 保尔·托鲁普

克里斯托弗·劳伦斯·雷克塞尔

(74) 专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 余刚 吴孟秋

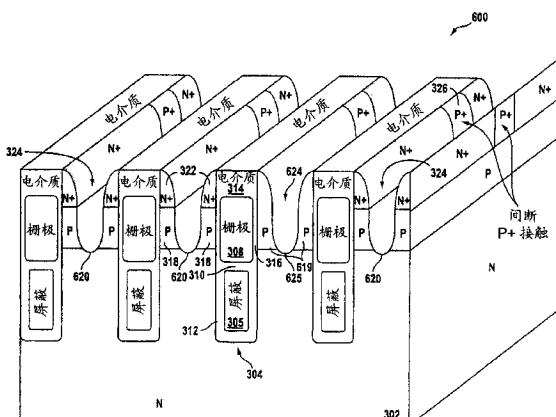
权利要求书 4 页 说明书 9 页 附图 11 页

(54) 发明名称

具有集成肖特基的高密度 FET

(57) 摘要

一种包含单块集成的沟槽 FET 和肖特基二极管的半导体结构。半导体结构进一步包括多个延伸进入半导体区的沟槽。在每个沟槽中设置一组栅极电极和屏蔽电极。本体区域在相邻沟槽之间的半导体区上方延伸，源极区在每个本体区域上方延伸。具有渐缩的边缘的凹槽在每两个相邻沟槽之间延伸，从两个相邻沟槽的上隅角延伸穿过本体区域，并终止于本体区域下方的半导体区。互连层延伸进入每个凹槽，以与源极区和本体区域的渐缩的侧壁电接触，并沿着每个凹槽的底部接触半导体区，以在其间形成肖特基接触。



1. 一种包含单块集成的沟槽 FET 和肖特基二极管的半导体结构, 所述半导体结构包括 :

多个沟槽, 延伸进入第一导电类型的半导体区;

屏蔽电极, 位于每个沟槽的下部, 所述屏蔽电极通过屏蔽电介质与所述半导体区绝缘;

极间电介质, 覆盖在每个沟槽中的所述屏蔽电极上;

栅极电介质, 贴附在每个沟槽的上部沟槽侧壁;

栅极电极, 位于每个沟槽的上部, 设置在所述极间电介质上方;

第二导电类型的本体区域, 设置在相邻沟槽之间的所述半导体区上方;

第一导电类型的源极区, 设置在每个本体区域上方;

凹槽, 在每两个相邻沟槽之间具有渐缩的边缘, 每个凹槽均从所述两个相邻沟槽的上隅角延伸穿过所述本体区域, 并终止于所述本体区域下方的所述半导体区; 以及

互连层, 延伸进入每个凹槽, 以与所述源极区和所述本体区域的渐缩的侧壁电接触, 所述互连层进一步沿着每个凹槽的底部接触所述半导体区, 以在所述互连层与所述半导体区之间形成肖特基接触, 所述互连层形成所述肖特基二极管的正极端子和所述 FET 的源极电极。

2. 根据权利要求 1 所述的半导体结构, 其中, 所述凹槽与所述沟槽自对准。

3. 根据权利要求 1 所述的半导体结构, 其中, 所述栅极电极在每个沟槽中凹入, 并覆盖有介电材料。

4. 根据权利要求 1 所述的半导体结构, 其中, 所述互连层进一步包括阻挡金属层, 所述阻挡金属层沿着每个凹槽的底部与所述半导体区形成肖特基接触。

5. 根据权利要求 1 所述的半导体结构, 进一步包括第二导电类型的重本体区域, 所述重本体区域设置在所述本体区域上方并与所述本体区域接触。

6. 根据权利要求 1 所述的半导体结构, 进一步包括所述半导体区中沿着形成有所述肖特基接触的每个凹槽的底部的掺杂区。

7. 根据权利要求 1 所述的半导体结构, 其中, 所述半导体区是外延层, 所述半导体结构进一步包括衬底, 所述外延层在所述衬底上延伸。

8. 一种用于形成包含单块集成的沟槽 FET 和肖特基二极管的半导体结构的方法, 所述方法包括 :

形成多个沟槽, 所述多个沟槽延伸进入第一导电类型的半导体区;

在每个沟槽的底部形成屏蔽电极;

在每个沟槽中的所述屏蔽电极上方形成栅极电极, 所述栅极电极与所述屏蔽电极绝缘;

在所述半导体区中形成第二导电类型的本体区域;

在所述本体区域中形成第一导电类型的掺杂区, 每个掺杂区从一个沟槽侧壁横向地延伸至相邻沟槽的侧壁;

在每两个相邻沟槽之间形成凹槽, 使得每个凹槽具有渐缩的边缘, 并从所述两个相邻沟槽的上隅角延伸穿过所述掺杂区和所述本体区域, 并终止于所述本体区域下方的所述半导体区, 每个凹槽均将其延伸穿过的所述掺杂区分成两个掺杂区, 所述两个掺杂区中的每

一个均形成源极区；以及

形成延伸进入每个凹槽以与所述源极区和所述本体区域的渐缩的侧壁电接触的互连层，所述互连层进一步沿着每个凹槽的底部接触所述半导体区，以在所述互连层与所述半导体区之间形成肖特基接触，所述互连层形成所述肖特基二极管的正极端子和所述 FET 的源极电极。

9. 根据权利要求 8 所述的方法，其中，形成所述凹槽包括：使用没有掩模的硅蚀刻工艺，使得所述凹槽与所述沟槽自对准。

10. 根据权利要求 8 所述的方法，其中，所述栅极电极在每个沟槽中凹入，所述方法进一步包括：用介电材料覆盖每个沟槽中的所述栅极电极，使得所述介电材料的顶表面与所述半导体区的顶表面共面。

11. 根据权利要求 8 所述的方法，其中，形成所述互连层进一步包括：形成阻挡金属层，以沿着每个凹槽的底部与所述半导体区形成肖特基接触。

12. 根据权利要求 8 所述的方法，进一步包括在所述本体区域中形成所述第二导电类型的重本体区域。

13. 一种包含单块集成的沟槽 FET 和肖特基二极管的半导体结构，所述半导体结构包括：

多个沟槽，延伸进入第一导电类型的半导体区；

栅极电极，位于每个沟槽中；

第二导电类型的第一本体区域和第二本体区域，分别设置在第一相邻沟槽的对之间和第二相邻沟槽的对之间的半导体区上方；

第一导电类型的源极区，设置在所述第一本体区域上方；

凹槽，在所述第一相邻沟槽的对和所述第二相邻沟槽的对中的每一对之间延伸，所述凹槽具有从相邻沟槽的上隅角开始延伸的渐缩的边缘并终止于所述第一本体区域和所述第二本体区域下方的所述半导体区中的一定深度处；以及

互连层，延伸进入每个凹槽，以与所述源极区以及所述第一本体区域和所述第二本体区域电接触，所述互连层进一步沿着每个凹槽的底部接触所述半导体区，以在所述互连层与所述半导体区之间形成肖特基接触，所述互连层形成所述肖特基二极管的正极端子和所述 FET 的源极电极。

14. 根据权利要求 13 所述的半导体结构，所述第一本体区域的上表面低于所述栅极电极的上表面，所述第二本体区域在所述栅极电极的上表面的上方垂直延伸。

15. 根据权利要求 13 所述的半导体结构，其中，每个凹槽具有渐缩的边缘并与所述沟槽自对准。

16. 根据权利要求 13 所述的半导体结构，进一步包括：

屏蔽电极，位于每个沟槽的下部，设置在所述栅极电极下方，所述屏蔽电极通过屏蔽电介质与所述半导体区绝缘；

极间电介质，在每个沟槽中的所述屏蔽电极和所述栅极电极之间延伸；以及

栅极电介质，贴附在每个沟槽的上部沟槽侧壁。

17. 根据权利要求 13 所述的半导体结构，其中，所述栅极电极在每个沟槽中凹入，并覆盖有介电材料。

18. 根据权利要求 13 所述的半导体结构, 其中, 所述互连层进一步包括阻挡金属层, 所述阻挡金属层沿着每个凹槽的底部与所述半导体区形成肖特基接触。

19. 根据权利要求 13 所述的半导体结构, 进一步包括每个沟槽中的所述栅极电极下方的底部电介质。

20. 根据权利要求 13 所述的半导体结构, 进一步包括多个第二导电类型的重本体区域, 所述重本体区域设置在所述第一本体区域上方并与所述第一本体区域接触。

21. 根据权利要求 13 所述的半导体结构, 其中, 在工作期间, 导电沟道形成在所述第一本体区域中, 而不是形成在所述第二本体区域中。

22. 根据权利要求 13 所述的半导体结构, 其中, 当所述 FET 导通时, 电流流过所述第一本体区域, 而不流过所述第二本体区域。

23. 根据权利要求 13 所述的半导体结构, 进一步包括所述半导体区中沿着形成有所述肖特基接触的每个凹槽的底部的掺杂区。

24. 一种用于形成包含单块集成的沟槽 FET 和肖特基二极管的半导体结构的方法, 所述方法包括:

形成多个沟槽, 所述多个沟槽延伸进入第一导电类型的半导体区;

在每个沟槽中形成栅极电极;

分别在第一相邻沟槽的对之间和第二相邻沟槽的对之间的半导体区中形成第一本体区域和第二本体区域;

在所述第一本体区域中而不是在所述第二本体区域中形成第一导电类型的掺杂区;

在所述第一相邻沟槽的对和所述第二相邻沟槽的对中的每一对之间形成凹槽, 每个凹槽具有从相邻沟槽的上隅角开始延伸的渐缩的边缘并且终止于所述第一本体区域和所述第二本体区域下方的所述半导体区中, 所述第一相邻沟槽之间的凹槽将所述掺杂区分成两个掺杂区, 所述两个掺杂区中的每一个均形成源极区; 以及

形成延伸进入每个凹槽以与所述源极区以及所述第一本体区域和所述第二本体区域的侧壁电接触的互连层, 所述互连层进一步沿着每个凹槽的底部接触所述半导体区, 以在所述互连层与所述半导体区之间形成肖特基接触, 所述互连层形成所述肖特基二极管的正极端子和所述 FET 的源极电极。

25. 根据权利要求 24 所述的方法, 其中, 形成所述凹槽包括: 使用没有掩模的硅蚀刻工艺, 使得所述凹槽与所述沟槽自对准。

26. 根据权利要求 24 所述的方法, 其中, 所述栅极电极在每个沟槽中凹入, 所述方法进一步包括: 使用介电材料覆盖每个沟槽中的所述栅极电极, 使得所述介电材料的顶表面与所述半导体区的顶表面共面。

27. 根据权利要求 24 所述的方法, 其中, 形成所述互连层进一步包括: 形成阻挡金属层, 以沿着每个凹槽的底部与半导体区形成肖特基接触。

28. 根据权利要求 24 所述的方法, 包括:

在形成所述互连层之前, 在每个凹槽中注入掺杂剂, 以在所述半导体区中沿着形成有所述肖特基接触的每个凹槽的底部形成注入区。

29. 根据权利要求 24 所述的方法, 进一步包括:

在形成所述栅极电极之前:

沿着每个沟槽的下部侧壁和底部形成屏蔽电介质；

在每个沟槽的下部形成屏蔽电极，所述屏蔽电极通过屏蔽电介质与所述半导体区绝缘；

形成在每个沟槽中的所述屏蔽电极上方延伸的极间电介质。

30. 根据权利要求 24 所述的方法，进一步包括：

在形成所述栅极电极之前：

沿着每个沟槽的底部形成底部电介质；以及

沿着每个沟槽的侧壁形成栅极电介质，所述栅极电介质比所述底部电介质更薄。

## 具有集成肖特基的高密度 FET

[0001] 相关申请的交叉参考

[0002] 本申请要求于 2007 年 10 月 4 日提交的美国临时申请第 60/977,635 号的权益，其全部内容通过引证结合于此。

### 技术领域

[0003] 本发明总体上涉及半导体功率器件技术，更具体地涉及用于形成单块集成的沟槽栅极场效应晶体管 (FET) 和肖特基二极管的结构和方法。

### 背景技术

[0004] 在当今的电子器件中，功率 FET 通常使用在功率转换应用中，例如，DC-DC 转换器。多年来，肖特基二极管在 FET 开关封装外部实施，以降低功率消耗。如图 1 所示，FET 101 包括通常被称为体二极管 (body diode) 的内部二极管 102。在开关操作期间，体二极管可以传导电流。如图 1 所示，肖特基二极管 104 与 FET 101 的体二极管 102 并联。因为肖特基二极管具有比体二极管小的正向电压，所以，肖特基二极管 104 会在体二极管 102 导通之前导通，从而增加了开关损耗。

[0005] 最近，一些制造商已经提出了将分离的肖特基二极管与分离的功率 FET 器件共同封装的产品。还存在肖特基二极管和功率 FET 的单块的实现方案。图 2 中示出了传统的单块集成的沟槽 FET 和肖特基二极管的实例。肖特基二极管 210 形成在两个沟槽 200-3 和 200-4 之间，这两个沟槽在任一侧上围绕有沟槽 FET 单元。N 型衬底 202 形成肖特基二极管 210 的阴极 (cathode) 端子以及沟槽 FET 的漏极端子。导电层 218 提供二极管正极 (anode) 端子，并且还用作 FET 单元的源极互连层。沟槽 200-1、200-2、200-3、200-4 和 200-5 中的栅极电极在第三维度上连接在一起，并因此被类似地驱动。沟槽 FET 单元进一步包括其中具有源极区 212 和重本体 (heavy body) 区 214 的本体区域 208。

[0006] 图 2 中的肖特基二极管介于沟槽 FET 单元之间。因此，肖特基二极管耗费了大部分活性区域，导致额定电流的降低或管芯 (die) 尺寸的增大。这在某些器件的应用中是不期望的。因此，我们需要一种具有良好性能特性的单块且高密度地集成的肖特基二极管和沟槽栅极 FET。

### 发明内容

[0007] 根据本发明的实施例，一种半导体结构包含单块集成的沟槽 FET 和肖特基二极管。该半导体结构进一步包括延伸进入第一导电类型的半导体区的多个沟槽。屏蔽电极设置在每个沟槽的下部中，屏蔽电极通过屏蔽电介质与半导体区绝缘。极间电介质覆盖在每个沟槽中的屏蔽电极上。栅极电介质贴附在每个沟槽的上部沟槽侧壁。栅极电极位于每个沟槽的上部，设置在极间电介质上方。第二导电类型的本体区域在相邻沟槽之间的半导体区上方延伸。第一导电类型的源极区在每个本体区域上方延伸。具有渐缩的边缘的凹槽在每两个相邻沟槽之间延伸。每个凹槽均进一步从两个相邻沟槽的上隅角 (upper corner)

延伸穿过本体区域，并终止于本体区域下方的半导体区。互连层延伸进入每个凹槽，以与源极区和本体区域的渐缩的侧壁电接触。互连层进一步沿着每个凹槽的底部接触半导体区，以在其间形成肖特基接触。互连层形成肖特基二极管的正极端子和 FET 的源极电极。

[0008] 根据本发明的另一实施例，一种用于形成包含单块集成的沟槽 FET 和肖特基二极管的半导体结构的方法包括以下步骤。形成多个延伸进入第一导电类型的半导体区的沟槽。在每个沟槽的底部形成屏蔽电极。在每个沟槽中的屏蔽电极上方形成栅极电极，栅极电极与屏蔽电极绝缘。在半导体区中形成第二导电类型的本体区域。在本体区域中形成第一导电类型的掺杂区，每个掺杂区域从一个沟槽侧壁横向地延伸至相邻沟槽的侧壁。在每两个相邻沟槽之间形成凹槽，使得每个凹槽具有渐缩的边缘，并从两个相邻沟槽的上隅角延伸穿过掺杂区和本体区域，并终止于本体区域下方的半导体区，并且，每个凹槽均将其延伸穿过的掺杂区分成两个掺杂区，这两个掺杂区中的每一个均形成源极区。形成互连层，该互连层延伸进入每个凹槽以与源极区和本体区域的渐缩的侧壁电接触，并进一步沿着每个凹槽的底部接触半导体区，以在其间形成肖特基接触。互连层形成肖特基二极管的正极端子和 FET 的源极电极。

[0009] 根据本发明的又一实施例，一种半导体结构包含单块集成的沟槽 FET 和肖特基二极管。该半导体结构进一步包括多个延伸进入第一导电类型的半导体区中的沟槽。栅极电极设置在每个沟槽中。第二导电类型的第一本体区域和第二本体区域分别在第一对相邻沟槽之间和第二对相邻沟槽之间的半导体区上方延伸。第一导电类型的源极区在第一本体区域上方延伸。凹槽在第一相邻沟槽和第二相邻沟槽中的每一对之间延伸，并终止于第一本体区域和第二本体区域下方的半导体区中的一定深度处。互连层延伸进入每个凹槽中，以与源极区以及第一本体区域和第二本体区域电接触，互连层进一步沿着每个凹槽的底部接触半导体区，以在其间形成肖特基接触。

[0010] 根据本发明的再一实施例，一种用于形成包含单块集成的沟槽 FET 和肖特基二极管的半导体结构的方法包括以下步骤。形成多个延伸进入第一导电类型的半导体区的沟槽。在每个沟槽中形成栅极电极。分别在第一对相邻沟槽之间和第二对相邻沟槽之间的半导体区中形成第一本体区域和第二本体区域。在第一本体区域中而不是在第二本体区域中形成第一导电类型的掺杂区。在第一相邻沟槽和第二相邻沟槽中的每一对之间形成凹槽，每个凹槽终止于第一本体区域和第二本体区域下方的半导体区中。第一相邻沟槽之间的凹槽将掺杂区分成两个掺杂区，这两个掺杂区中的每一个均形成源极区。形成互连层，该互连层延伸进入每个凹槽以与源极区以及第一本体区域和第二本体区域的侧壁电接触，并进一步沿着每个凹槽的底部接触半导体区，以在其间形成肖特基接触。

[0011] 根据再一实施例，一种半导体结构包含单块集成的沟槽 FET 和肖特基二极管。半导体结构进一步包括多个延伸进入第一导电类型的半导体区的沟槽。栅极电极设置在每个沟槽中。第二导电类型的第一本体区域和第二本体区域分别在第一对相邻沟槽之间和第二对相邻沟槽之间的半导体区上方延伸。第一导电类型的源极区在第一本体区域上方延伸。第一凹槽在第一对沟槽之间延伸，并终止于源极区下方的第一本体区域中的一定深度处。第二凹槽在第二对沟槽之间延伸，并终止于第一本体区域、第二本体区域和第三本体区域下方半导体区中的一定深度处。互连层延伸进入第一凹槽和第二凹槽中，以与源极区以及第一本体区域和第二本体区域电接触。互连层进一步沿着第二凹槽的底部接触半导体区，

以在它们之间形成肖特基接触。互连层形成肖特基二极管的正极端子和 FET 的源极电极。

[0012] 根据再一实施例，一种 DC-DC 转换器包括 DC 电源、PWM 控制器、以及具有连接至 PWM 控制器的栅极端子和连接至 DC 电源的第一端子的第一 FET。该转换器进一步包括单块集成的沟槽 FET 和肖特基二极管，具有连接至 PWM 控制器的栅极电极、连接至第一 FET 的第二端子的漏极电极和连接至接地端子的源极端子。单块集成的沟槽 FET 和肖特基二极管包括多个延伸进入第一导电类型的半导体区中的沟槽。屏蔽电极设置在每个沟槽的下部中，以使屏蔽电极通过屏蔽电介质与半导体区绝缘。极间电介质覆盖在每个沟槽中的屏蔽电极上。栅极电介质贴附在每个沟槽的上部沟槽侧壁。栅极电极位于每个沟槽的上部，设置在极间电介质上方。第二导电类型的本体区域在相邻沟槽之间的半导体区上方延伸。第一导电类型的源极区在每个本体区域上方延伸。具有渐缩的边缘的凹槽在每两个相邻沟槽之间延伸。每个凹槽均进一步从两个相邻沟槽的上隅角延伸穿过本体区域，并终止于本体区域下方的半导体区。互连层延伸进入每个凹槽，以与源极区和本体区域的渐缩的侧壁电接触。互连层进一步沿着每个凹槽的底部接触半导体区，以在其间形成肖特基接触。

[0013] 通过参照说明书的剩余部分和附图，可实现对本文所公开的本发明的本质和优点的进一步理解。

## 附图说明

[0014] 图 1 是示出了具有肖特基二极管的 FET 的电路图；

[0015] 图 2 示出了传统单块集成的沟槽 FET 和肖特基二极管的横截面图；

[0016] 图 3A 是根据本发明的示例性实施例的单块集成的屏蔽栅极 FET 和肖特基二极管的条形单元阵列的一部分的简化等距视图；

[0017] 图 3B 是根据本发明的示例性实施例的单块集成的沟槽栅极 FET 和肖特基二极管的条形单元阵列的一部分的简化等距视图；

[0018] 图 4 示出了沿图 3A 中的重本体区域 326 的简化横截面图；

[0019] 图 5A ~ 图 5E 是示出了根据本发明的示例性实施例的用于形成图 3A 所示的单块集成的屏蔽栅极 FET 和肖特基二极管的处理顺序的简化横截面图；

[0020] 图 6A 是根据本发明的示例性实施例的单块集成的屏蔽栅极 FET 和肖特基二极管的条形单元阵列的一部分的简化等距视图；

[0021] 图 6B 是根据本发明的示例性实施例的单块集成的沟槽栅极 FET 和肖特基二极管的条形单元阵列的一部分的简化等距视图；

[0022] 图 7A ~ 图 7C 是示出了根据本发明的示例性实施例的用于形成图 6A 所示的单块集成的屏蔽栅极 FET 和肖特基二极管的处理顺序的简化横截面图；

[0023] 图 8A 是根据本发明的示例性实施例的单块集成的屏蔽栅极 FET 和肖特基二极管的简化横截面图；

[0024] 图 8B 是根据本发明的示例性实施例的单块集成的沟槽栅极 FET 和肖特基二极管的简化横截面图；以及

[0025] 图 9 是示出了根据本发明的实施例的结合有单块集成的功率 FET 和肖特基二极管的 dc/dc 转换器的简化电路图。

## 具体实施方式

[0026] 根据本发明的实施例，描述了用于形成包含单块集成的沟槽 FET 和肖特基二极管的半导体结构的多种技术。在一个实施例中，提供了用于形成肖特基二极管与屏蔽栅极沟槽 FET 最优化地集成在单个单元中的简单过程，在这种单元的阵列中可将该简单过程重复多次。将深陷的凹槽形成为到达本体区域下方的沟槽 FET 的漏极区，形成肖特基二极管。在集成肖特基二极管时牺牲掉最少的非活性区域，而总的肖特基二极管区域足够大以处理二极管正向导电。FET 体二极管不导通，消除了反向恢复损耗。此外，由于与 FET 体二极管的正向压降相比，肖特基二极管的正向压降较小，所以会减小功率损耗。另外，屏蔽电极电连接至 FET 的源极，以减小器件电容耦合，例如  $Q_{gd}$ 。

[0027] 此外，肖特基二极管与 FET 集成，从而在 FET 的本体区域下方形成肖特基接触 (Schottky contact)。这有利地将雪崩电流远离源极区而转向肖特基区，从而防止了寄生双极型晶体管被导通。因此，提高了器件的耐用性。本发明的此特征还在极大程度上消除了对重本体区域的需求，在现有技术结构的每个 FET 单元中通常都需要该重本体区域来防止寄生双极型晶体管被导通。在一些实施例中，重本体区域的岛间断地结合并且彼此远离，仅为了确保源极金属与本体区域的良好接触。本质上，在现有技术沟槽 FET 中所需的重本体区域大部分用肖特基二极管代替。因此，没有额外的硅区域分配给肖特基二极管。在备选实施例中，重本体区域可以不需要，并且可以完全消除。在另一实施例中，提供了用于在减小器件电容耦合的同时选择 FET 和肖特基二极管面积的比例的技术。

[0028] 图 3A 是根据本发明的实施例的每个均具有集成于其中的沟槽 FET 和肖特基二极管的条形单元阵列的一部分的示例性简化等距视图。掺杂的 N 型 (N) 漂移区 302 覆盖在 N 型硅衬底 (未示出) 上，N 型硅衬底比漂移区 302 具有更高的掺杂浓度 (N++)。在某些实施例中，在硅衬底 (未示出) 下方形成厚的金属接触层。多个沟槽 304 延伸至漂移区 302 内的预定深度。屏蔽电极 305 和覆在上面的栅极电极 308 嵌在每个沟槽 304 中。在一个实施例中，屏蔽电极 305 和栅极电极 308 包括多晶硅。极间电介质 310 将栅极电极和屏蔽电极彼此绝缘。屏蔽介电层 312 贴附在每个沟槽 304 的下侧壁和底部，并将屏蔽电极 305 与周围的漂移区域 302 绝缘。比屏蔽介电层 312 薄的栅极电介质 316 贴附在沟槽 304 的上侧壁。介质盖 (dielectriccap) 314 在每个栅极电极 308 上方延伸。在一个实施例中，屏蔽电极 305 沿着第三维度电连接至源极区，因此，在工作期间被偏压至与源极区相同的电势。在其它实施例中，屏蔽电极 305 沿着第三维度电连接至栅极电极 308，或是该屏蔽电极漂移 (float)。

[0029] 在每两个相邻的沟槽 304 之间设置有由凹槽微坑区 324 隔开的两个 P 型本体区域 318。每个本体区域 318 沿着一个沟槽侧壁延伸。在每个本体区域 318 的上方直接设置高掺杂 N 型源极区 322。源极区域 322 与栅极电极 308 纵向交叠，并由于凹槽微坑 324 的存在而具有圆形的外轮廓。每个凹槽微坑 324 在每两个相邻沟槽之间延伸至相应本体区域 318 的下方。如图所示，源极区 322 和本体区域 318 共同形成微坑 324 的圆形侧壁，并且，微坑 324 的底部延伸进入漂移区 302 中。在一个实施例中，漂移区 302 是其中形成有本体区域 318 和源极区 322 的 N 外延层。当 FET 300 导通时，沿着沟槽侧壁在每个源极区 322 和漂移区 302 之间的每个本体区域 318 中形成垂直沟道。

[0030] 回到图 3A，被剥落以露出下面的区域的互连材料 330 填充微坑 324 并在介质盖 314 上方延伸。互连材料 330 沿着微坑 324 的底部与漂移区 302 电接触，从而形成肖特基接

触。互连材料 330 还用作顶端源极互连，与源极区 322 和重本体区域 326 电接触。

[0031] 在备选实施例中，可在凹槽微坑 324 的底部形成肖特基阻挡 (barrier) 金属膜，以形成与漂移区的肖特基接触，并且，第二金属（例如铜）可用于填充微坑 324 并在介质盖上方延伸，用作顶端源极互连、与源极区 322 和本体区域 326 电接触。在一个具体实施例中，肖特基阻挡金属膜包括钨化钛 (titanium tungsten, TiW) 或氮化钛 (titanium nitride, TiNi)。

[0032] 在一些实施例中，如图所示，沿着单元长条间断地形成重本体 P+ 区 326 的岛。这在图 4 中被更清楚地示出，图 4 是穿过图 3A 中结构的重本体区域 326 的横截面图。图 4 中的横截面图的大部分类似于沿着图 3A 中的等距视图的正面的横截面图，除了在图 4 中，在每两个相邻的沟槽之间的两个源极区由一个重本体区域 326 替代之外。

[0033] 回来参照图 3A，重本体区域 326 的间断设置不同于现有技术图 2 结构中的重本体区域沿两个相邻源极区之间的单元长条的总长度延伸的传统实现方式。由于肖特基二极管与沟槽 FET 集成的方式，在图 3A 结构中不需要连续的重本体区域。如在图 3A 中可看到的，通过使微坑 324 在源极区 322 的下方适当地延伸，在源极区 322 的下方适当地形成肖特基接触。利用位于源极区 322 下方适当位置的肖特基接触，雪崩电流远离源极区 322 而转向肖特基区，从而防止寄生双极型晶体管导通。这消除了对现有技术结构通常所需的沿单元长条的连续重本体区域的需求。与此不同地，重本体区域 326 的岛沿单元长条间断地结合并且彼此远离，以确保源极金属 330 与本体区域 318 的良好接触。当连续的重本体区域大多由肖特基区域替换时，则不需要为肖特基二极管分配额外的硅区域。因此，在集成肖特基二极管时没有牺牲硅区域。

[0034] 在一些实施例中，沿着长条设置重本体区域 326 的频率是受器件开关需求控制的。对于较快开关的器件，沿着长条更频繁地设置重本体区域。对于这些器件，可能需要为肖特基二极管分配额外的硅区域（例如，通过增加单元间距）。对于较慢开关的器件，则需要沿着长条的更少的重本体区域。对于这些器件，在长条的每端设置重本体区域可能就足够了，从而使肖特基二极管区域最大化。

[0035] 屏蔽电极 305 的存在使得，对于相同的击穿电压，漂移区 302 的掺杂浓度增加（与没有屏蔽电极的沟槽栅极 FET 相比），从而减小器件的导通电阻。漂移区 302 的更高掺杂浓度可能需要沿微坑 324 的底部结合漂移区 302 中的注入区，以调节肖特基接触处的掺杂浓度，从而确保肖特基接触的整体性。

[0036] 图 3B 示出了图 3A 所示的屏蔽栅极结构的沟槽栅极的变化。图 3B 中的结构与图 3A 中的结构相似，除了图 3B 中的沟槽不包括屏蔽电极因而不会延伸得与图 3A 结构中的沟槽一样深以外。与传统沟槽栅极 FET 结构类似，图 3B 中的沟槽 303 包括栅极电极 308，栅极电极下方延伸有厚的电介质 311。底部的厚电介质有助于减小栅极至漏极的电容 Cgd。备选地，沿着沟槽侧壁延伸的栅极电介质 316 可以沿着沟槽底部延伸。在没有屏蔽电极时，图 3B 实施例中的漂移区可能需要具有比图 3A 实施例中的漂移区更低的掺杂浓度。此外，在肖特基接触的正下方的漂移区中形成注入区，以确保所需要的肖特基二极管的整体性。对于 N 沟道 MOSFET，该注入区是 P 型注入，以确保轻掺杂的表面浓度。对于 P 沟道 MOSFET 则相反。

[0037] 图 5A ~ 图 5E 是示出了根据本发明的实施例的用于形成图 3A 中的集成 FET- 肖特

基结构的示意性处理顺序的简化横截面图。在图 5A 中,用传统的外延处理形成覆在硅衬底(未示出)上的 N 型漂移区 502。执行传统的深沟槽蚀刻处理,以形成延伸进入并终止于漂移区 502 的沟槽 504。注意,沟槽蚀刻处理形成沟槽长条,其在垂直于图 5A 中横截面图的方向上延伸。在一个实施例中,沟槽 504 具有大约  $2 \mu\text{m}$  的深度。在一些实施例中,每个沟槽宽度大约是  $0.2 \sim 0.7 \mu\text{m}$ ,每个沟槽的深度在  $0.5 \sim 3.0 \mu\text{m}$  的范围内。这些尺寸取决于其内部形成有 FET 和肖特基二极管的单元间距。影响这些尺寸的因素包括光刻设备的能力以及设计和性能目标。

[0038] 在图 5B 中,用传统技术形成覆在沟槽 504 的下侧壁上和底部的屏蔽电介质 512。然后,用已知方法形成填充沟槽 504 下部的屏蔽电极 505。然后,用已知的方法在屏蔽电极 505 上方形成极间介电层(IPD)510。然后,用已知的方法形成覆在沟槽上侧壁上的栅极电介质 516。可在处理的早期阶段(例如,在形成 IPD 510 时)形成栅极电介质 516。形成填充沟槽 504 上部的凹入的栅极电极 508。介质盖区域 514 在栅极电极 508 上方延伸,并填充沟槽 504 的剩余部分。

[0039] 在图 5C 中,用传统技术,将 P 型掺杂剂注入露出的硅区域,紧接着在处理中进行推阱(drive),从而形成本体区域 520。在形成本体区域 520 时,没有在活性区中使用掩模。

[0040] 根据实施例,可以使用不同的方法形成图 5C 中的结构。例如,在一个实施例中,在沟槽形成之前,通过离子注入方法或外延处理在漂移区 502 中形成 P 型本体区域 520。然后,执行深沟槽蚀刻处理来形成延伸穿过 P 本体区域 520 并终止于 N 漂移区 502 的沟槽 504。然后,以与上述关于图 5B 讨论的工艺相似的工艺形成屏蔽电极和栅极电极。

[0041] 接下来,在图 5D 中,用已知的技术,将 N 型掺杂剂注入露出的硅区域,紧接着在处理中进行推阱,从而形成 N+ 区域 522A。在形成 N+ 区域 522A 时,没有在活性区中使用掩模。

[0042] 在图 5E 中,不在活性区中使用掩模,执行凹槽微坑蚀刻处理以蚀刻为穿过 N+ 区域 522A,以保留 N+ 区域 522A 的外部 522B。所保留的外部 522B 形成源极区。然后,在每两个相邻的沟槽之间形成微坑 524。微坑 524 形成凹入的接触开口,该接触开口在源极区 522B 下方延伸并延伸进入漂移区 502 中。在本公开中使用的“微坑蚀刻”指的是硅蚀刻技术,使得形成与图 5E 中的源极区 522B 一样的具有倾斜的、圆形的外轮廓的硅区域。微坑区还将 P 型区 520 分成单独的本体区域 518,如图 5E 所示。如前所述,较深的微坑使得在源极区和本体区域下方的漂移区中形成肖特基接触。这有助于使相反的雪崩电流远离源极区转移,从而防止寄生双极型晶体管导通。此外,因为在形成本体区域 518、源极区 522B 和微坑 524 时没有在活性区中使用掩模,所以以自对准的方式形成这些特征,从而能够基本上减小单元间距。虽然上述微坑蚀刻在活性区中不需要掩模,但是在备选实施例中,掩模用于限定 N+ 区 522A 的中心部分,该中心部分被蚀刻至期望的深度。因此,保留了在这种掩模下延伸的 N+ 区域 522A 的外部。这些外部区形成源极区。

[0043] 在具体实施例中,利用掩模层,沿着每个沟槽长条将 P 型掺杂剂间断地注入微坑区。因此,在每两个相邻沟槽之间形成重本体区域的岛(与图 3 中的区 326 相似)。在一个实施例中,在重本体注入过程中需要使用足够高剂量的 P 型掺杂剂,以便对形成重本体区域的源极区的那些部分进行反掺杂(counter-dope)。在另一实施例中,在注入过程中需要使用较小剂量的 P 型掺杂剂,从而不对源极区进行反掺杂,因而保持完整。

[0044] 在图 5E 中,可使用传统技术在结构上形成肖特基阻挡金属 530。在一个实施例中,

肖特基阻挡金属 530 填充微坑 524，并且，在金属 530 开始与漂移区 520 电接触的地方形成肖特基二极管。金属层 530 还接触源极区 522B 和重本体区域。在一个实施例中，在形成互连 530 之前，沿着每个凹槽的底部将掺杂剂注入漂移区 502，以调节肖特基接触处的掺杂浓度，从而确保肖特基接触的完整性。

[0045] 在一个实施例中，在源极区和屏蔽电极之间形成电连接。例如，在沟槽长条的端部形成开口以露出屏蔽电极，然后，形成互连材料以接触屏蔽电极和源极区。在备选实施例中，屏蔽电极可与填充凹槽的互连材料耦合。

[0046] 图 5A ~ 图 5E 描述的处理步骤是用于形成集成的屏蔽栅极沟槽 FET- 肖特基结构的简单工艺。因而，形成的结构具有许多纵向和横向的自对准特征。在一个实施例中，屏蔽电极电连接至源极区，从而减小了电容耦合（例如，Qgd）。在一个具体实施例中，通过外延处理形成漂移区和本体区。双外延结构提供了设计的灵活性，使得能够优化击穿电压和导通电阻。当然，存在许多其它变化、修改和备选方式。下面讨论备选技术的实例。

[0047] 用于形成图 3B 所示的结构的处理除了一些处理步骤以外类似于图 5A ~ 图 5E 描述的处理。本领域的技术人员知晓如何修改图 5A ~ 图 5E 描述的处理顺序来形成图 3B 中的结构。例如，在用于形成图 3B 结构的处理中，形成更浅的沟槽，并且终止与形成屏蔽电极和 IPD 相关联的处理步骤。

[0048] 图 6A 是根据本发明的备选实施例的每个具有其中集成有沟槽 FET 和肖特基二极管的条形单元阵列的一部分的示意性简化等距视图。集成器件 600 类似于图 3A 中的器件 300，并且用与图 3A 中相同的数字标记相应的元件。如图 6A 所示，集成器件 600 包括由 N 型漂移区 302、P 型本体区 318、N 型源极区 322、屏蔽电极 305 和栅极电极 308 形成的 FET。集成器件 600 还包括形成于漂移区 302 和肖特基金属（未示出）之间的凹槽微坑区 324 的底部的肖特基二极管 620。另外，集成器件 600 还包括形成于不存在源极区的两个沟槽之间的区域中的肖特基二极管 625。与之不同，P 型本体区域 619 延伸至沟槽顶部。与肖特基二极管 625 相关联的源极区的不存在提高了肖特基二极管与 FET 之间的设计比例 (device ratio)。通过提供专用肖特基区 625，肖特基二极管区相对于 FET 区的百分比是可以改变的。在需要一定的肖特基 -FET 比例的某些器件应用中，这种设计灵活性是有用的。此外，因为本体区域 619 沿着沟槽侧壁延伸，所以，与形成于漂移区中的传统肖特基二极管（如图 2 的现有技术结构）相比，减小了电容耦合（例如，Qgd）。

[0049] 图 6B 示出了图 6A 所示的屏蔽栅极结构的沟槽栅极的变化。图 6B 中的结构与图 6A 中的结构相似，除了图 6B 中的沟槽不包括屏蔽电极因而不会延伸得与图 6A 结构中的沟槽一样深以外。与传统沟槽栅极 FET 结构类似，图 6B 中的沟槽 303 包括栅极电极 308，栅极电极下方延伸有厚的电介质 311。备选地，沿着沟槽侧壁延伸的栅极电介质 316 可以沿着沟槽底部延伸。在没有屏蔽电极时，图 6B 实施例中的漂移区可能需要具有比图 6A 实施例中的漂移区更低的掺杂浓度。此外，在肖特基接触的正下方的漂移区中形成注入区，以确保所需要的肖特基二极管的完整性。

[0050] 图 7A ~ 图 7C 是示出了根据本发明的实施例的用于形成图 6A 所示的单块集成的沟槽 FET 和肖特基二极管的示意性处理顺序的简化横截面图。图 7A 是示出了 N+ 源极注入之前的与图 5C 所示的相似的中间设计结构的简化图。上述关于图 5A ~ 图 5C 描述的相同的处理技术及其变化可用于形成图 7A 所示的中间结构。

[0051] 在图 7B 中,与图 5D 中的无掩模注入相反,在 N<sup>+</sup> 源极注入之前形成掩模区 710。如图所示, N<sup>+</sup> 源极区 522A 形成在不被掩模区 710 覆盖的区域中。在掩模 710 下方,保留了 P 型区,并且,其中不形成源极区。应注意,掩模 710 可以在介质盖 514 上方延伸,这样,只要掩模 710 完全覆盖其下面的本体区域 520,掩模 710 与其下面的本体区域 520 的对准就不是关键性的。

[0052] 在图 7C 中,在相邻沟槽之间形成凹槽微坑区 524 和 725,然后,以与关于图 5E 讨论的工艺相似的工艺形成金属层 530。微坑区 524 将 N<sup>+</sup> 区 522A 分成源极区 522B,而且还将 P 型区 520 分成本体区域 518。微坑区 725 将相应的 P 型区 520 分成两个 P 型区 619,本文中 P 型区被称为本体区域 619 或阱区 (well region) 619。应注意,不在微坑区 725 附近形成源极区。如图 7C 所示,肖特基二极管 620 形成在具有 N<sup>+</sup> 源极区 522B 的区域中的 FET 之间。在被图 7B 中的掩模区域 710 掩盖的区域中,肖特基二极管 625 形成在漂移区 502 和金属层 530 之间,并且 P 型本体区域 619 延伸至沟槽 504 的顶部。不在肖特基二极管 625 附近形成 FET。因此,可将掩模区 710 设计为防止在某些区域中形成 FET。如上所述,在需要一定设计比例时,这种设计灵活性在某些设计应用中是有用的。在专用肖特基区中,因为沿着沟槽侧壁设置本体区域 619,所以,与形成于漂移区中的传统肖特基二极管相比,减小了电容耦合 (例如, Qgd)。

[0053] 图 8A 是本发明的又一实施例的简化横截面图。与之前的实施例不同,FET 区域中的微坑 824 不延伸入漂移区 502,而是如图所示终止于本体区域 520。沿着每个微坑 824 的底部在本体区域 520 中形成重本体区域 826。因此,不在微坑 824 的底部形成肖特基接触。然而,与图 7C 的实施例一样,微坑 725 延伸穿过本体区域,并终止于漂移区 502 中,从而允许沿着微坑 725 的底部在互连层 830 和漂移区 502 之间形成肖特基接触。与之前的实施例一样,可将掺杂剂注入到微坑 725 的底部,以增强肖特基二极管的特性。

[0054] 可用具有以下修改的图 7A ~ 图 7C 所描述的示意性处理步骤来形成图 8A 中的结构。在形成图 7B 所示的结构之后,可执行两个步骤的微坑蚀刻处理来形成微坑 824 和 725。对所有 P 型区 520 执行初始微坑蚀刻来形成以与图 8 中的微坑 824 的深度相似的深度终止于 P 型区 520 的微坑。然后,用掩模层覆盖所有 FET 区域,但是不覆盖要形成肖特基二极管的 P 型本体区域 (例如,可使用图 7B 中的掩模 710 的反面)。执行第二微坑蚀刻,以在通过掩模层露出的本体区域中进一步将微坑延伸进入漂移区 502 中,从而形成如图 8A 所示的微坑 725。可使用结合一个或多个上述实施例所描述的那些步骤相似的处理步骤来完成此结构。

[0055] 在备选的处理实施例中,可使用两个掩模步骤来形成微坑 824 和 725。首先,利用掩模层覆盖对应于将形成肖特基二极管的位置的 P 型区 520,并执行露出的 P 型区的微坑蚀刻,以形成微坑 824。其次,利用掩模层覆盖对应于将形成 FET 的位置的 P 型区 520,并执行露出的 P 型区的微坑蚀刻,以形成微坑 824。可以相反的顺序执行这两个掩模步骤。

[0056] 在图 8A 结构中,源极区和本体区域以自对准方式形成,使得能够收缩单元间距。此外,与图 6 的实施例一样,由于本体区域 619 在肖特基区中沿着栅极电极 508 延伸,所以减小了 Qgd。图 8 实施例的另一优点在于,通过将 FET 区域和肖特基区域彼此完全分离,可获得 FET 与肖特基的任何比例。对于期望肖特基与 FET 的小比例在 2.5% ~ 5% 的范围内的应用,此实施例特别地有利。

[0057] 图 8B 示出了图 8A 所示的屏蔽栅极结构的沟槽栅极的变化。图 8B 中的结构与图 8A 中的结构相似，除了图 8B 中的沟槽不包括屏蔽电极因而不会延伸得与图 8A 结构中的沟槽一样深以外。与一些传统沟槽栅极 FET 结构类似，图 8B 中的沟槽 503 包括栅极电极 508，栅极电极下方延伸有厚的电介质 511。备选地，沿着沟槽侧壁延伸的栅极电介质 516 可以沿着沟槽底部延伸。在没有屏蔽电极时，图 8B 实施例中的漂移区可能需要具有比图 8A 实施例中的漂移区更低的掺杂浓度。此外，在肖特基接触的正下方的漂移区中形成注入区，以确保所需要的肖特基二极管的完整性。

[0058] 在当今的电子器件中，找出多电源范围的使用是很常见的。例如，在一些应用中，中央处理器被设计为根据计算负载在特定时间以不同的电源电压进行工作。因此，在电子装置中大量出现 dc/dc 转换器，以满足电路的宽范围的电源需求。普通的 dc/dc 转换器利用典型地由功率 MOSFET 实现的高效开关。利用例如脉宽调制 (PWM) 方法控制功率开关以将能量的调节量传递至负载。

[0059] 图 9 是示出了根据本发明的实施例的包含单块集成的沟槽 MOSFET 和肖特基二极管的 dc/dc 转换器 900 的简化电路图。PWM 控制器 901 驱动一对功率 MOSFET 902 和 904 的栅极端子，以调节到负载 930 的电荷传递。在具体实施例中，将 FET 904 和肖特基二极管 905 的组合实现为与图 3A、图 3B、图 6A、图 6B、图 8A 和图 8B 中的任一图所示的单块集成的沟槽 MOSFET 和肖特基二极管相似的集成器件。MOSFET 904 在电路中用作同步整流器。为了避免直通 (shoot-through) 电流，在导通两个开关中的一个开关之前必须同时断开这两个开关。在此“停歇时间”期间，每个 MOSFET 开关的内部二极管（通常称为体二极管）可传导电流。不幸地，体二极管具有相对高的正向电压并且能量被浪费。如图 9 所示，肖特基二极管 905 与 MOSFET 904 体二极管并联。因为肖特基二极管具有比体二极管小的正向电压，所以肖特基二极管 905 实现了改进的功率消耗并提高了转换效率。

[0060] 虽然已经使用屏蔽栅极和沟槽栅极 FET 描述了本发明的一些实施例，但是，对于本领域的技术人员而言，鉴于本公开，在具有厚的底部电介质的其它屏蔽栅极 FET 结构和沟槽栅极 FET 中以及在其它类型的功率器件中的本发明的实施例将是显而易见的。

[0061] 虽然上文已经示出并描述了大量具体的实施例，但是本发明的实施例并不限于此。例如，虽然使用开放单元结构描述了本发明的一些实施例，但是，对于本领域的技术人员而言，鉴于本公开，使用具有各种几何形状（例如，多边形、圆形和矩形）的封闭单元结构来实现本发明将是显而易见的。此外，虽然使用 n 沟道器件描述了本发明的实施例，但是可将这些实施例中的硅区域中的导电类型反转而获得 p 沟道器件。此外，可以仅仅通过反转衬底的极性，便可获得上面参考的各种类型的 n 沟道和 p 沟道 FET 的 IGBT 变化。因此，本发明的范围不应参照以上说明书来确定，而应参照所附权利要求及其等效物的全部范围来确定。

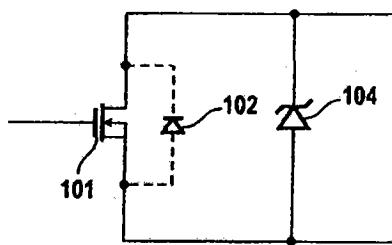


图 1( 现有技术 )

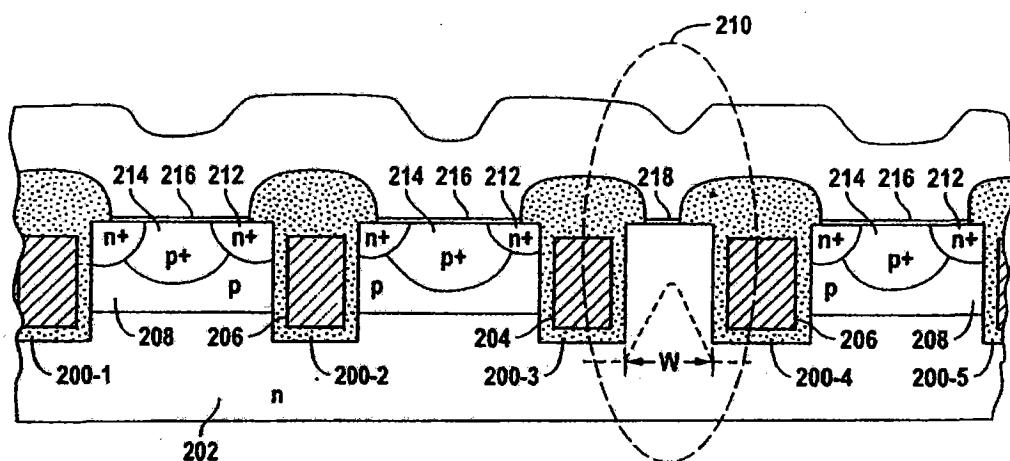


图 2( 现有技术 )

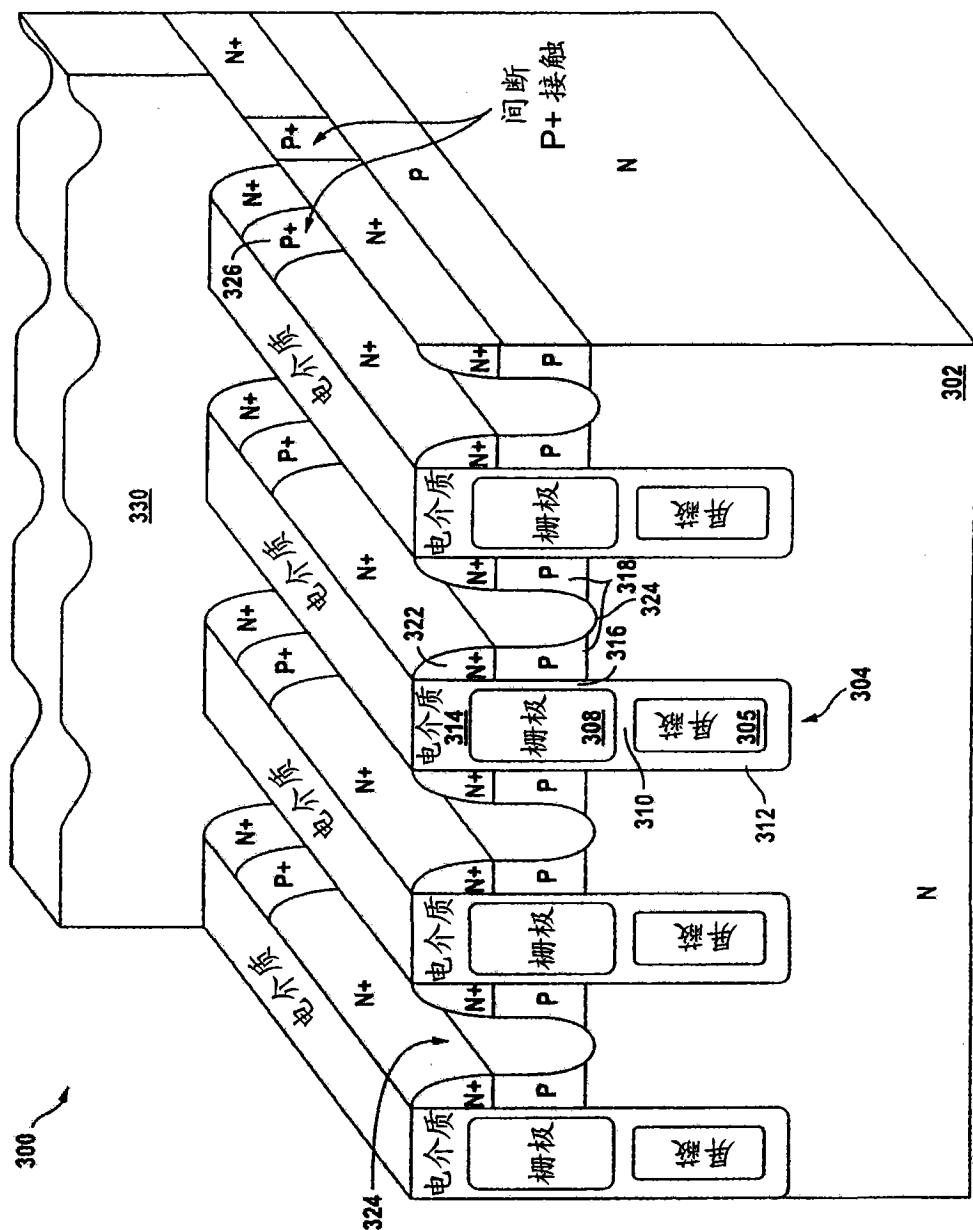


图 3A

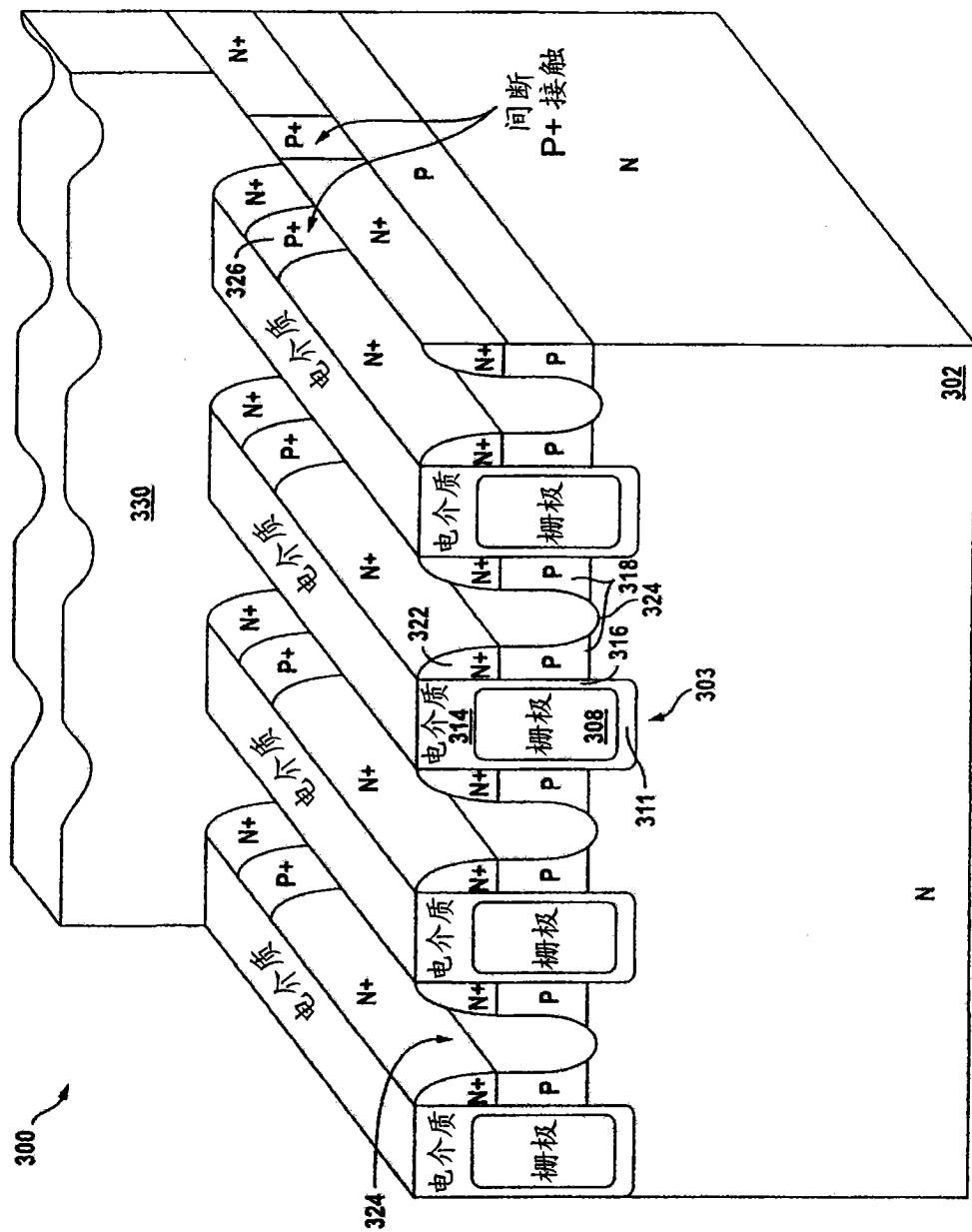


图 3B

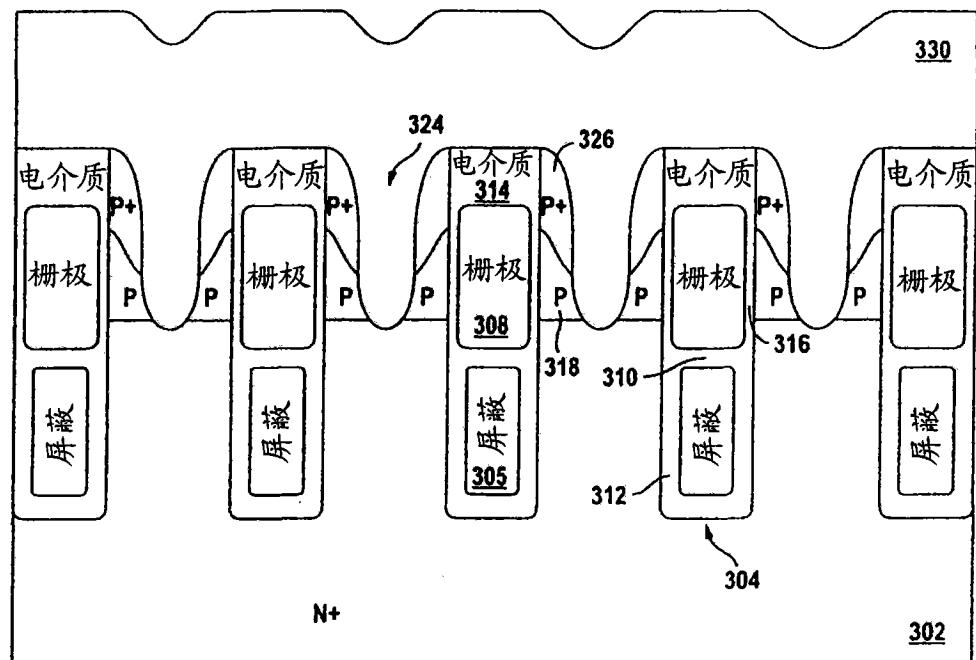


图 4

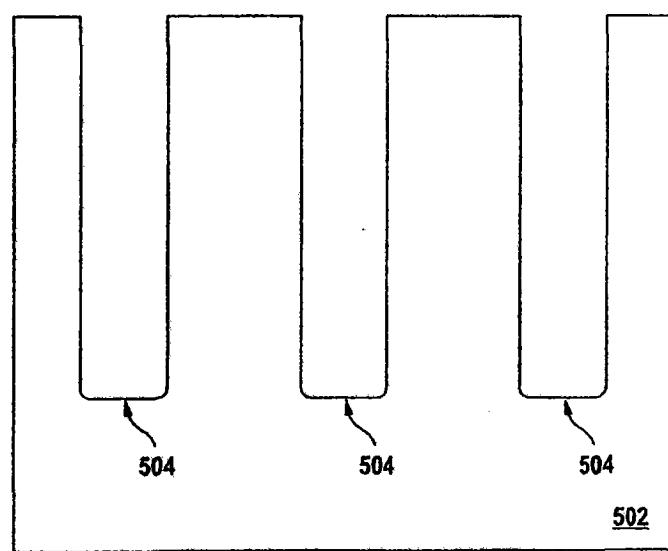


图 5A

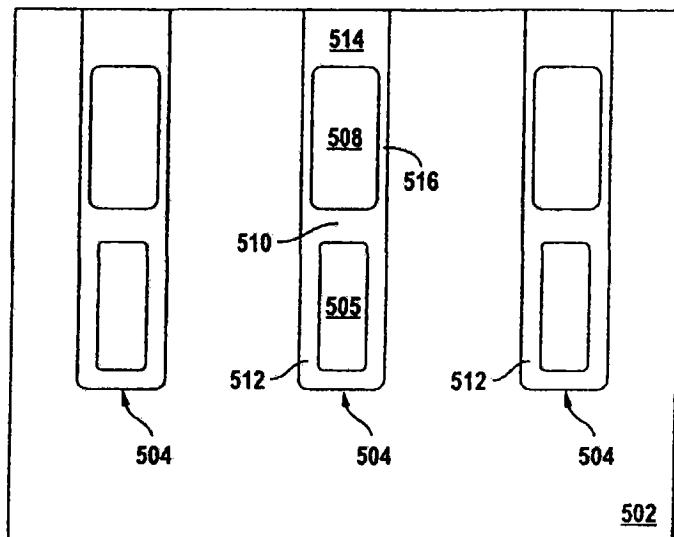


图 5B

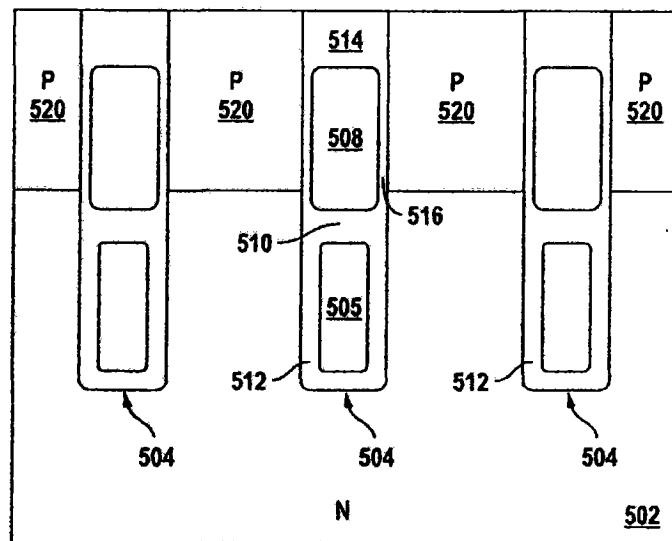


图 5C

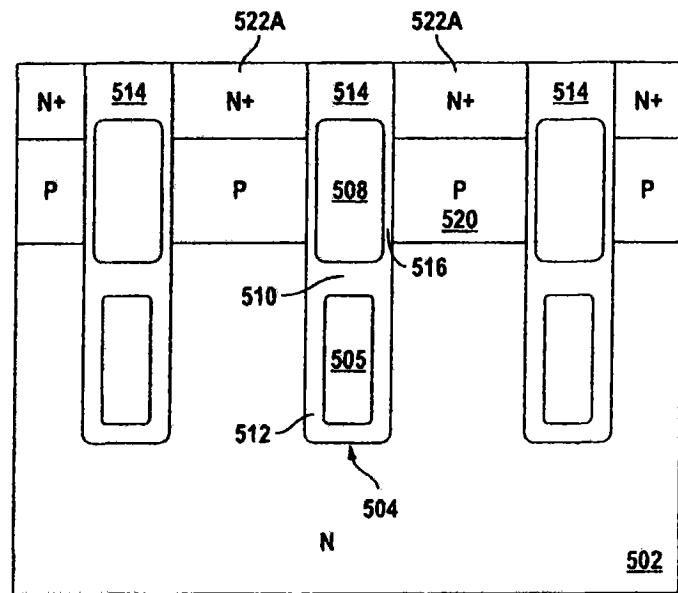


图 5D

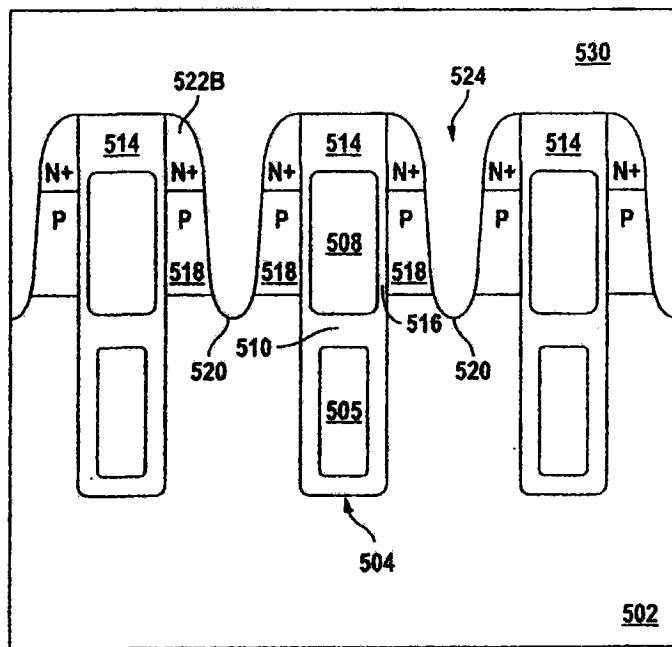


图 5E

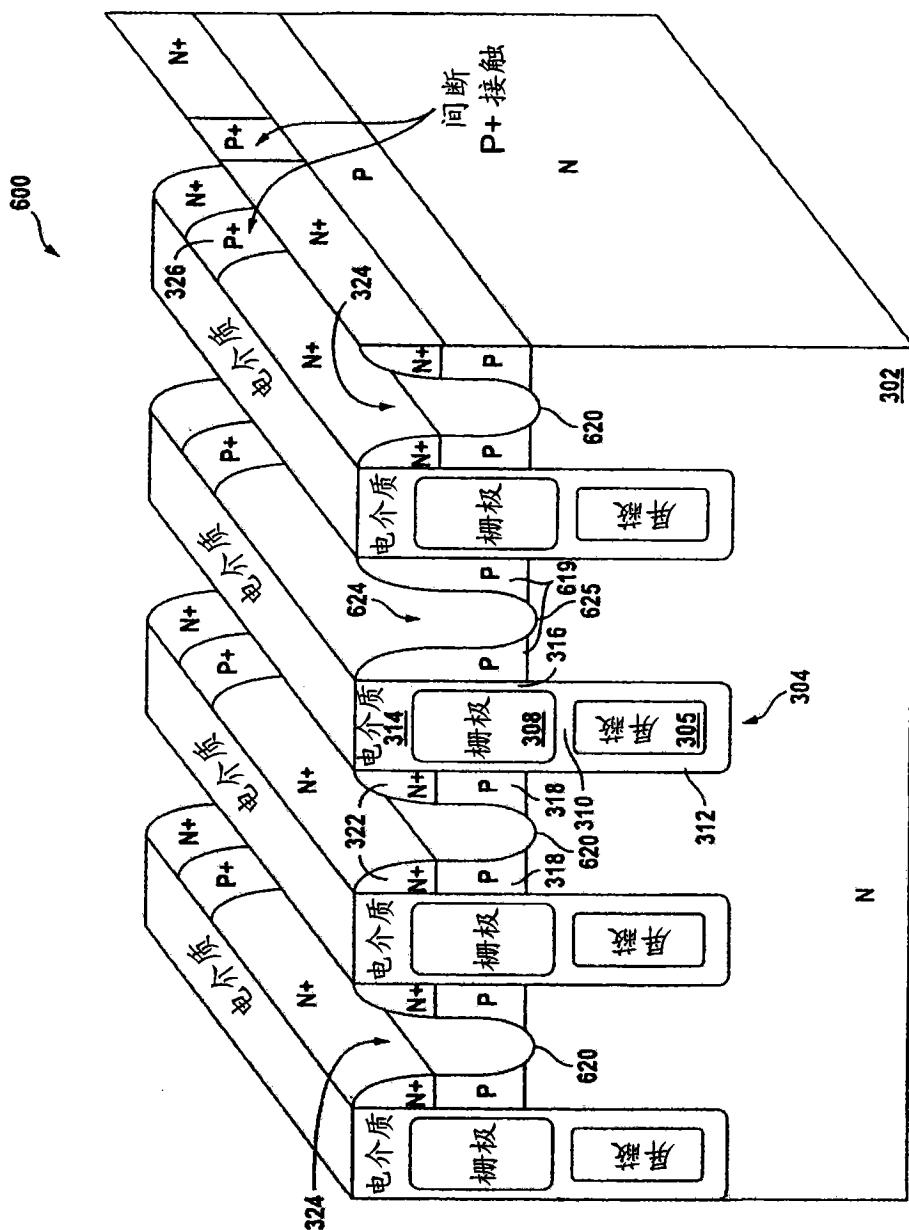


图 6A

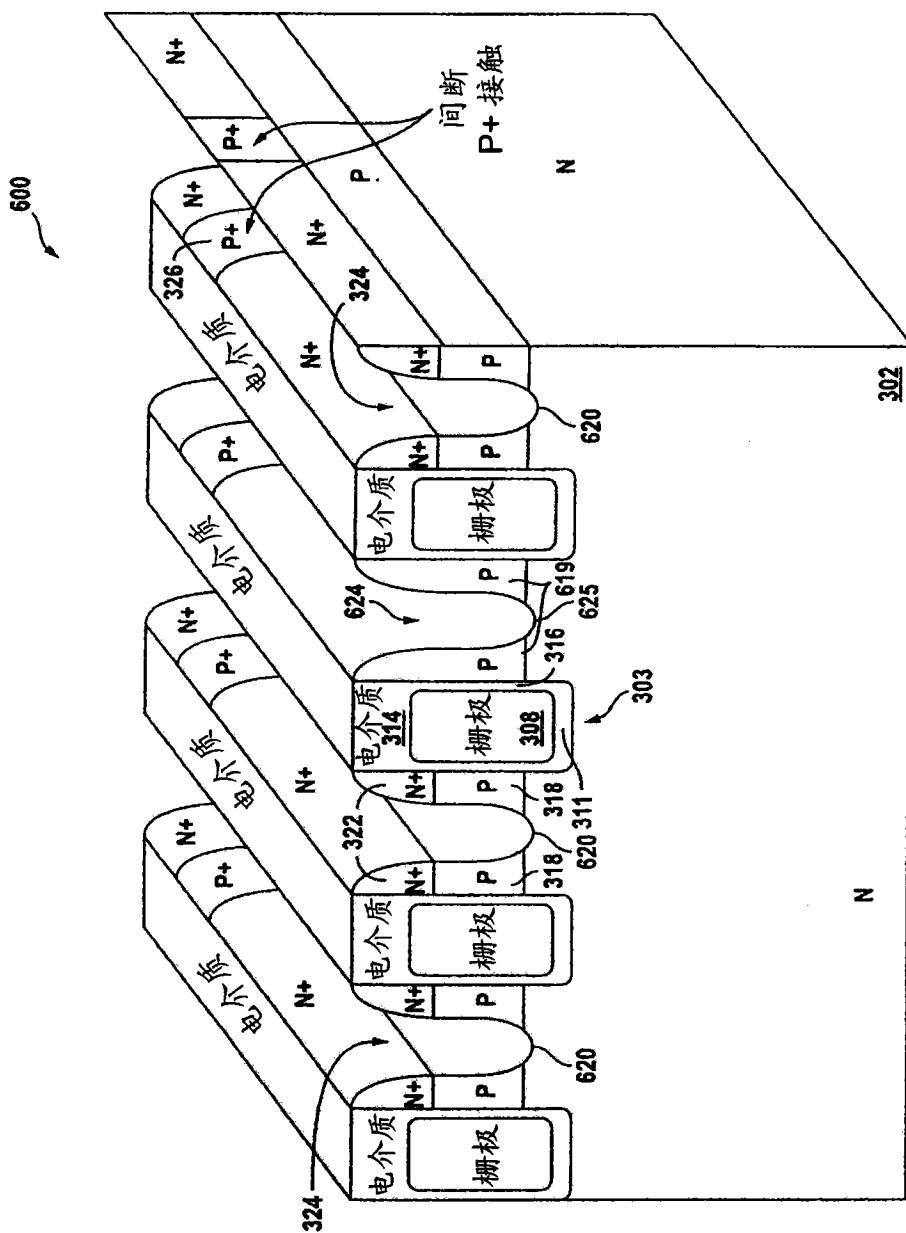


图 6B

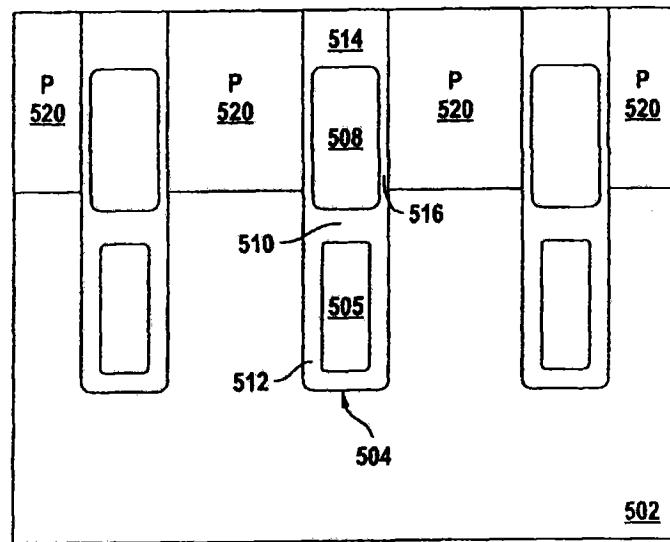


图 7A

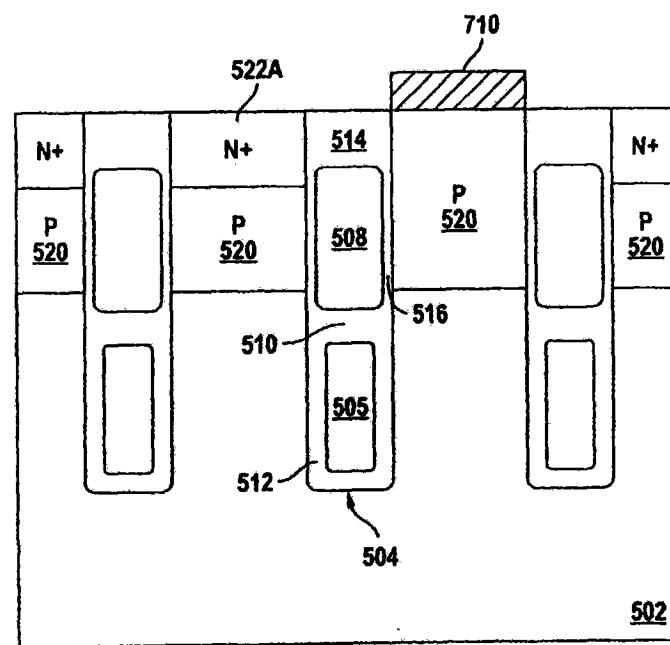


图 7B

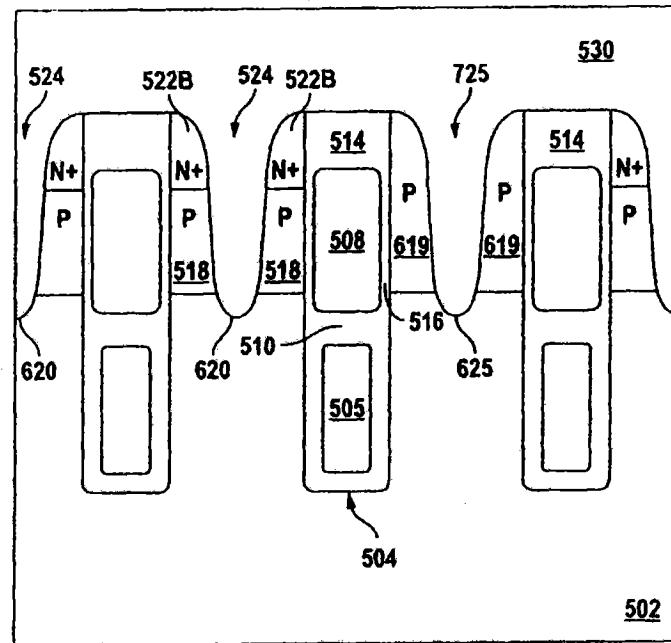


图 7C

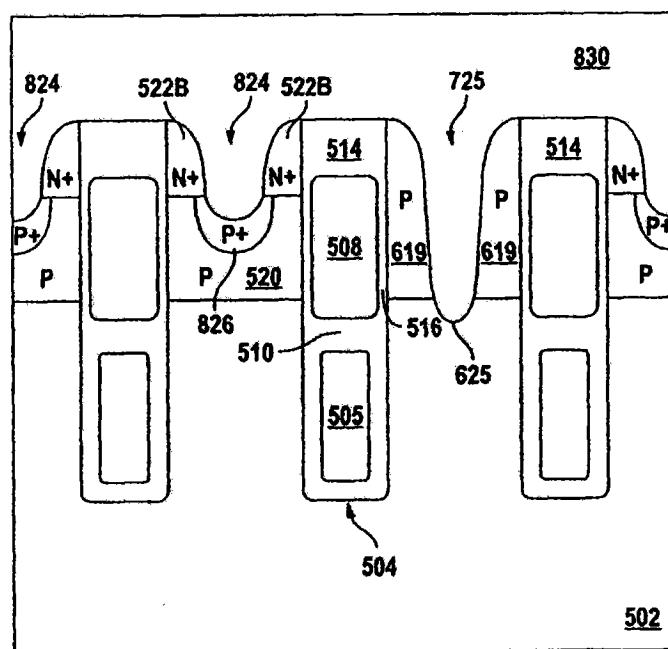


图 8A

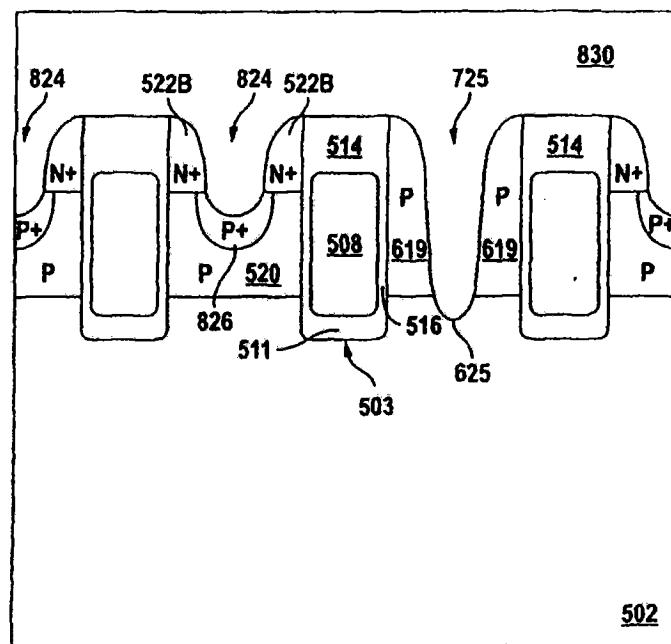


图 8B

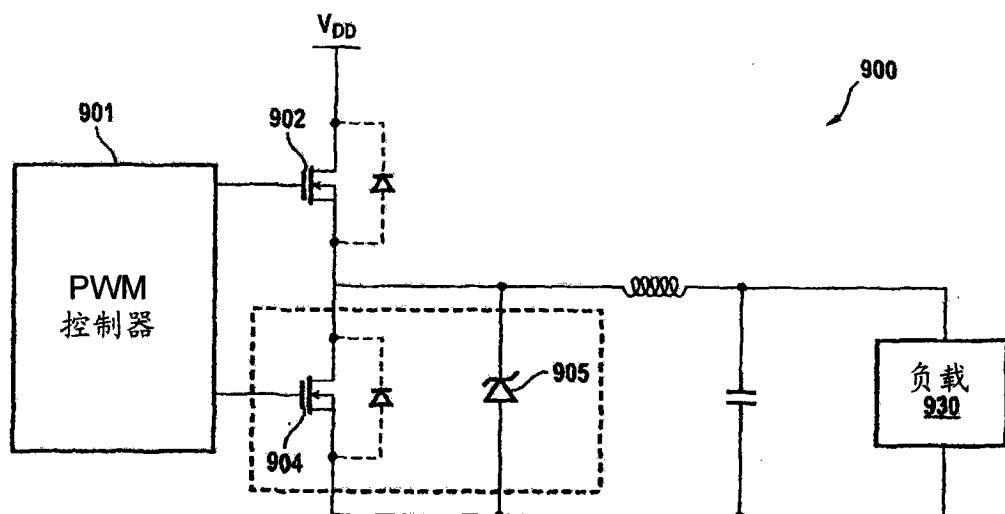


图 9