(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3948790号
(P3948790)
(45)発行日　平成19年7月25日(2007.7.25)　(24)登録日　平成19年4月27日(2007.4.27)

(51)Int.Cl.　　F I
H01L 21/8242 (2006.01)　　H01L 27/10 681C
H01L 27/108 (2006.01)　　G11C 11/34 371K
G11C 11/401 (2006.01)

請求項の数 5　(全 13 頁)

(21)出願番号　特願平9-194538
(22)出願日　平成9年7月18日(1997.7.18)
(65)公開番号　特開平11-40771
(43)公開日　平成11年2月12日(1999.2.12)
審査請求日　平成15年1月15日(2003.1.15)

(73)特許権者　390020248
日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿六丁目２４番１号
(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(74)代理人　100094053
弁理士　佐藤　隆久
(72)発明者　助川　俊一
茨城県稲敷郡美浦村木原２３５５番地　日本テキサス・インスツルメンツ株式会社内
(72)発明者　別所　真次
茨城県稲敷郡美浦村木原２３５５番地　日本テキサス・インスツルメンツ株式会社内

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】

【請求項１】

複数のワード線と複数のビット線対との交点に複数のメモリセルがそれぞれ配置されているメモリセルアレイと、上記複数のワード線をそれぞれ駆動する複数のワード線駆動回路と、上記複数のビット線対にそれぞれ接続されている複数のセンスアンプと、上記複数のセンスアンプを駆動するセンスアンプ駆動回路とを含むメモリアレイ領域と、

電源電圧を供給するための共通給電配線を含む周辺回路領域と、

を有し、

上記複数のワード線駆動回路に電源電圧を供給するための第１の給電配線と、上記複数のセンスアンプ及び上記センスアンプ駆動回路に電源電圧を供給するための第２の給電配線とが、上記メモリアレイ領域内においては分離して配置されており、上記周辺回路領域内において上記共通給電配線に接続されている

半導体記憶装置。

【請求項２】

上記複数のワード線駆動回路が上記メモリセルアレイに沿って列方向に配置されており、上記複数のセンスアンプが上記メモリセルアレイに沿って行方向に配置されており、上記共通給電配線が行方向に配置されており、上記第１の給電配線と上記第２の給電配線とが互いに平行に列方向に配置されている

請求項１に記載の半導体記憶装置。

【請求項３】

上記複数のワード線駆動回路が共通のメインワード線とワード線選択信号線とに接続されており、上記メインワード線と上記ワード線選択信号線とにより上記ワード線が駆動される
請求項１又は２に記載の半導体記憶装置。
【請求項４】
非選択状態の上記ワード線に対して上記ワード線駆動回路内の第１のトランジスタを介して接地電位が供給され、選択状態の上記ワード線に対して上記ワード線駆動回路内の第２のトランジスタを介して駆動電圧が供給される
請求項３に記載の半導体記憶装置。
【請求項５】
上記第１の給電配線及び上記第２の給電配線が接地電位を供給するための配線である
請求項１乃至４の何れかに記載の半導体記憶装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、電源電圧の共通給電線（Ｖss線）の電位変化がメモリセルの誤動作につながり難い配線を施したＤＲＡＭ等の半導体記憶装置に関する。
【０００２】
【従来の技術】
大容量ＤＲＡＭ等の半導体記憶装置では、一般に、メモリアレイを複数のサブメモリアレイに分割し、高性能化（高速化、低消費電力化等）を図っている。
図１０は、センスアンプをサブメモリアレイ間で共有するＤＲＡＭの要部構成を示すブロック図である。
このＤＲＡＭ１００では、隣り合う２つのサブメモリアレイ１０１，１０２の間に位置するセンスアンプアレイ領域１０３内に、多数のシェアードセンスアンプ(Shared sensing amplifier,以下単に“センスアンプＳＡ”という）が配置されている。各センスアンプＳＡに対し、ビット対線ＢＬ，ＢＬ＿がサブメモリアレイ１０１，１０２ごとに１対づつ、合計２対接続されている。このビット対線ＢＬ，ＢＬ＿は、ビット線ごとに転送ゲートＴＧ1 またはＴＧ2 を介してセンスアンプＳＡに接続されている。そして、サブメモリアレイ１０１側の転送ゲートＴＧ1 の各ゲートは、シェアード信号ＳＨＬ1 が印加される信号線に接続されている。同様に、サブメモリアレイ１０２側の転送ゲートＴＧ2 の各ゲートは、シェアード信号ＳＨＬ2 が印加される信号線に接続されている。
【０００３】
センスアンプＳＡは、ＣＭＯＳアンプ構成であり、そのＮＭＯＳアンプの電源供給ノードが共通駆動線ＳＮＬに接続され、そのＰＭＯＳアンプの電源供給ノードが他の共通駆動線ＳＰＬに接続されている。２つの共通駆動線ＳＮＬ，ＳＰＬは、センスアンプ領域１０３の外部に配置されたセンスアンプ駆動回路１０４に接続されている。また、センスアンプ駆動回路１０４間で共通化された電源電圧供給線（以下、“センスアンプ駆動回路の共通給電線Ｖssa ”という）が列方向に配線されている。
【０００４】
一方、各サブメモリアレイ１０１，１０２内では、行方向に配線された多数のワード線ＷＬとビット対線ＢＬ，ＢＬ＿との各交点に、それぞれメモリセルを構成する選択トランジスタＴＲとメモリキャパシタＣとが接続されている。選択トランジスタＴＲのゲートがワード線ＷＬに接続され、ドレインがビット対線ＢＬ，ＢＬ＿の一方に接続され、ソースと図示せぬ共通プレート線との間にメモリキャパシタＣが接続されている。
各ワード線ＷＬは、図示せぬ行デコーダからの行選択信号に応じて各ワード線ＷＬを励起するワード線駆動回路１０５に接続されている。また、ワード線駆動回路１０５間で共通化された電源電圧供給線（以下、“ワード線駆動回路の共通給電線Ｖssw ”という）が列方向に配線されている。
【０００５】

ＤＲＡＭ等の半導体記憶装置では、一般に、メモリセルや配線寸法を微細化し低電圧化のもとで高速化および大容量化すると、内部回路動作のＳ／Ｎ（信号対雑音比）は低下する。電源電圧を低くしたまま高速化するには大電流で負荷を駆動する必要があるが、この電流は微細化ならびにチップの大型化とともに増大する配線抵抗を介して流れるので、信号線や電源電圧供給線に発生するノイズは増大する一方、低電圧動作にともなってメモリセル信号の電圧振幅が低下する傾向にあるため、内部回路動作のＳ／Ｎは低下する。

【０００６】

このＳ／Ｎ向上のためにノイズの発生自体を抑制する方法としては、図１０に示すようにメモリアレイをサブメモリアレイに分割して一度に電流が流れる領域を限定し動作電流の低減を図る一方、ビット線やワード線等の負荷容量が高い配線を低抵抗化或いは階層化することで負荷容量を低減し或いは分散化する手法が一般的に採用されている。また、これらの手法を用いても完全なノイズ発生の防止は難しく、特にメモリセル信号が微弱な大容量ＤＲＡＭにおいては、例えば配線の接続方法等を工夫して、ノイズが発生してもノイズの影響を受け難くすることが、Ｓ／Ｎ向上のために重要になってきている。

【０００７】

この観点から、図１０の大容量ＤＲＡＭにおいては、ワード線ＷＬに接続されたワード線駆動回路１０５の共通給電線Ｖssw と、ビット対線ＢＬ，ＢＬ＿にセンスアンプＳＡおよび共通駆動線ＳＮＬを介して接続されるセンスアンプ駆動回路１０４の共通給電線Ｖssa との接続関係が重要である。なぜなら、ノイズは、ワード線やビット線の交点等における結合容量を介した誘導ノイズとしても伝達するが、より直接的には共通化されて用いられる電源電圧供給線を介して伝達しやすいからである。

【０００８】

【発明が解決しようとする課題】

ところが、よく知られているようにノイズには同期ノイズと非同期ノイズとがあり、非同期ノイズはノイズ伝搬が懸念される電源電圧供給線同士を単純に分離することにより遮断すればよいが、このとき同期ノイズも遮断されると却って誤動作に対する電圧マージンが低下することがある。

例えば、図１０の大容量ＤＲＡＭにおいては、ワード線駆動回路１０５の共通給電線Ｖssw と、センスアンプ駆動回路１０４の共通給電線Ｖssa とを短絡する場合、分離する場合の何れの場合でも、非選択メモリセルの記憶データを破壊する動作不良が起こるといった問題があった。

【０００９】

本発明は、かかる実情に鑑みてなされたものであり、ワード線駆動回路の共通給電線とセンスアンプ駆動回路の共通給電線とを短絡しても、上述した非選択メモリセルの記憶データを破壊するといった動作不良が起きにくい半導体記憶装置を提供することを目的とする。

【００１０】

【課題を解決するための手段】

上述した従来技術の問題点を解決し、上記目的を達成するために、本発明の半導体記憶装置は、複数のワード線と複数のビット線対との交点に複数のメモリセルがそれぞれ配置されているメモリセルアレイと、上記複数のワード線をそれぞれ駆動する複数のワード線駆動回路と、上記複数のビット線対にそれぞれ接続されている複数のセンスアンプと、上記複数のセンスアンプを駆動するセンスアンプ駆動回路とを含むメモリアレイ領域と、電源電圧を供給するための共通給電配線を含む周辺回路領域とを有し、上記複数のワード線駆動回路に電源電圧を供給するための第１の給電配線と、上記複数のセンスアンプ及び上記センスアンプ駆動回路に電源電圧を供給するための第２の給電配線とが、上記メモリアレイ領域内においては分離して配置されており、上記周辺回路領域内において上記共通給電配線に接続されている。

【００１１】

本発明の半導体記憶装置では、好適に、上記複数のワード線駆動回路が上記メモリセル

アレイに沿って列方向に配置されており、上記複数のセンスアンプが上記メモリセルアレイに沿って行方向に配置されており、上記共通給電配線が行方向に配置されており、上記第１の給電配線と上記第２の給電配線とが互いに平行に列方向に配置されている。

【００１２】

本発明の半導体記憶装置では、好適に、上記複数のワード線駆動回路が共通のメインワード線とワード線選択信号線とに接続されており、上記メインワード線と上記ワード線選択信号線とにより上記ワード線が駆動される。

また、本発明の半導体記憶装置では、好適に、非選択状態の上記ワード線に対して上記ワード線駆動回路内の第１のトランジスタを介して接地電位が供給され、選択状態の上記ワード線に対して上記ワード線駆動回路内の第２のトランジスタを介して駆動電圧が供給される。

更には、本発明の半導体記憶装置では、好適に、上記第１の給電配線及び上記第２の給電配線が接地電位を供給するための配線である。

【００１３】

一般に、ワード線駆動回路によって、非選択のワード線は接地電位に固定されている。このため、ワード線に接地電位を供給している給電配線に正のノイズが重畳される場合、又はビット対線に負のノイズが重畳される場合には、非選択のワード線に接続されたメモリセルの選択トランジスタが瞬間的に導通し、記憶データを破壊することがある。例えば、非選択のワード線に正のノイズか重畳した場合には非活性状態にあるメモリセルアレイのメモリセルの０データが破壊され、ビット対線に負のノイズが重畳した場合には活性化状態にあるメモリセルアレイのメモリセルの１データが破壊される。

【００１４】

本発明の半導体記憶装置では、センスアンプ側で発生し、センスアンプ駆動回路の給電配線に重畳されたノイズ（非同期ノイズ）は、メモリアレイ領域の外部の周辺回路領域の共通給電配線に一旦迂回した後、ワード線駆動回路の給電配線に伝達されることになる。このため、上記非同期ノイズは、比較的に長い配線を伝搬する間にある程度減衰し、例え、非選択のワード線に伝搬したとしても記憶データを破壊するほどのノイズレベルにならない。

【００１５】

一方、ワード線駆動回路等で発生したノイズ（同期ノイズ）は、センスアンプ駆動回路の給電配線を介して、非選択ワード線、並びにビット対線に重畳される。この同期ノイズは、上記した非同期ノイズと同様に、ある程度減衰してセンスアンプ駆動回路の給電配線に伝搬される。この場合、非選択ワード線に接続されているメモリセルの選択トランジスタのゲート端子とドレイン端子とが同様に変動するので、選択トランジスタの瞬間的な導通による記憶データの破壊が有効に防止される。

【００１６】

このようにセンスアンプ駆動回路およびワード線駆動回路の給電配線をメモリアレイ領域内では分割し、周辺回路領域内の共通給電配線にて接続する構成としているので、センスアンプ側とワード線駆動回路側で発生した各種ノイズについて、ビット対線と非選択ワード線双方にノイズが伝搬されても、そのノイズレベルは緩和されている。この結果、記憶データの破壊を引き起こす非選択ワード線とビット対線の変動レベルが同期ノイズによる場合と非同期ノイズによる場合の双方とも問題の発生しない範囲内に調整される。

【００１７】

【発明の実施の形態】

以下、本発明に係る半導体記憶装置を、メモリアレイが多分割された６４Ｍｂ（メガビット）ＤＲＡＭを例として、図面を参照しながら詳細に説明する。

図１（ａ）は、本発明の実施例に係る６４ＭｂＤＲＡＭの全体の構成を示す概略平面図である。また、図１（ｂ）は、図１（ａ）のＡ部を拡大して示す概略平面図、図２は図１（ｂ）のＢ部を拡大して示す機能ブロック図である。

【００１８】

この６４ＭｂＤＲＡＭ１は、図１（ａ）に示すように、それぞれ８Ｍｂの記憶容量を有する８個のメモリアレイブロック２と、それらの間に設けられている周辺回路領域３とから構成されている。
一つのメモリアレイブロック２は、図１（ｂ），図２に拡大して示すように、横８個、縦１６個の合計１２８個のサブメモリアレイＳＭＡx,y(x=0,1,…,i，…,7、y=0,1,…,j，…,15)を有している。各サブメモリアレイＳＭＡx,y は、冗長メモリセルを多少含むものもあり一概にはいえないが、おおよそ６４ｋｂ（キロビット）程度の記憶容量を有している。一つのメモリアレイブロック２内で、合計約２千のビット線対が列（縦）方向に配線されている。また、後述するように、一本のメインワード線ＭＷＬから複数のサブワード線ＳＷＬを分岐させてワード線を階層化し、一つのメモリアレイブロック２内において約４千のサブワード線ＳＷＬが行（横）方向に配線されている。

【００１９】
サブメモリアレイＳＭＡx,y の列と平行に、アレイコントローラ４が配置されている。また、このアレイコントローラ４とサブメモリアレイＳＭＡx,y の短辺（列方向に沿った辺）との間には、１６個のメインワード線駆動回路ＭＷＤがアレイコントローラ４に隣接して配置されている。
図２に示すように、サブメモリアレイＳＭＡx,y の列方向の間隔内、及び列方向両端には、センスアンプアレイＳＡＡが行列状に繰り返し配置されている。また、サブメモリアレイＳＭＡx,y の行方向の間隔内、及び行方向両端には、サブワード線駆動回路ＳＷＤが行列状に繰り返し配置されている。

【００２０】
図３は、センスアンプアレイＳＡＡおよび列方向両側のサブメモリアレイＳＭＡx,j 、ＳＭＡx,j+1 を部分的に拡大して示す回路図である。また、図４は、センスアンプアレイＳＡＡの構成単位を示す回路図である。
サブメモリアレイＳＭＡx,j は、列方向に配線された多数のビット対線ＢＬ，ＢＬ＿と、行方向に配線された多数のサブワード線ＳＷＬとを有し、これらの信号線にメモリセルを構成する選択トランジスタＳＴと、メモリキャパシタＣが接続されている。選択トランジスタＳＴは、そのゲートがサブワード線ＳＷＬに接続され、ドレインがビット対線ＢＬ，ＢＬ＿の一方に接続され、ソースがメモリキャパシタＣの記憶ノードに接続されている。メモリキャパシタＭＣの他方のノードは、図示せぬ共通プレート線に接続されている。

【００２１】
サブメモリアレイＳＭＡx,j のビット対線ＢＬ，ＢＬ＿は、シェアード信号線ＳＨＬ1 にゲートが接続されている転送ゲートＴＧ1 を介して、センスアンプＳＡの一方の入力端子に接続されている。同様に、サブメモリアレイＳＭＡx,j+1のビット対線ＢＬ，ＢＬ＿は、シェアード信号線ＳＨＬ2 にゲートが接続されている転送ゲートＴＧ2 を介して、センスアンプＳＡの他方の入力端子に接続されている。

【００２２】
センスアンプＳＡは、図４に示すように、ＰＭＯＳアンプとＮＭＯＳアンプとからなるＣＭＯＳアンプである。ＰＭＯＳアンプは、ドレインがビット線ＢＬに接続されゲートがビット補線ＢＬ＿に接続されている第１のＰＭＯＳトランジスタＱ1 と、この第１のＰＭＯＳトランジスタＱ1 とソース同士が相互接続され、ドレインがビット補線ＢＬ＿に接続されゲートがビット線ＢＬに接続されている第２のＰＭＯＳトランジスタＱ2 とから構成されている。ソース同士が相互接続されているノードＮＤ1 は、共通駆動線ＳＰＬに接続されている。同様に、ＮＭＯＳアンプは、ソースがビット線ＢＬに接続されゲートがビット補線ＢＬ＿に接続されている第１のＮＭＯＳトランジスタＱ3 と、この第１のＮＭＯＳトランジスタＱ3 とソース同士が相互接続され、ドレインがビット補線ＢＬ＿に接続されゲートがビット線ＢＬに接続されている第２のＮＭＯＳトランジスタＱ4 とから構成されている。ソースが相互接続されているノードＮＤ2 は、共通駆動線ＳＮＬに接続されている。

【００２３】

このセンスアンプＳＡと一方の転送ゲート対（例えば、ＴＧ1，ＴＧ1）との間においては、ビット線イコライザＥＱがビット対線ＢＬ，ＢＬ＿に接続されている。ビット線イコライザＥＱは、データ読出し又は書込み動作以外のときにビット対線ＢＬ，ＢＬ＿を短絡して同電位にするための回路である。ビット線イコライザＥＱは、ソース又はドレインの一方がビット線ＢＬに接続され他方がビット補線ＢＬ＿に接続されているトランジスタＱ5と、ドレインが相互接続されソースがビット線ＢＬとビット補線ＢＬ＿にそれぞれ接続されているトランジスタＱ6,Ｑ7とから構成されている。トランジスタＱ6，Ｑ7の相互接続されたドレインには、V_{DL}／２の電圧を供給する電圧供給線V_{BLR}が接続されている。これら３つのトランジスタＱ5～Ｑ7のゲートは共通化され、イコライザ駆動線ＥＱＬに接続されている。なお、このビット線イコライザＥＱおよびイコライザ駆動線ＥＱＬは、図３では省略されている。

【００２４】

センスアンプＳＡと他方の転送ゲート対ＴＧ2，ＴＧ2との間においては、列選択トランジスタ対ＹＴ1，ＹＴ2が接続されている。列選択トランジスタＹＴ1は、そのソース又はドレインの一方がビット線ＢＬに接続され他方がデータ線Ｄに接続され、ゲートが列選択信号線ＹＳＬに接続されている。また、列選択トランジスタＹＴ2は、そのソース又はドレインの一方がビット補線ＢＬ＿に接続され他方がデータ補線Ｄ＿に接続され、ゲートが列選択信号線ＹＳＬに接続されている。

【００２５】

図２において、センスアンプアレイＳＳＡとサブワード線駆動回路ＳＷＤとが四方に接するクロスエリア、およびアレイコントローラ４内には、センスアンプＳＡの共通駆動線ＳＰＬ，ＳＮＬを電圧変化させてセンスアンプを駆動するセンスアンプ駆動回路ＳＡＤが分散配置されている。

【００２６】

図５は、このセンスアンプ駆動回路ＳＡＤのうち、共通駆動線ＳＮＬを駆動する部分を示す。

このセンスアンプ駆動回路部分は、上記クロスエリアのそれぞれに配置されている駆動用トランジスタＱ8（図５（ａ））と、アレイコントローラ４内に配置され出力端子が駆動用トランジスタＱ8のゲートに接続されているインバータＩＮＶ1（図５（ｂ））とから構成されている。駆動用トランジスタＱ8は、そのドレインが一つのセンスアンプアレイＳＳＡ内における複数のセンスアンプＳＡ間に共通な共通駆動線ＳＮＬに接続され、ソースがセンスアンプ駆動回路用の共通給電線Ｖssa に接続されている。インバータＩＮＶ1は、ＰＭＯＳトランジスタＱ9とＮＭＯＳトランジスタＱ10とから構成されている。両ＭＯＳトランジスタＱ9,Ｑ10のドレイン同士は共通化され、その接続点がインバータＩＮＶ1の出力端子をなしている。また、両ＭＯＳトランジスタＱ9,Ｑ10のゲートは共通化されてインバータＩＮＶ1の入力端子をなし、ＰＭＯＳトランジスタＱ9のソースが電源電圧の供給線V_{DD}に接続され、ＮＭＯＳトランジスタＱ10のソースがアレイコントローラ用の共通給電線Ｖssc に接続されている。

【００２７】

図２のクロスエリアおよびアレイコントローラ４には、ビット対線ＢＬ，ＢＬ＿の短絡と開放を制御するビット線イコライザＥＱ（図４）の駆動回路ＥＱＤが分散配置されている。

【００２８】

図６は、イコライザ駆動回路ＥＱＤを示す。

このイコライザ駆動回路ＥＱＤは、上記クロスエリアの行方向に一つ置きに配置されているイコライザ駆動用のＮＭＯＳトランジスタＱ11（図６（ａ））と、アレイコントローラ４内に配置されているインバータＩＮＶ2およびイコライザ駆動用のＰＭＯＳトランジスタＱ12（図６（ｂ））とから構成されている。イコライザ駆動用のＮＭＯＳトランジスタＱ11は、そのドレインが一つのセンスアンプアレイＳＳＡ内における複数のビット線イコライザＥＱ間に共通なイコライザ駆動線ＥＱＬに接続され、ソースがセンスアンプ駆動回

路用の共通給電線Ｖssa に接続されている。インバータＩＮＶ2 は、ＰＭＯＳトランジスタＱ13とＮＭＯＳトランジスタＱ14とから構成されている。両ＭＯＳトランジスタＱ13，Ｑ14のドレイン同士は共通化され、その接続点がインバータＩＮＶ2 の出力端子をなしている。また、両ＭＯＳトランジスタＱ13，Ｑ14のゲートは共通化されてインバータＩＮＶ2 の入力端子をなし、ＰＭＯＳトランジスタＱ13のソースが電源電圧の供給線V_{DD}に接続され、ＮＭＯＳトランジスタＱ14のソースがアレイコントローラ用の共通給電線Ｖssc に接続されている。イコライザ駆動用のＰＭＯＳトランジスタＱ12は、そのソースが電源電圧の供給線V_{DD}に接続され、ドレインが上記イコライザ駆動線ＥＱＬに接続され、ゲートがインバータＩＮＶ2 の出力端子に接続されている。

【００２９】

図７は、シェアード信号線ＳＨＬ1,ＳＨＬ2 を駆動するシェアード駆動回路を示す。

このシェアード駆動回路は、駆動用のインバータＩＮＶ3 とプルアップ用のトランジスタＱ15とから構成されている。駆動用のインバータＩＮＶ3 は、ＰＭＯＳトランジスタＱ16とＮＭＯＳトランジスタＱ17とから構成されている。両ＭＯＳトランジスタＱ16，Ｑ17のドレイン同士は共通化され、その接続点（ＩＮＶ3 の出力端子）は図４のシェアード信号線ＳＨＬ1 またはＳＨＬ2 に接続されている。また、ＭＯＳトランジスタＱ16，Ｑ17のゲートは共通化されてインバータＩＮＶ3 の入力端子をなし、ＰＭＯＳトランジスタＱ16のソースが電源電圧の供給線V_{PP}に接続され、ＮＭＯＳトランジスタＱ17のソースがアレイコントローラ用の共通給電線Ｖssc に接続されている。プルアップ用のトランジスタＱ15は、そのドレインが電源電圧の供給線V_{DD}に接続され、ソースが上記シェアード信号線ＳＨＬ1 またはＳＨＬ2 に接続され、ゲートがインバータＩＮＶ3 の出力端子に接続されている。

【００３０】

この６４ＭｂＤＲＡＭ１は、特に詳示しないが、１本のメインワード線に複数の（例えば、８本の）サブワード線が分岐されてワード線が階層化されている。図８は、ワード線を階層化する分岐点ごとに配置されたサブワード線駆動回路を示す。このサブワード線駆動回路ＳＷＤは、駆動用のインバータＩＮＶ4 とサブワード線ＳＷＬのプルダウン用のトランジスタＱ18とから構成されている。駆動用のインバータＩＮＶ4 は、ＰＭＯＳトランジスタＱ19とＮＭＯＳトランジスタＱ20とから構成されている。両ＭＯＳトランジスタＱ19，Ｑ20のドレイン同士は共通化され、その接続点（ＩＮＶ4 の出力端子）は図３のサブワード線ＳＷＬに接続されている。また、ＭＯＳトランジスタＱ19，Ｑ20のゲートは共通化されてインバータＩＮＶ4 の入力端子をなし、この入力端子にメインワード線ＭＷＬの反転信号ＭＷ＿が入力される。また、ＮＭＯＳトランジスタＱ20のソースが、サブワード線駆動回路ＳＷＤの共通給電線Ｖssw に接続されている。プルダウン用のトランジスタＱ18は、そのドレインがサブワード線ＳＷＬに接続され、ソースがサブワード線駆動回路ＳＷＤの共通給電線Ｖssw に接続されている。インバータＩＮＶ4 を構成するＰＭＯＳトランジスタＱ19のソースおよびプルダウン用のトランジスタＱ18のゲートは、特に図示しないが、１本のメインワード線ＭＷＬに接続される複数のワード線駆動回路ＳＷＤに対し共通に設けられたＦＸドライバの出力端子に接続されている。このＦＸドライバは不図示の列デコーダに接続され、これによってＰＭＯＳトランジスタＱ19のソースにサブワード線選択信号ＦＸが印加され、プルダウン用のトランジスタＱ18のゲートにサブワード線選択信号ＦＸの反転信号ＦＸ＿が印加される。

【００３１】

このような回路構成のＤＲＡＭ１は、センスアンプ駆動回路ＳＡＤの共通給電線Ｖssa とサブワード線駆動回路ＳＷＤの共通給電線Ｖssw との接続関係に特徴を有する。

すなわち、図２に示すように、メモリアレイブロック２の外側に位置する周辺回路領域３に（図１参照）、共通電源電圧Ｖssを供給するボンディングパッド５と、このボンディングパッド５から周辺回路領域３内に配線されている共通給電線の幹線Ｖssｏとを有している。そして、共通給電線の幹線Ｖssｏから分岐するかたちで、図５（ａ）および図６（ａ）の回路に電源電圧を供給するセンスアンプ用の共通給電線Ｖssa が、サブメモリアレイ

ＳＭＡx,y の配置間隔内に配線されている。同様に共通給電線の幹線Ｖssoから分岐するかたちで、図８の回路に電源電圧を供給するワード線駆動回路用の共通給電線Ｖssw が、サブメモリアレイＳＭＡx,y の配置間隔内に配線されている。なお、このような配線が回路動作に与える影響
（効果）については後述する。

【００３２】

つぎに、このように構成されている６４ＭｂＤＲＡＭ１のデータ読出し動作について、図９のタイミングチャートを用いて説明する。ここで図９は、図３のメモリセルＭＣ１ に内部電源電圧ＶDL（　２．２Ｖ）で電荷が保持され、この記憶データを読み出すときのタンミングチャートである。

データ読出し動作の前のスタンバイ状態においては、各ビット対線ＢＬ，ＢＬ＿及び共通駆動線ＳＮＬ，ＳＰＬはV_{BLR}（＝V_{DL}／２　１．１Ｖ）の電圧にプリチャージされている。即ち、図４において、シェアード信号線ＳＨＬ１，ＳＨＬ2 及びイコライザ駆動線ＥＱＬは“Ｈ”レベルであるから、転送ゲート対ＴＧ１、ＴＧ1 及びＴＧ２，ＴＧ２、並びにトランジスタＱ５，Ｑ６，Ｑ７ はオン（導通）状態であり、トランジスタＱ１，Ｑ２，Ｑ３，Ｑ４ はオフ（非導通）状態である。従って、各ビット対線ＢＬ，ＢＬ＿はV_{BLR} の電圧にプリチャージされる。

次に、データ読出し動作が開始されると、イコライザ駆動線ＥＱＬが“Ｌ”レベルに変化し、トランジスタＱ５，Ｑ６，Ｑ７ がオフ（非導通）状態に遷移してビット対線ＢＬ，ＢＬ＿のプリチャージが解除される。続いて、選択されるサブワード線ＳＷＬが存在するサブメモリアレイ側のシェアード信号線ＳＨＬ１，ＳＨＬ2 は“Ｈ”レベルを保持し、選択されるサブワード線ＳＷＬが存在しないサブメモリアレイ側のシェアード信号線ＳＨＬ１，ＳＨＬ2 は“Ｌ”レベルに変化する。従って、選択されるサブワード線ＳＷＬが存在しないサブメモリアレイ側のビット対線ＢＬ，ＢＬ＿はセンスアンプＳＡから切り離されることになる。

【００３３】

つぎにメインワード線ＭＷＬおよびサブワード線ＳＷＬが選択されるが、この選択の前では、図８のサブワード線駆動回路ＳＷＤにおいてサブワード線選択信号ＦＸが“Ｌ”でインバータＩＮＶ４ は起動されていない。また、反転信号ＦＸ＿が“Ｈ”でありプルダウン用トランジスタＱ18が導通状態なので、この非選択なサブワード線ＳＷＬは共通給電線Ｖssw に接続されている。

まず、メインワード線駆動回路ＭＷＤによって何れか１本のメインワード線ＭＷＬが選択され、メインワード線信号の反転信号ＭＷ＿が“Ｈ”から“Ｌ”に引き下げられる。また、図示せぬ列デコーダおよびＦＸドライバによって、選択されたメインワード線ＭＷＬに接続された複数のサブワード線駆動回路ＳＷＤのうち何れか一つが駆動され、これに接続されているサブワード線ＳＷＬが励起される。具体的には、サブワード線選択信号ＦＸが“Ｈ”となってインバータＩＮＶ４ が起動される一方、反転信号ＦＸ＿が“Ｌ”となってプルダウン用トランジスタＱ18がオフ状態に遷移し、サブワード線ＳＷＬが共通給電線Ｖssw から切り離される。この結果、サブワード線ＳＷＬが所定電位（例えば、内部電源電圧V_{DL}＋α）に持ち上げられる。具体的には、このV_{DL}＋αは、サブワード線選択信号ＦＸの“Ｈ”レベルの電圧V_{PP}（　３．８Ｖ）である。

【００３４】

これによりメモリセルＭＣ１ の選択トランジスタＳＴ１ がオン状態に遷移し、メモリキャパシタＣ１ の記憶ノードに保持されていた電荷がビット線ＢＬに流れ、このビット線ＢＬの電位が僅かに（数百ｍＶ程度）上昇する。

【００３５】

つぎに図５のセンスアンプ駆動回路ＳＡＤによって、センスアンプＳＡのＮＭＯＳアンプ及びＰＭＯＳアンプが駆動される。この駆動前においては、センスアンプ駆動回路ＳＡＤ内のセンスアンプ駆動信号ＳＡＮは“Ｌ”であることから、サブメモリアレイＳＭＡx,yの間に分散配置された駆動用トランジスタＱ８ がオフ状態であり、このため共通駆動線Ｓ

ＮＬは例えば電圧V_{DL}／２に保持されている。また、共通駆動線ＳＰＬは、図示しないＰＭＯＳアンプ駆動部により、電圧V_{DL}／２に保持されている。
センスアンプ駆動信号ＳＡＮの反転信号ＳＡＮ＿が“Ｈ”から“Ｌ”に遷移すると、インバータＩＮＶ1 によってセンスアンプ駆動信号ＳＡＮが“Ｌ”から“Ｈ”に遷移し、駆動用トランジスタＱ8 が導通して共通駆動線ＳＮＬが共通給電線Ｖssa に接続され、零電位に引き下げられる。これにより、センスアンプＳＡのＮＭＯＳアンプが駆動され、より低電位なビット補線ＢＬ＿が零電位になるまで降下する。

【００３６】

同時に、センスアンプ駆動回路ＳＡＤの図示せぬＰＭＯＳアンプ駆動部によって、ＰＭＯＳアンプに接続された共通駆動線ＳＰＬがV_{DL}に引き上げられ、これにより、センスアンプＳＡのＰＭＯＳアンプが駆動され、より高電位なビット線ＢＬが内部電源電圧V_{DL}になるまで上昇する。この結果、メモリセルＭＣ1 からの電荷流入によるビット線ＢＬの電位変化（セルデータ信号）が、ビット対線ＢＬ，ＢＬ＿上で内部電源電圧V_{DL}（例えば、２．２Ｖ）の振幅まで増幅される。その後、列選択信号線ＹＳＬに列選択信号ＹＳが印加されると、この増幅後のセルデータ信号は、列選択信号ＹＳの印加に応じて導通する列選択トランジスタＹＴ1,ＹＴ2 によってデータ対線Ｄ，Ｄ＿に読みだされた後、外部に出力される。

【００３７】

図２に示す本発明の実施例に係るＤＲＡＭ１では、センスアンプ側で発生し、センスアンプ駆動回路ＳＡＤの共通給電線Ｖssa に重畳されたノイズ（非同期ノイズ）が、メモリアレイの外側の周辺回路領域３に配線された共通給電線の幹線Ｖsso に一旦迂回した後、サブワード線駆動回路ＳＷＤの共通給電線V_{SSW} に伝達される。このため、この非同期ノイズは、比較的に長い配線を伝搬する間にある程度減衰し、非選択のサブワード線ＳＷＬに達したときには記憶データを破壊するほどのノイズレベルにならない。

【００３８】

一方、例えばサブワード線駆動回路ＳＷＤ等で発生したノイズ（同期ノイズ）は、他のサブワード線駆動回路ＳＷＤを介して、非選択なサブワード線ＳＷＬに重畳される。この同期ノイズは、上記した非同期ノイズと同様に、サブワード線駆動回路ＳＷＤの共通給電線V_{SSW} から共通給電線の幹線Ｖsso に一旦迂回した後にセンスアンプ駆動回路ＳＡＤの共通給電線Ｖssa に重畳される。そして、この同期ノイズは、センスアンプＳＡの導通しているＮＭＯＳトランジスタＱ4 を介して、減衰しているが確実に低電圧側のビット線（ビット補線ＢＬ＿）に伝達される。これにより、非選択メモリセルの選択トランジスタＴＲのゲート電位の変動に同期して、そのドレイン電位も変動する。この結果、選択トランジスタの瞬間的な導通による記憶データの破壊が有効に防止される。
すなわち、このように共通給電線Ｖssa,V_{SSW} を迂回して配線することによって、センスアンプＳＡ側またはサブワード線駆動回路ＳＷＤで発生し、センスアンプを介して共通給電線Ｖssa に接続されるビット線と非選択サブワード線との相互間で伝達される各種ノイズについて、確実に伝達しながらもノイズレベルについては緩和される。この結果、記憶データの破壊を引き起こす非選択ワード線またはビット線の変動レベルが、同期ノイズによる場合と非同期ノイズによる場合の双方とも問題がない範囲内に調整される。

【００３９】

【発明の効果】

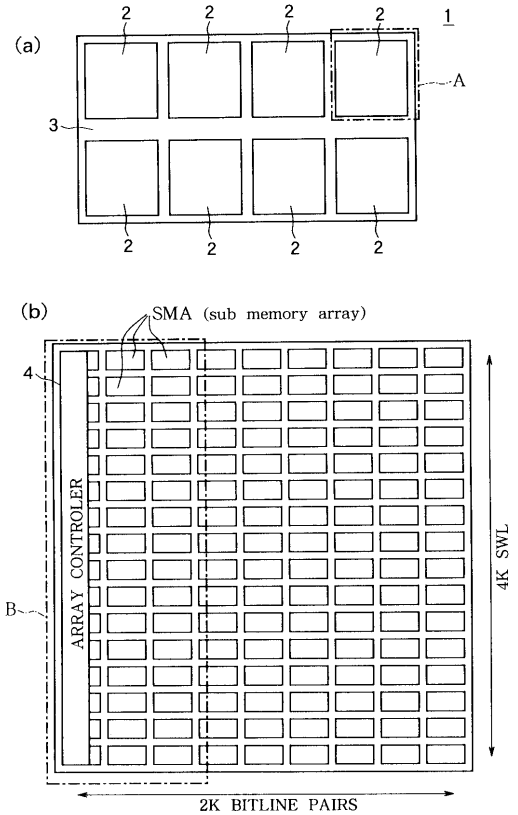
以上説明してきたように、本発明に係るによれば、ワード線駆動回路の共通給電線とセンスアンプ駆動回路の共通給電線とを短絡しても、非選択メモリセルの記憶データを破壊するといった動作不良が起きにくい半導体記憶装置を提供することができる。

【図面の簡単な説明】

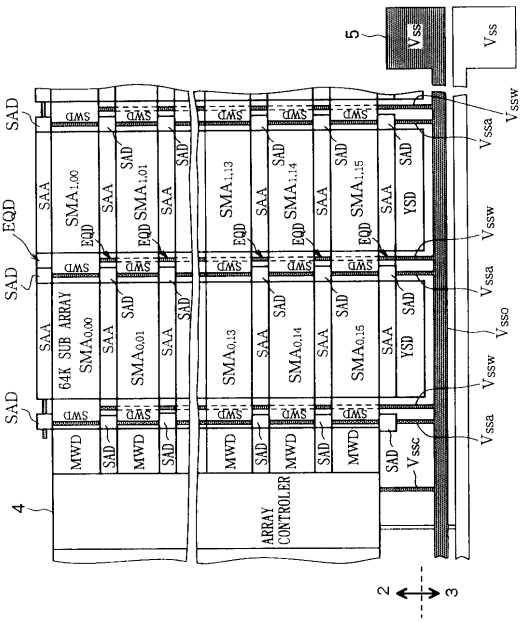
【図１】図１（ａ）は、本発明の実施例に係る６４ＭｂＤＲＡＭの全体の構成を示す概略平面図、図１（ｂ）は図１（ａ）のＡ部を拡大して示す概略平面図である。
【図２】図２は、図１（ｂ）のＢ部を拡大して示す機能ブロック図である。
【図３】図３は、センスアンプアレイおよび列方向両側のサブメモリアレイを部分的に拡

大して示す回路図である。
【図４】図４は、センスアンプアレイの構成単位を示す回路図である。
【図５】図５は、センスアンプ駆動回路のうち、共通駆動線を駆動する部分を示す回路図である。
【図６】図６は、イコライザ駆動回路を示す回路図である。
【図７】図７は、シェアード信号線を駆動するシェアード駆動回路を示す回路図である。
【図８】図８は、ワード線の階層化構造における分岐点ごとに配置されたサブワード線駆動回路を示す回路図である。
【図９】図９は、本実施例に係る６４ＭｂＤＲＡＭのデータ読出し動作を示す各信号のタイミングチャートである。
【図１０】図１０は、従来のＤＲＡＭの要部構成を示すブロック図である。
【符号の説明】
１…ＤＲＡＭ（半導体記憶装置）、２…メモリアレイブロック、３…周辺回路領域（外側領域）、４…アレイコントローラ、５…共通電源のボンディングパッド、ＢＬＥＱ…イコライザ駆動信号、ＥＱ…ビット線イコライザ、ＥＱＬ…イコライザ駆動線、ＭＷ＿…メインワード線信号の反転信号、ＭＷＤ…メインワード線駆動回路、ＭＷＬ…メインワード線、ＳＡ…センスアンプ、ＳＡＡ…センスアンプアレイ、ＳＡＮ…センスアンプ駆動信号、ＳＨＬ1 、ＳＨＬ2 …シェアード信号、ＳＭＡx,y …サブメモリアレイ、ＳＮＬ…センスアンプのＮＭＯＳ側の共通駆動線、ＳＰＬ…センスアンプのＰＭＯＳ側の共通駆動線、ＳＷＤ…サブワード線駆動回路、ＳＷＬ…サブワード線、ＴＧi,ＴＧi+1 …転送ゲート、Ｖss…共通給電線、Ｖssa …センスアンプの共通給電線、Ｖssc …アレイコントローラの共通給電線、Ｖsso …共通給電線の幹線、Ｖssw …ワード線駆動回路の共通給電線、ＹＳＤ…列選択トランジスタの駆動回路、ＹＳＬ…列選択信号線、ＹＴ1,ＹＴ2 …列選択トランジスタ。

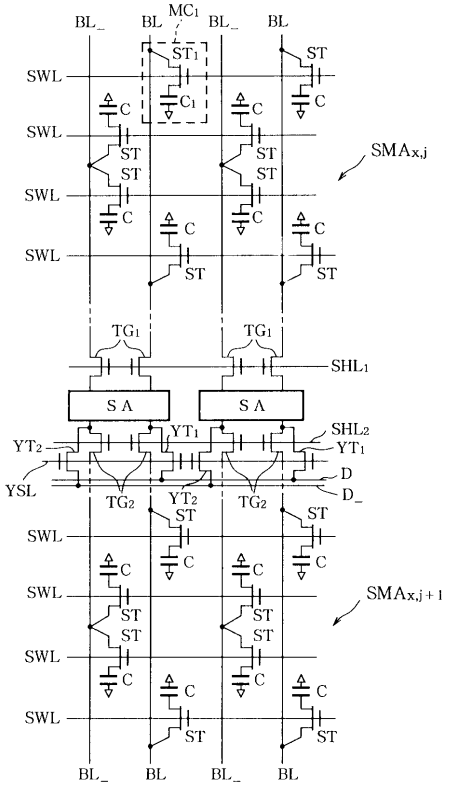
【図１】



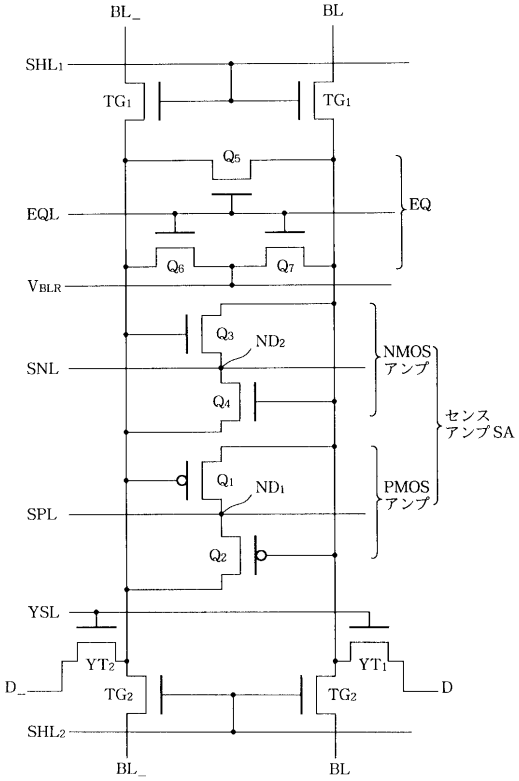
【図２】



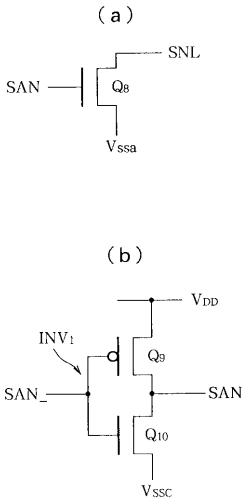
【図３】


BL_
BL
MC1
ST1
C1
SWL
C
ST
SMAx,j
SMAx,j+1
TG1
SHL1
S A
YT1
YT2
SHL2
YSL
D
D_
TG2

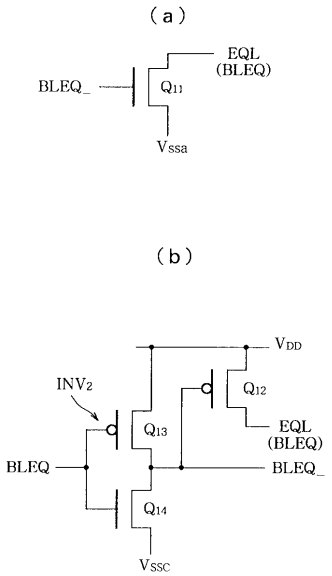
【図４】


BL_
BL
SHL1
TG1
Q5
EQL
EQ
Q6
Q7
VBLR
Q3
ND2
NMOS
アンプ
SNL
Q4
センス
アンプSA
Q1
ND1
PMOS
アンプ
SPL
Q2
YSL
YT2
YT1
D_
D
TG2
SHL2

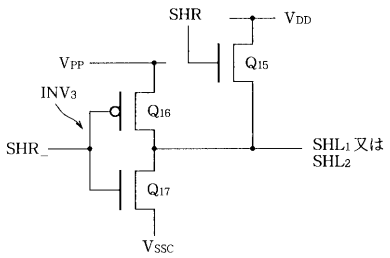
【図５】


(a)
SNL
SAN
Q8
Vssa
(b)
VDD
INV1
Q9
SAN_
SAN
Q10
VSSC

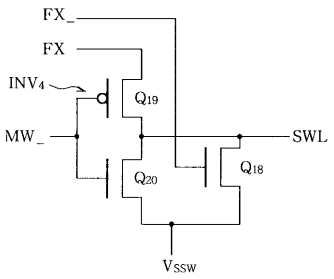
【図６】


(a)
EQL
(BLEQ)
BLEQ_
Q11
Vssa
(b)
VDD
INV2
Q12
Q13
EQL
(BLEQ)
BLEQ
BLEQ_
Q14
VSSC

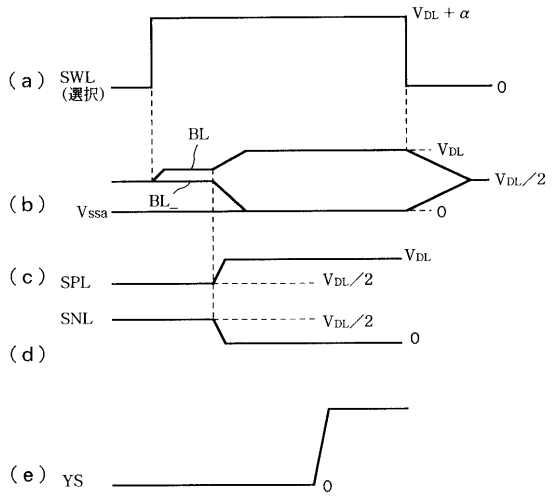
【図７】


SHR
VDD
VPP
Q15
INV3
Q16
SHR_
SHL1 又は
SHL2
Q17
VSSC

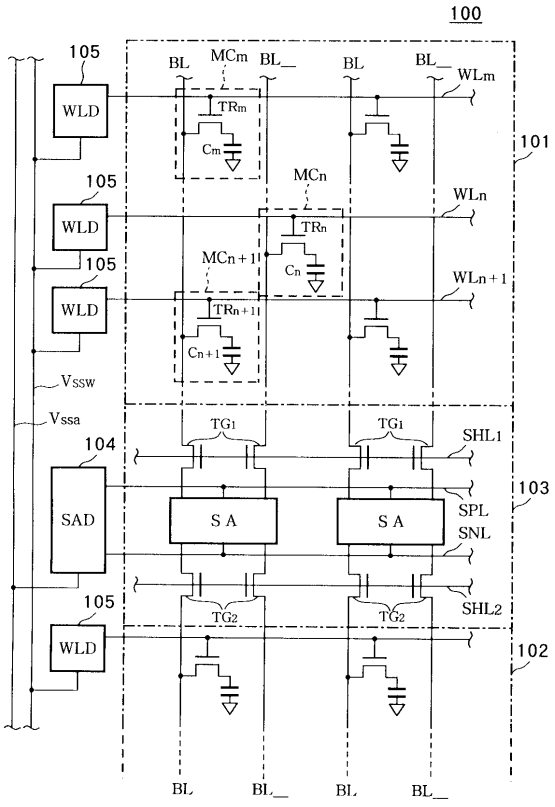
【図８】


FX_
FX
INV4
Q19
MW_
SWL
Q18
Q20
VSSW

【図９】


(a) SWL (選択)
VDL + α
0
BL
VDL
VDL/2
(b)
Vssa
BL_
0
(c) SPL
VDL
VDL/2
SNL
VDL/2
(d)
0
(e) YS
0

【図１０】


100
105
WLD
BL
MCm
BL_
WLm
TRm
Cm
101
MCn
WLn
TRn
Cn
MCn+1
WLn+1
TRn+1
Cn+1
VSSW
Vssa
104
SAD
TG1
SHL1
103
S A
SPL
SNL
TG2
SHL2
102

フロントページの続き

(72)発明者　平　雅之
茨城県稲敷郡美浦村木原２３５５番地　日本テキサス・インスツルメンツ株式会社内
(72)発明者　高橋　康
東京都小平市上水本町五丁目２０番１号　株式会社日立製作所半導体事業部内
(72)発明者　荒井　公司
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
(72)発明者　高橋　勉
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内

審査官　瀧内　健夫

(56)参考文献　特開平０５－３３４８７５（ＪＰ，Ａ）
特開平０９－１３９４７７（ＪＰ，Ａ）
特開平０８－１８１２９２（ＪＰ，Ａ）
特開平０９－０５５４８２（ＪＰ，Ａ）
特開平０２－１７７３６０（ＪＰ，Ａ）
特開平０２－２４６０９９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L　21/8242
H01L　27/108
G11C　11/401