

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年1月24日(24.01.2019)



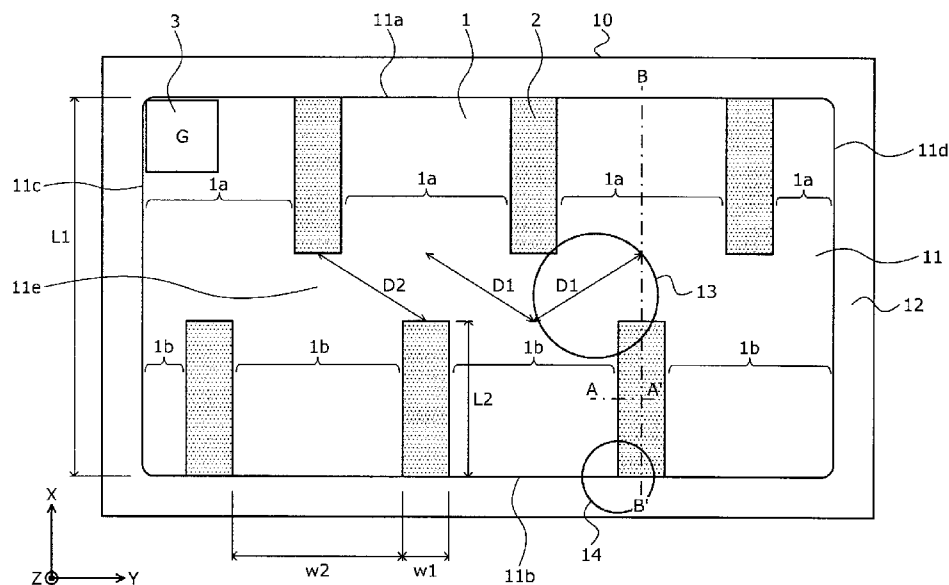
(10) 国際公開番号

WO 2019/017104 A1

- (51) 国際特許分類:
H01L 29/739 (2006.01) H01L 29/06 (2006.01)
H01L 21/8234 (2006.01) H01L 29/78 (2006.01)
H01L 27/06 (2006.01)
- (21) 国際出願番号: PCT/JP2018/021772
- (22) 国際出願日: 2018年6月6日(06.06.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-139494 2017年7月18日(18.07.2017) JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 白川 徹 (SHIRAKAWA, Tohru); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井 昭徳 (SAKAI, Akinori); 〒1020094 東京都千代田区紀尾井町3番12号 紀尾井町ビル7階 酒井総合特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))
- 一 補正された請求の範囲及び説明書 (条約第19条(1))

parallel to the outer surface of the semiconductor chip (10) and extend in a first direction (X). The second gate trench (32) of the FWD in the FWD region (2) is disposed apart from the first gate trench (31) of the IGBT in the IGBT region (1). Since the present invention has such a structure, deterioration of element characteristics can be prevented, heat dissipation properties of the semiconductor chip (10) can be improved, and the degree of design freedom can be improved.

(57) 要約: 半導体チップ (10) の活性領域 (11) に、IGBTを配置したIGBT領域 (1) と、当該IGBTに逆並列に接続されたFWDを配置したFWD領域 (2) と、が設けられる。FWD領域 (2) は、活性領域 (11) に互いに離して複数配置される。IGBT領域 (1) は、複数のFWD領域 (2) の間に挟まれた連続した領域である。IGBT領域 (1) およびFWD領域 (2) には、それぞれ半導体チップ (10) のおもて面に平行で、かつ同一の第1方向 (X) に延びるストライプ状のレイアウトに第1, 2ゲートトレンチ (31, 32) が配置される。FWD領域 (2) のFWDの第2ゲートトレンチ (32) は、IGBT領域 (1) のIGBTの第1ゲートトレンチ (31) と離して配置される。この構造を備えることによって、素子特性の悪化を防止することができ、半導体チップ (10) の放熱性を向上させることができ、かつ設計自由度を向上させることができる。

明 細 書

発明の名称：半導体装置

技術分野

[0001] この発明は、半導体装置に関する。

背景技術

[0002] 従来、IGBT (Insulated Gate Bipolar Transistor: 絶縁ゲート型バイポーラトランジスタ) と、FWD (Free Wheeling Diode: 還流ダイオード) と、を同一の半導体チップに内蔵して一体化した逆導通型 IGBT (RC-IGBT: Reverse Conducting IGBT) が公知である。RC-IGBTでは、FWDが配置された領域 (以下、FWD領域とする) は、半導体チップのおもて面から見てストライプ状のレイアウトに配置される。

[0003] 従来のRC-IGBTのFWD領域の、半導体チップのおもて面から見たレイアウト (以下、平面レイアウトとする) について説明する。図11, 12は、従来の半導体装置の平面レイアウトの一例を示す平面図である。図11には、半導体チップ110aにIGBTおよびFWDを配置した一例 (以下、小チップIGBTとする) である。図12は、電流とチップ温度の検出・制御を行うためのIGBT (以下、センスIGBTとする) と同一の半導体チップ110bにFWDを配置した一例である。

[0004] 図11, 12に示す従来の半導体装置は、活性領域111にIGBT領域101とFWD領域102とを有する。IGBT領域101は、IGBTが配置された領域であり、活性領域111のうち、FWD領域102以外の領域である。IGBT領域101の表面積とFWD領域102の表面積との総和が活性領域111の表面積となる。FWD領域102はストライプ状のレイアウトに配置され、その両端部は活性領域111とエッジ終端領域112との境界に達している。すなわち、FWD領域102の長さ (長手方向の長さ) L_{102} は、略矩形状の平面形状の活性領域111の、FWD領域10

2のストライプの方向に平行な1辺の長さL101と略同じである。

[0005] FWD領域102により、IGBT領域101のIGBTの単位セル（素子の構成単位）は複数の領域に分離して配置されている。また、活性領域111には、ゲートパッド（電極パッド）103や、電流・温度センス用のセンスパッド104～107等の電極パッドが配置されている。図11には、活性領域111の1つの頂点付近にゲートパッド103を配置した場合を示す。図12には、活性領域111の、FWD領域102のストライプと直交する1辺に沿ってゲートパッド103およびセンスパッド104～106を配置し、かつ中央付近にセンスパッド107を配置した場合を示す。

[0006] 従来のRC-IGBTとして、4つのダイオード領域がマトリクス状の平面レイアウトに配置され、当該4つのダイオード領域を囲むようにIGBT領域を配置した装置が提案されている（例えば、下記特許文献1（第0012段落、図1，2，8，10）参照。）。下記特許文献1では、IGBT領域のゲートトレンチとダイオード領域のゲートトレンチとが、同一ストライプ上に当該ストライプの延びる方向に互いに離してそれぞれストライプ状に配置され、その端部同士がp型ウェル層を介して対向している。

[0007] また、従来のRC-IGBTの別の一例として、短冊形状の複数のIGBT領域および複数のダイオード領域と直交するように、当該複数のIGBT領域と複数のダイオード領域との間に、活性領域として機能しない非活性領域を配置した装置が提案されている（例えば、下記特許文献2（第0067段落、第1，2図）参照。）。下記特許文献2では、ダイオードセル領域がストライプ状に延びる方向にダイオードセル領域同士が互いに離して配置され、その端部同士が非活性領域を介して対向している。

先行技術文献

特許文献

[0008] 特許文献1：特開2016-096222号公報

特許文献2：特開2013-138069号公報

発明の概要

発明が解決しようとする課題

- [0009] 半導体チップ110aの温度上昇を抑制するためには、活性領域111に配置するFWD領域102の本数を多くすることでIGBT領域101とFWD領域102との温度差が無くなるので好ましい。しかしながら、従来のRC-IGBTでは、小チップIGBTとした場合（図11参照）、活性領域111にFWD領域102を1～2本程度しか配置することができない。このため、半導体チップの放熱性が悪くなるという問題がある。そこで、半導体チップの放熱性を最適化する場合、FWD領域102の面積を調整する際にFWD領域102の面積によっては、FWD領域102の幅 w_{102} を狭くし、FWD領域102の幅 w_{102} を狭くした面積分を、FWD領域102の本数を増やすことに用いる必要がある。しかしながら、FWD領域102の幅 w_{102} を狭くしすぎると、IGBTの一般的なゲート閾値電圧である15V以上のゲート電圧印加時にFWDの順方向特性が悪化するという問題がある。一方、チップサイズが大きい場合であっても、FWD領域102の面積を調整する際に、FWD領域102の幅 w_{102} を狭くする必要があり、小チップIGBTと同様の問題が生じる。
- [0010] また、センスIGBTとした場合（図12参照）、ゲートパッド103にFWD領域102が接してしまうため、FWD領域102の平面レイアウトを工夫する必要がある。また、電極パッドを配置した部分でIGBT領域101の幅 w_{101} が狭くなる。かつ、小チップIGBTと同様に、FWD領域102の幅 w_{102} も狭い。このため、IGBTの電子電流がFWD領域102に抜けやすい構造となる等、IGBTとFWDとの境界で相互干渉が生じ、素子特性が悪化するという問題がある。
- [0011] この発明は、上述した従来技術による問題点を解消するため、素子特性の悪化を防止する、または、半導体チップの放熱性を向上させることができる半導体装置を提供することを目的とする。さらに、上述した従来技術による問題点を解消するため、FWD領域の設計自由度を向上させることができる半導体装置を提供することを目的とする。

課題を解決するための手段

- [0012] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。半導体基板に、電流が流れる活性領域が設けられている。前記活性領域に、第1素子領域が設けられている。前記第1素子領域には、第1のトレンチゲート構造を有する第1素子が配置されている。前記活性領域に、第2素子領域が設けられている。前記第2素子領域には、第2のトレンチゲート構造を有する第2素子が配置されている。前記第1のトレンチゲート構造は、第1トレンチおよび第1ゲート電極を有する。前記第1トレンチは、前記半導体基板の第1主面側に設けられている。第1ゲート電極は、前記第1トレンチの内部に第1ゲート絶縁膜を介して設けられている。前記第2のトレンチゲート構造は、第2トレンチおよび第2ゲート電極を有する。前記第2トレンチは、前記半導体基板の第1主面側に、前記第1トレンチと離して設けられている。前記第2ゲート電極は、前記第2トレンチの内部に第2ゲート絶縁膜を介して設けられている。前記第2素子領域は、互いに離して複数配置されている。前記第1素子領域は、複数の前記第2素子領域の間に挟まれた連続した領域である。
- [0013] また、この発明にかかる半導体装置は、上述した発明において、前記第2素子領域は、前記活性領域の外周寄りに配置されていることを特徴とする。
- [0014] また、この発明にかかる半導体装置は、上述した発明において、複数の前記第2素子領域は、前記半導体基板の第1主面に平行で、かつ矩形状の平面形状を有する前記活性領域の外周を構成する1組の対辺それぞれからもう1組の対辺に平行な第1方向に延びるストライプ状のレイアウトに配置されている。前記活性領域の前記第1方向に対向する1組の対辺のうち、一方の辺側に配置された前記第2素子領域と、他方の辺側に配置された前記第2素子領域と、は前記第1方向と直交する第2方向に互い違いに配置されており、チップ中心ラインからのFWD本数を同数とすることを特徴とする。
- [0015] また、この発明にかかる半導体装置は、上述した発明において、前記第2素子領域の前記第1方向の長さは、前記第2素子領域の前記第2方向の幅よ

りも長いことを特徴とする。

[0016] また、この発明にかかる半導体装置は、上述した発明において、隣り合う前記第2素子領域の間の幅は、前記第2素子領域の前記第2方向の幅以上であることを特徴とする。

[0017] また、この発明にかかる半導体装置は、上述した発明において、前記第2素子領域の前記第2方向の幅は、 $50\mu\text{m}$ 以上であることを特徴とする。

[0018] また、この発明にかかる半導体装置は、上述した発明において、前記第1素子は、第1導電型の第1, 3半導体領域、第2導電型の第2, 4半導体領域、前記第1トレンチ、前記第1ゲート電極および第1, 2電極を有する。前記第1半導体領域は、前記半導体基板に設けられている。前記第2半導体領域は、前記半導体基板の第1主面の表面層に、前記第1半導体領域に接して設けられている。前記第3半導体領域は、前記第2半導体領域の内部に選択的に設けられている。前記第1トレンチは、前記第3半導体領域および前記第2半導体領域を貫通して前記第1半導体領域に達する。前記第4半導体領域は、前記半導体基板の第2主面の表面層に、前記第1半導体領域に接して設けられている。前記第1電極は、前記第2半導体領域および前記第3半導体領域に接する。前記第2電極は、前記第4半導体領域に接する。前記第2素子は、前記第1素子領域から前記第2素子領域に延在する前記第1半導体領域および前記第2半導体領域と、第1導電型の第5半導体領域と、前記第2トレンチと、前記第2ゲート電極と、前記第1, 2電極と、を有する。前記第2トレンチは、前記第2半導体領域を貫通して前記第1半導体領域に達する。前記第5半導体領域は、前記半導体基板の第2主面の表面層に、前記第1半導体領域および前記第4半導体領域に接して設けられている。前記第1電極は、前記第2半導体領域に接する。前記第2電極は、前記第5半導体領域に接する。

[0019] また、この発明にかかる半導体装置は、上述した発明において、前記第1トレンチは、前記半導体基板の第1主面に平行な方向で、かつ前記第1方向に延びるストライプ状のレイアウトに配置されている。前記第2トレンチは

、前記半導体基板の第1主面に平行な方向で、かつ前記第1方向に延びるストライプ状のレイアウトに配置されている。前記第1トレンチと前記第2トレンチとは、前記第1方向に端部同士が対向する。前記第1トレンチと前記第2トレンチとの端部間に設けられ、前記第1トレンチの端部および前記第2トレンチとの端部に接する第2導電型の第6半導体領域をさらに備えることを特徴とする。

[0020] また、この発明にかかる半導体装置は、上述した発明において、前記第1トレンチは、前記半導体基板の第1主面に平行な方向で、かつ前記第1方向に延びるストライプ状のレイアウトに配置されている。前記第2トレンチは、前記半導体基板の第1主面に平行な方向で、かつ前記第1方向に延びるストライプ状のレイアウトに配置されている。前記第1トレンチと前記第2トレンチとは、前記第1方向に端部同士が対向する。前記第1トレンチと前記第2トレンチとの端部間に設けられ、前記第1トレンチの端部および前記第2トレンチとの端部に接する第2導電型の第6半導体領域をさらに備えることを特徴とする。

[0021] また、この発明にかかる半導体装置は、上述した発明において、前記第6半導体領域の深さは、前記第1トレンチの深さおよび前記第2トレンチの深さよりも深いことを特徴とする。

[0022] また、この発明にかかる半導体装置は、上述した発明において、前記第1素子領域と前記第2素子領域との間に境界領域をさらに備える。前記境界領域には、前記第1半導体領域の表面層に前記第2半導体領域が配置されていることを特徴とする。

[0023] また、この発明にかかる半導体装置は、上述した発明において、前記境界領域の前記第2半導体領域に、第2導電型の第7半導体領域および第1導電型の第8半導体領域を備える。前記第7半導体領域は、前記第2半導体領域の表面層に配置されている。前記第7半導体領域は、前記第2半導体領域よりも不純物濃度が高い。前記第8半導体領域は、前記第2半導体領域の下面に配置されている。前記第8半導体領域は、前記第1半導体領域よりも不純

物濃度が高い。

[0024] また、この発明にかかる半導体装置は、上述した発明において、前記第 7 半導体領域は、前記第 2 ゲート電極と電氣的に接続されていることを特徴とする。

[0025] また、この発明にかかる半導体装置は、上述した発明において、前記第 1 素子領域と前記第 2 素子領域との間には境界領域をさらに備える。前記境界領域に、前記第 6 半導体領域および第 2 導電型の第 9 半導体領域を備える。前記第 6 半導体領域は、前記第 1 半導体領域の表面層に設けられ、前記第 1 トレンチおよび前記第 2 トレンチの底部を覆う。前記第 9 半導体領域は、前記第 6 半導体領域の表面層に設けられている。前記第 9 半導体領域は、前記第 6 半導体領域よりも不純物濃度が高い。

[0026] また、この発明にかかる半導体装置は、上述した発明において、前記第 9 半導体領域は、前記第 2 ゲート電極と電氣的に接続されていることを特徴とする。

[0027] また、この発明にかかる半導体装置は、上述した発明において、前記第 1 素子領域は絶縁ゲート型バイポーラトランジスタであり、前記第 2 素子領域は還流ダイオードであることを特徴とする。

[0028] 上述した発明によれば、第 1 素子領域と第 2 素子領域との表面積比率を維持した状態で、第 2 素子領域の所定幅を広くすることができ、かつ、活性領域に配置する第 2 素子領域の個数を増やすことができる。

発明の効果

[0029] 本発明にかかる半導体装置によれば、素子特性の悪化を防止する、または、半導体チップの放熱性を向上させることができるという効果を奏する。さらに、本発明にかかる半導体装置によれば、設計自由度を向上させることができるという効果を奏する。

図面の簡単な説明

[0030] [図1]図 1 は、実施の形態 1 にかかる半導体装置の平面レイアウトを示す平面図である。

[図2]図2は、図1の一部を拡大して示す平面図である。

[図3]図3は、図1の一部を拡大して示す平面図である。

[図4]図4は、図1～3の切断線A－A'における断面構造を示す断面図である。

[図5]図5は、図1の切断線B－B'における断面構造を示す断面図である。

[図6]図6は、IGBT領域とFWD領域の幅による温度の振幅を示す図である。

[図7]図7は、実施の形態2にかかる半導体装置の平面レイアウトを示す平面図の変形例である。

[図8]図8は、実施の形態3にかかる半導体装置の平面レイアウトを示す平面図である。

[図9]図9は、実施の形態4にかかる半導体装置の平面レイアウトを示す平面図である。

[図10]図10は、実施の形態5にかかる半導体装置の平面レイアウトを示す平面図である。

[図11]図11は、従来の半導体装置の平面レイアウトの一例を示す平面図である。

[図12]図12は、従来の半導体装置の平面レイアウトの一例を示す平面図である。

発明を実施するための形態

[0031] 以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す＋および－は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

[0032] (実施の形態1)

実施の形態１にかかる半導体装置の構造について説明する。図１は、実施の形態１にかかる半導体装置の平面レイアウトを示す平面図である。平面レイアウトとは、チップおもて面（半導体チップ（半導体基板）１０のおもて面）から見た各部の平面形状および配置構成である。図１では、ＩＧＢＴ領域１およびＦＷＤ領域２にそれぞれ配置されるＩＧＢＴおよびＦＷＤの素子構造を図示省略する。また、図１には、略長形状の平面形状の半導体チップ１０を示すが（図８～１０においても同様）、半導体チップ１０の平面形状は正形状であってもよい。

[0033] 図２，３は、図１の一部を拡大して示す平面図である。図２，３では、ＩＧＢＴ領域１およびＦＷＤ領域２にそれぞれ配置される第１，２ゲートトレンチ３１，３２の配置を明確にするために、第１，２ゲートトレンチ３１，３２内のゲート絶縁膜４６や、チップおもて面上の層間絶縁膜５０を図示省略する。図２には、活性領域１１の中央部１１ｅ側におけるＩＧＢＴ領域１とＦＷＤ領域２との境界付近１３を示す。図３には、活性領域１１とエッジ終端領域１２との境界付近１４におけるＩＧＢＴ領域１およびＦＷＤ領域２を示す。

[0034] まず、実施の形態１にかかる半導体装置の平面レイアウトについて説明する。図１に示す実施の形態１にかかる半導体装置は、ＩＧＢＴ（絶縁ゲート型バイポーラトランジスタ）と当該ＩＧＢＴに逆並列に接続されたＦＷＤ（還流ダイオード）とを同一の半導体チップ１０に内蔵して一体化した構造のＲＣ－ＩＧＢＴ（逆導通型ＩＧＢＴ）であり、活性領域１１にＩＧＢＴ領域１とＦＷＤ領域２とを有する。

[0035] 活性領域１１は、オン状態のときに電流が流れる（電流駆動を担う）領域である。活性領域１１は、例えば略矩形状の平面形状を有する。活性領域１１の周囲は、エッジ終端領域１２に囲まれている。エッジ終端領域１２は、活性領域１１と半導体チップ１０のチップ端との間の領域であり、活性領域１１のｎ⁻型ドリフト領域４１（図４，５参照）およびｐ型ベース領域４２から発生する等電位線をエッジ終端領域１２に抜けさせ、チップおもて面側の

電界を緩和しチップ全体の耐圧（耐電圧）を保持するための領域である。耐圧とは、チップおもて面側の電界が強くなり、アバランシェ電流が発生するときの電圧である。

[0036] エッジ終端領域12には、例えばフィールドリミッティングリング（FLR: Field Limiting Ring）等の一般的な耐圧構造（不図示）が設けられている。IGBT領域1は、IGBTが配置された領域であり、活性領域11の、FWD領域2以外の領域である。すなわち、IGBT領域1の表面積とFWD領域2の表面積との総和が活性領域11の表面積となる。図2, 3には、IGBT領域1にIGBTの複数の単位セル（素子の構成単位）が並列に配置され、FWD領域2にFWDの複数の単位セルが並列に配置された状態を示す（図4, 5においても同様）。

[0037] FWD領域2は、FWDが配置された領域である。FWD領域2は、例えば矩形状の平面形状を有し、互いに離して複数配置されている。活性領域11におけるIGBT領域1とFWD領域2との表面積の比率で、FWD領域2の個数が決定されてもよい。複数のFWD領域2は、活性領域11の全体に分散されて配置されていることがよい。その理由は、次の通りである。RC-IGBTの特徴として、IGBT領域1とFWD領域2とが隣り合わせで配置されている。このため、IGBT領域1およびFWD領域2からの発熱をそれぞれ分担することができる。これにより、IGBT領域1及びFWD領域2単体よりも発熱を抑えることができるからである。FWD領域2は、IGBT領域1に比べて表面積を狭くすることができるため電流密度が高い。しかし、このRC-IGBTの構造で発熱は分担されるが、IGBT領域1およびFWD領域2の幅や本数によっては発熱差が生じてしまい、半導体チップ10の温度が上がりやすい問題がある。そこで、複数のFWD領域2を分散して配置することで、1つのFWD領域2を配置する場合に比べて、各FWD領域2での発熱を抑制することができる。

[0038] 図6は、IGBT領域とFWD領域の幅による温度の振幅を示す図である。図6には、IGBT領域1とFWD領域2の幅による温度の振幅を示す。

図6 (a) は、IGBT領域1の幅SがFWD領域2の幅よりも広い場合を示す。図6 (b) は、IGBT領域1の幅SがFWD領域2の幅よりも狭い場合を示す。図6 (c) は、図6 (a) および図6 (b) の温度を示す。図6 (a)、6 (b) の図中の点線は、図6 (c) の点線部分の位置を示している。FWD領域2の中央部で温度が高くなり、IGBT領域1の中央部で温度が低くなる傾向を示している。

[0039] 図6 (c) の結果から、例えば、IGBT領域1の幅SがFWD領域2の幅よりも広い (FWD領域2の本数が少ない) 場合、IGBT領域1とFWD領域2の温度差が生じやすくなるため、温度差を示す振幅が大きくなりやすい。そのため、FWD領域2で発熱しやすくなる。逆にIGBT領域1の幅SがFWD領域2の幅よりも狭い (FWD領域2の本数が多い) 場合には、FWD領域2間の距離が狭くなるため、温度差が小さくなり、FWD領域2の発熱を抑制することができる。このときのFWD領域2間の距離 (IGBT領域1の幅S) は、FWD領域2の幅の50%以上が望ましい。その理由として、IGBT領域1の幅Sが狭くなると、導通損失のスナップバック現象が起こりやすくなるからである。しかし実際には半導体チップ10のチップサイズは決まっており、IGBT領域1とFWD領域2との表面積比率を変えたくない場合は、FWD領域2の本数を増やすことができない。そこで、上述した (図1参照) ようにIGBT領域1およびFWD領域2を配置することで、半導体チップ10内にFWD領域2の本数を増やすことが可能である。一方、放熱性のみを向上させたい場合は、FWD領域2の幅を狭くして、その分の面積をFWD領域2の本数増加に使用してもよい。

[0040] また、これら複数のFWD領域2は、等間隔に配置することが好ましい。その理由は、次の通りである。IGBTとFWDとは交互に動作することから、IGBT領域1とFWD領域2とで発熱のタイミングは1周期ずれている。このため、これら複数のFWD領域2を略等間隔に配置することで、IGBT領域1とFWD領域2との間で相互に熱が分散されやすくなり、半導体チップ10の全体の発熱を半導体チップ10の面内でほぼ均一にすること

ができるからである。

[0041] また、FWD領域2は、その長さL2を短くして、可能な限り活性領域11とエッジ終端領域12との境界側に配置することが好ましい。その理由は、次の通りである。半導体チップ10のおもて面上には、後述するようにFWD領域2に配置される第2ゲートトレンチ32のエッジ終端領域12側の端部を覆うようにポリシリコン層35が配置される。このため、素子表面（後述するおもて面電極51の表面：図4参照）には、このポリシリコン層35による凹凸が生じる。このポリシリコン層35によって生じた凹凸部分にボンディングワイヤー（または外部接続用端子、不図示）を接合した場合、おもて面電極51に割れやクラックが生じる虞がある。このため、FWD領域2を活性領域11とエッジ終端領域12との境界側に配置して、ポリシリコン層35による凹凸を可能な限り外側に配置することが好ましい。これによって、ボンディングワイヤーを接合する例えば半導体チップ10の中央部（活性領域11の中央部11e）の平坦面を広げることができる。このため、ボンディングワイヤーの径（直径）を大きくすることができ、コンタクト抵抗を低減させることができる。

[0042] 具体的には、複数のFWD領域2は、活性領域11の外周を構成する1組の対辺（長辺）11a、11bからそれぞれ当該辺11a、11bと直交して活性領域11の外周を構成するもう1組の対辺（短辺）11c、11dに平行に活性領域11の中央部11e側に延びるストライプ状の平面レイアウトに配置されている。活性領域11の各辺11a～11dは、活性領域11とエッジ終端領域12との境界である。図1には、略長形状の平面形状に配置された活性領域11の長辺を辺11a、11bとし、短辺を辺11c、11dとしている。

[0043] 活性領域11の1組の対辺11a、11bのうち、一方の辺11a側のFWD領域2と、他方の辺11b側のFWD領域2とは、互い違いに配置され、当該FWD領域2がストライプ状に延びる方向（ストライプの長手方向を示す。以下、第1方向とする）Xに対向しない。このため、活性領域11に

複数のFWD領域2を分散して配置したとしても、後述するようにIGBT領域1にストライプ状の平面レイアウトに配置されたすべてのゲート電極（不図示）を、ゲートトレンチ（不図示）の端部でゲートランナー（不図示）に接続することができる。また、1組の対辺11a、11bに接するFWD領域2の本数は、同数であることが望ましい。その理由は、ボンディングワイヤーが半導体チップ10の中心に接続される際に、FWD領域2の本数が異なる場合、FWD領域2が少ない方に電流集中が発生しやすくなり、放熱性が悪化する場合があるからである。

[0044] また、各FWD領域2は、活性領域11の辺11a、11bから活性領域11の中央部11eに達しない長さ（第1方向X（長手方向）に延在する長さ） L_2 で、第1方向Xに延在していることが好ましい。すなわち、各FWD領域2の長さ L_2 は、活性領域11の、FWD領域2のストライプに平行する辺11c、11dの長さ L_1 の半分よりも短い（ $L_2 < L_1 / 2$ ）。この場合、活性領域11の一方の辺11a側のFWD領域2と、他方の辺11b側のFWD領域2とは、第1方向Xと直交する方向（以下、第2方向とする）Yに対向しない。

[0045] このように各FWD領域2の長さ L_2 を短くすることで、IGBT領域1の、活性領域11の一方の辺11a側のFWD領域2間に挟まれた部分1aと、他方の辺11b側のFWD領域2間に挟まれた部分1bと、が第1方向Xに対して斜めの方向に距離 D_1 だけ離して配置される。かつ、活性領域11の一方の辺11a側のFWD領域2と、他方の辺11b側のFWD領域2と、が第1方向Xに対して斜めの方向に距離 D_2 だけ離して配置される。これにより、第1方向XにFWD領域2同士が対向する場合と比べて、当該距離 D_1 、 D_2 を長くすることができる。これにより、FWD領域2の間が狭くなることによるオン電圧のスナップバック現象による特性悪化を防ぐことができ、かつ、当該距離 D_1 、 D_2 を長くすることでFWD領域2の本数をさらに増加させることができるため、放熱性を向上することができる。

[0046] また、例えば産業用途（インバータ等）では、IGBTの一般的なゲート

閾値電圧である15V以上のゲート電圧印加によりIGBTをオンさせたときに、FWDもオンしてしまう虞がある。この場合、FWDの電子電流が当該FWDに隣接するIGBTのチャンネル（n型の反転層）に引き抜かれてしまい、FWDの順方向特性が悪化する等の問題が生じる。このようなIGBTとFWDとの境界での相互干渉は、FWD領域2の幅（第2方向Y（短手方向）に平行な長さ） w_1 が狭いほど生じやすい。このため、FWD領域2の幅 w_1 は、例えば50 μm 以上であることが好ましい。また、第2方向Yに隣り合うFWD領域2間の幅（間隔） w_2 は、FWD領域2の幅 w_1 以上であることが好ましい（ $w_2 \geq w_1$ ）。その理由は、第2方向Yに隣り合うFWD領域2間の幅 w_2 がFWD領域2の幅 w_1 未満である場合、スナップバック現象により伝導度変調が遅くなるからである。

[0047] また、活性領域11には、おもて面電極パッド（不図示）およびゲートパッド（電極パッド）3が互いに離して配置されている。おもて面電極パッドは、例えば、活性領域11のゲートパッド3に覆われた部分以外の部分全体にわたって半導体チップ10のおもて面を覆う。図1には、活性領域11の、エッジ終端領域12との境界において、活性領域11の1つの頂点にゲートパッド3を配置した場合を示す。この場合、おもて面電極パッドは、例えば、略矩形状の平面形状を有するゲートパッド3の、連続する2辺に対向する略L字状の平面形状を有する。

[0048] 図2に示すように、IGBT領域1およびFWD領域2には、それぞれ第1, 2ゲートトレンチ31, 32が配置されている。第1, 2ゲートトレンチ31, 32は、第1方向Xに平行で同一ピッチのストライプ上に互いに離して、それぞれストライプ状に配置されている。第1, 2ゲートトレンチ31, 32は、互いに離して配置されている。また、第1方向Xに隣り合う第1, 2ゲートトレンチ31, 32は、IGBT領域1とFWD領域2との境界領域15を挟んで端部同士が第1方向Xに対向する。境界領域15は、第1方向Xにおける第1, 2ゲートトレンチ31, 32間の領域であり、活性領域11間に配置された耐圧を保持するための領域である。

- [0049] 第1方向Xに平行なストライプ状の平面レイアウトを構成する各第1ゲートトレンチ31は、第1方向Xに平行な直線状の平面形状を有していてもよいし、第1方向Xに平行な隣り合う直線部の端部同士を連結した環状の平面形状を有していてもよい。第1方向Xに平行なストライプ状の平面レイアウトを構成する各第2ゲートトレンチ32は、第1方向Xに平行な直線状の平面形状を有していてもよいし、第1方向Xに平行な隣り合う直線部の端部同士を連結した環状の平面形状を有していてもよい。
- [0050] また、活性領域11の中央部11eを挟んで距離D2（図1参照）だけ離して配置されたFWD領域2同士は、第2方向Yに、少なくとも、直線状の平面形状の第1ゲートトレンチ31を2つ、または、環状の平面形状の第1ゲートトレンチ31を1つ、挟んで対向する。すなわち、第2方向Yに最もIGBT領域1側の第2ゲートトレンチ32間に、少なくとも、直線状の平面形状の2つの第1ゲートトレンチ31、または、環状の平面形状の1つの第1ゲートトレンチ31が配置される。
- [0051] 第1方向Xに隣り合う第1, 2ゲートトレンチ31, 32の端部間には、IGBT領域1とFWD領域2との境界領域15に、当該第1, 2ゲートトレンチ31, 32の端部に接するようにp⁺型コンタクト領域33が設けられている。p⁺型コンタクト領域33は、第2方向Yに平行な直線状の平面形状を有する。p⁺型コンタクト領域33は、IGBT領域1とFWD領域2との境界領域15に、エミッタ電位のおもて面電極51（図4参照）とのコンタクト（電氣的接触部）が形成されるコンタクトホール34aを形成する。
- [0052] また、隣り合う第1ゲートトレンチ31間、隣り合う第2ゲートトレンチ32間、および隣り合う第1, 2ゲートトレンチ31, 32間にも、それぞれ、おもて面電極51とのコンタクトホール34bが第1方向Xに延びる直線状の平面形状に設けられている。第1, 2ゲートトレンチ31, 32が環状の平面形状を有する場合には、環状の平面形状の各第1, 2ゲートトレンチ31, 32で囲まれた領域（第1, 2ゲートトレンチ31, 32の内側）にも、コンタクトホール34bが第1方向Xに延びる直線状の平面形状に設

けられる。

[0053] 図3に示すように、第1、2ゲートトレンチ31、32のエッジ終端領域12側の端部は、エッジ終端領域12にまで延在している。第1ゲートトレンチ31のエッジ終端領域12側の端部は、例えば、第2ゲートトレンチ32のエッジ終端領域12側の端部よりも外側（半導体チップ10の端部側）に延在している。エッジ終端領域12には、第2ゲートトレンチ32のエッジ終端領域12側の端部を覆うように、IGBTのエミッタ電位のポリシリコン（poly-Si）層35が設けられている。

[0054] ポリシリコン層35は、例えば、すべての第2ゲートトレンチ32のエッジ終端領域12側の端部に対向するように第2方向Yに延びる直線状の平面形状に設けられる。図3には、ポリシリコン層35を細かい破線で示す。ポリシリコン層35は、第2ゲートトレンチ32のエッジ終端領域12側の端部において、第2ゲート電極49に電氣的に接続されている。また、ポリシリコン層35は、第2ゲートトレンチ32のエッジ終端領域12側の端部付近において、コンタクトホール34cを介して後述するp型ウェル領域62に電氣的に接続されている（図5参照）。

[0055] コンタクトホール34cは、例えば、すべての第2ゲートトレンチ32のエッジ終端領域12側の端部に対向するように第2方向Yに延びる直線状の平面形状に設けられる。複数（図5では3つ）のコンタクトホール34cが第2方向Yに延びるストライプ状の平面レイアウトに配置されていてもよい。コンタクトホール34cには、例えばタングステン（W）からなるプラグが埋め込まれる。このため、コンタクトホール34cの幅は狭いことが好ましい。複数のコンタクトホール34cを設けることで、ポリシリコン層35とp型ウェル領域62との例えばマスクずれによる接続不良を防止することができる。

[0056] また、エッジ終端領域12には、第1ゲートトレンチ31のエッジ終端領域12側の端部を覆うように、IGBTのゲート電位のゲートランナー36が設けられている。ゲートランナー36は、例えばポリシリコンで形成され

る。ゲートランナー36は、エミッタ電位のポリシリコン層35よりも外側に当該ポリシリコン層35と離して配置され、活性領域11の周囲を囲む。ゲートランナー36には、各第1ゲートトレンチ31のエッジ終端領域12側の端部において、第1ゲートトレンチ31の内部の第1ゲート電極47が電氣的に接続されている。ゲートランナー36は、ゲートパッド3（図1参照）に電氣的に接続されている。図3には、ゲートランナー36を、ポリシリコン層35よりも粗い破線で示す。

[0057] 次に、実施の形態1にかかる半導体装置の断面構造について説明する。図4は、図1～3の切断線A-A'における断面構造を示す断面図である。図5は、図1の切断線B-B'における断面構造を示す断面図である。図3の切断線B1-B1'、切断線B3-B3'、および図2の切断線B2-B2'は、図1の切断線B-B'の一部である。まず、IGBT領域1とFWD領域2との境界16を第2方向Yに平行に通る切断線A-A'の断面構造について、図4を参照して説明する。

[0058] 図4に示すように、n⁻型ドリフト領域41となるn⁻型の半導体チップ（半導体基板）10には、IGBT領域1とFWD領域2とが第2方向Yに並列に配置されている。IGBT領域1において、半導体チップ10のおもて面の表面層には、p型ベース領域42が設けられている。半導体チップ10の、p型ベース領域42、後述するn型キャリア蓄積（CS: Carrier Storage）領域45、n型フィールドストップ（FS: Field Stop）領域52、p⁺型コレクタ領域53およびn⁺型カソード領域54以外の部分がn⁻型ドリフト領域41である。

[0059] p型ベース領域42の内部には、互いに接するようにn⁺型エミッタ領域43およびp⁺型コンタクト領域44が選択的に設けられている。p型ベース領域42とn⁻型ドリフト領域41との間には、n型CS領域45が設けられている。n型CS領域45の不純物濃度は、n⁻型ドリフト領域41の不純物濃度よりも高く、かつn⁺型エミッタ領域43の不純物濃度よりも低い。n型CS領域45は、IGBTのオン時に正孔を蓄積させ、表面抵抗を下げる機能

を有する。このため、 n 型CS領域45を設けることで、オン抵抗を改善することができる。第1ゲートトレンチ31は、半導体チップ10のおもて面から深さ方向Zに n^+ 型エミッタ領域43、 p 型ベース領域42および n 型CS領域45を貫通して n -型ドリフト領域41に達する。深さ方向Zとは、半導体チップ10のおもて面から裏面に向かう方向である。

[0060] 第1ゲートトレンチ31の内部には、第1ゲート絶縁膜46を介して第1ゲート電極47が設けられている。第1ゲート電極47と n^+ 型エミッタ領域43とは、第1ゲートトレンチ31の側壁の第1ゲート絶縁膜46を挟んで対向する。図4には、第1ゲートトレンチ31の側壁に沿った部分にのみ n^+ 型エミッタ領域43を配置し、隣り合う第1ゲートトレンチ31間の中央部に p^+ 型コンタクト領域44を配置した場合を示す。この場合、 n^+ 型エミッタ領域43および p^+ 型コンタクト領域44は、第1ゲートトレンチ31の側壁に沿って第1方向Xに延びる直線状の平面形状を有する。

[0061] 図示省略するが、隣り合う第1ゲートトレンチ31間に、 n^+ 型エミッタ領域43と p^+ 型コンタクト領域44とを第1方向Xに交互に繰り返し配置してもよい。この場合、 n^+ 型エミッタ領域43および p^+ 型コンタクト領域44とは、第1ゲートトレンチ31の側壁の第1ゲート絶縁膜46を挟んで第1ゲート電極47と対向する。かつ、第1ゲートトレンチ31は、半導体チップ10のおもて面から深さ方向Zに n^+ 型エミッタ領域43、 p^+ 型コンタクト領域44、 p 型ベース領域42および n 型CS領域45を貫通して n -型ドリフト領域41に達する。

[0062] p^+ 型コンタクト領域33は、IGBT領域1とFWD領域2との境界領域15に、エミッタ電位のおもて面電極51（図4参照）とのコンタクト（電氣的接触部）が形成されるコンタクトホール34aに露出するように形成されている。 p^+ 型コンタクト領域33の下面には後述する p 型ベース領域42が配置される。また、 p 型ベース領域42の下面には後述する n 型CS領域45が配置される。

[0063] おもて面電極51は、コンタクトホール34bを介して、 n^+ 型エミッタ領

域43およびp⁺型コンタクト領域44に接し、これらn⁺型エミッタ領域43およびp⁺型コンタクト領域44に電氣的に接続されている。また、おもて面電極51は、層間絶縁膜50によって第1ゲート電極47と電氣的に絶縁されている。おもて面電極51は、おもて面電極パッドとして機能する。p型ベース領域42、層間絶縁膜50およびおもて面電極51は、IGBT領域1からFWD領域2にわたって設けられている。FWD領域2には、n⁺型エミッタ領域43およびp⁺型コンタクト領域44は設けられていない。

[0064] FWD領域2において、p型ベース領域42はp型アノード領域として機能し、おもて面電極51はアノード電極を兼ねる。また、FWD領域2には、第2ゲートトレンチ32が設けられている。第2ゲートトレンチ32は、半導体チップ10のおもて面から深さ方向Zにp型ベース領域42およびn型CS領域45を貫通してn⁻型ドリフト領域41に達する。第2ゲートトレンチ32の配置は、例えば、IGBT領域1での第1ゲートトレンチ31の配置と同様である。

[0065] 第2ゲートトレンチ32の内部には、第2ゲート絶縁膜48を介して第2ゲート電極49が設けられている。第2ゲート電極49は、第1ゲート電極47と電氣的に分離されている。すなわち、FWD領域2には、IGBT領域1におけるp型ベース領域42、第1ゲートトレンチ31、第1ゲート絶縁膜46および第1ゲート電極47と同様に、p型ベース領域42、第2ゲートトレンチ32、第2ゲート絶縁膜48および第2ゲート電極49が設けられている。

[0066] おもて面電極51は、コンタクトホール34bを介して、p型ベース領域42に接し、p型ベース領域42に電氣的に接続されている。おもて面電極51は、コンタクトホール34cを介して、後述するp型ウェル領域62に接し、p型ウェル領域62に電氣的に接続されている。また、おもて面電極51は、第2ゲート電極49と電氣的に接続され、第2ゲート電極49をIGBTのエミッタ電位に固定している。おもて面電極51は、層間絶縁膜50によって第1ゲート電極47と電氣的に絶縁されている。

- [0067] 半導体チップ10の裏面の表面層には、IGBT領域1からFWD領域2にわたってn型FS領域52が設けられている。n型FS領域52は、IGBTのオフ時にp型ベース領域42とn⁻型ドリフト領域41とのpn接合から伸びる空乏層の伸びを抑制する機能を有する。また、半導体チップ10の裏面の表面層には、半導体チップ10の裏面からn型FS領域52よりも浅い位置において、IGBT領域1にp⁺型コレクタ領域53が設けられ、FWD領域2にn⁺型カソード領域54が設けられている。
- [0068] p⁺型コレクタ領域53およびn⁺型カソード領域54は、例えばn型FS領域52に接する。また、p⁺型コレクタ領域53とn⁺型カソード領域54とは互いに接し、かつ半導体チップ10の裏面に平行する方向に並列に配置されている。裏面電極55は、半導体チップ10の裏面全面に設けられp⁺型コレクタ領域53およびn⁺型カソード領域54に接し、これらp⁺型コレクタ領域53およびn⁺型カソード領域54に電氣的に接続されている。裏面電極55は、コレクタ電極およびカソード電極を兼ねる。
- [0069] 次に、IGBT領域1とFWD領域2との境界領域15および第1, 2ゲートトレンチ31, 32の内部を第1方向Xに平行に通る切断線B-B'の断面構造について、図5を参照して説明する。図5に示すように、IGBT領域1とFWD領域2との境界領域15において、半導体チップ10のおもて面の表面層には、p型ベース領域42が設けられている。かつ、p型ベース領域42とn⁻型ドリフト領域41との間に、n型CS領域45が設けられている。p型ベース領域42の内部には、p⁺型コンタクト領域33が選択的に設けられている。
- [0070] 第1方向Xにおける第1, 2ゲートトレンチ31, 32間の幅（すなわちIGBT領域1とFWD領域2との境界領域15の幅）w4は、隣り合う第1ゲートトレンチ31間の幅（メサ幅）w3以下とすることが好ましい（ $w4 \leq w3$ ）。その理由は、IGBT領域1とFWD領域2との境界領域15の幅w4がメサ幅w3を超える場合、耐圧が低下するからである。
- [0071] p型ベース領域42およびn型CS領域45に代えて、破線で示すように

、 IGBT領域1とFWD領域2との境界領域15にエミッタ電位のp型ウェル領域61を設けてもよい。この場合、 IGBT領域1とFWD領域2との境界領域15の幅 w_4 をメサ幅 w_3 よりも広くしたとしても、耐圧低下は生じない。このため、 IGBT領域1とFWD領域2との境界領域15の幅 w_4 をメサ幅 w_3 よりも広くしてもよい。

[0072] p型ウェル領域61は、半導体チップ10のおもて面から、第1, 2ゲートトレンチ31, 32よりも深い位置にまで達する。また、p型ウェル領域61は、第1, 2ゲートトレンチ31, 32の、境界領域15を挟んで対向する端部の側壁から底面にわたって設けられ、第1, 2ゲートトレンチ31, 32の底面コーナー部を覆う。第1, 2ゲートトレンチ31, 32の底面コーナー部とは、第1, 2ゲートトレンチ31, 32の側壁と底面との境界である。

[0073] 第1, 2ゲートトレンチ31, 32のエッジ終端領域12側の端部は、上述したように、エッジ終端領域12にまで延在している。エッジ終端領域12において、半導体チップ10のおもて面の表面層に、第1, 2ゲートトレンチ31, 32よりも外側に、活性領域11の周囲を囲むようにp型ウェル領域62が設けられている。p型ウェル領域62は、半導体チップ10のおもて面から、第1, 2ゲートトレンチ31, 32よりも深い位置にまで達する。また、p型ウェル領域62は、第1, 2ゲートトレンチ31, 32のエッジ終端領域12側の端部の側壁から底面にわたって設けられ底面コーナー部を覆う。

[0074] また、エッジ終端領域12において、半導体チップ10のおもて面の表面層には、p型ウェル領域62よりも外側に、例えばFLR等の耐圧構造（不図示）が設けられている。また、エッジ終端領域12において、半導体チップ10のおもて面上には、エミッタ電位のポリシリコン層35と、ゲート電位のゲートランナー36と、が互いに離して設けられている。ポリシリコン層35は、第2ゲートトレンチ32のエッジ終端領域12側の端部から外側に延在し、半導体チップ10のおもて面上の例えば第2ゲート絶縁膜48（

または層間絶縁膜 50) を挟んで p 型ウェル領域 62 の一部と深さ方向 Z に対向する。

[0075] ポリシリコン層 35 は、第 2 ゲートトレンチ 32 の内部の第 2 ゲート電極 49 に接し、この第 2 ゲート電極 49 に電氣的に接続されている。また、ポリシリコン層 35 は、第 2 ゲート絶縁膜 48 を深さ方向 Z に貫通するコンタクトホール 34 c を介して p 型ウェル領域 62 に接し、この p 型ウェル領域 62 に電氣的に接続されている。ゲートランナー 36 は、半導体チップ 10 のおもて面上の例えば第 1, 2 ゲート絶縁膜 46, 48 (または層間絶縁膜 50) を挟んで p 型ウェル領域 62 と深さ方向 Z に対向する。また、ポリシリコン層 35 は、第 2 ゲートトレンチ 32 の内部の第 2 ゲート電極 49 に接し、この第 2 ゲート電極 49 に電氣的に接続され、かつおもて面電極 51 およびコンタクトホール 34 a を介して、境界領域 15 の p⁺型コンタクト領域 33 に電氣的に接続されている。

[0076] また、ゲートランナー 36 は、第 1 ゲートトレンチ 31 のエッジ終端領域 12 側の端部の、エッジ終端領域 12 に延在している部分を覆う。ゲートランナー 36 は、第 1 ゲートトレンチ 31 のエッジ終端領域 12 側の端部を覆う部分で、第 1 ゲートトレンチ 31 の内部の第 1 ゲート電極 47 に接し、この第 1 ゲート電極 47 に電氣的に接続されている。IGBT 領域 1 は、ゲートランナー 36 の内側 (活性領域 11 の中央部側) の端部から、IGBT 領域 1 と FWD 領域 2 との境界領域 15 までの領域である。FWD 領域 2 は、ポリシリコン層 35 の内側の端部から、IGBT 領域 1 と FWD 領域 2 との境界領域 15 までの領域である。

[0077] おもて面電極 51 は、活性領域 11 と、IGBT 領域 1 と FWD 領域 2 との境界領域 15 と、の全体を覆う。また、おもて面電極 51 は、エッジ終端領域 12 に延在し、層間絶縁膜 50 を介してポリシリコン層 35 を覆う。おもて面電極 51 は、層間絶縁膜 50 を深さ方向に貫通するコンタクトホールを介してポリシリコン層 35 に接し、ポリシリコン層 35 に電氣的に接続されている。ゲートパッド 3 は、層間絶縁膜 50 を介してゲートランナー 36

上に設けられている。ゲートパッド3は、層間絶縁膜50を深さ方向に貫通するコンタクトホールを介してゲートランナー36に接し、ゲートランナー36に電氣的に接続されている。

[0078] p⁺型コレクタ領域53は、IGBT領域1から、IGBT領域1とFWD領域2との境界領域15にわたって設けられている。また、p⁺型コレクタ領域53は、IGBT領域1とFWD領域2との境界領域15からFWD領域2に延在し、第2ゲートトレンチ32の境界領域15側の端部に深さ方向Zに対向していることが好ましい。その理由は、FWD領域2におけるn⁺型カソード領域54の電子の拡散がIGBT領域1におけるp⁺型コンタクト領域33から正孔が発生しやすくなるため、SW損失が悪化しやすいからである。

[0079] 以上、説明したように、実施の形態1によれば、活性領域にFWD領域を互いに離して複数配置し、当該複数のFWD領域の間に挟まれたIGBT領域を連続した領域とする。具体的には、活性領域とエッジ終端領域との境界から当該境界と直交する方向へ延び、かつ活性領域の中央部付近で終端するストライプ状の平面レイアウトにFWD領域を配置し、活性領域の、FWD領域以外の部分をIGBT領域とする。FWD領域は、IGBT領域を挟んで同じ数で配置される。これにより、半導体チップの縮小化を図ったとしても、IGBT領域とFWD領域との表面積比率を維持した状態で、FWD領域の所定幅に広くすることができ、かつ活性領域に配置するFWD領域の個数を増やすことができる。

[0080] 例えば、FWD領域の両端部が活性領域とエッジ終端領域との境界に達する従来構造（図11，12参照）では、IGBT領域とFWD領域との表面積比率を優先させると、FWD領域の幅または個数（本数）が制限される。一方、実施の形態1によれば、FWD領域の長さを調整することで、FWD領域を所定幅および所定個数で配置することができるため、従来構造と比べて設計の自由度が高い。

[0081] また、例えば、FWD領域の幅を50 μ m以上とすることで、IGBTの

一般的なゲート閾値電圧である15V以上のゲート電圧印加時におけるFWDの順方向特性の悪化を許容の範囲内とすることができる。また、例えば、FWD領域の幅を400 μ m以上とすることで、IGBTの一般的なゲートしきい値電圧である15V以上のゲート電圧印加時におけるFWDの順方向特性の悪化を防止することができる。

[0082] また、FWD領域の個数を増やすことで、FWDの放熱性を向上させることができる。チップサイズが同じで、かつIGBT領域とFWD領域と表面積比率が同じ場合、従来構造と比べて、半導体チップ全体の発熱量を20%～30%程度低減させることができる。

[0083] また、実施の形態1によれば、FWD領域の長さを短くすることで、従来構造と比べて、IGBT領域とFWD領域とが隣り合う配置が少なくなる。例えば、図1に示すように、活性領域とエッジ終端領域との境界から活性領域の中央部に達しない長さでFWD領域を配置した場合、活性領域の中央部にはIGBTのみが配置される。このため、IGBTとFWDとの相互干渉を抑制することができる。

[0084] また、実施の形態1によれば、活性領域の1組の対辺のうち、一方の辺側のFWD領域と、他方の辺側のFWD領域とを互い違いに配置することで、活性領域の周囲を囲むゲートランナーに、各第1ゲートトレンチの端部の位置でIGBTのゲート電極を接続することができる。このため、IGBTのゲート電極とゲートランナーとの接続が容易である。

[0085] (実施の形態2)

次に、実施の形態2にかかる半導体装置の構造について説明する。図7は、実施の形態2にかかる半導体装置の平面レイアウトを示す平面図である。実施の形態2にかかる半導体装置が実施の形態1に係る半導体装置と異なる点は、FWD領域2の長さL2を短くした点である。図7(a)には、第1方向XにFWD領域2同士が対向して配置された状態を示している。図7(b)は、実施の形態1と同様に、第1方向XにFWD領域2同士が対向しないように配置された状態を示している。

[0086] 図7(c)は、図7(a)と同じく、第1方向XにFWD領域2同士が対向するように配置された状態を示している。さらに、活性領域11の両端（第2方向Yの端部）に配置されているFWD領域2は、対向するFWD領域2が長手方向（第1方向X）でつながって配置されている。なお、FWD領域2の本数は、IGBT領域1とFWD領域2との表面積比率によって決められる。IGBT領域1およびFWD領域2の断面構造は、後述するようにおもて面電極51の下部にFWD領域2を設けない点を除いて、実施の形態1と同様である。

[0087] FWD領域2の長さL2が短いことにより、IGBT領域のうち、第1方向Xに対して斜めの方向に離れた部分間の距離D1、および、第1方向Xに対して斜めの方向に離れたFWD領域2間の距離D2をさらに長くとることができる。そのため、半導体チップ10の中央部のおもて面電極51の下部にはFWD領域2が設けられていない。おもて面電極51には、ボンディングワイヤー（不図示）が接続される。おもて面電極51に接続されたボンディングワイヤーの接合面とFWD領域2との間を一定の距離で離すことができる。ボンディングワイヤーの接合面とFWD領域2とを一定の距離で離すことにより、FWD領域2の発熱を抑制することができる。また、FWD領域2とボンディングワイヤーの接合面とを一定の距離で離すことにより、ボンディングワイヤーの接合面とFWD領域2との間のおもて面電極51のシート抵抗が大きくなるため、FWD領域2の電流集中による放熱性悪化をさらに防ぐことができる。

[0088] また、実施の形態2によれば、実施の形態1と同様の効果を得ることができる。また、実施の形態2によれば、FWD領域の長さを短くすることで、FWD領域の発熱をさらに抑制することができる。

[0089] （実施の形態3）

次に、実施の形態3にかかる半導体装置の構造について説明する。図8は、実施の形態3にかかる半導体装置の平面レイアウトを示す平面図である。実施の形態3にかかる半導体装置は、電流の検出・制御を行うためのIGBT

T（センスIGBT）に実施の形態1にかかる半導体装置を適用したものである。

[0090] 具体的には、図8に示すように、活性領域11には、IGBT領域71のIGBTおよびFWD領域72のFWDの他に、電流センス部、温度センス部および過電圧保護部が配置されている。電流センス部（不図示）は縦型MOSFET（Metal Oxide Semiconductor Field Effect Transistor：絶縁ゲート型電界効果トランジスタ）であり、IGBT領域71のIGBTに流れる過電流（OC：Over Current）を検出する機能を有する。電流センス部のソース電極は、電流センス用のセンスパッド（以下、OCパッドとする）76を兼ねる。電流センス部は、例えばOCパッド76の直下（深さ方向Zに対向する部分）に配置される。

[0091] 温度センス部（不図示）はダイオードであり、当該ダイオードの温度特性を利用してIGBT領域1のIGBTの温度を検出する機能を有する。温度センス部のアノード電極およびカソード電極は、それぞれアノードパッド74およびカソードパッド75を兼ねる。温度センス部は、例えばアノードパッド74およびカソードパッド75の直下に配置される。過電圧保護部（不図示）はダイオードであり、例えばサージ等の過電圧（OV：Over Voltage）からIGBT領域71のIGBTを保護する。過電圧保護部のアノード電極は、過電圧保護用のセンスパッド（以下、OVパッドとする）77を兼ねる。過電圧保護部は、例えばOVパッド77の直下に配置される。

[0092] 温度センス部および過電圧保護部は、例えば、半導体チップ10上に絶縁膜を介して設けられたp型ポリシリコン層とn型ポリシリコン層とのpn接合で構成された横型のダイオードであってもよいし、半導体チップ10の内部に設けられたp型拡散領域とn型拡散領域とのpn接合で構成された縦型のダイオードであってもよい。IGBTのおもて面電極パッド（不図示）およびゲートパッド73や、温度センス部のアノードパッド74およびカソー

ドパッド 75、電流センス部の OC パッド 76、過電圧保護部の OV パッド 77 等の電極パッドは、IGBT 領域 71 において、半導体チップ 10 のおもて面上に、FWD 領域 72 と離して配置される。

[0093] 図 8 には、活性領域 11 の、エッジ終端領域 12 との境界付近に、活性領域 11 の、FWD 領域 72 のストライプと直交する 1 辺 11b に沿ってゲートパッド 73、アノードパッド 74、カソードパッド 75 および OC パッド 76 を配置し、かつ活性領域 11 の中央部 11e 付近に OV パッド 77 を配置した場合を示すが、これら電極パッドの配置は種々変更可能である。IGBT 領域 71 および FWD 領域 72 の構成は、FWD 領域 72 およびゲートパッド 73 の配置、おもて面電極パッド（不図示）の平面形状が異なる以外は実施の形態 1 と同様である。

[0094] IGBT 領域 71 の IGBT のおもて面電極 51（図 4 参照）は、温度センス部のカソード電極および過電圧保護部のアノード電極に電氣的に接続されている。FWD 領域 72 は、例えば、活性領域 11 の、ゲートパッド 73 等を配置した一方の辺 11b の対向する他方の辺 11a から活性領域 11 の中央部 11e 側に延びるストライプ状の平面レイアウトに配置され、活性領域 11 の中央部 11e 付近で終端している。IGBT 領域 71 は、実施の形態 1 と同様に、活性領域 11 の、FWD 領域 72 以外の領域である。

[0095] 例えば、従来構造（図 12 参照）のように、ストライプ状のレイアウトに配置した FWD 領域 102 の両端部が活性領域 111 とエッジ終端領域 112 との境界に達しているとする。この場合、ゲートパッド 103 やセンスパッド 104～107 を配置した部分で、IGBT 領域 101 の幅 $w_{101'}$ が狭くなり、IGBT 動作が阻害される虞がある。一方、本発明においては、FWD 領域 72 の長さ L_2 を短くして、FWD 領域 72 を活性領域 11 の中央部 11e 付近で終端させた平面レイアウトとすることで、IGBT 領域 71 の幅を広く確保することができるため、IGBT 特性の悪化を防止することができる。

[0096] また、本発明においては、FWD 領域 72 の長さ L_2 を短くして、FWD

領域 7 2 を活性領域 1 1 の中央部 1 1 e 付近で終端させた平面レイアウトとすることで、ゲートパッド 7 3 やセンスパッド 7 4 ~ 7 7 と離して FWD 領域 7 2 を配置することができる。これによって、幅 w_1 の広い FWD 領域 7 2 を配置することができる。各 FWD 領域 7 2 の幅 w_1 を広くすることで、各 FWD 領域 7 2 での熱抵抗が低くなり、FWD の順方向特性や逆回復特性の悪化を防止することができる。

[0097] 以上、説明したように、実施の形態 3 によれば、実施の形態 1 と同様の効果を得ることができる。また、実施の形態 3 によれば、I G B T 特性や F W D 特性の悪化を防止することができる。

[0098] (実施の形態 4)

次に、実施の形態 4 にかかる半導体装置の構造について説明する。図 9 は、実施の形態 4 にかかる半導体装置の平面レイアウトを示す平面図である。実施の形態 4 にかかる半導体装置が実施の形態 3 にかかる半導体装置と異なる点は、各 FWD 領域 7 2 の幅 w_1 を狭くして、各 FWD 領域 7 2 の放熱性を向上させた点である。各 FWD 領域 7 2 の幅 w_1 を狭くした分、例えば、FWD 領域 7 2 の個数を増やすことで、FWD 領域 7 2 の総表面積を所定の大きさ（例えば従来構造の FWD 領域 1 0 2 の総表面積と同程度）で維持することができる。

[0099] I G B T のおもて面電極パッド（不図示）およびゲートパッド 7 3 や、温度センス部のアノードパッド 7 4 およびカソードパッド 7 5、電流センス部の O C パッド 7 6、過電圧保護部の O V パッド 7 7 等の電極パッドは、F W D 領域 7 2 上や、I G B T 領域 7 1 から FWD 領域 7 2 にわたるように配置されてもよい。図 9 には、FWD 領域 7 2 の、電極パッドで覆われた部分を破線で示す。この場合、温度センス部および過電圧保護部は、FWD 領域 7 2 の F W D の一部を用いて構成された縦型のダイオードであってもよい。

[0100] 以上、説明したように、実施の形態 4 によれば、実施の形態 1, 2 と同様の効果を得ることができる。また、実施の形態 4 によれば、FWD 領域の幅を狭くして、FWD 領域を複数に分散して配置することで、活性領域に 1 つ

のFWD領域を配置する場合と比べて、各FWD領域の発熱が抑制され、FWD領域の放熱性を向上させることができる。

[0101] (実施の形態5)

次に、実施の形態5にかかる半導体装置の構造について説明する。図10は、実施の形態5にかかる半導体装置の平面レイアウトを示す平面図である。実施の形態5にかかる半導体装置が実施の形態1にかかる半導体装置と異なる点は、活性領域11の一方の辺11a側のFWD領域82の一部と、他方の辺11b側のFWD領域82の一部とが、第2方向Yに対向する点である。IGBT領域81は、実施の形態1と同様に、活性領域11の、FWD領域82以外の領域である。

[0102] 具体的には、各FWD領域82は、活性領域11の対辺11a, 11bのうち、一方の辺11a（または辺11b）から活性領域11の中央部11eを越えて、対向する他方の辺11b（または辺11a）側へ延在している。FWD領域82の他方の辺11b（または辺11a）側の端部と当該他方の辺11b（または辺11a）との間の距離w5は、FWD領域82の幅w1以上であることが好ましい（ $w5 \geq w1$ ）。活性領域11の一方の辺11a側のFWD領域82の他方の辺11b側の部分と、もう一方の辺11b側のFWD領域82の他方の辺11a側の部分と、が第2方向Yに対向する。

[0103] 以上、説明したように、実施の形態5によれば、FWD領域の長さを長くしたとしても、FWD領域の一方の端部が活性領域とエッジ終端領域との境界に達していなければ、実施の形態1～3と同様の効果を得ることができる。

[0104] 以上において本発明は、上述した実施の形態に限らず、本発明の趣旨を逸脱しない範囲で種々変更可能である。例えば、上述した各実施の形態では、略長方形の活性領域の短辺に平行なストライプ状の平面レイアウトにFWD領域を配置した場合を例に説明しているが、略長方形の活性領域の長辺に平行なストライプ状の平面レイアウトにFWD領域を配置してもよい。また、FWD領域の個数は偶数であってもよいし、奇数であってもよい。また

、上述した各実施の形態では、小チップ IGBT である場合を例に説明しているが、チップサイズが大きい場合にも適用可能であり、FWD 領域の表面積を小さくした場合に同様の効果を奏する。また、本発明は、導電型（n 型、p 型）を反転させても同様に成り立つ。

産業上の利用可能性

[0105] 以上のように、本発明にかかる半導体装置は、インバータなどの電力変換装置や種々の産業用機械などの電源装置や自動車のイグナイタなどに使用される耐圧 600V 以上の半導体装置に有用であり、特にインバータや IPM (Intelligent Power Module: インテリジェントパワーモジュール) 等に用いる RC-IGBT に適している。

符号の説明

- [0106] 1, 71, 81 IGBT 領域
- 1a IGBT 領域の、活性領域の一方の辺側の FWD 領域間に挟まれた部分
 - 1b IGBT 領域の、活性領域の他方の辺側の FWD 領域間に挟まれた部分
 - 2, 72, 82 FWD 領域
 - 3 ゲートパッド
 - 10 半導体チップ
 - 11 活性領域
 - 11a ~ 11d 活性領域の辺
 - 11e 活性領域の中央部
 - 12 エッジ終端領域
 - 13 活性領域の中央部側における IGBT 領域と FWD 領域との境界付近
 - 14 活性領域とエッジ終端領域との境界付近
 - 15 IGBT 領域と FWD 領域との境界領域
 - 16 IGBT 領域と FWD 領域との境界

- 2 1 I G B T 領域
- 3 1 第 1 ゲートトレンチ
- 3 2 第 2 ゲートトレンチ
- 3 3 p^+ 型コンタクト領域
- 3 4 a ~ 3 4 c コンタクトホール
- 3 5 ポリシリコン層
- 3 6 ゲートランナー
- 4 1 n^- 型ドリフト領域
- 4 2 p 型ベース領域
- 4 3 n^+ 型エミッタ領域
- 4 4 p^+ 型コンタクト領域
- 4 5 n 型 C S 領域
- 4 6 第 1 ゲート絶縁膜
- 4 7 ゲート電位の第 1 ゲート電極
- 4 8 第 2 ゲート絶縁膜
- 4 9 エミッタ電位の第 2 ゲート電極
- 5 0 層間絶縁膜
- 5 1 おもて面電極
- 5 2 n 型 F S 領域
- 5 3 p^+ 型コレクタ領域
- 5 4 n^+ 型カソード領域
- 5 5 裏面電極
- 6 1 p 型ウェル領域
- 6 2 p 型ウェル領域
- 7 3 ゲートパッド
- 7 4 アノードパッド
- 7 5 カソードパッド
- 7 6 O C パッド

77 OVパッド

D1 IGBT領域のうち、第1方向Xに対して斜めの方向に離れた部分間の距離

D2 第1方向Xに対して斜めの方向に離れたFWD領域間の距離

X FWD領域がストライプ状に延びる方向（第1方向）

Y FWD領域がストライプ状に延びる方向と直交する方向（第2方向）

Z 深さ方向

w1 FWD領域の幅

w2 第2方向に隣り合うFWD領域間の幅

w3 隣り合う第1ゲートトレンチ間の幅（メサ幅）

w4 第1方向における第1, 2ゲートトレンチ間の幅

w5 FWD領域の他方の辺側の端部と当該他方の辺との間の距離

S IGBT領域の幅

請求の範囲

[請求項1]

半導体基板に設けられた、電流が流れる活性領域と、
前記活性領域に設けられ、第1のトレンチゲート構造を有する第1素子が配置された第1素子領域と、
前記活性領域に設けられ、第2のトレンチゲート構造を有する第2素子が配置された第2素子領域と、
を備え、
前記第1のトレンチゲート構造は、
前記半導体基板の第1主面側に設けられた第1トレンチと、
前記第1トレンチの内部に第1ゲート絶縁膜を介して設けられた第1ゲート電極と、を有し、
前記第2のトレンチゲート構造は、
前記半導体基板の第1主面側に、前記第1トレンチと離して設けられた第2トレンチと、
前記第2トレンチの内部に第2ゲート絶縁膜を介して設けられた第2ゲート電極と、を有し、
前記第2素子領域は、互いに離して複数配置され、
前記第1素子領域は、複数の前記第2素子領域の間に挟まれた連続した領域であることを特徴とする半導体装置。

[請求項2]

前記第2素子領域は、前記活性領域の外周寄りに配置されていることを特徴とする請求項1に記載の半導体装置。

[請求項3]

複数の前記第2素子領域は、前記半導体基板の第1主面に平行で、かつ矩形状の平面形状を有する前記活性領域の外周を構成する1組の対辺それぞれからもう1組の対辺に平行な第1方向に延びるストライプ状のレイアウトに配置されており、
前記活性領域の前記第1方向に対向する1組の対辺のうち、一方の辺側に配置された前記第2素子領域と、他方の辺側に配置された前記第2素子領域と、は前記第1方向と直交する第2方向に互い違いに配

置され、かつ本数を同数とすることを特徴とする請求項 1 に記載の半導体装置。

[請求項4] 前記第 2 素子領域の前記第 1 方向の長さは、前記第 2 素子領域の前記第 2 方向の幅よりも長いことを特徴とする請求項 3 に記載の半導体装置。

[請求項5] 隣り合う前記第 2 素子領域の間の幅は、前記第 2 素子領域の前記第 2 方向の幅以上であることを特徴とする請求項 3 に記載の半導体装置。

[請求項6] 前記第 2 素子領域の前記第 2 方向の幅は、 $50\mu\text{m}$ 以上であることを特徴とする請求項 3 に記載の半導体装置。

[請求項7] 前記第 1 素子は、
前記半導体基板に設けられた第 1 導電型の第 1 半導体領域と、
前記半導体基板の第 1 主面の表面層に、前記第 1 半導体領域に接して設けられた第 2 導電型の第 2 半導体領域と、
前記第 2 半導体領域の内部に選択的に設けられた第 1 導電型の第 3 半導体領域と、
前記第 3 半導体領域および前記第 2 半導体領域を貫通して前記第 1 半導体領域に達する前記第 1 トレンチと、
前記第 1 ゲート電極と、
前記半導体基板の第 2 主面の表面層に、前記第 1 半導体領域に接して設けられた第 2 導電型の第 4 半導体領域と、
前記第 2 半導体領域および前記第 3 半導体領域に接する第 1 電極と、
前記第 4 半導体領域に接する第 2 電極と、を有し、
前記第 2 素子は、
前記第 1 素子領域から前記第 2 素子領域に延在する前記第 1 半導体領域および前記第 2 半導体領域と、
前記第 2 半導体領域を貫通して前記第 1 半導体領域に達する前記第

2 トレンチと、

前記第 2 ゲート電極と、

前記半導体基板の第 2 主面の表面層に、前記第 1 半導体領域および前記第 4 半導体領域に接して設けられた第 1 導電型の第 5 半導体領域と、

前記第 2 半導体領域に接する前記第 1 電極と、

前記第 5 半導体領域に接する前記第 2 電極と、を有することを特徴とする請求項 3 に記載の半導体装置。

[請求項 8]

前記第 1 トレンチは、前記半導体基板の第 1 主面に平行な方向で、かつ前記第 1 方向に延びるストライプ状のレイアウトに配置され、

前記第 2 トレンチは、前記半導体基板の第 1 主面に平行な方向で、かつ前記第 1 方向に延びるストライプ状のレイアウトに配置され、

前記第 1 トレンチと前記第 2 トレンチとは、前記第 1 方向に端部同士が対向し、

前記第 1 トレンチと前記第 2 トレンチとの端部間に設けられ、前記第 1 トレンチの端部および前記第 2 トレンチとの端部に接する第 2 導電型の第 6 半導体領域をさらに備えることを特徴とする請求項 3 に記載の半導体装置。

[請求項 9]

前記第 1 トレンチは、前記半導体基板の第 1 主面に平行な方向で、かつ前記第 1 方向に延びるストライプ状のレイアウトに配置され、

前記第 2 トレンチは、前記半導体基板の第 1 主面に平行な方向で、かつ前記第 1 方向に延びるストライプ状のレイアウトに配置され、

前記第 1 トレンチと前記第 2 トレンチとは、前記第 1 方向に端部同士が対向し、

前記第 1 トレンチと前記第 2 トレンチとの端部間に設けられ、前記第 1 トレンチの端部および前記第 2 トレンチとの端部に接する第 2 導電型の第 6 半導体領域をさらに備えることを特徴とする請求項 7 に記載の半導体装置。

- [請求項10] 前記第6半導体領域の深さは、前記第1トレンチの深さおよび前記第2トレンチの深さよりも深いことを特徴とする請求項8に記載の半導体装置。
- [請求項11] 前記第1素子領域と前記第2素子領域との間に境界領域をさらに備え、
前記境界領域には、
前記第1半導体領域の表面層に前記第2半導体領域が配置されていることを特徴とする請求項7に記載の半導体装置。
- [請求項12] 前記境界領域の前記第2半導体領域に、
前記第2半導体領域の表面層に配置された、前記第2半導体領域よりも不純物濃度の高い第2導電型の第7半導体領域と、
前記第2半導体領域の下面に配置された、前記第1半導体領域よりも不純物濃度の高い第1導電型の第8半導体領域と、を備えることを特徴とする請求項11に記載の半導体装置。
- [請求項13] 前記第7半導体領域は、前記第2ゲート電極と電氣的に接続されていることを特徴とする請求項12に記載の半導体装置。
- [請求項14] 前記第1素子領域と前記第2素子領域との間に境界領域をさらに備え、
前記境界領域に、
前記第1半導体領域の表面層に設けられ、前記第1トレンチおよび前記第2トレンチの底部を覆う前記第6半導体領域と、
前記第6半導体領域の表面層に設けられた、前記第6半導体領域よりも不純物濃度の高い第2導電型の第9半導体領域と、備えることを特徴とする請求項9に記載の半導体装置。
- [請求項15] 前記第9半導体領域は、前記第2ゲート電極と電氣的に接続されていることを特徴とする請求項14に記載の半導体装置。
- [請求項16] 前記第1素子領域は絶縁ゲート型バイポーラトランジスタであり、
前記第2素子領域は還流ダイオードであることを特徴とする請求項

1 ～ 1 5 のいずれか一つに記載の半導体装置。

補正された請求の範囲
[2018年11月6日(06.11.2018)国際事務局受理]

[請求項 1] 半導体基板に設けられた、電流が流れる活性領域と、

前記活性領域に設けられ、第 1 のトレンチゲート構造を有する第 1 素子が配置された第 1 素子領域と、

前記活性領域に設けられ、第 2 のトレンチゲート構造を有する第 2 素子が配置された第 2 素子領域と、

を備え、

前記第 1 のトレンチゲート構造は、

前記半導体基板の第 1 主面側に設けられた第 1 トレンチと、

前記第 1 トレンチの内部に第 1 ゲート絶縁膜を介して設けられた第 1 ゲート電極と、を有し、

前記第 2 のトレンチゲート構造は、

前記半導体基板の第 1 主面側に、前記第 1 トレンチと離して設けられた第 2 トレンチと、

前記第 2 トレンチの内部に第 2 ゲート絶縁膜を介して設けられた第 2 ゲート電極と、を有し、

前記第 2 素子領域は、互いに離して複数配置され、

前記第 1 素子領域は、複数の前記第 2 素子領域の間に挟まれた連続した領域であることを特徴とする半導体装置。

[請求項 2] 前記第 2 素子領域は、前記活性領域の外周寄りに配置されていることを特徴とする請求項 1 に記載の半導体装置。

[請求項 3] 複数の前記第 2 素子領域は、前記半導体基板の第 1 主面に平行で、かつ矩形状の平面形状を有する前記活性領域の外周を構成する 1 組の対辺それぞれからもう 1 組の対辺に平行な第 1 方向に延びるストライプ状のレイアウトに配置されており、

前記活性領域の前記第 1 方向に対向する 1 組の対辺のうち、一方の辺側に配置された前記第 2 素子領域と、他方の辺側に配置された前記第 2 素子領域と、は前記第 1 方向と直交する第 2 方向に互い違いに配置され、かつ本数を同数とすることを特徴とす

る請求項 1 に記載の半導体装置。

[請求項 4] 前記第 2 素子領域の前記第 1 方向の長さは、前記第 2 素子領域の前記第 2 方向の幅よりも長いことを特徴とする請求項 3 に記載の半導体装置。

[請求項 5] 隣り合う前記第 2 素子領域の間の幅は、前記第 2 素子領域の前記第 2 方向の幅以上であることを特徴とする請求項 3 に記載の半導体装置。

[請求項 6] 前記第 2 素子領域の前記第 2 方向の幅は、 $50\ \mu\text{m}$ 以上であることを特徴とする請求項 3 に記載の半導体装置。

[請求項 7] 前記第 1 素子は、

前記半導体基板に設けられた第 1 導電型の第 1 半導体領域と、

前記半導体基板の第 1 主面の表面層に、前記第 1 半導体領域に接して設けられた第 2 導電型の第 2 半導体領域と、

前記第 2 半導体領域の内部に選択的に設けられた第 1 導電型の第 3 半導体領域と、

前記第 3 半導体領域および前記第 2 半導体領域を貫通して前記第 1 半導体領域に達する前記第 1 トレンチと、

前記第 1 ゲート電極と、

前記半導体基板の第 2 主面の表面層に、前記第 1 半導体領域に接して設けられた第 2 導電型の第 4 半導体領域と、

前記第 2 半導体領域および前記第 3 半導体領域に接する第 1 電極と、

前記第 4 半導体領域に接する第 2 電極と、を有し、

前記第 2 素子は、

前記第 1 素子領域から前記第 2 素子領域に延在する前記第 1 半導体領域および前記第 2 半導体領域と、

前記第 2 半導体領域を貫通して前記第 1 半導体領域に達する前記第 2 トレンチと、

前記第 2 ゲート電極と、

前記半導体基板の第 2 主面の表面層に、前記第 1 半導体領域および前記第 4 半導体領域に接して設けられた第 1 導電型の第 5 半導体領域と、

前記第 2 半導体領域に接する前記第 1 電極と、

前記第 5 半導体領域に接する前記第 2 電極と、を有することを特徴とする請求項 3

に記載の半導体装置。

〔請求項 8〕 前記第 1 トレンチは、前記半導体基板の第 1 主面に平行な方向で、かつ前記第 1 方向に延びるストライプ状のレイアウトに配置され、

前記第 2 トレンチは、前記半導体基板の第 1 主面に平行な方向で、かつ前記第 1 方向に延びるストライプ状のレイアウトに配置され、

前記第 1 トレンチと前記第 2 トレンチとは、前記第 1 方向に端部同士が対向し、

前記第 1 トレンチと前記第 2 トレンチとの端部間に設けられ、前記第 1 トレンチの端部および前記第 2 トレンチとの端部に接する第 2 導電型の第 6 半導体領域をさらに備えることを特徴とする請求項 3 に記載の半導体装置。

〔請求項 9〕 前記第 1 トレンチは、前記半導体基板の第 1 主面に平行な方向で、かつ前記第 1 方向に延びるストライプ状のレイアウトに配置され、

前記第 2 トレンチは、前記半導体基板の第 1 主面に平行な方向で、かつ前記第 1 方向に延びるストライプ状のレイアウトに配置され、

前記第 1 トレンチと前記第 2 トレンチとは、前記第 1 方向に端部同士が対向し、

前記第 1 トレンチと前記第 2 トレンチとの端部間に設けられ、前記第 1 トレンチの端部および前記第 2 トレンチとの端部に接する第 2 導電型の第 6 半導体領域をさらに備えることを特徴とする請求項 7 に記載の半導体装置。

〔請求項 10〕 前記第 6 半導体領域の深さは、前記第 1 トレンチの深さおよび前記第 2 トレンチの深さよりも深いことを特徴とする請求項 8 に記載の半導体装置。

〔請求項 11〕 前記第 1 素子領域と前記第 2 素子領域との間に境界領域をさらに備え、

前記境界領域には、

前記第 1 半導体領域の表面層に前記第 2 半導体領域が配置されていることを特徴とする請求項 7 に記載の半導体装置。

〔請求項 12〕 前記境界領域の前記第 2 半導体領域に、

前記第 2 半導体領域の表面層に配置された、前記第 2 半導体領域よりも不純物濃度の高い第 2 導電型の第 7 半導体領域と、

前記第 2 半導体領域の下面に配置された、前記第 1 半導体領域よりも不純物濃度の

高い第1導電型の第8半導体領域と、を備えることを特徴とする請求項11に記載の半導体装置。

[請求項13] 前記第7半導体領域は、前記第2ゲート電極と電氣的に接続されていることを特徴とする請求項12に記載の半導体装置。

[請求項14] 前記第1素子領域と前記第2素子領域との間に境界領域をさらに備え、

前記境界領域に、

前記第1半導体領域の表面層に設けられ、前記第1トレンチおよび前記第2トレンチの底部を覆う前記第6半導体領域と、

前記第6半導体領域の表面層に設けられた、前記第6半導体領域よりも不純物濃度の高い第2導電型の第9半導体領域と、を備えることを特徴とする請求項9に記載の半導体装置。

[請求項15] 前記第9半導体領域は、前記第2ゲート電極と電氣的に接続されていることを特徴とする請求項14に記載の半導体装置。

[請求項16] (補正) 前記活性領域と前記半導体基板の端部との間の領域であり、前記活性領域の周囲を囲むエッジ終端領域を備え、

複数の前記第2素子領域は、前記半導体基板の第1主面に平行で、かつ矩形状の平面形状を有する前記活性領域の外周を構成する1組の対辺からそれぞれ当該辺と直交して前記活性領域の外周を構成するもう1組の対辺に平行に前記活性領域の中央部側に延びるストライプ状のレイアウトに配置されており、

前記活性領域の外周を構成する前記辺は、前記活性領域と前記エッジ終端領域との境界であることを特徴とする請求項1に記載の半導体装置。

[請求項17] (追加) 前記活性領域と前記半導体基板の端部との間の領域であり、前記活性領域の周囲を囲むエッジ終端領域と、

前記エッジ終端領域において前記半導体基板の第1主面に設けられ、前記第2トレンチの前記エッジ終端領域側の端部を覆う、前記第1電極の電位のポリシリコン層と

前記エッジ終端領域において、前記半導体基板の第1主面の表面層に設けられ、前

記第1トレンチおよび前記第2トレンチよりも外側に位置し、前記活性領域の周囲を囲む第2導電型の第10半導体領域と、

を備え、

前記第10半導体領域は、

前記半導体基板の第1主面に平行な方向に前記第1トレンチおよび前記第2トレンチに達し、

かつ、前記半導体基板の第1主面から第2主面側へ前記第1トレンチおよび前記第2トレンチよりも深い位置に達し、

前記ポリシリコン層は、

前記第2トレンチの前記エッジ終端領域側の端部において、前記第2ゲート電極に電氣的に接続され、

かつ、前記第2トレンチの前記エッジ終端領域側の端部付近において、前記第10半導体領域に電氣的に接続されていることを特徴とする請求項7に記載の半導体装置。

[請求項18] (追加) 前記第1素子領域は絶縁ゲート型バイポーラトランジスタであり、

前記第2素子領域は還流ダイオードであることを特徴とする請求項1～17のいずれか一つに記載の半導体装置。

条約第19条(1)に基づく説明書

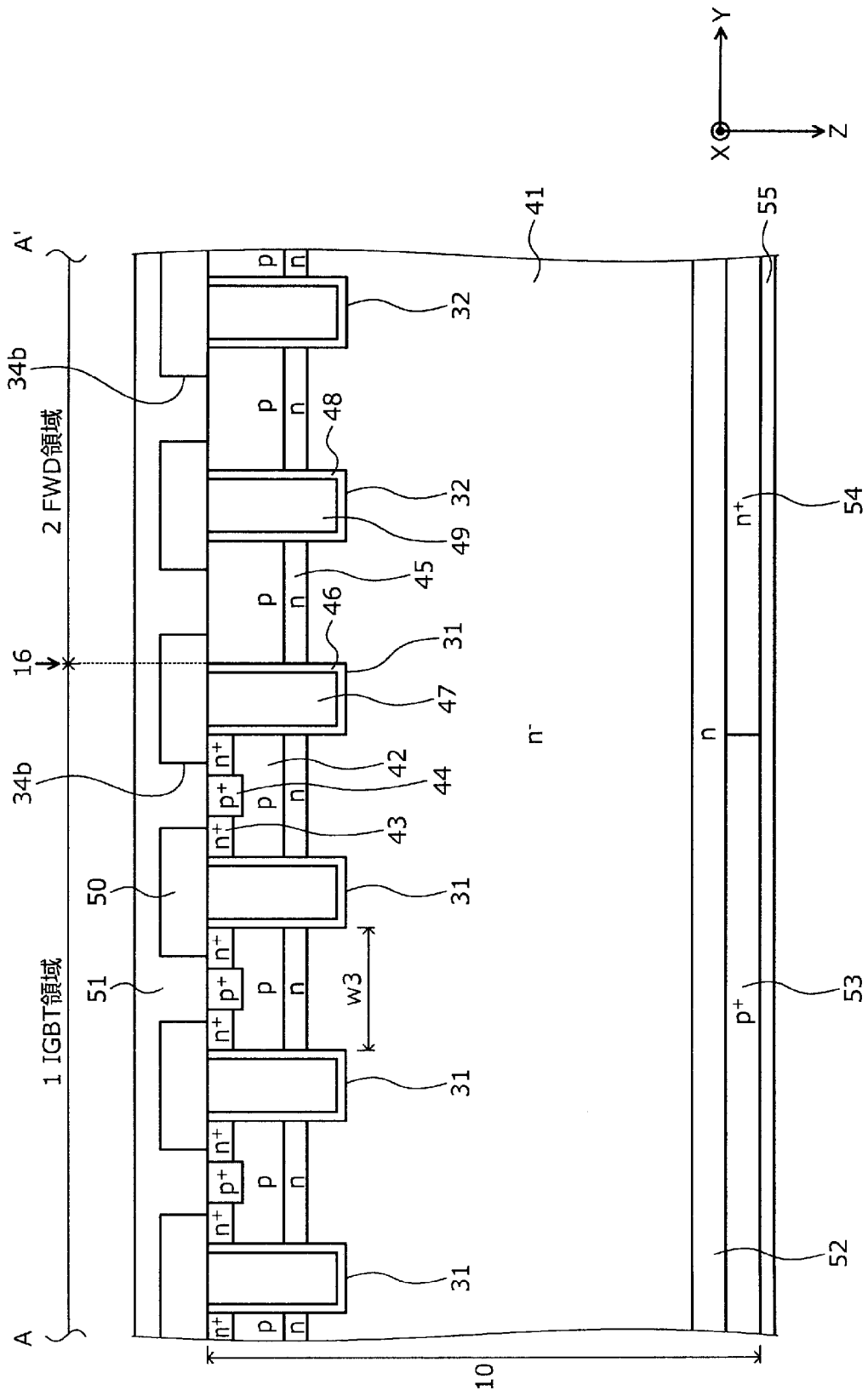
請求の範囲第1～15項は、補正前の請求の範囲第1～15項です。

また、請求の範囲第16項は、出願時の明細書の段落番号[0035], [0042]、図1を根拠として補正しました。

また、請求の範囲第17項は、出願時の明細書の段落番号[0035], [0053]～[0054], [0073]、図3, 5を根拠として追加しました。

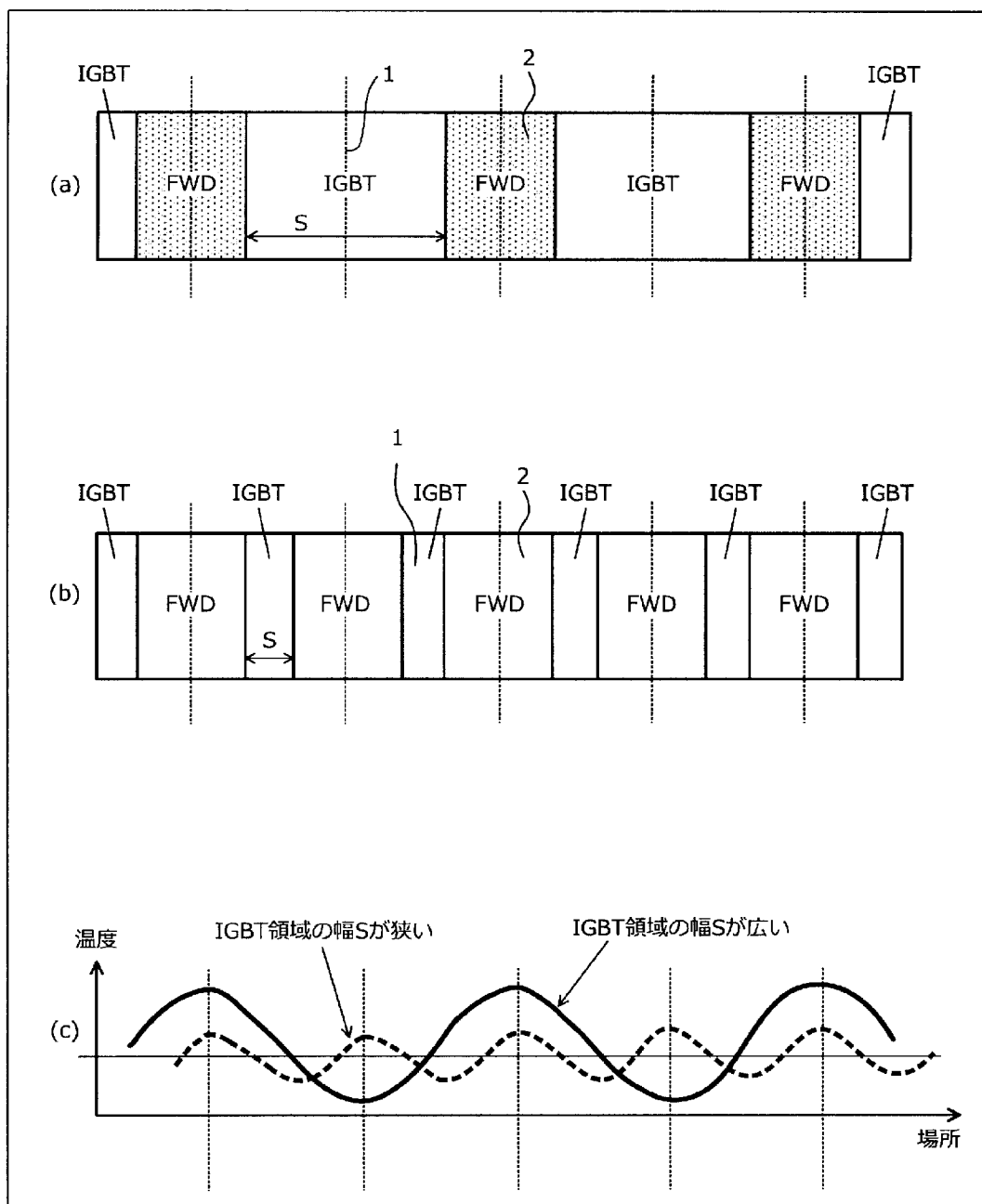
請求の範囲第18項として、補正前の請求の範囲第16項を追加しました。

[図4]

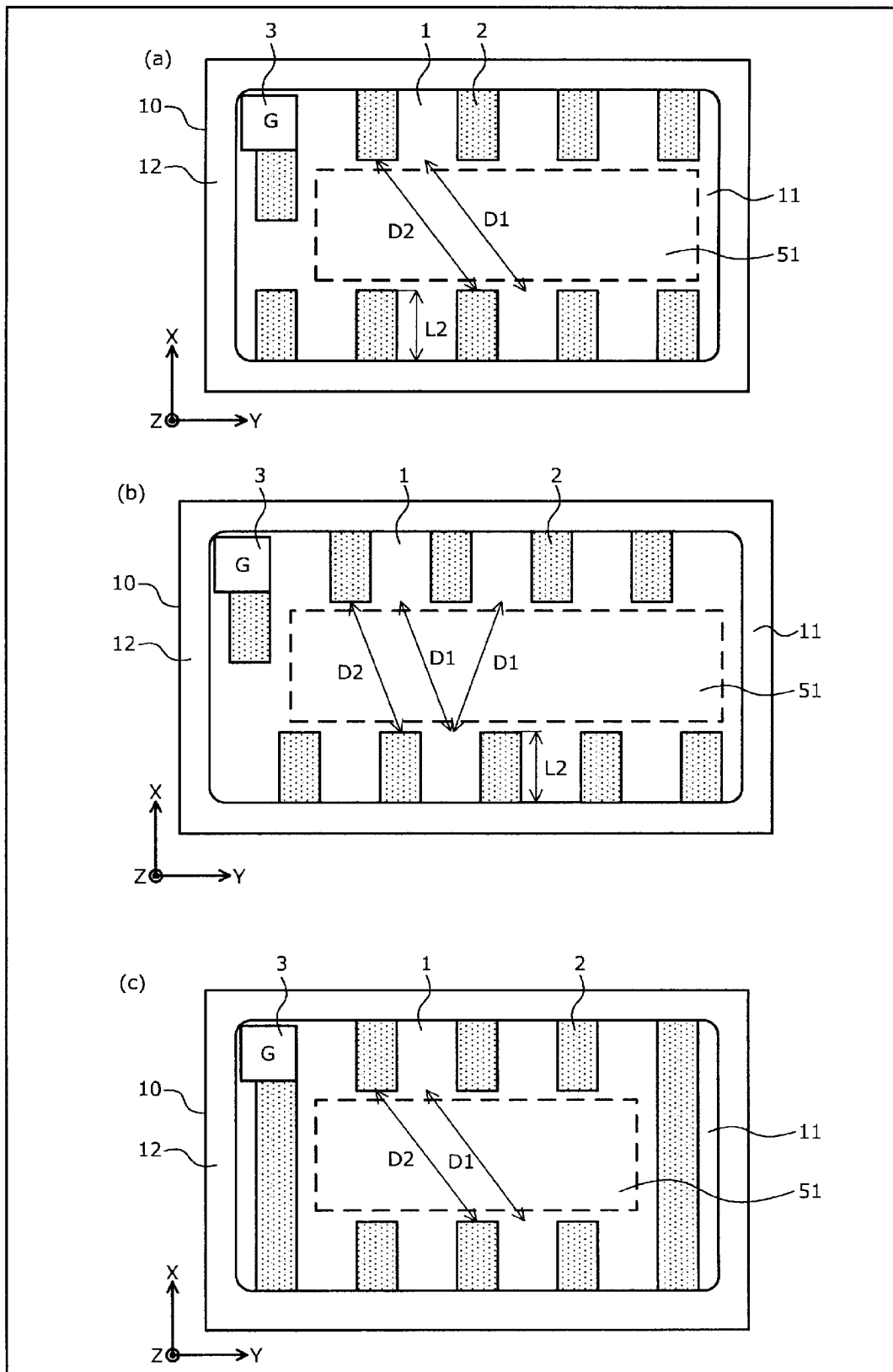


[illegible]

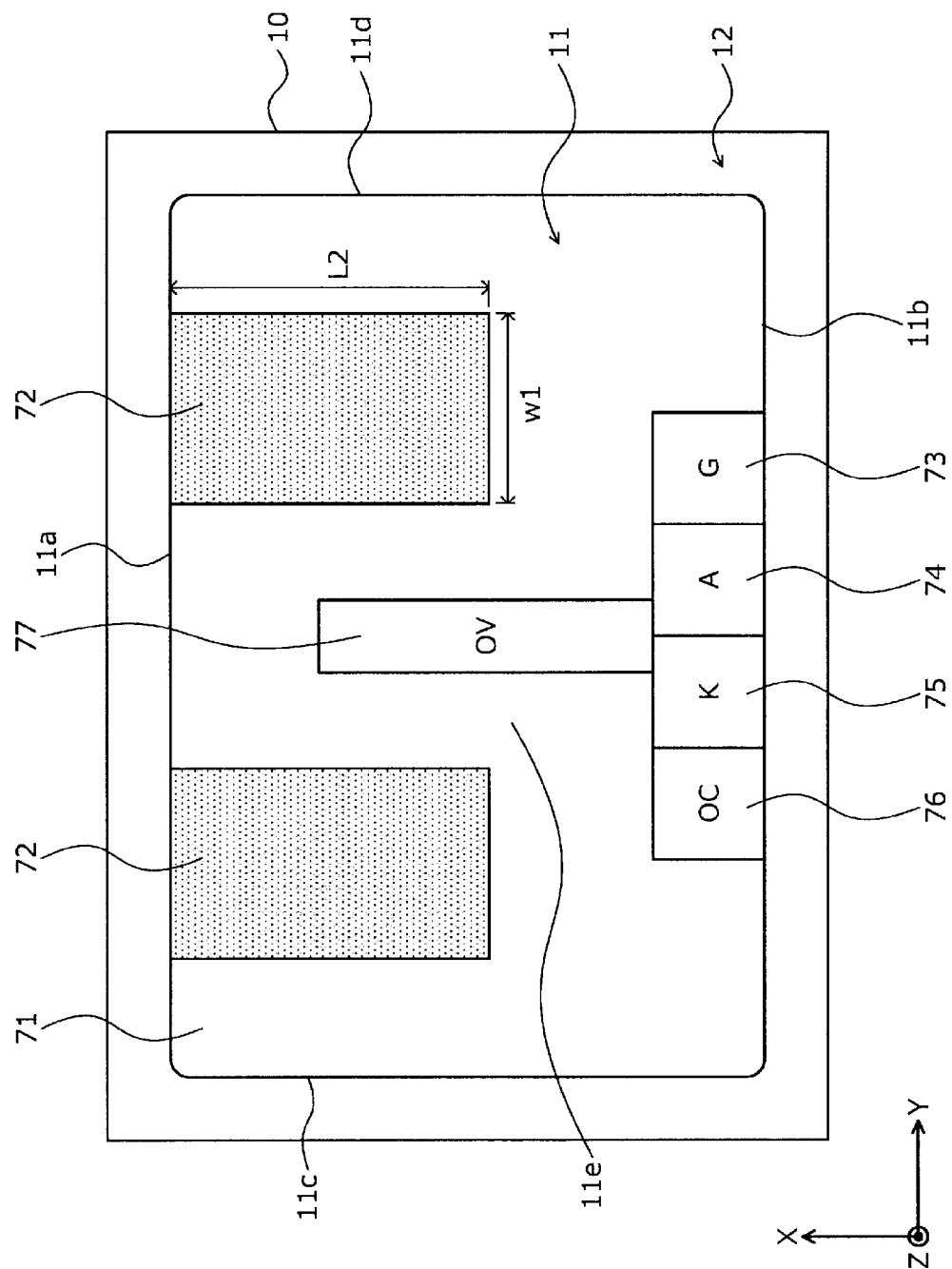
[図6]



[図7]

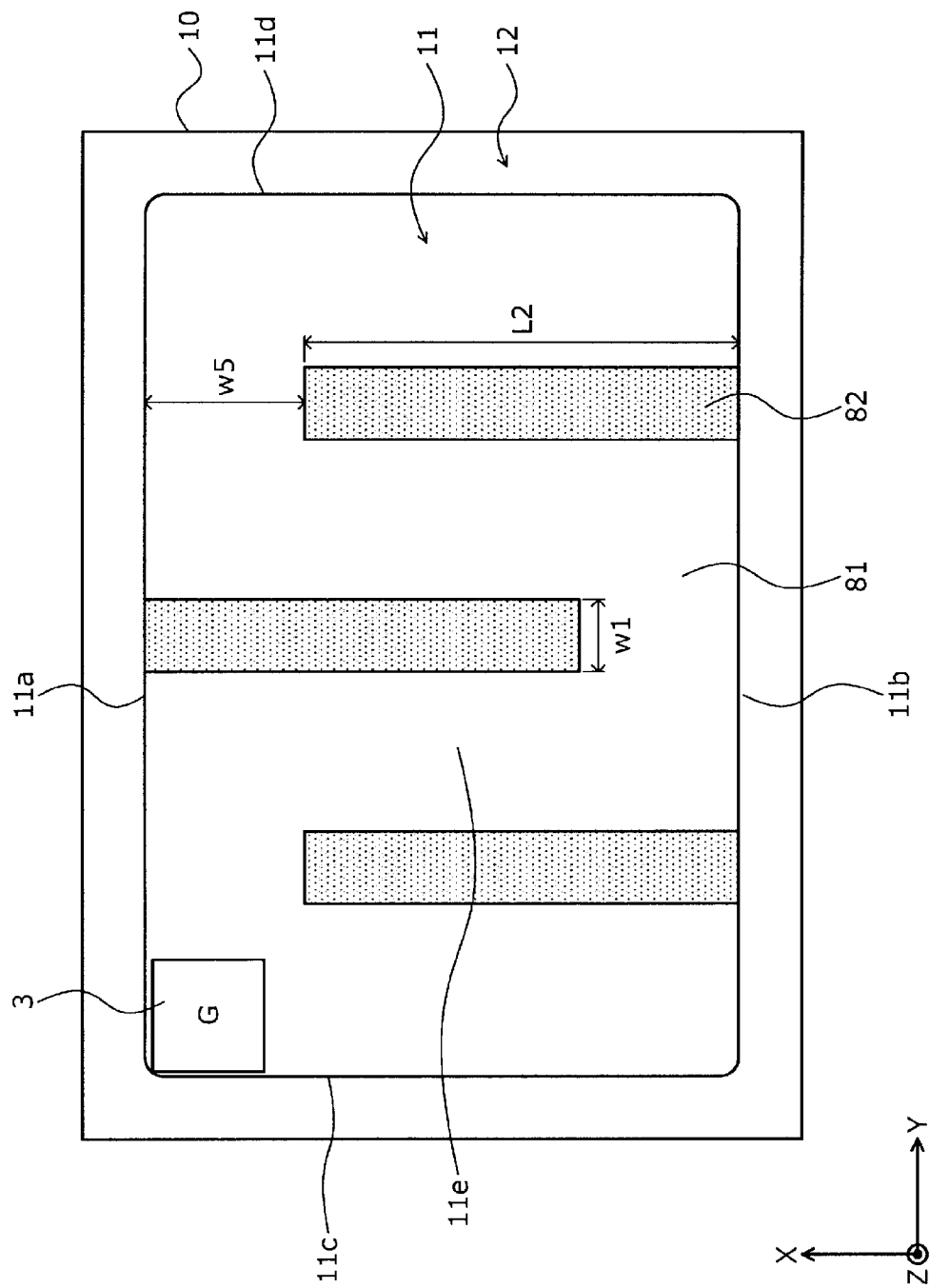


[図8]

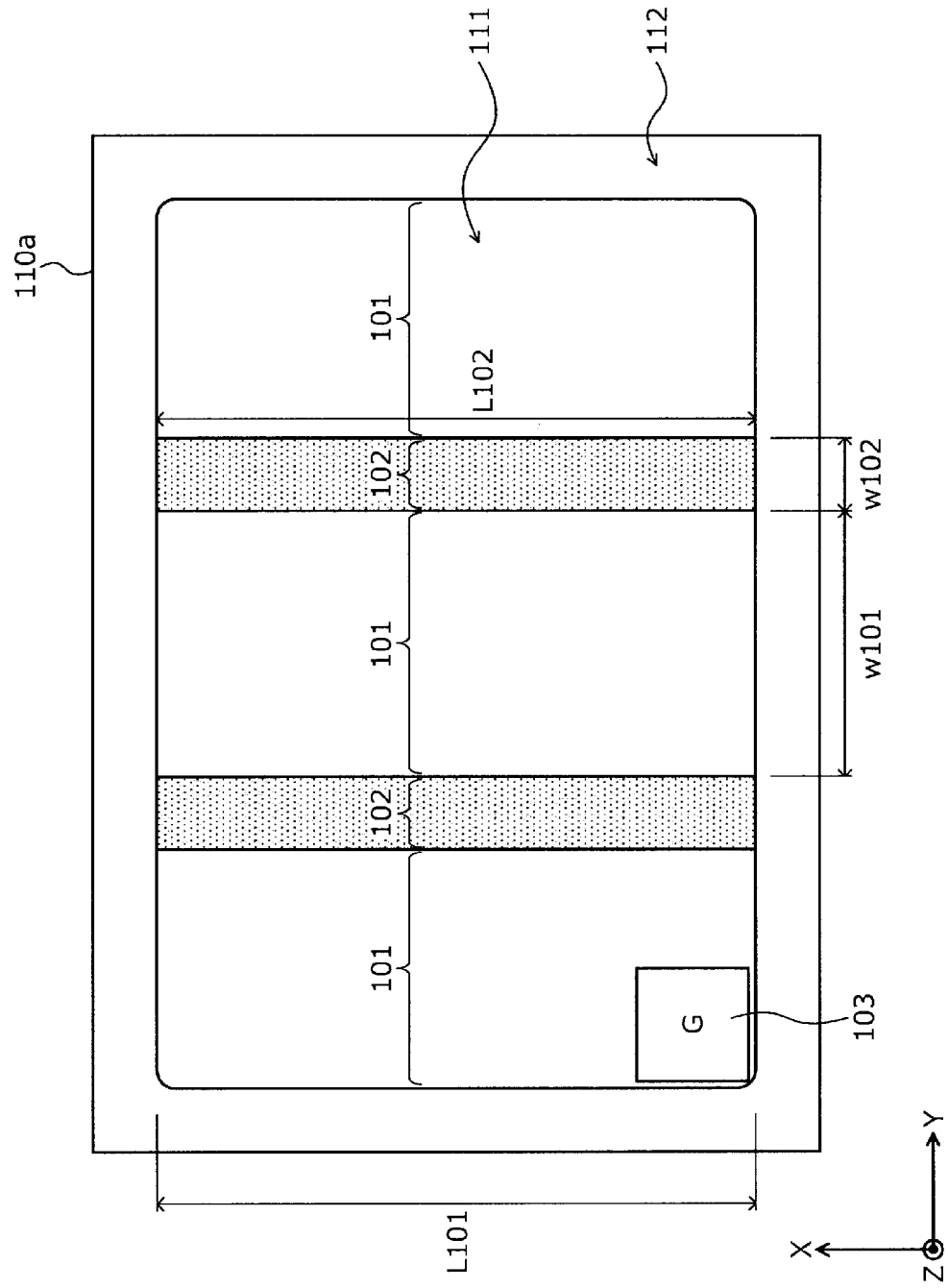


[illegible]

[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/021772

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/739(2006.01)i, H01L21/8234(2006.01)i,
H01L27/06(2006.01)i, H01L29/06(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/739, H01L21/8234, H01L27/06, H01L29/06, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	US 2008/0135871 A1 (INFINEON TECHNOLOGIES) 12 June 2008, paragraphs [0041]-[0085], fig. 1-2, 8D & DE 102006050338 A1	1-7, 11 8-10, 16 12-15
X Y A	JP 2016-96222 A (MITSUBISHI ELECTRIC CORP.) 26 May 2016, paragraphs [0012]-[0029], [0036]-[0041], fig. 1-4, 9-11 & US 2016/0141400 A1, paragraphs [0026]-[0044], [0050]-[0055], fig. 1-4, 9-11 & DE 102015221061 A1 & CN 105609545 A	1, 16 8-10, 16 2-7, 12-15

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 July 2018 (20.07.2018)

Date of mailing of the international search report
31 July 2018 (31.07.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/739(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i, H01L29/06(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/739, H01L21/8234, H01L27/06, H01L29/06, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	US 2008/0135871 A1 (INFINEON TECHNOLOGIES) 2008.06.12, 段落[0041]-[0085], 図 1-2, 8D & DE 102006050338 A1	1-7, 11 8-10, 16 12-15
X Y A	JP 2016-96222 A (三菱電機株式会社) 2016.05.26, 段落[0012]-[0029], [0036]-[0041], 図 1-4, 9-11 & US 2016/0141400 A1, 段落[0026]-[0044], [0050]-[0055], 図 1-4, 9-11 & DE 102015221061 A1 & CN 105609545 A	1, 16 8-10, 16 2-7, 12-15

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

20.07.2018

国際調査報告の発送日

31.07.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

杉山 芳弘

5 F

6311

電話番号 03-3581-1101 内線 3516