



(12) 发明专利

(10) 授权公告号 CN 110912552 B

(45) 授权公告日 2023. 12. 08

(21) 申请号 201910160921.7

(22) 申请日 2019.03.04

(65) 同一申请的已公布的文献号  
申请公布号 CN 110912552 A

(43) 申请公布日 2020.03.24

(30) 优先权数据  
2018-172343 2018.09.14 JP

(73) 专利权人 铠侠股份有限公司  
地址 日本东京都

(72) 发明人 中冢圭祐 佐贯朋也 前田高志  
四方刚 青地英明

(74) 专利代理机构 北京市中咨律师事务所  
11247  
专利代理师 张洁 段承恩

(51) Int.Cl.

H03K 19/0944 (2006.01)

G11C 16/26 (2006.01)

(56) 对比文件

US 2013021839 A1, 2013.01.24

US 2009244950 A1, 2009.10.01

US 2018211700 A1, 2018.07.26

审查员 郑悦

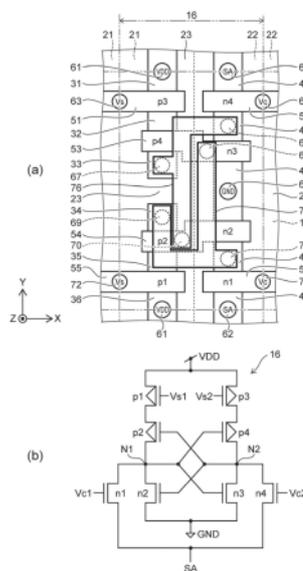
权利要求书2页 说明书17页 附图16页

(54) 发明名称

数据锁存电路以及半导体存储装置

(57) 摘要

实施方式提供能够小型化的数据锁存电路以及半导体存储装置。实施方式的数据锁存电路具备第一n沟道型晶体管以及第一p沟道型晶体管。所述第一n沟道型晶体管的栅与所述第一p沟道型晶体管的栅是共同的。



1. 一种数据锁存电路,具备:

第一n沟道型晶体管;

第二n沟道型晶体管;

第三n沟道型晶体管;

第四n沟道型晶体管;

第一p沟道型晶体管;以及

第二p沟道型晶体管,

所述第一n沟道型晶体管的栅与所述第一p沟道型晶体管的栅是共同的,

所述第二n沟道型晶体管的栅与所述第二p沟道型晶体管的栅是共同的,

所述第三n沟道型晶体管的源和漏中的一方连接于所述第二n沟道型晶体管的栅及所述第二p沟道型晶体管的栅、以及所述第一n沟道型晶体管的源和漏中的一方及所述第一p沟道型晶体管的源和漏中的一方,所述第三n沟道型晶体管的源和漏中的另一方连接于读出放大器,

所述第四n沟道型晶体管的源和漏中的一方连接于所述第一n沟道型晶体管的栅及所述第一p沟道型晶体管的栅、以及所述第二n沟道型晶体管的源和漏中的一方及所述第二p沟道型晶体管的源和漏中的一方,所述第四n沟道型晶体管的源和漏中的另一方连接于所述读出放大器,

对于所述第一p沟道型晶体管的源和漏中的另一方及所述第二p沟道型晶体管的源和漏中的另一方,能够施加第一基准电位,

对于所述第一n沟道型晶体管的源和漏中的另一方及所述第二n沟道型晶体管的源和漏中的另一方,施加第二基准电位,所述第一p沟道型晶体管的源和漏中的一方及所述第二p沟道型晶体管的源和漏中的一方通过绝缘膜相互分离。

2. 根据权利要求1所述的数据锁存电路,

所述第一n沟道型晶体管为驱动器,所述第一p沟道型晶体管为负载。

3. 根据权利要求1所述的数据锁存电路,

所述栅的形状是曲柄状。

4. 根据权利要求1所述的数据锁存电路,

所述第一n沟道型晶体管的源和漏中的另一方及所述第二n沟道型晶体管的源和漏中的另一方为共同的n型层。

5. 根据权利要求4所述的数据锁存电路,

所述绝缘膜是元件分离绝缘膜。

6. 根据权利要求4所述的数据锁存电路,

所述第二n沟道型晶体管以及所述第二p沟道型晶体管共同的第二栅的形状是曲柄状,

所述第一n沟道型晶体管以及所述第一p沟道型晶体管共同的第一栅中的所述第一p沟道型晶体管侧的部分与所述第二栅中的所述第二p沟道型晶体管侧的部分的第一距离,比所述第一栅中的所述第一n沟道型晶体管侧的部分与所述第二栅中的所述第二n沟道型晶体管侧的部分的第二距离大,

所述绝缘膜配置于所述第一栅中的所述第一p沟道型晶体管侧的部分与所述第二栅中的所述第二p沟道型晶体管侧的部分之间。

7. 一种半导体存储装置,具备:  
读出放大器;  
权利要求1至6中任一项所述的数据锁存电路;  
相互隔开间隔地层叠的多层电极膜;  
贯通所述多层电极膜的半导体部件;  
设置在所述电极膜与所述半导体部件之间的电荷蓄积部件;  
连接于所述半导体部件的源线;以及  
连接于所述半导体部件与所述读出放大器之间的位线。
8. 根据权利要求7所述的半导体存储装置,  
所述读出放大器及所述数据锁存电路设置于第一基板,  
所述多层电极膜、所述半导体部件、所述电荷蓄积部件、所述源线及所述位线设置于第二基板,  
所述第一基板与所述第二基板相互贴合。

## 数据锁存电路以及半导体存储装置

[0001] 本申请以日本专利申请2018-172343号(申请日:2018年9月14日)为在先申请而享有优先权。本申请通过参照该在先申请而包括在先申请的全部内容。

### 技术领域

[0002] 实施方式涉及数据锁存电路以及半导体存储装置。

### 背景技术

[0003] 近年来,在搭载有NAND型闪速存储器(flash memory)的半导体存储装置中,为了读取蓄积在各存储单元(memory cell)中的数据而使用了读出放大器(sense amplifier)。如果既要对存储单元进行高集成化又要维持数据传输速度,则连接于读出放大器的数据锁存电路的数量会增加,整体的面积会增大。

### 发明内容

[0004] 实施方式提供能够小型化的数据锁存电路以及半导体存储装置。

[0005] 实施方式所涉及的数据锁存电路具备第一n沟道型晶体管以及第一p沟道型晶体管。所述第一n沟道型晶体管的栅(gate)与所述第一p沟道型晶体管的栅是共同的。

[0006] 实施方式所涉及的半导体存储装置具备:读出放大器、所述数据锁存电路、相互隔开间隔地层叠的多层电极膜、贯通所述多层电极膜的半导体部件、设置在所述电极膜与所述半导体部件之间的电荷蓄积部件、连接于所述半导体部件的一端的源线、以及连接于所述半导体部件的另一端与所述读出放大器之间的位线。

### 附图说明

[0007] 图1是表示第1实施方式所涉及的数据锁存电路的剖视图。

[0008] 图2是表示第1实施方式所涉及的数据锁存电路的读出放大器电路的俯视图。

[0009] 图3是表示第1实施方式所涉及的数据锁存电路的俯视图。

[0010] 图4的(a)是表示一个数据锁存电路的俯视图,(b)是其电路图。

[0011] 图5是表示第1实施方式所涉及的数据锁存电路的存储单元的剖视图。

[0012] 图6是表示第2实施方式所涉及的数据锁存电路的俯视图。

[0013] 图7的(a)是表示一个数据锁存电路的俯视图,(b)是其电路图。

[0014] 图8是表示第3实施方式所涉及的数据锁存电路中的半导体区域、栅以及接触件的俯视图。

[0015] 图9是表示第3实施方式所涉及的数据锁存电路中的半导体区域、栅、接触件以及第一布线层的俯视图。

[0016] 图10是表示第3实施方式所涉及的数据锁存电路中的半导体区域、栅、接触件、第一布线层、第二布线层以及第三布线层的俯视图。

[0017] 图11是表示第3实施方式所涉及的一个数据锁存电路的俯视图,(a)表示半导体区

域、栅以及接触件, (b)表示(a)和第一布线层, (c)表示(b)和第二布线层以及第三布线层。

[0018] 图12是表示第3实施方式所涉及的四个数据锁存电路的俯视图。

[0019] 图13的(a)是表示第3实施方式所涉及的一个数据锁存电路的俯视图, (b)是其电路图。

[0020] 图14是表示第4实施方式所涉及的四个数据锁存电路中的半导体区域、栅、接触件以及第一布线层的俯视图。

[0021] 图15是表示第4实施方式所涉及的四个数据锁存电路中的半导体区域、栅、接触件、第一布线层以及第二布线层的俯视图。

[0022] 图16是表示第4实施方式所涉及的四个数据锁存电路中的半导体区域、栅、接触件、第一布线层、第二布线层以及第三布线层的俯视图。

[0023] 图17的(a)是表示第4实施方式所涉及的一个数据锁存电路的俯视图, (b)是其电路图。

### 具体实施方式

[0024] (第1实施方式)

[0025] 以下,对第1实施方式进行说明。

[0026] 图1是表示本实施方式所涉及的半导体存储装置的剖视图。

[0027] 图2是表示本实施方式所涉及的半导体存储装置的读出放大器电路的俯视图。

[0028] 图3是表示本实施方式所涉及的数据锁存电路的俯视图。

[0029] 图4的(a)是表示一个数据锁存电路的俯视图, (b)是其电路图。

[0030] 图5是表示本实施方式所涉及的半导体存储装置的存储单元的剖视图。

[0031] 此外,各图是示意性的图,适当地省略或者强调了构成要素。另外,在图之间,各构成要素的数量以及尺寸比可以不一致。

[0032] 如图1所示,在本实施方式所涉及的半导体存储装置1中设置有控制电路板10以及存储器阵列基板80。在控制电路板10中层叠有硅基板11和层间绝缘膜12,在存储器阵列基板80中层叠有硅基板81和层间绝缘膜82。控制电路板10与存储器阵列基板80以层间绝缘膜12与层间绝缘膜82彼此相对的方向贴合。

[0033] 首先,对控制电路板10进行说明。

[0034] 如图2所示,在控制电路板10中,在硅基板11的上层部分与层间绝缘膜12(参照图1)内形成有控制电路。在控制电路中设有读出放大器区域13,在读出放大器区域13中设置有多数读出放大器电路14。在各读出放大器电路14中,一个读出放大器15与多个、例如五个数据锁存电路16排列成一列。读出放大器15按序检测从存储器阵列基板80传递来的电信号作为二值数据。各数据锁存电路16临时保持读出放大器15检测出的数据。此外,在图2、图3、图4的(a)中,为了便于图示,省略了层间绝缘膜12。

[0035] 以下,关于控制电路板10,为了便于说明,采用XYZ直角坐标系。以排列有多数读出放大器电路14的方向为“X方向”,以在各读出放大器电路14中排列有读出放大器15以及数据锁存电路16的方向为“Y方向”,以与X方向以及Y方向双方正交的方向为“Z方向”。也将Z方向中的从硅基板11朝向层间绝缘膜12的方向称为“上”、将其相反方向称为“下”,但是该表现是为了便于描述的,与重力的方向无关。

[0036] 如图2以及图3所示,在读出放大器区域13中,多个数据锁存电路16沿着X方向以及Y方向排列成矩阵状。沿着Y方向排列的多个数据锁存电路16属于相同的读出放大器电路14,沿着X方向排列的多个数据锁存电路16属于不同的读出放大器电路14。沿着Y方向排列的多个数据锁存电路16的布局相同。另一方面,在X方向上相邻的数据锁存电路16的布局彼此成为镜像。

[0037] 如图4的(a)所示,在硅基板11上设置有导电类型为n型的多个n阱21与导电类型为p型的多个p阱22。n阱21与p阱22沿着X方向交替地排列。各n阱21以及各p阱22在Y方向上延伸,在沿着Y方向排列的所有数据锁存电路16的范围配置。各数据锁存电路16通过跨在X方向上相邻的一个n阱21和一个p阱22而形成。某个数据锁存电路16与配置在X方向的一侧的其他数据锁存电路16共用一个n阱21,与配置在X方向的另一侧的其他数据锁存电路16共用p阱22。

[0038] 以下,对各数据锁存电路16的构成进行说明。

[0039] 如图3以及图4的(a)所示,在各数据锁存电路16中,在n阱21上设置有导电类型为p型的p型层31~36。p型层31~36相互隔开间隔,沿着Y方向按照该顺序排列成一行。p型层36与p型层31于在Y方向上相邻的数据锁存电路16之间连续。另外,n阱21的一部分分别介于p型层31与p型层32之间、p型层32与p型层33之间、p型层34与p型层35之间、以及p型层35与p型层36之间。另一方面,在p型层33与p型层34之间设置有STI(Shallow Trench Isolation: 元件分离绝缘膜)23。

[0040] 由此,在Y方向上相邻的两个数据锁存电路16中的、一个数据锁存电路16的p型层34、35、36和另一个数据锁存电路16的p型层31、32、33与介于这些p型层之间的n阱21一起形成一个岛状的半导体区域(激活区域)。但是,在由构成各读出放大器电路14的多个数据锁存电路16形成的列的两端部,p型层31~33或者p型层34~36分别形成岛状的半导体区域。

[0041] 另外,在各数据锁存电路16中,在p阱22上设置有导电类型为n型的n型层41~45。n型层41~45相互隔开间隔,沿着Y方向按照该顺序排列成一行。n型层45与n型层41于在Y方向上相邻的数据锁存电路16之间连续。另外,p阱22的一部分分别介于n型层41与n型层42之间、n型层42与n型层43之间、n型层43与n型层44之间、n型层44与n型层45之间。

[0042] 由此,在各p阱22上,沿着Y方向排列的多组n型层41~45与介于这些n型层之间的p阱22一起形成一个线状的半导体区域(激活区域)。

[0043] 在读出放大器区域13内,在分别通过p型层34~36、p型层31~33以及介于这些p型层间的n阱21所形成的多个岛状的半导体区域、和分别通过n型层41~45以及介于这些n型层之间的p阱22所形成的多个线状的半导体区域的彼此之间,配置有STI23。

[0044] 在各数据锁存电路16中设置有栅51~56。栅51~56大致在X方向上延伸,横穿上所述的半导体区域。在栅51~56与半导体区域之间设置有栅绝缘膜(未图示)。以下,对栅51~56与p型层31~36以及n型层41~45的位置关系进行说明。

[0045] 如图3所示,栅51配置为横穿n阱21中的p型层31与p型层32之间的部分的紧上方区域。在X方向上相邻的数据锁存电路16中,栅51是共同的。即,在X方向上延伸的一个栅51配置于,在X方向上相邻且布局彼此为镜像的两个数据锁存电路16的每一个中、n阱21中的p型层31与p型层32之间的部分的紧上方区域。具体而言,在将多个数据锁存电路16中的在X方向上相邻且共用n阱21的两个数据锁存电路16作为“数据锁存电路16a”以及“数据锁存电路

16b”时,属于数据锁存电路16a的p型层31a以及p型层32a与属于数据锁存电路16b的p型层31b以及p型层32b共用一个栅51。

[0046] 栅52配置为横穿p阱22中的n型层41与n型层42之间的部分的紧上方区域。在X方向上相邻的数据锁存电路16中,栅52是共同的。即,在X方向上延伸的一个栅52配置于,在X方向上相邻且布局彼此为镜像的两个数据锁存电路16中的每一个的、p阱22中的n型层41与n型层42之间的部分的紧上方区域。具体而言,在将多个数据锁存电路16中的在X方向上相邻且共用p阱22的两个数据锁存电路16作为“数据锁存电路16a”以及“数据锁存电路16c”时,属于数据锁存电路16a的n型层41a以及n型层42a与属于数据锁存电路16c的n型层41c以及n型层42c共用一个栅52。

[0047] 共用栅51的两个数据锁存电路16与共用栅52的两个数据锁存电路16,组合不同。如上述那样,某个数据锁存电路16a与X方向一侧的数据锁存电路16b共用栅51,与X方向另一侧的数据锁存电路16c共用栅52。在整个读出放大器区域13中,栅51与栅52沿着X方向交替地且相互隔开间隔地排列。

[0048] 栅53配置为横穿n阱21中的p型层32与p型层33之间的部分的紧上方区域、以及p阱22中的n型层42与n型层43之间的部分的紧上方区域。从Z方向观察时,栅53的形状例如是曲柄状。

[0049] 栅54配置为横穿n阱21中的p型层34与p型层35之间的部分的紧上方区域、以及p阱22中的n型层43与n型层44之间的部分的紧上方区域。从Z方向观察时,栅54的形状例如是曲柄状。

[0050] 栅55配置为横穿n阱21中的p型层35与p型层36之间的部分的紧上方区域。在X方向上相邻的数据锁存电路16中,栅55是共同的。即,以上述例子而言,栅55在数据锁存电路16a与数据锁存电路16b之间是共同的。

[0051] 栅56配置为横穿p阱22中的n型层44与n型层45之间的部分的紧上方区域。在X方向上相邻的数据锁存电路16中,栅56是共同的。即,以上述例子而言,栅56在数据锁存电路16a与数据锁存电路16c之间是共同的。

[0052] 与上述的栅51和栅52的关系同样地,共用栅55的两个数据锁存电路16与共用栅56的两个数据锁存电路16,组合不同。如上述的那样,某个数据锁存电路16a与X方向一侧的数据锁存电路16b共用栅55,与X方向另一侧的数据锁存电路16c共用栅56。在整个读出放大器区域13中,栅55与栅56沿着X方向交替地且相互隔开间隔地排列。

[0053] 由此,在各数据锁存电路16中,形成四个p沟道型晶体管p1~p4和四个n沟道型晶体管n1~n4。

[0054] 更详细而言是,由p型层31、p型层32、n阱21中的p型层31与p型层32之间的部分、以及栅51,形成了p沟道型晶体管p3。由p型层32、p型层33、n阱21中的p型层32与p型层33之间的部分、以及栅53,形成了p沟道型晶体管p4。由p型层34、p型层35、n阱21中的p型层34与p型层35之间的部分、以及栅54,形成了p沟道型晶体管p2。由p型层35、p型层36、n阱21中的p型层35与p型层36之间的部分、以及栅55,形成了p沟道型晶体管p1。

[0055] 另外,由n型层41、n型层42、p阱22中的n型层41与n型层42之间的部分、以及栅52,形成了n沟道型晶体管n4。由n型层42、n型层43、p阱22中的n型层42与n型层43之间的部分、以及栅53,形成了n沟道型晶体管n3。由n型层43、n型层44、p阱22中的n型层43与n型层44之

间的部分、以及栅54,形成了n沟道型晶体管n2。由n型层44、n型层45、p阱22中的n型层44与n型层45之间的部分、以及栅56,形成了n沟道型晶体管n1。

[0056] 这样,p沟道型晶体管p4与n沟道型晶体管n3共用一个栅53。另外,p沟道型晶体管p2与n沟道型晶体管n2共用一个栅54。

[0057] 在各数据锁存电路16中设置有接触件61~73。

[0058] 接触件61的下端连接于p型层31以及p型层36。接触件62的下端连接于n型层41以及n型层45。接触件61以及62由在Y方向上相邻的两个数据锁存电路16所共用。

[0059] 接触件63的下端连接于栅51。与栅51同样地,接触件63由在X方向上相邻的两个数据锁存电路16所共用。接触件64连接于栅52的下端。与栅52同样地,接触件64由在X方向上相邻的两个数据锁存电路16所共用。

[0060] 接触件65的下端连接于n型层42。接触件66的下端连接于栅53。接触件67的下端连接于p型层33。接触件68的下端连接于n型层43。接触件69的下端连接于p型层34。接触件70的下端连接于栅54。接触件71的下端连接于n型层44。

[0061] 接触件72的下端连接于栅55。与栅55同样地,接触件72由在X方向上相邻的两个数据锁存电路16所共用。接触件73的下端连接于栅56。与栅56同样地,接触件73由在X方向上相邻的两个数据锁存电路16所共用。

[0062] 在各数据锁存电路16中设置有布线76以及布线77。

[0063] 如图4的(a)所示,布线76连接于接触件70的上端、和配置在比该接触件70靠图示中的上侧的接触件65的上端以及接触件67的上端。布线77连接于接触件66的上端、和配置在比该接触件66靠图示中的下侧的接触件71的上端以及接触件69的上端。此外,上述各接触件也可以包括排列在Z方向上的多层接触件,这些多层接触件也可以经由中间布线相连接。例如,接触件61~64、72以及73也可以分别包括排列在Z方向上的2层以上的接触件,并经由与布线76以及77设置在相同层的中间布线来连接。

[0064] 各晶体管如上述那样接线的结果为,在各数据锁存电路16中,构成图4的(b)所示的电路。

[0065] 即,p沟道型晶体管p1的源(source)和漏(drain)中的一方与p沟道型晶体管p2的源和漏中的一方由于为共同的p型层35,因此彼此相连接。p沟道型晶体管p2的源和漏中的另一方经由接触件69、布线77、接触件71而连接于n沟道型晶体管n1的源和漏中的一方以及n沟道型晶体管n2的源和漏中的一方,并且经由接触件69、布线77、接触件66而连接于p沟道型晶体管p4以及n沟道型晶体管n3的共同栅53。

[0066] 另一方面,p沟道型晶体管p3的源和漏中的一方与p沟道型晶体管p4的源和漏中的一方由于为共同的p型层32,因此彼此相连接。p沟道型晶体管p4的源和漏中的另一方经由接触件67、布线76、接触件65而连接于n沟道型晶体管n4的源和漏中的一方以及n沟道型晶体管n3的源和漏中的一方,并且经由接触件67、布线76、接触件70而连接于p沟道型晶体管p2以及n沟道型晶体管n2的共同栅54。

[0067] 另外,对于p沟道型晶体管p1的源和漏中的另一方(p型层36)、以及p沟道型晶体管p3的源和漏中的另一方(p型层31),经由接触件61而被施加作为第一基准电位的电源电位VDD。n沟道型晶体管n2的源和漏中的另一方、以及n沟道型晶体管n3的源和漏中的另一方是共同的n型层43,经由接触件68而被施加作为第二基准电位的接地电位GND。此外,第二基准

电位不限于接地电位,但是为比第一基准电位低的电位。

[0068] 对于n沟道型晶体管n1的栅56、以及n沟道型晶体管n4的栅52,分别经由接触件73以及接触件64而被输入控制信号Vc。对于p沟道型晶体管p1的栅55以及p沟道型晶体管p3的栅51,分别经由接触件72以及接触件63而被输入选择信号Vs1以及Vs2。n沟道型晶体管n1的源和漏中的另一方(n型层45)、以及n沟道型晶体管n4的源和漏中的另一方(n型层41)能够经由接触件62连接于读出放大器15,并被施加从读出放大器15输出的数据信号SA。在数据锁存电路16中,n沟道型晶体管n1以及n4作为传输门、n沟道型晶体管n2以及n3作为驱动器、p沟道型晶体管p1~p4作为负载而发挥作用。

[0069] 接下来,对存储器阵列基板80进行说明。

[0070] 如图5所示,在存储器阵列基板80中,硅基板81上设置有由导电性材料构成的源线83。在源线83上设置有层叠体85。在层叠体85中,交替地层叠有绝缘膜86与电极膜87。

[0071] 在层叠体85内设置有在绝缘膜86与电极膜87的层叠方向上延伸的芯(core)部件90。芯部件90例如由硅氧化物等绝缘性材料构成。芯部件90的形状为柱状,例如为大致圆柱状。在芯部件90的周围以及下表面上设置有硅柱91。硅柱91的下端连接于源线83。

[0072] 隧道绝缘膜92、电荷蓄积膜93、阻挡绝缘膜94按照该顺序层叠在硅柱91的周围。隧道绝缘膜92通常为绝缘性,但当被施加处于半导体存储装置1的驱动电压的范围内的预定电压时则是流通隧道电流的膜,例如是单层的硅酸化膜、或者硅酸化层、硅窒化层以及硅酸化层按照该顺序层叠而成的ONO膜。

[0073] 电荷蓄积膜93是具有蓄积电荷的能力的膜,例如由包含电子的捕获位置(trap site)的材料构成,例如由硅氧化物构成。此外,作为电荷蓄积部,也可以代替绝缘性的电荷蓄积膜93而设置导电性的浮置栅电极。在该情况下,浮置栅电极按照各电极膜87被分割。阻挡绝缘膜94是即使在半导体存储装置1的驱动电压的范围内被施加电压实质上也不会流通电流的膜。阻挡绝缘膜94例如包含介电常数比硅氧化物高的材料。

[0074] 在层叠体85的侧方以及上方设置有层间绝缘膜82。在层间绝缘膜82内且在层叠体85上设置有插塞96以及位线97。硅柱91的上端经由插塞96连接于位线97。位线97连接于控制电路基板10的读出放大器15(参照图2)。

[0075] 根据这种构成,在电极膜87与硅柱91的每个交叉部分形成存储单元晶体管。在存储单元晶体管中,硅柱91为沟道,电极膜87为栅,阻挡绝缘膜94为栅绝缘膜。而且,通过将电荷蓄积于电荷蓄积膜93来改变存储单元晶体管的阈值,存储数据。存储单元晶体管的阈值例如能够取8个水准的值。由此,能够在一个存储单元晶体管中存储3比特的数据。

[0076] 接下来,对本实施方式所涉及的半导体存储装置的工作进行说明。

[0077] 如图4的(b)所示,在初始状态时,选择信号Vs1以及Vs2、控制信号Vc1以及Vc2、数据信号SA均为“L”(低电平)。因此,p沟道型晶体管p1以及p3为导通(ON)状态,n沟道型晶体管n1以及n4为截止(OFF)状态。

[0078] 从该状态,对于保持数据的数据锁存电路16,使选择信号Vs2为“H”(高电平),从而使p沟道晶体管p3为截止状态。另外,使控制信号Vc2为“H”,从而使n沟道型晶体管n4为导通状态。由此,p沟道型晶体管p4与n沟道型晶体管n3的连接点N2的电位变为“L”。其结果,p沟道型晶体管p2变为导通状态,n沟道型晶体管n2变为截止状态,因而p沟道型晶体管p2与n沟道型晶体管n2的连接点N1的电位变为“H”。由此,p沟道型晶体管p4变为截止状态,n沟道型

晶体管n3变为导通状态,因此连接点N2的电位稳定保持“L”。之后,使选择信号Vs2恢复为“L”,使p沟道晶体管p3为导通状态。另外,使控制信号Vc2恢复为“L”,使n沟道型晶体管n4为截止状态。

[0079] 如图5所示,当从存储单元晶体管读取数据时,电流在源线83与位线97之间流通,且该电流被输入到图2所示的读出放大器电路14的读出放大器15。读出放大器15基于输入的电流来检测值,并将其作为数据信号SA向数据锁存电路16输出。此时,读出放大器15暂时使数据信号SA为“H”,之后输出原本的数据信号SA。接下来,使控制信号Vc1为“H”,使n沟道型晶体管n1为导通状态,由此将数据信号SA的值写入到数据锁存电路16。

[0080] 在数据信号SA为“H”的情况下,n沟道型晶体管n1为导通状态,因而连接点N1的电位保持“H”不变,因此,连接点N2的电位被固定保持为“L”。

[0081] 在数据信号SA为“L”的情况下,n沟道型晶体管n1为导通状态,因而连接点N1的电位变为“L”。由此,p沟道型晶体管p4变为导通状态,n沟道型晶体管n3变为截止状态。因此,连接点N2的电位变为“H”。由此,p沟道型晶体管p2变为截止状态,n沟道型晶体管n2变为导通状态。其结果,连接点N1的电位固定于“L”。

[0082] 总之,在数据信号SA为“H”的情况下,连接点N1的电位固定于“H”,连接点N2的电位固定于“L”。另一方面,在数据信号SA为“L”的情况下,连接点N1的电位固定于“L”,连接点N2的电位固定于“H”。由此,数据锁存电路16能够存储数据信号SA的电位,能够保持数据信号SA所表示的值。例如,通过使数据信号SA的电位“H”与值“0”对应、使电位“L”与值“1”对应,能够保持二值数据。

[0083] 接下来,对本实施方式的效果进行说明。

[0084] 在本实施方式中,由一个栅53实现了p沟道型晶体管p4的栅以及n沟道型晶体管n3的栅双方。另外,由一个栅54实现了p沟道型晶体管p2的栅以及n沟道型晶体管n2的栅双方。由此,能够减少数据锁存电路16内的栅的个数,实现数据锁存电路16的小型化。

[0085] 另外,在各数据锁存电路16内,将p沟道型晶体管p1~p4和n沟道型晶体管n1~n4分开地配置在X方向上,使在X方向上相邻的数据锁存电路16的布局彼此为镜像。由此,能够在X方向上相邻的数据锁存电路16之间,使栅51、52、55、56共同化。由此,也能够实现数据锁存电路16的小型化。

[0086] 再者,在本实施方式中,将包括读出放大器区域13的控制电路设置于控制电路基板10,将存储单元晶体管设置于存储器阵列基板80。这样,将控制电路形成于专用基板时,由于在其制造过程中不会受到形成存储单元晶体管所需的热历程,因此能够使p沟道型晶体管p1~p4以及n沟道型晶体管n1~n4本身精细化。由此,也能够使数据锁存电路16小型化。

[0087] 通过使数据锁存电路16小型化,能够使读出放大器电路14小型化,进而使整个半导体存储装置1小型化。反之,假如将读出放大器电路14的面积设为一定的,则能够通过各读出放大器电路14来设置许多数据锁存电路16。由此,即使伴随存储单元晶体管的精细化,沟道面积变小、蓄积在电荷蓄积膜93的电子增减一个引起的阈值的变动增大、数据的写入及读取所需的时间增长,由于各读出放大器电路14能够保持许多数据,因此也能够保持数据的传输速度恒定。

[0088] (第2实施方式)

[0089] 接下来,对第2实施方式进行说明。

[0090] 图6是表示本实施方式所涉及的数据锁存电路的俯视图。

[0091] 图7的(a)是表示一个数据锁存电路的俯视图,(b)是其电路图。

[0092] 如图6以及图7的(a)所示,本实施方式所涉及的半导体存储装置2与所述第1实施方式所涉及的半导体存储装置1(参照图1~图5)相比,p沟道型晶体管p1~p4以及n沟道型晶体管n1~n4的构成相同,但是布线的形状不同。其结果是,形成本实施方式所涉及的数据锁存电路18的区域与形成第1实施方式所涉及的数据锁存电路16的区域不同。

[0093] 以下,具体地进行说明。

[0094] 在本实施方式的读出放大器区域13中,n阱21、p阱22、p型层31~36、n型层41~45、栅51~56、接触件61~73的形状、位置关系以及连接关系与第1实施方式是同样的。

[0095] 但是,在本实施方式中,代替第1实施方式的布线76以及布线77而设置有布线78以及布线79。布线78连接于接触件70的上端、和配置在比该接触件70靠图示中的下侧的接触件65的上端以及接触件67的上端。布线79连接于接触件66的上端、和配置在比该接触件66靠图示中的上侧的接触件71的上端以及接触件69的上端。

[0096] 由此,各数据锁存电路18对应于矩形区域,该矩形区域与包括配置于n阱21且由STI23围绕周围的一个岛状的半导体区域、以及和配置在于p阱22的带状的半导体区域的一部分的、矩形区域相对应。在岛状的半导体区域内中,p型层34、35、36、31、32、33按照该顺序排列。p型层36与p型层31相连续,但是其他的p型层相互隔开间隔,n阱21的一部分介于相邻的p型层之间。在带状的半导体区域的一部分中,n型层43、44、45、41、42按照该顺序排列。n型层45与n型层41相连续,但是其他的n型层相互隔开间隔,p阱22的一部分介于相邻的n型层之间。

[0097] 如图7的(b)所示,根据这种构成,也能够实现与第1实施方式同样的电路。

[0098] 本实施方式中的上述以外的构成、工作以及效果与所述的第1实施方式是同样的。

[0099] (第3实施方式)

[0100] 接下来,对第3实施方式进行说明。

[0101] 图8是表示本实施方式所涉及的数据锁存电路中的半导体区域、栅以及接触件的俯视图。

[0102] 图9是表示本实施方式所涉及的数据锁存电路中的半导体区域、栅、接触件以及第一布线层的俯视图。

[0103] 图10是表示本实施方式所涉及的数据锁存电路中的半导体区域、栅、接触件、第一布线层、第二布线层以及第三布线层的俯视图。

[0104] 图11的(a)~(c)是表示本实施方式所涉及的一个数据锁存电路的俯视图,(a)表示半导体区域、栅以及接触件,(b)表示(a)和第一布线层,(c)表示(b)和第二布线层以及第三布线层。

[0105] 图12是表示本实施方式所涉及的四个数据锁存电路的俯视图。

[0106] 图13的(a)是表示本实施方式所涉及的一个数据锁存电路的俯视图,(b)是其电路图。

[0107] 此外,图8~图10是概略地表示多个数据锁存电路之间的布局的关系的图,为了使图易于查看,省略了各数据锁存电路的详细构成的一部分。另一方面,图11的(a)~(c)以及

图13的(b)是详细表示一个数据锁存电路的构成的图,并没有示出与其他数据锁存电路之间的关系。图12表示它们的中间概念,示出了两行两列的四个数据锁存电路。

[0108] 本实施方式所涉及的半导体存储装置3与所述第1实施方式所涉及的半导体存储装置1(参照图1~图5)相比,数据锁存电路的构成不同。存储器阵列基板80的构成与第1实施方式是同样的。

[0109] 首先,对设置在硅基板11上的阱、n型层、p型层以及栅进行说明。

[0110] 如图8所示,在本实施方式所涉及的半导体存储装置3中,n阱21与p阱22在硅基板11上沿着X方向交替地排列。各n阱21以及各p阱22在Y方向上延伸。而且,各数据锁存电路116设于一个n阱21和配置在其两侧的两个p阱22的各自的一半区域上。数据锁存电路116在X方向上的长度等于一个n阱21的长度和一个p阱22的长度的合计。

[0111] 在半导体存储装置3的读出放大器区域13中,多个数据锁存电路116沿着X方向以及Y方向排列成矩阵状。在X方向上相邻的两个数据锁存电路116的布局彼此为镜像,在Y方向上相邻的两个数据锁存电路116的布局也彼此为镜像。

[0112] 对于图11的(a)~(c)以及图13的(a),为了便于说明,将各数据锁存电路116所包含的p阱22分成p阱22a以及p阱22b进行说明。在各数据锁存电路116内,p阱22a与p阱22b经由n阱21相互隔开间隔。另一方面,某个数据锁存电路116的p阱22a和在X方向上与该数据锁存电路116相邻的数据锁存电路116的p阱22b连续。

[0113] 如图11的(a)所示,在p阱22a上设置有导电类型为n型的n型层141~143。n型层141~143相互隔开间隔,沿着Y方向按照该顺序排列成一列。在Y方向上相邻的数据锁存电路116中,n型层141彼此连续,n型层143也彼此连续。另外,p阱22a的一部分分别介于n型层141与n型层142之间、n型层142与n型层143之间。

[0114] 由此,在各p阱22a上,沿着Y方向排列的多组n型层141~143与介于这些n型层之间的p阱22a一起形成一个线状的半导体区域(激活区域)111。半导体区域111包括各数据锁存电路116中的n型层141、p阱22a中的n型层141与n型层142之间的部分、n型层142、p阱22a中的n型层142与n型层143之间的部分、以及n型层143。一个半导体区域111在沿着Y方向排列的多个数据锁存电路116的范围在Y方向上延伸。

[0115] 在n阱21上设置有导电类型为p型的p型层131以及132。p型层131与p型层132在Y方向上隔开间隔。在Y方向上相邻的数据锁存电路116中,p型层132彼此连续。n阱21的一部分介于p型层131与p型层132之间。

[0116] 由此,在各n阱21上,在Y方向上相邻的两个数据锁存电路116上,p型层131、n阱21中的p型层131与p型层132之间的部分、共同的p型层132、n阱21中的p型层132与p型层131之间的部分、以及p型层131沿着Y方向按照该顺序连续地排列,形成岛状的半导体区域(激活区域)112。

[0117] 另外,在n阱21上设置有导电类型为p型的p型层133以及134。p型层133与p型层134在Y方向上隔开间隔。在Y方向上相邻的数据锁存电路116中,p型层133彼此连续。n阱21的一部分介于p型层133与p型层134之间。

[0118] 由此,在各n阱21上,在Y方向上相邻的两个数据锁存电路116上,p型层134、n阱21中的p型层134与p型层133之间的部分、共同的p型层133、n阱21中的p型层133与p型层134之间的部分、以及p型层134沿着Y方向按照该顺序连续地排列,形成岛状的半导体区域(激活

区域) 113。

[0119] 在p阱22b上设置有导电类型为n型的n型层144~146。n型层144~146相互隔开间隔,沿着Y方向按照该顺序排列成一行。在Y方向上相邻的数据锁存电路116中,n型层144彼此连续,n型层146也彼此连续。另外,p阱22b的一部分分别介于n型层144与n型层145之间、n型层145与n型层146之间。

[0120] 由此,在各p阱22b上,沿着Y方向排列的多组n型层144~146与介于这些n型层之间的p阱22b一起形成一个线状的半导体区域(激活区域) 114。半导体区域114包括各数据锁存电路116中的n型层144、p阱22b中的n型层144与n型层145之间的部分、n型层145、p阱22b中的n型层145与n型层146之间的部分、以及n型层146。一个半导体区域114在沿着Y方向排列的多个数据锁存电路116的范围延伸。

[0121] 在整个读出放大器区域13内,半导体区域111沿着Y方向连续地延伸。半导体区域112沿着Y方向断续地排列成一行。半导体区域113也沿着Y方向断续地排列成一行。半导体区域114沿着Y方向连续地延伸。

[0122] 半导体区域111~114沿着X方向按照该顺序排列,相互隔开间隔。n型层141、p型层133、以及n型层144在Y方向上的位置彼此大致相同,n型层142、p型层131、p型层134、以及n型层145在Y方向上的位置彼此大致相同,n型层143、p型层132、以及n型层146在Y方向上的位置彼此大致相同。

[0123] 在半导体区域111~114彼此之间配置有STI23。共用半导体区域112的两个数据锁存电路116与共用半导体区域113的两个数据锁存电路116,组合不同。即,某个数据锁存电路116与Y方向一侧的数据锁存电路116共用半导体区域112,与Y方向另一侧的数据锁存电路116共用半导体区域113。

[0124] 在各数据锁存电路116中设置有栅151~154。栅151~154在大致X方向上延伸,横穿上述半导体区域111~114。从Z方向观察时,栅151~154的形状是在X方向上延伸的带状。在栅151~154与半导体区域111~114之间设置有栅绝缘膜(未图示)。以下,对栅151~154与半导体区域111~114的位置关系进行说明。

[0125] 栅151横穿半导体区域111。具体而言,栅151的一部分配置于p阱22a中的n型层141与n型层142之间的部分的紧上方区域。在X方向上相邻的数据锁存电路116中,栅151是共同的。即,在X方向上相邻且布局彼此为镜像的两个数据锁存电路116的每一个中,在X方向上延伸的一个栅151横穿半导体区域111。

[0126] 栅152横穿半导体区域111以及半导体区域112。具体而言,栅152的一部分配置于p阱22a中的n型层142与n型层143之间的部分的紧上方区域,另一部分配置于n阱21中的p型层131与p型层132之间的部分的紧上方区域。栅152配置在各数据锁存电路116的内部,并没有跨在相邻的数据锁存电路116之间。

[0127] 栅153横穿半导体区域113以及半导体区域114。具体而言,栅153的一部分配置于n阱21中的p型层133与p型层134之间的部分的紧上方区域,另一部分配置于p阱22b中的n型层144与n型层145之间的部分的紧上方区域。栅153配置在各数据锁存电路116的内部,并没有跨在相邻的数据锁存电路116之间。

[0128] 栅154横穿半导体区域114。具体而言,栅154的一部分配置于p阱22b中的n型层145与n型层146之间的部分的紧上方区域。在X方向上相邻的数据锁存电路116中,栅154是共同

的。即,在X方向上相邻且布局彼此为镜像的两个数据锁存电路116的每一个中,在X方向上延伸的一个栅154横穿半导体区域114。

[0129] 共用栅151的两个数据锁存电路116与共用栅154的两个数据锁存电路116,组合不同。某个数据锁存电路116与X方向一侧的数据锁存电路116共用栅151,与X方向另一侧的数据锁存电路116共用栅154。在整个读出放大器区域13中,栅151与栅153沿着X方向排列成一列,栅152与栅154沿着X方向排列成一列。

[0130] 如图13的(a)以及(b)所示,通过上述构成,在各数据锁存电路116中,形成两个p沟道型晶体管p2以及p4和四个n沟道型晶体管n1~n4。

[0131] 更详细而言是,由n型层141、n型层142、p阱22a中的n型层141与n型层142之间的部分、以及栅151,形成了n沟道型晶体管n1。由n型层142、n型层143、p阱22a中的n型层142与n型层143之间的部分、以及栅152,形成了n沟道型晶体管n2。由n型层144、n型层145、p阱22b中的n型层144与n型层145之间的部分、以及栅153,形成了n沟道型晶体管n3。由n型层145、n型层146、p阱22b中的n型层145与n型层146之间的部分、以及栅154,形成了n沟道型晶体管n4。

[0132] 另外,由p型层131、p型层132、n阱21中的p型层131与p型层132之间的部分、以及栅152,形成了p沟道型晶体管p2。由p型层133、p型层134、n阱21中的p型层133与p型层134之间的部分、以及栅153,形成了p沟道型晶体管p4。

[0133] 这样,n沟道型晶体管n2与p沟道型晶体管p2共用一个栅152。n沟道型晶体管n3与p沟道型晶体管p4共用一个栅153。另外,设置于在X方向上相邻的两个数据锁存电路116的两个n沟道型晶体管n1共用一个栅151。设置于在X方向上相邻的两个数据锁存电路116的两个n沟道型晶体管n4共用一个栅154。

[0134] 接下来,对接触件进行说明。

[0135] 如图11的(a)、图12、图13的(a)所示,在各数据锁存电路116中设置有接触件161~172。从Z方向观察时,接触件165以及接触件168的形状为Y方向的长度比X方向的长度长的椭圆形。其他的接触件的形状为大致圆形。但是,在图13的(a)中,用圆或者椭圆表示仅属于一个数据锁存电路116的接触件,用半圆表示与相邻的数据锁存电路116共用的接触件。此外,与第1实施方式同样地,各接触件也可以包括排列在Z方向上的多层接触件,这些多层接触件也可以经由中间布线相连接。中间布线也可以设置在与后述的第一布线层121或者第二布线层122相同的层。

[0136] 接触件161的下端连接于栅151。接触件161由在X方向上相邻的两个数据锁存电路116所共用。接触件162的下端连接于n型层141。接触件162由在Y方向上相邻的两个数据锁存电路116所共用。接触件163的下端连接于n型层142。接触件164的下端连接于n型层143。接触件164由在Y方向上相邻的两个数据锁存电路116所共用。这样,接触件162、163、164连接于相同的半导体区域111并沿着Y方向排列。

[0137] 接触件165在Z方向的中间部分连接于栅153,下端连接于p型层131。从Z方向观察时,接触件165的形状为Y方向的长度比X方向的长度长的椭圆形。接触件166的下端连接于p型层132。接触件166由在Y方向上相邻的两个数据锁存电路116所共用。这样,接触件165以及166连接于相同的半导体区域112并沿着Y方向排列。

[0138] 接触件167的下端连接于p型层133。接触件167由在Y方向上相邻的两个数据锁存

电路116所共用。接触件168在Z方向的中间部分连接于栅152,下端连接于p型层134。从Z方向观察时,接触件168的形状为Y方向的长度比X方向的长度长的椭圆形。这样,接触件167以及168连接于相同的半导体区域113并沿着Y方向排列。

[0139] 接触件169的下端连接于n型层144。接触件169由在Y方向上相邻的两个数据锁存电路116所共用。接触件170的下端连接于n型层145。接触件171的下端连接于n型层146。接触件171由在Y方向上相邻的两个数据锁存电路116所共用。这样,接触件169、170、171连接于相同的半导体区域114并沿着Y方向排列。接触件172的下端连接于栅154。接触件172由在X方向上相邻的两个数据锁存电路116所共用。

[0140] 在硅基板11以及栅的上方,第一布线层121、第二布线层122、第三布线层123按照该顺序层叠。即,第一布线层121位于比栅151~154靠上方,第二布线层122位于比第一布线层121靠上层,第三布线层123位于比第二布线层122靠上层。

[0141] 以下,对第一布线层121进行说明。

[0142] 如图9、图11的(b)、图12以及图13的(a)所示,在第一布线层121中设置有布线121a、布线121b、布线121c。在布线121a上设置有基干部121d和分支部121e以及121f。布线121a的基干部121d在各数据锁存电路116的X方向中央部、即半导体区域112与半导体区域113之间在Y方向上延伸。

[0143] 基干部121d设置在沿着Y方向排列的多个数据锁存电路116的整个范围。基干部121d通过栅152的紧上方区域以及栅153的紧上方区域。布线121a的分支部121e从基干部121d向X方向的一侧延伸,并连接于接触件162的上端。分支部121e由在Y方向上相邻的两个数据锁存电路116所共用。布线121a的分支部121f从基干部121d向X方向的另一侧延伸,并连接于接触件171的上端。分支部121f由在Y方向上相邻的两个数据锁存电路116所共用。这样,布线121a经由接触件162连接于n型层141,并且经由接触件171连接于n型层146。

[0144] 布线121b在X方向上延伸,并连接于接触件163的上端以及接触件165的上端。由此,n型层142、p型层131以及栅153经由接触件163、布线121b以及接触件165彼此连接。布线121c也在X方向上延伸,并连接于接触件168的上端以及接触件170的上端。由此,n型层145、p型层134以及栅152经由接触件170、布线121c、接触件168彼此连接。

[0145] 接下来,对第二布线层122进行说明。

[0146] 如图10、图12、图13的(a)所示,在第二布线层122中设置有布线122a以及122b。布线122a以及122b的形状为在X方向上延伸的线状,设置在沿着X方向排列的多个数据锁存电路116的整个范围。

[0147] 布线122a配置为通过栅151的紧上方区域以及栅153的紧上方区域,并连接于接触件161的上端。此外,布线122a也通过接触件165的紧上方区域,但是未连接于接触件165。由此,布线122a经由接触件161连接于栅151。

[0148] 布线122b配置为通过栅152的紧上方区域以及栅154的紧上方区域,并连接于接触件172的上端。此外,布线122b也通过接触件168的紧上方区域,但是未连接于接触件168。由此,布线122b经由接触件172连接于栅154。

[0149] 接下来,对第三布线层123进行说明。

[0150] 如图10、图11的(c)、图12、图13的(a)所示,在第三布线层123中设置有布线123a以及123b。布线123a以及123b的形状为在Y方向上延伸的线状,设置在沿着Y方向排列的多个

数据锁存电路116的整个范围。布线123a以及布线123b沿着X方向交替地排列。

[0151] 布线123a沿着在X方向上相邻的数据锁存电路116的边界线而配置,例如属于在X方向上相邻的两个数据锁存电路116,经由STI23配置在相邻的半导体区域111以及半导体区域114的紧上方区域。布线123a连接于接触件164的上端以及接触件169的上端。由此,布线123a经由接触件164连接于n型层143,并且经由接触件169连接于n型层144。

[0152] 布线123b配置在数据锁存电路116的X方向中央部,例如,配置于各数据锁存电路116的半导体区域112的紧上方区域以及半导体区域113的紧上方区域。布线123b连接于接触件166的上端以及接触件167的上端。由此,布线123b经由接触件166连接于p型层132,并且经由接触件167连接于p型层133。

[0153] 各晶体管如上述那样接线的结果为,在各数据锁存电路116中,构成图13的(b)所示的电路。

[0154] 即,n沟道型晶体管n1的源和漏中的一方与n沟道型晶体管n2的源和漏中的一方是共同的n型层142,因此彼此连接。n型层142经由接触件163、布线121b以及接触件165连接于p沟道型晶体管p2的源和漏中的一方(p型层131)、以及p沟道型晶体管p4以及n沟道型晶体管n3的共同的栅153。

[0155] 同样地,n沟道型晶体管n3的源和漏中的一方与n沟道型晶体管n4的源和漏中的一方是共同的n型层145,因此彼此连接。n型层145经由接触件170、布线121c以及接触件168连接于p沟道型晶体管p4的源和漏中的一方(p型层134)、以及p沟道型晶体管p2以及n沟道型晶体管n2的共同的栅152。

[0156] n沟道型晶体管n1的源和漏中的另一方(n型层141)、以及n沟道型晶体管n4的源和漏中的另一方(n型层146)分别经由接触件162以及接触件171连接于布线121a。布线121a可连接于读出放大器15,被施加从读出放大器15输出的数据信号SA。

[0157] n沟道型晶体管n2的源和漏中的另一方(n型层143)经由接触件164连接于第三布线层123的布线123a。n沟道型晶体管n3的源和漏中的另一方(n型层144)经由接触件169连接于第三布线层123的布线123a。布线123a上被施加作为第二基准电位的接地电位GND。

[0158] p沟道型晶体管p2的源和漏中的另一方(p型层132)经由接触件166连接于第三布线层123的布线123b。p沟道型晶体管p4的源和漏中的另一方(p型层133)经由接触件167连接于第三布线层123的布线123b。布线123b上被施加作为第一基准电位的电源电位VDD。

[0159] n沟道型晶体管n1的栅151通过经由接触件161连接于第二布线层122的布线122a。布线122a上被输入控制信号Vc1被输入到122a上。n沟道型晶体管n4的栅154通过经由接触件172连接于第二布线层122的布线122b。布线122b上被输入控制信号Vc2被输入到122b上。

[0160] 接下来,对本实施方式所涉及的半导体存储装置的动作工作进行说明。

[0161] 如图13的(b)所示,在初始状态时,控制信号Vc1以及Vc2、数据信号SA均为“L”。因此,n沟道型晶体管n1以及n4为截止状态。

[0162] 从该状态,对于保持数据的数据锁存电路116,从该状态使控制信号Vc2为“H”,从而使n沟道型晶体管n4为导通状态。由此,p沟道型晶体管p4与n沟道型晶体管n3的连接点N2的电位变为“L”。其结果是,p沟道型晶体管p2变为导通状态,n沟道型晶体管n2变为截止状态,因此因而p沟道型晶体管p2与n沟道型晶体管n2的连接点N1的电位变为“H”。由此,p沟道型晶体管p4变为截止状态,n沟道型晶体管n3变为导通状态,因此连接点N2的电位稳定保持

“L”。之后,使控制信号Vc2恢复为“L”,使n沟道型晶体管n4为截止状态。

[0163] 而且,读出放大器15暂时使数据信号SA为“H”,之后输出原本的数据信号SA。接下来,使控制信号Vc1为“H”,使n沟道型晶体管n1为导通状态,将数据信号SA的值写入到数据锁存电路116。

[0164] 在数据信号SA为“H”的情况下,由于n沟道型晶体管n1为导通状态,因此因而连接点N1的电位保持“H”不变,因此,连接点N2的电位被固定保持为“L”。

[0165] 在数据信号SA为“L”的情况下,n沟道型晶体管n1为导通状态,因此因而连接点N1的电位变为“L”。由此,p沟道型晶体管p4变为导通状态,n沟道型晶体管n3变为截止状态。因此,连接点N2的电位变为“H”。由此,p沟道型晶体管p2变为截止状态,n沟道型晶体管n2变为导通状态,因此连接点N1的电位被固定为于“L”。

[0166] 由此,在数据信号SA为“H”的情况下,连接点N1的电位被固定于“H”,连接点N2的电位被固定于“L”,在数据信号SA为“L”的情况下,连接点N1的电位被固定于“L”,连接点N2的电位被固定于“H”。其结果是,数据锁存电路116能够保持数据信号SA所表示的值。

[0167] 接下来,对本实施方式的效果进行说明。

[0168] 在本实施方式中,能够通过六个晶体管构成数据锁存电路116。由此,与第1实施方式相比,能够对使数据锁存电路116进行小型化。

[0169] 另外,在本实施方式中,由一个栅152实现了n沟道晶体管n2的栅以及p沟道型晶体管p2的栅双方。另外,由一个栅153实现了n沟道型晶体管n3的栅以及p沟道型晶体管p4的栅双方。由此,能够减少数据锁存电路116内的栅的个数,实现数据锁存电路116的小型化。

[0170] 再者,在本实施方式中,栅151以及栅153的形状为在X方向上延伸的带状,且沿着X方向排列。另外,栅152以及栅154的形状也为在X方向上延伸的带状,且沿着X方向排列。由此,各数据锁存电路116中的栅的列为两列,能够缩小数据锁存电路116在Y方向上的尺寸。

[0171] 再进一步,在本实施方式中,使在X方向上相邻的数据锁存电路116的布局彼此为镜像。由此,能够在X方向上相邻的数据锁存电路116之间,使栅151共同化,并且使栅154共同化。另外,使在Y方向上相邻的数据锁存电路116的布局彼此为镜像。由此,能够在Y方向上相邻的数据锁存电路116之间,分别使n型层141、n型层143、p型层132、p型层133、n型层144、n型层146共同化。由此,也能够实现数据锁存电路16的小型化。

[0172] 本实施方式中的上述以外的构成、工作以及效果与所述第1实施方式是同样的。

[0173] (第4实施方式)

[0174] 接下来,对第4实施方式进行说明。

[0175] 图14是表示本实施方式所涉及的四个数据锁存电路中的半导体区域、栅、接触件以及第一布线层的俯视图。

[0176] 图15是表示本实施方式所涉及的四个数据锁存电路中的半导体区域、栅、接触件、第一布线层以及第二布线层的俯视图。

[0177] 图16是表示本实施方式所涉及的四个数据锁存电路中的半导体区域、栅、接触件、第一布线层、第二布线层以及第三布线层的俯视图。

[0178] 图17的(a)是表示本实施方式所涉及的一个数据锁存电路的俯视图,(b)是其电路图。

[0179] 如图14~图16、图17的(a)所示,本实施方式所涉及的半导体存储装置4与所述第3

实施方式所涉及的半导体存储装置3(参照图8~图13的(b))相比,数据锁存电路118的构成不同。

[0180] 数据锁存电路118中的n阱21、p阱22、p型层131~134、n型层141~146、栅151~154、接触件161~172的形状、位置关系以及连接关系与第3实施方式所涉及的数据锁存电路116是同样的。另一方面,数据锁存电路118与数据锁存电路116相比,第一布线层121、第二布线层122以及第三布线层123的构成不同。另外,在数据锁存电路118中设置有通孔181以及182。

[0181] 首先,对第一布线层121进行说明。

[0182] 如图14以及图17的(a)所示,在数据锁存电路118的第一布线层121中设置有布线121b、布线121c、布线121g、布线121h以及布线121i。布线121b以及布线121c的位置以及形状与第3实施方式是同样的。布线121h连接于接触件162的上端以及通孔181的下端。布线121i连接于接触件171的上端以及通孔182的下端。

[0183] 在布线121g上设置有基干部121j和分支部121m以及121n。布线121g的基干部121j在各数据锁存电路118的X方向的中央部、即半导体区域112与半导体区域113之间在Y方向上延伸。基干部121j设置在沿着Y方向排列的多个数据锁存电路118的整个范围。基干部121j配置为通过栅152的紧上方区域以及栅153的紧上方区域。

[0184] 布线121g的分支部121m从基干部121j向X方向的一侧延伸,并连接于接触件167的上端。分支部121m由在Y方向上相邻的两个数据锁存电路118所共用。布线121g的分支部121n从基干部121j向X方向的另一侧延伸,并连接于接触件166的上端。分支部121n由在Y方向上相邻的两个数据锁存电路118所共用。这样,布线121g经由接触件167连接于p型层133,并且经由接触件166连接于p型层132。

[0185] 接下来,对第二布线层122进行说明。

[0186] 如图15所示,在数据锁存电路118的第二布线层122中设置有布线122c。在布线122c上设置有基干部122d和分支部122e与122f。布线122c的基干部122d在X方向上延伸。基干部122d设置在沿着X方向排列的多个数据锁存电路118的整个范围。基干部122d配置为通过第一布线层121的布线121b的紧上方区域以及布线121c的紧上方区域。

[0187] 布线122c的分支部122e从基干部122d向Y方向的一侧延伸,并连接于接触件161的上端。布线122c的分支部122f从基干部122d向Y方向的另一侧延伸,并连接于接触件172的上端。这样,布线122c经由接触件161连接于栅151,并且经由接触件172连接于栅154。

[0188] 接下来,对第三布线层123进行说明。

[0189] 如图16所示,在数据锁存电路118的第三布线层123中设置有布线123a、123c以及123d。布线123a、123c以及123d的形状为在Y方向上延伸的线状,设置在沿着Y方向排列的多个数据锁存电路118的整个范围。

[0190] 布线123a的位置以及形状与第3实施方式是同样的。即,布线123a沿着在X方向上相邻的数据锁存电路118的边界线而配置,例如属于在X方向相邻的两个数据锁存电路118,经由STI23配置于相邻的半导体区域111以及半导体区域114的紧上方区域。布线123a连接于接触件164的上端以及接触件169的上端。由此,布线123a经由接触件164连接于n型层143,并且经由接触件169连接于n型层144。

[0191] 布线123c配置在半导体区域112的紧上方区域附近,连接于通孔181的上端。由此,

布线123c经由通孔181、布线121h以及接触件162连接于n型层141。

[0192] 布线123d配置在半导体区域113与半导体区域114之间的部分的紧上方区域附近，连接于通孔182的上端。由此，布线123d经由通孔182、布线121i以及接触件172连接于n型层146。

[0193] 各晶体管如上述那样接线的结果为，在各数据锁存电路118中，构成图17的(b)所示的电路。

[0194] 数据锁存电路118中的晶体管间的连接与第3实施方式所涉及的数据锁存电路116是同样的。另外，n沟道型晶体管n2以及n3与接地电位GND的连接也与数据锁存电路116是同样的。

[0195] 另一方面，数据锁存电路118与数据锁存电路116相比，对各晶体管输入电源电位VDD、控制信号Vc、数据信号SA以及bSA的方式不同。另外，数据锁存电路118与数据锁存电路116相比，不同之处在于：数据锁存电路118中的控制信号Vc是共同的；数据信号SA与bSA是互补信号。当数据信号SA与bSA中的一方为“H”时，另一方为“L”。

[0196] p沟道型晶体管p2的源和漏中的另一方(p型层132)经由接触件166以及分支部121n连接于布线121g。p沟道型晶体管p4的源和漏中的另一方(p型层133)经由接触件169以及分支部121m连接于布线121g。布线121g上被施加作为第一基准电位的电源电位VDD。

[0197] n沟道型晶体管n1的栅151经由接触件161连接于布线122c。n沟道型晶体管n4的栅154经由接触件172连接于布线122c。布线122c上被施加共同的控制信号Vc。

[0198] n沟道型晶体管n1的源和漏中的另一方(n型层141)经由接触件162、布线121h以及通孔181连接于布线123b。布线123b上被施加数据信号SA。

[0199] n沟道型晶体管n4的源和漏中的另一方(n型层146)经由接触件171、布线121i以及通孔182连接于布线123c。布线123c上被施加数据信号bSA。

[0200] 接下来，对本实施方式所涉及的半导体存储装置的工作进行说明。

[0201] 如图17的(b)所示，在初始状态时，控制信号Vc、数据信号SA均为“L”。因此，n沟道型晶体管n1以及n4为截止状态。从该状态，对于保持数据的数据锁存电路118，使控制信号Vc为“H”，从而使n沟道型晶体管n1以及n4为导通状态。而且，读出放大器15对数据锁存电路118输出数据信号SA以及bSA。由n沟道型晶体管n2以及n3和p沟道型晶体管p2以及p4对数据的保持方法与第3实施方式是同样的。

[0202] 根据本实施方式，也能够得到与第3实施方式同样的效果。

[0203] 根据以上说明的实施方式，能够实现能小型化的数据锁存电路以及半导体存储装置。

[0204] 以上，虽对本发明的几个实施方式进行了说明，但是这些实施方式是作为例子提出的，并非旨在限定发明的范围。这些新实施方式能够以其他方式实施，在不偏离发明宗旨的范围内，可以进行各种省略、替换、变更。这些实施方式和/或其变形包含在发明的范围 and/or 宗旨中，并且，包含在技术方案所记载的发明和其等同的范围内。

[0205] 标号说明

[0206] 1、2、3、4：半导体存储装置；10：控制电路基板；11：硅基板；12：层间绝缘膜；13：读出放大器区域；14：读出放大器电路；15：读出放大器；16、16a、16b、16c：数据锁存电路；18：数据锁存电路；21：n阱；22、22a、22b：p阱；23：STI；31~36、31a、31b、32a、32b：p型层；41~

45、41a、41c、42a、42c:n型层;51~56:栅;61~73:接触件;76、77、78、79:布线;80:存储器阵列基板;81:硅基板;82:层间绝缘膜;83:源线;85:层叠体;86:绝缘膜;87:电极膜;90:芯部件;91:硅柱;92:隧道绝缘膜;93:电荷蓄积膜;94:阻挡绝缘膜;96:插塞;97:位线;111~114:半导体区域(激活区域);116:数据锁存电路;118:数据锁存电路;121:第一布线层;121a、121b、121c:布线;121d:基干部;121e、121f:分支部;121g、121h、121i:布线;121j:基干部;121m、121n:分支部;122:第二布线层;122a、122b、122c:布线;122d:基干部;122e、122f:分支部;123:第三布线层;123a、123b、123c、123d:布线;131~134:p型层;141~146:n型层;151~154:栅;161~172:接触件;181、182:通孔;GND:接地电位;N1、N2:连接点;n1~n4:n沟道型晶体管;p1~p4:p沟道型晶体管;SA、bSA:数据信号;VDD:电源电位;Vc、Vc1、Vc2:控制信号;Vs1、Vs2:选择信号。

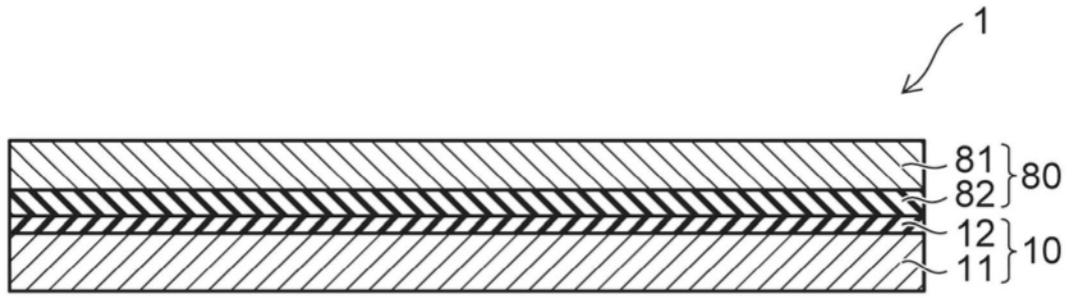


图1

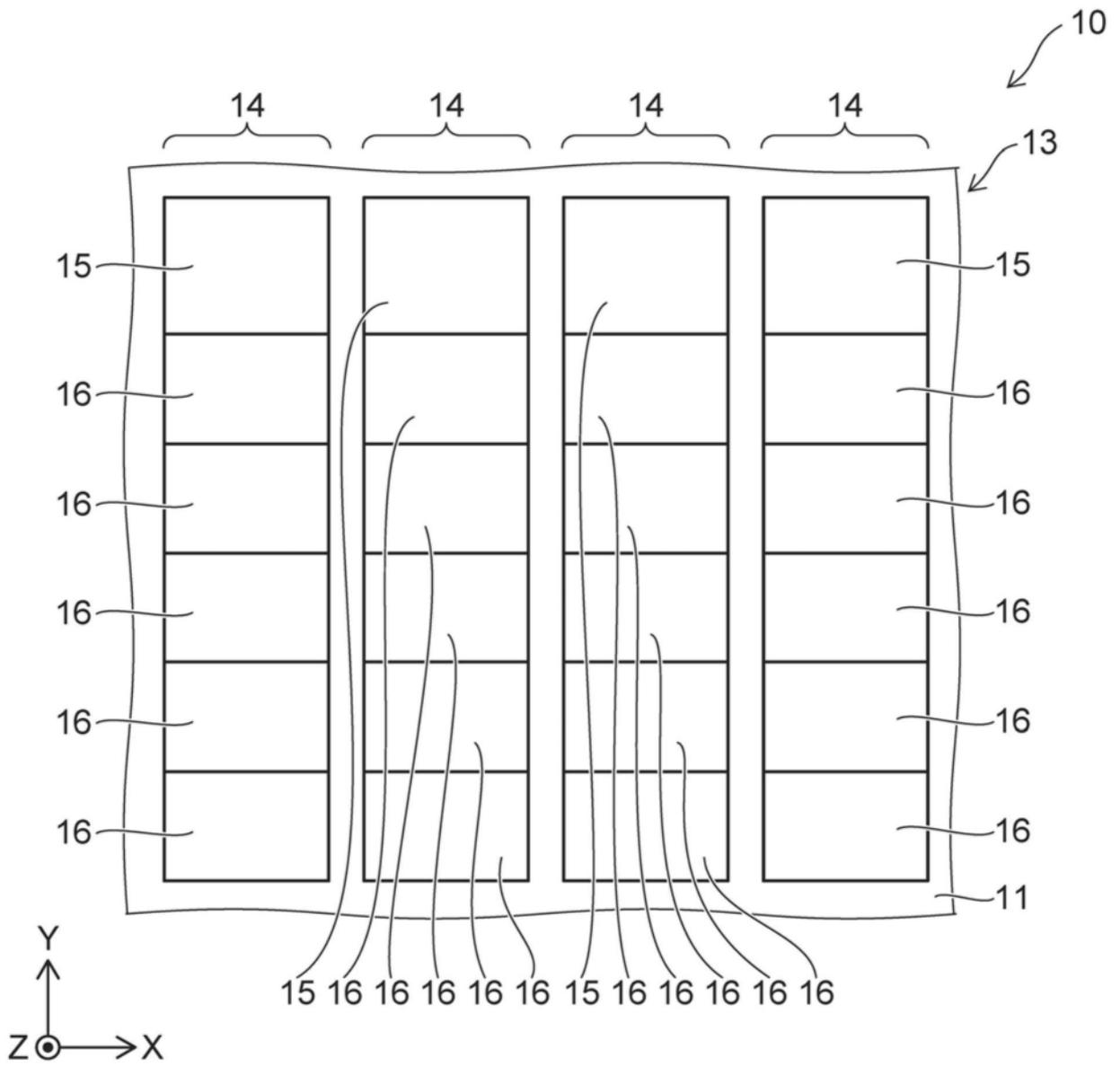


图2

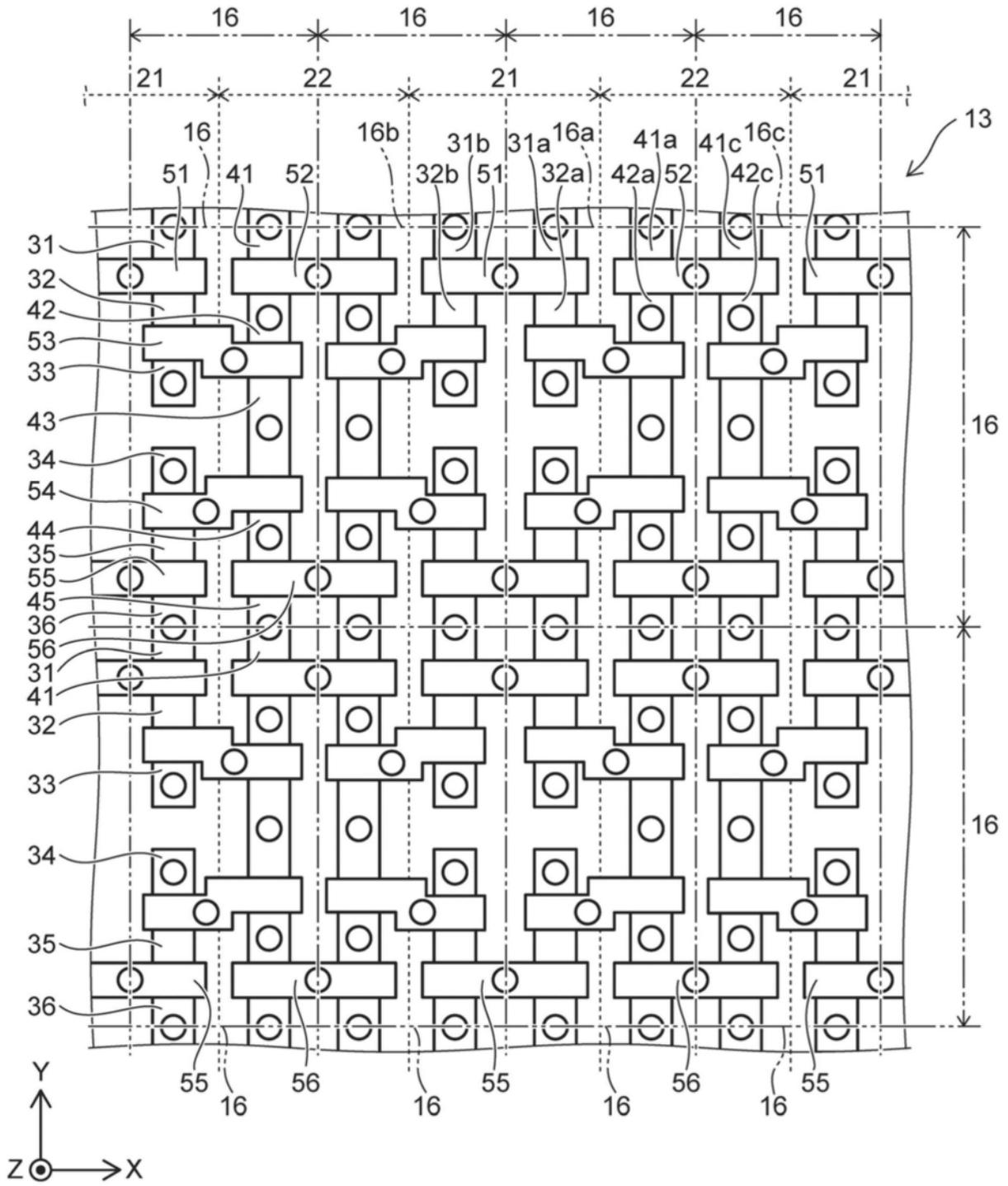


图3

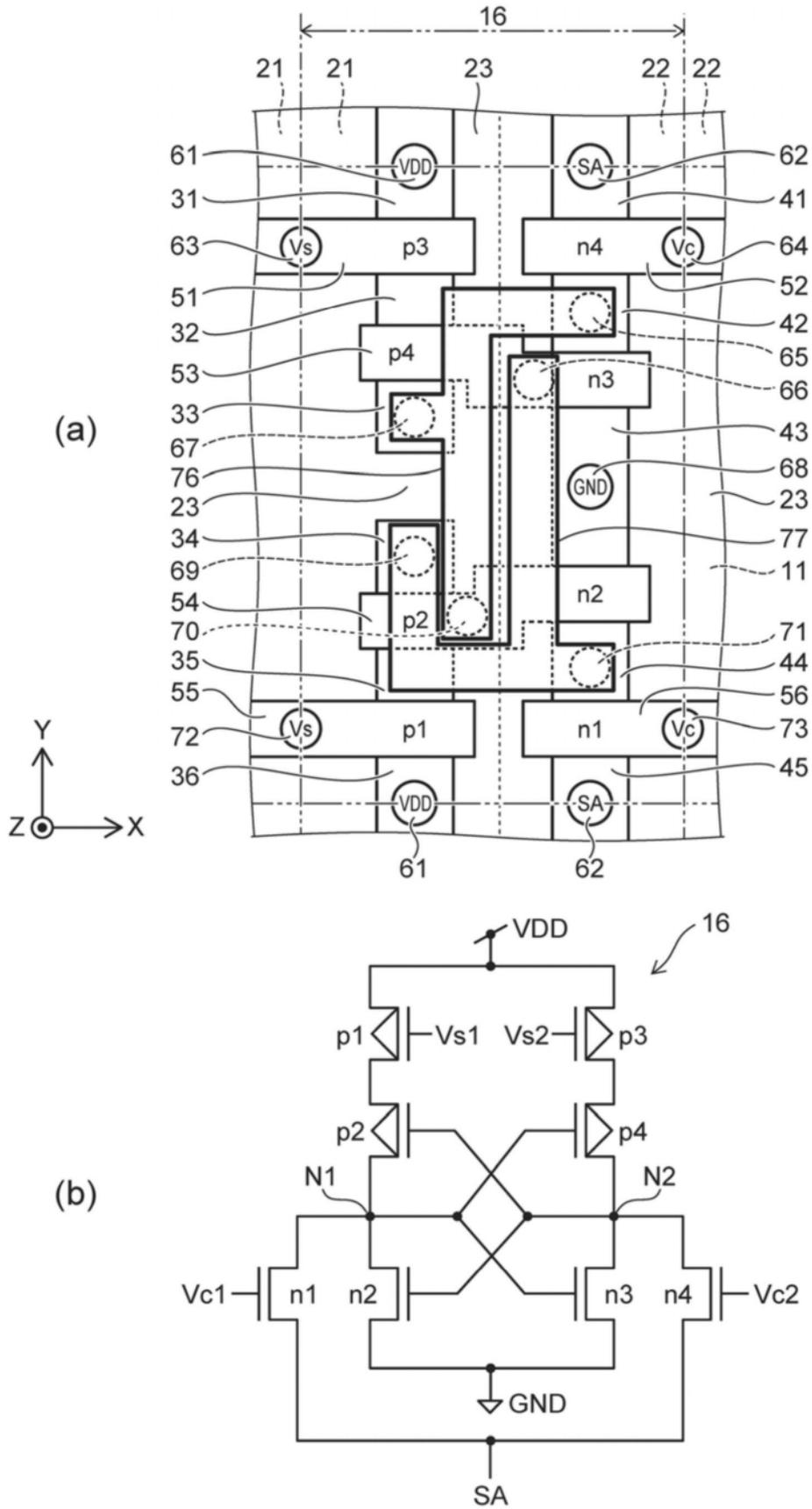


图4

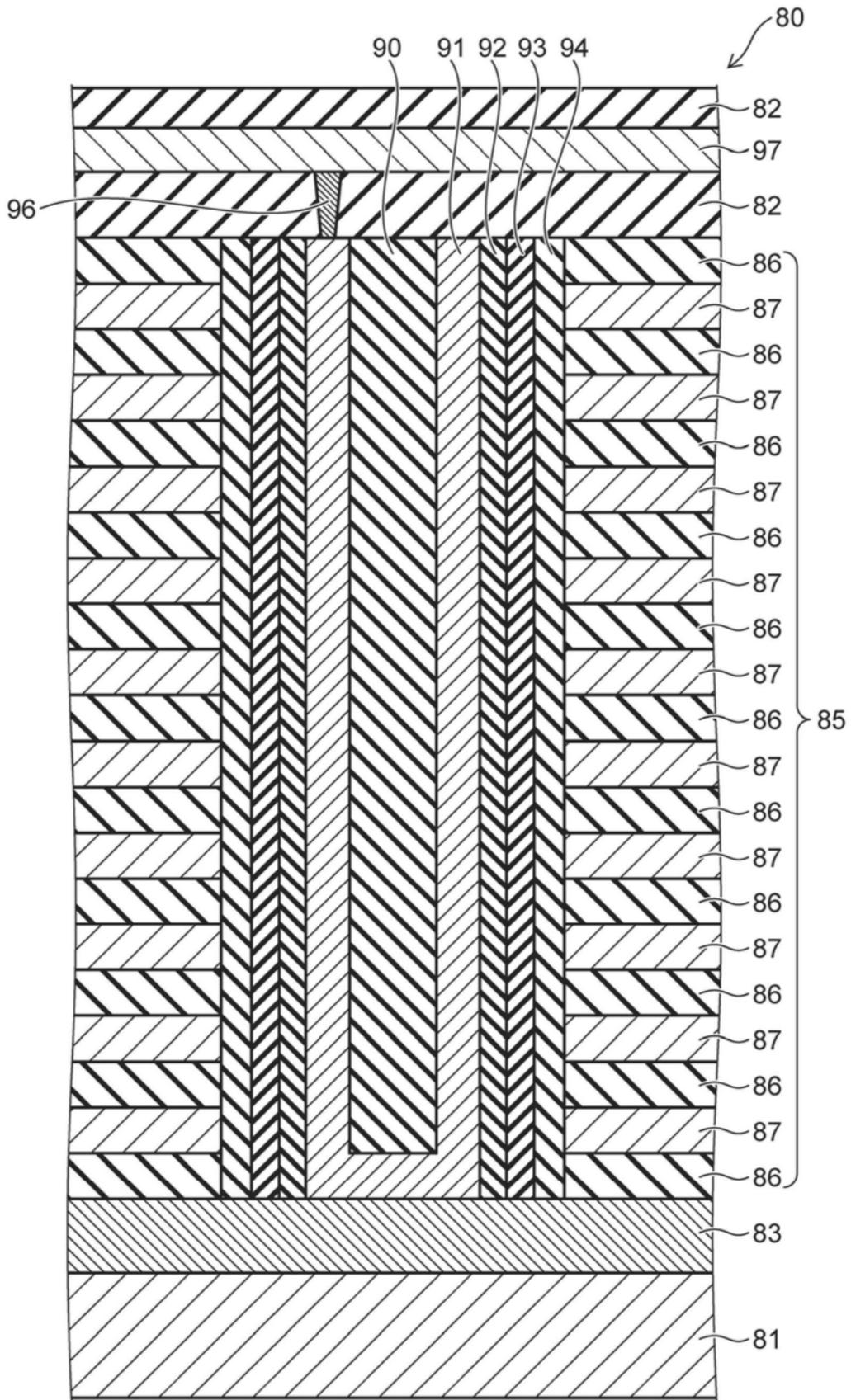


图5

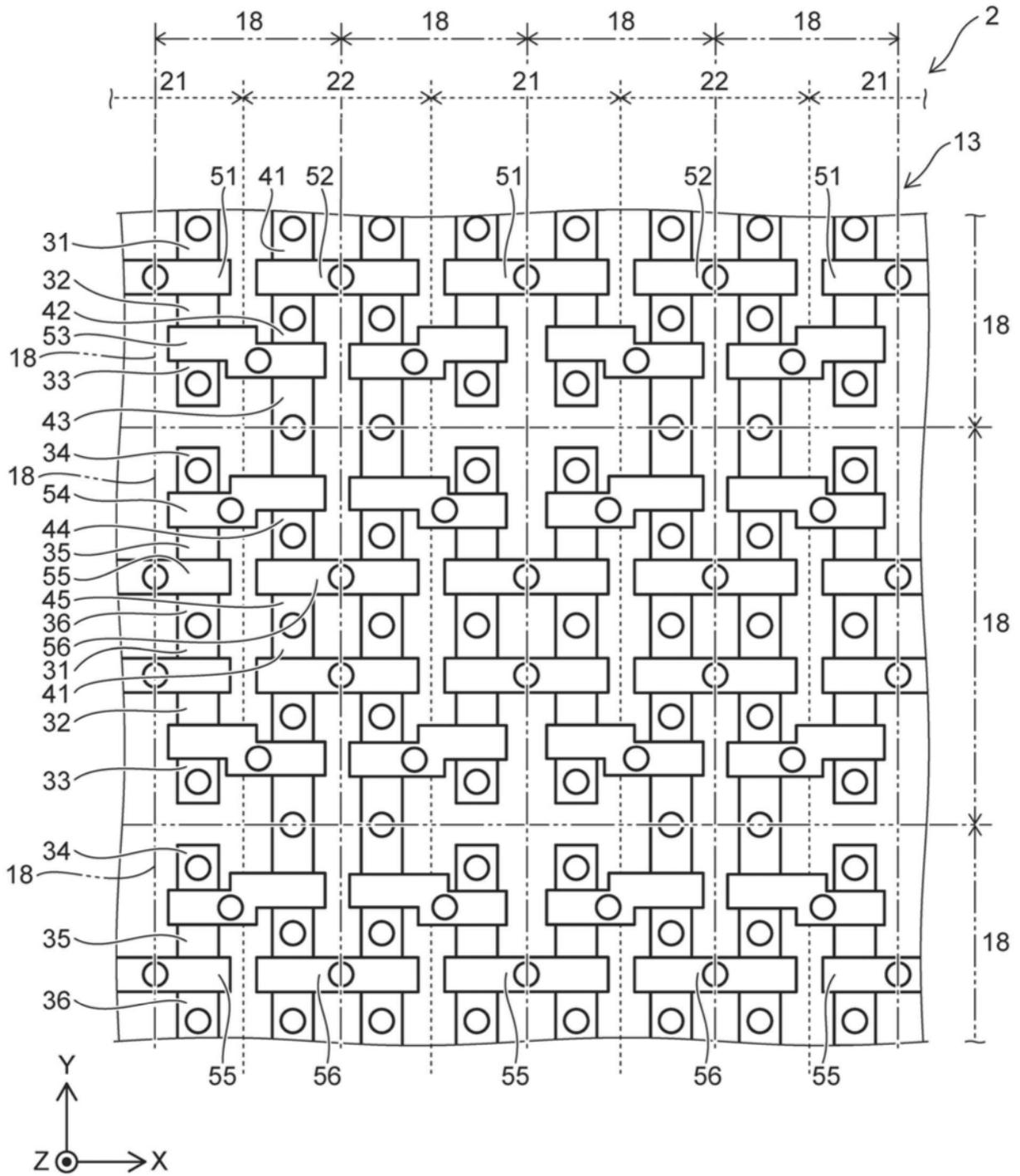


图6

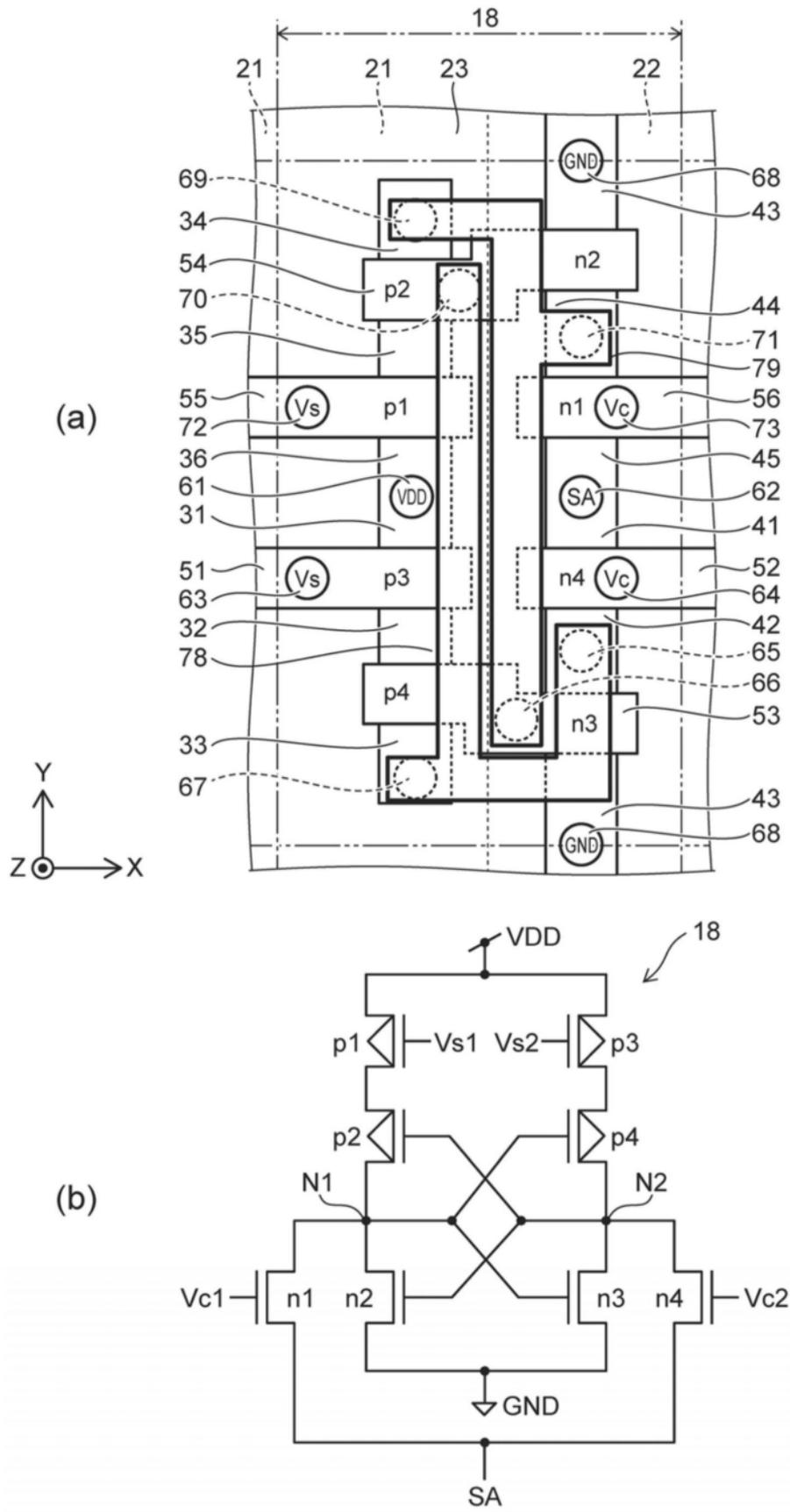


图7

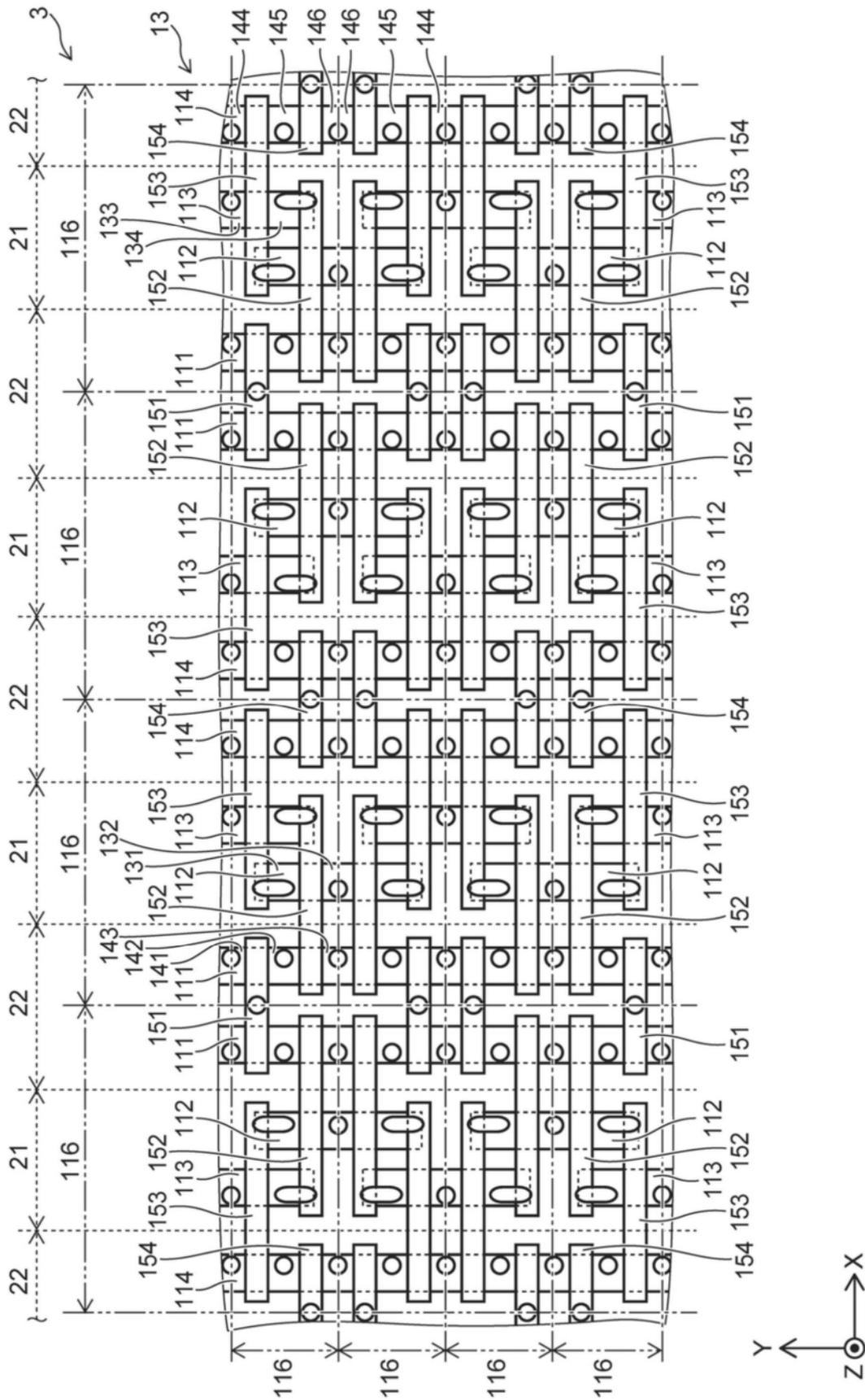


图8

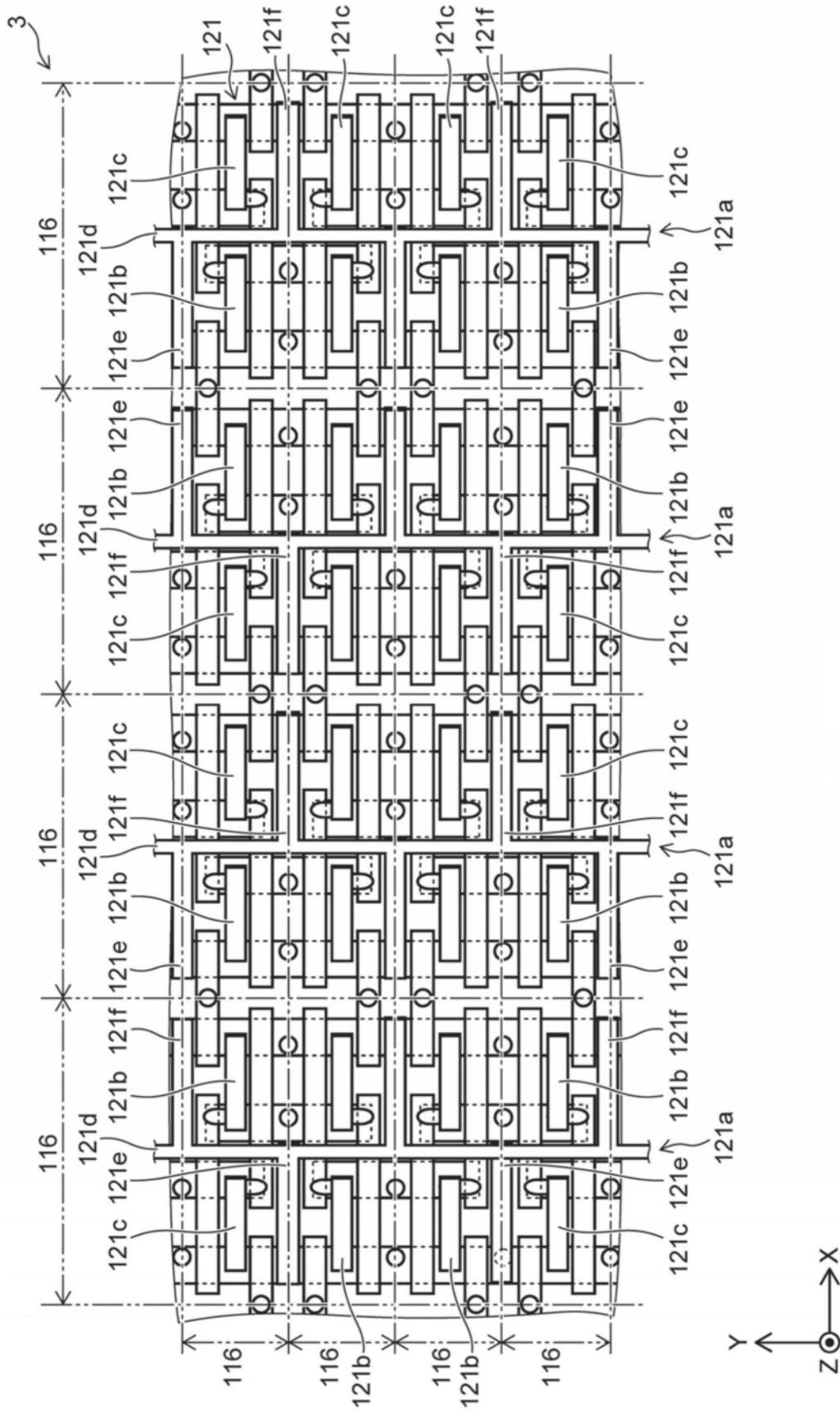


图9

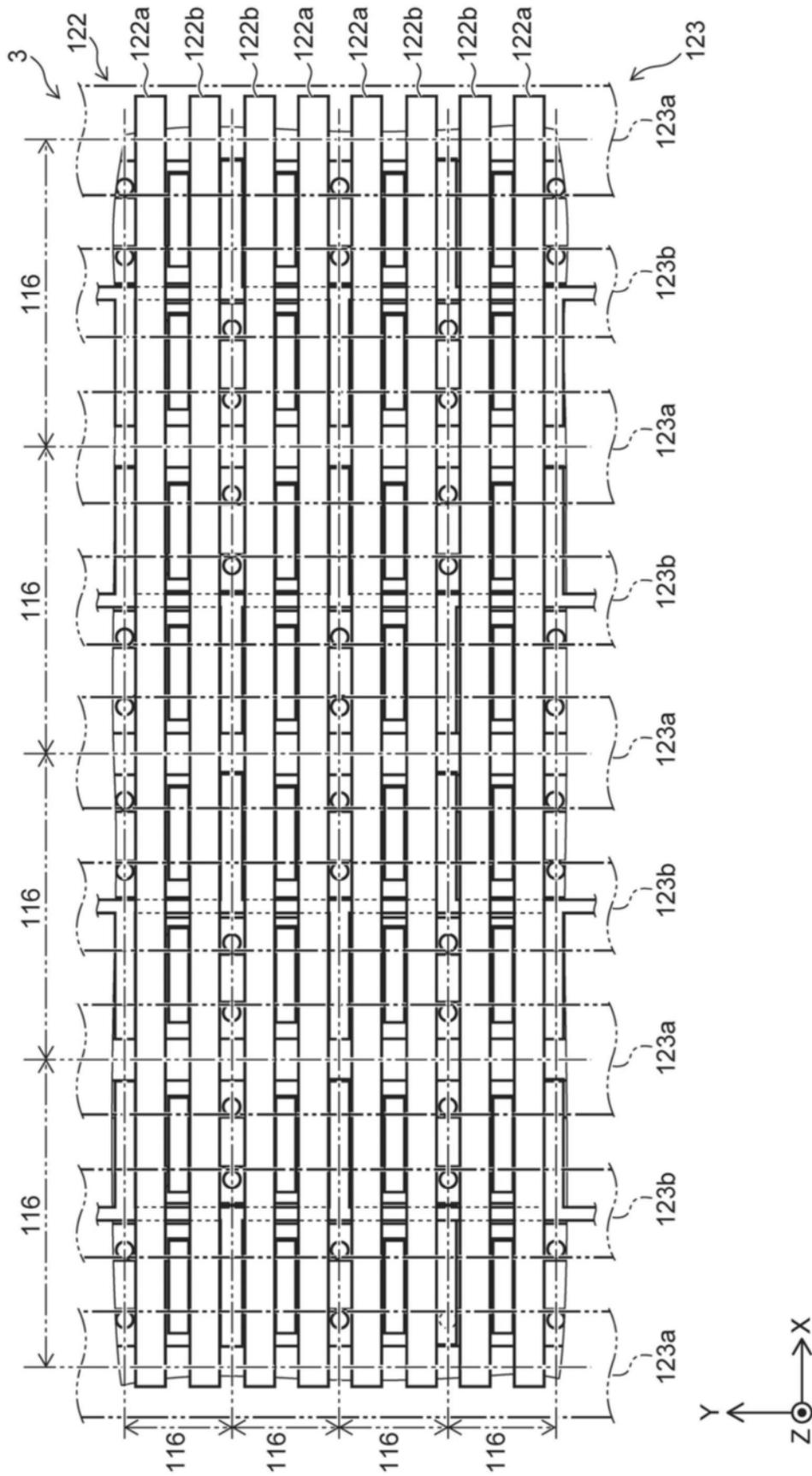


图10

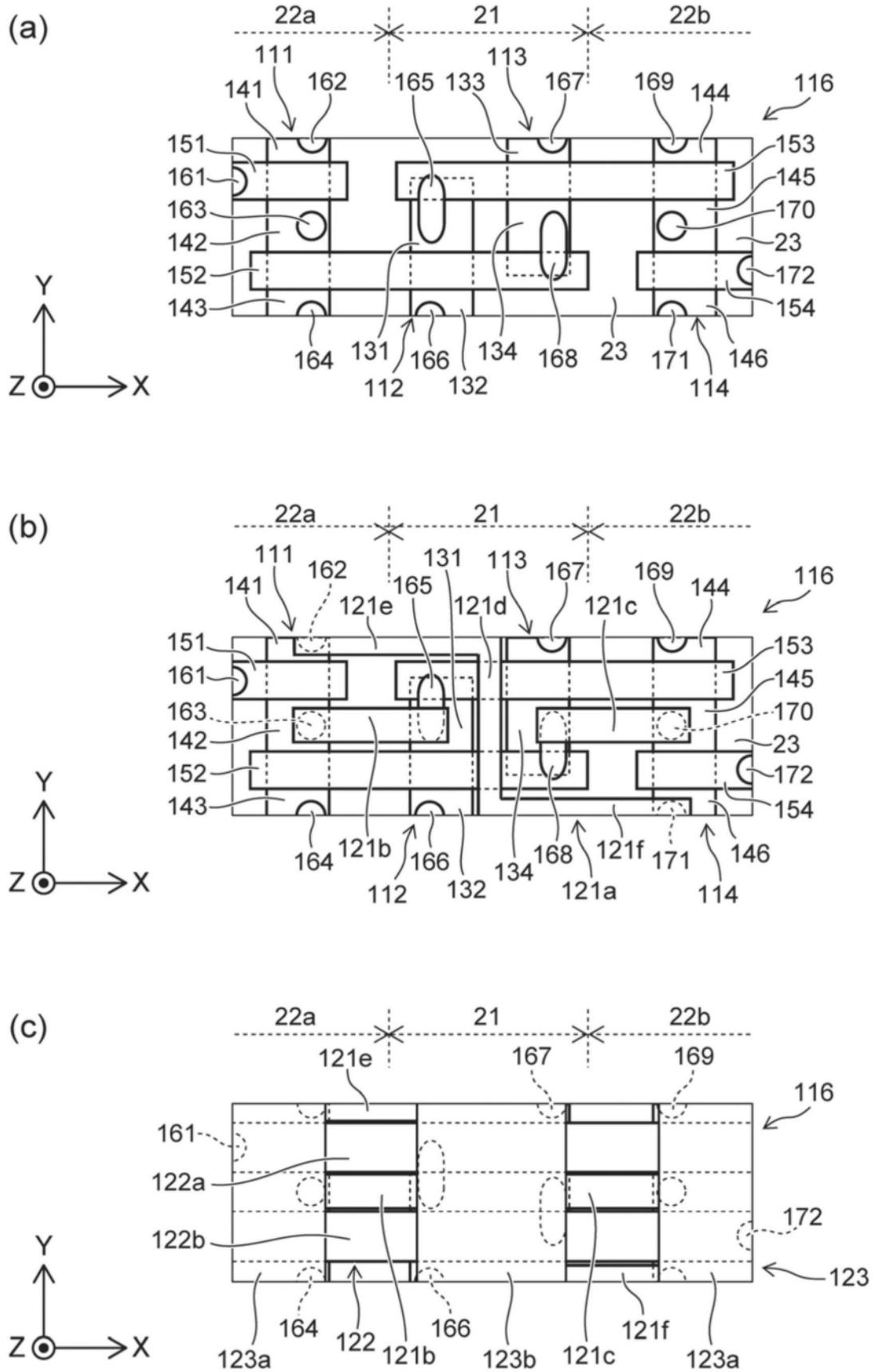


图11

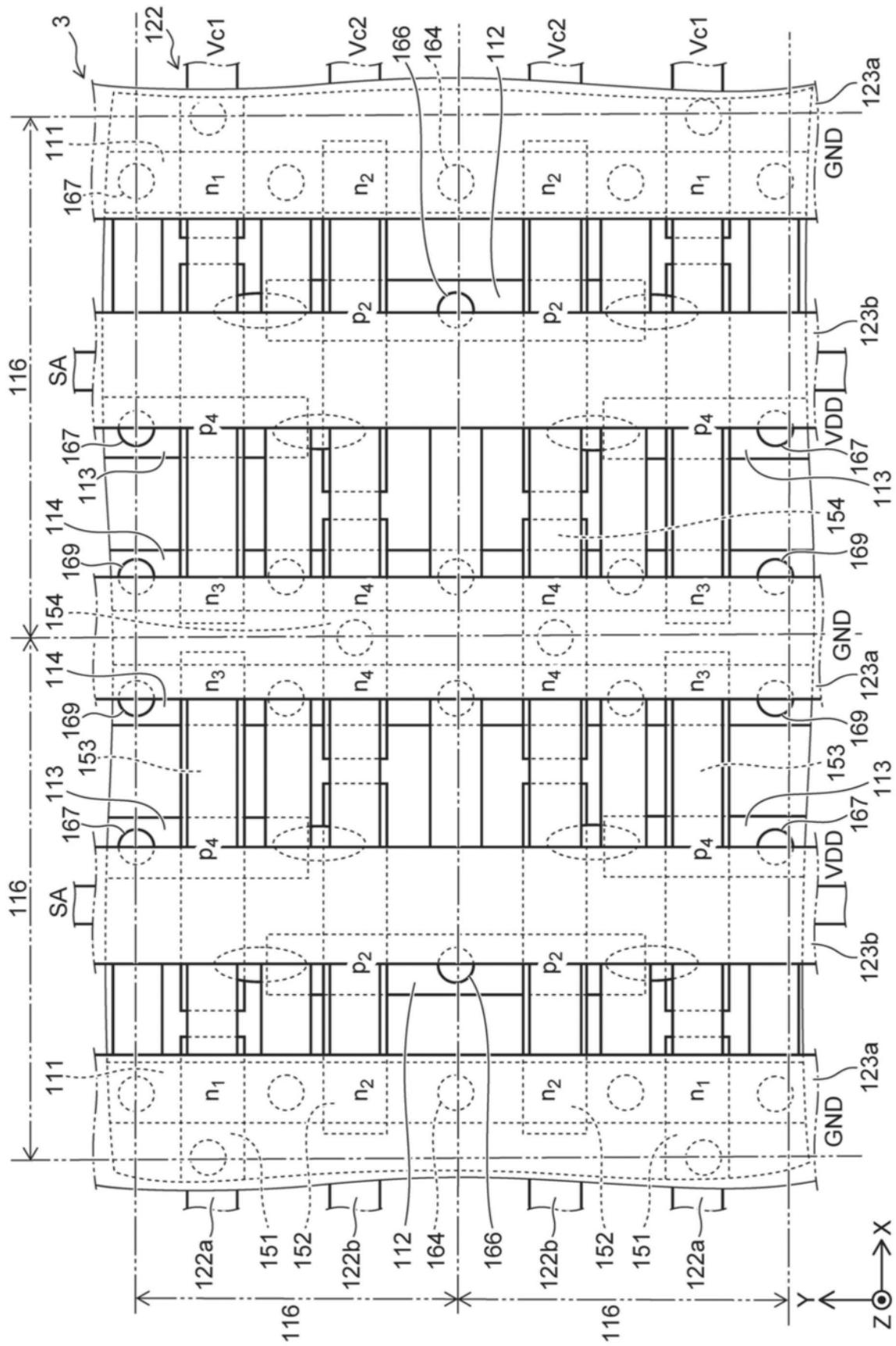


图12

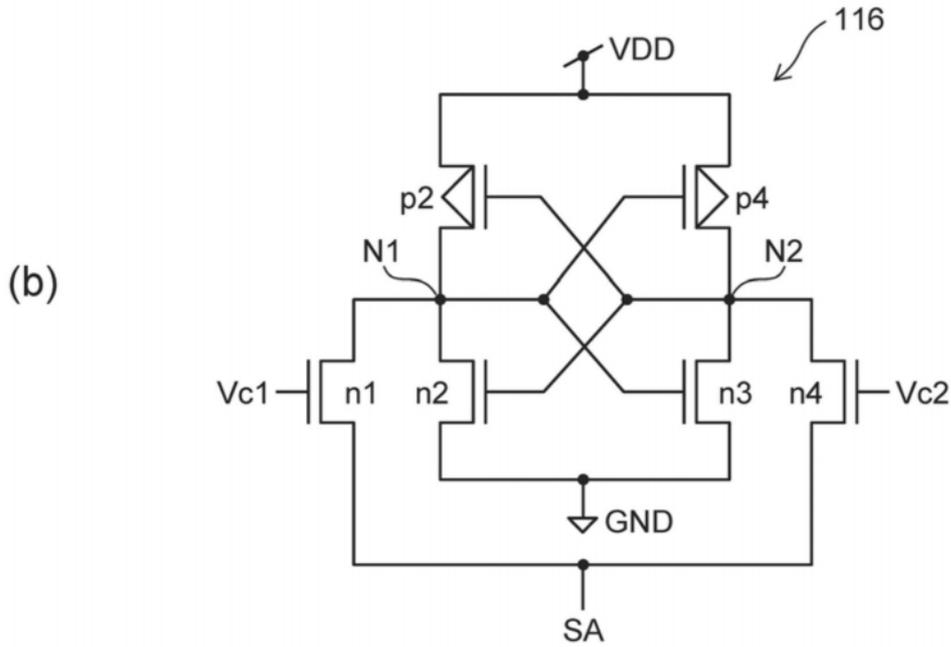
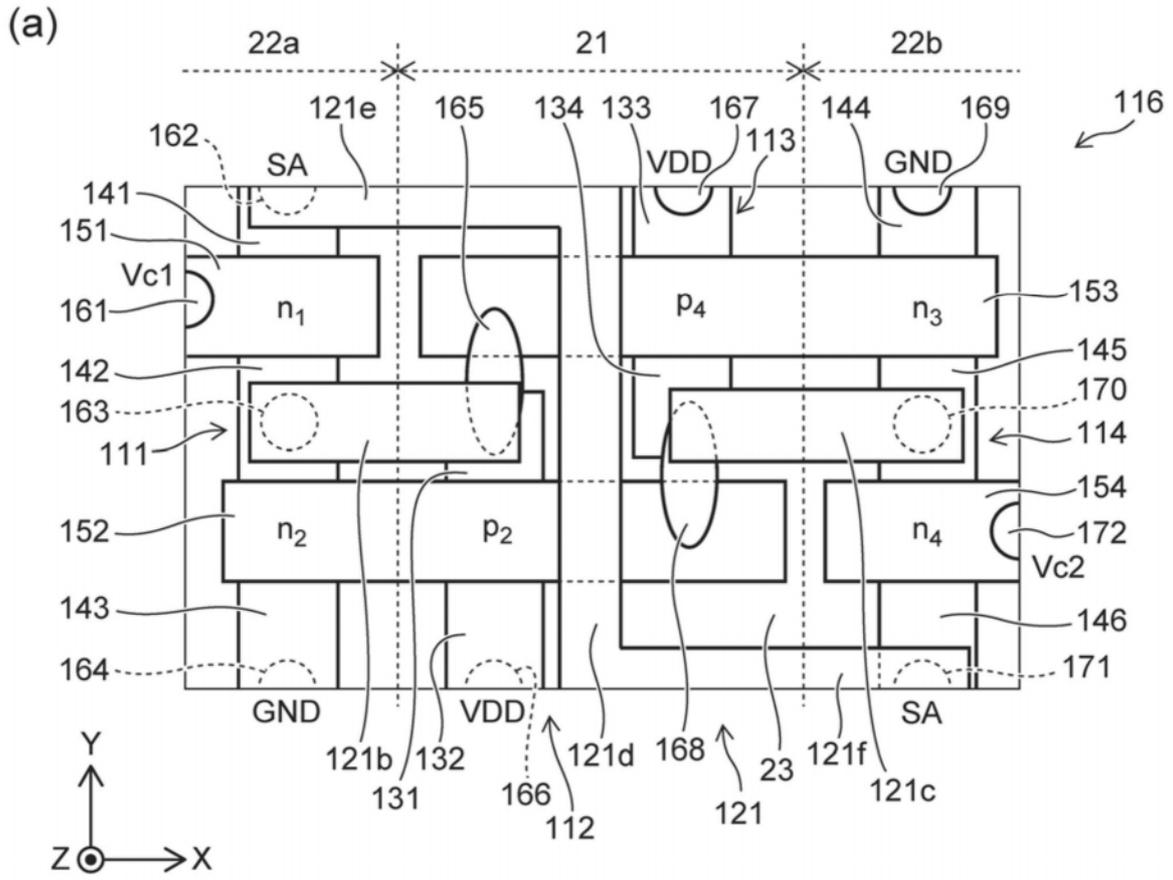


图13

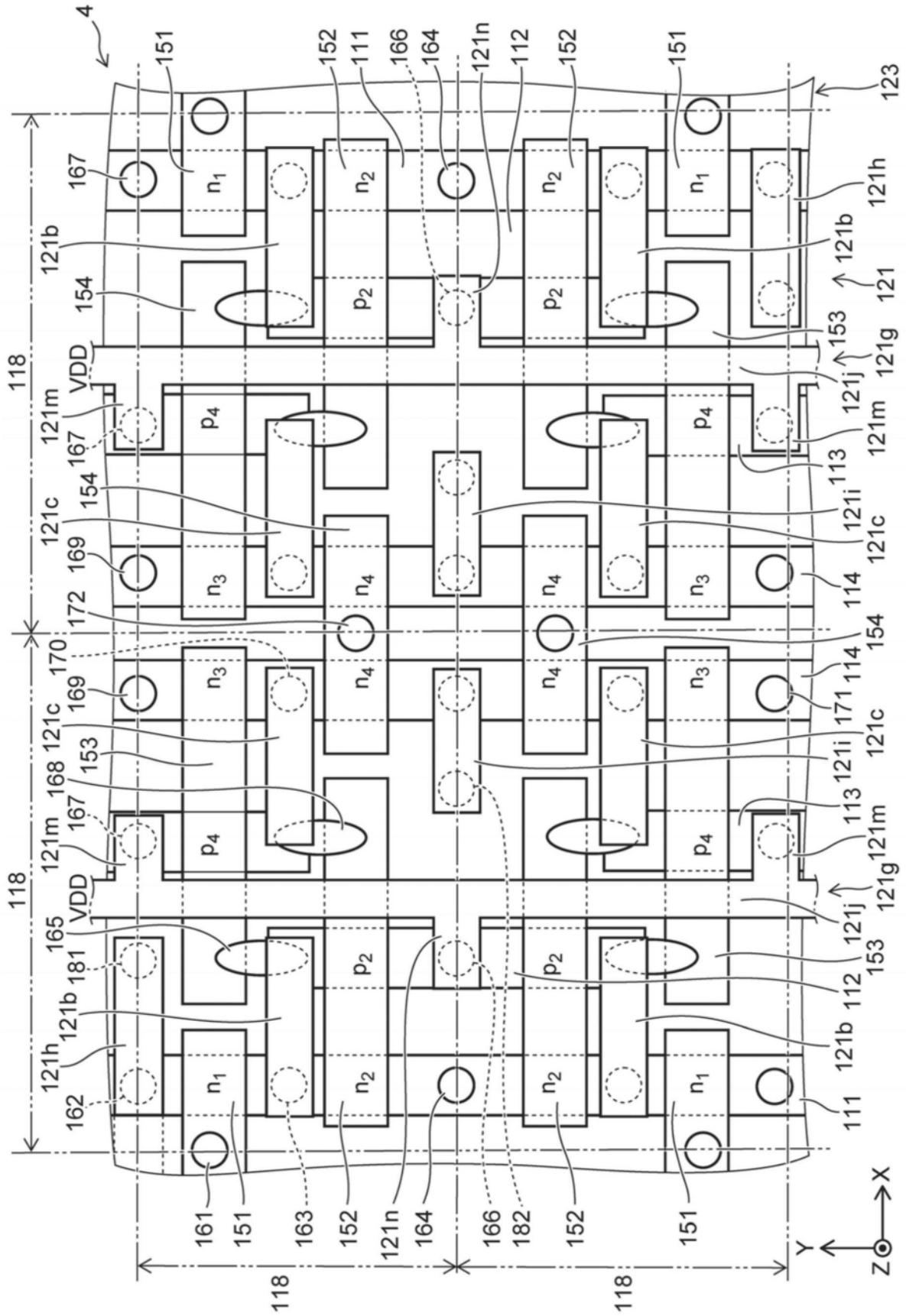


图14

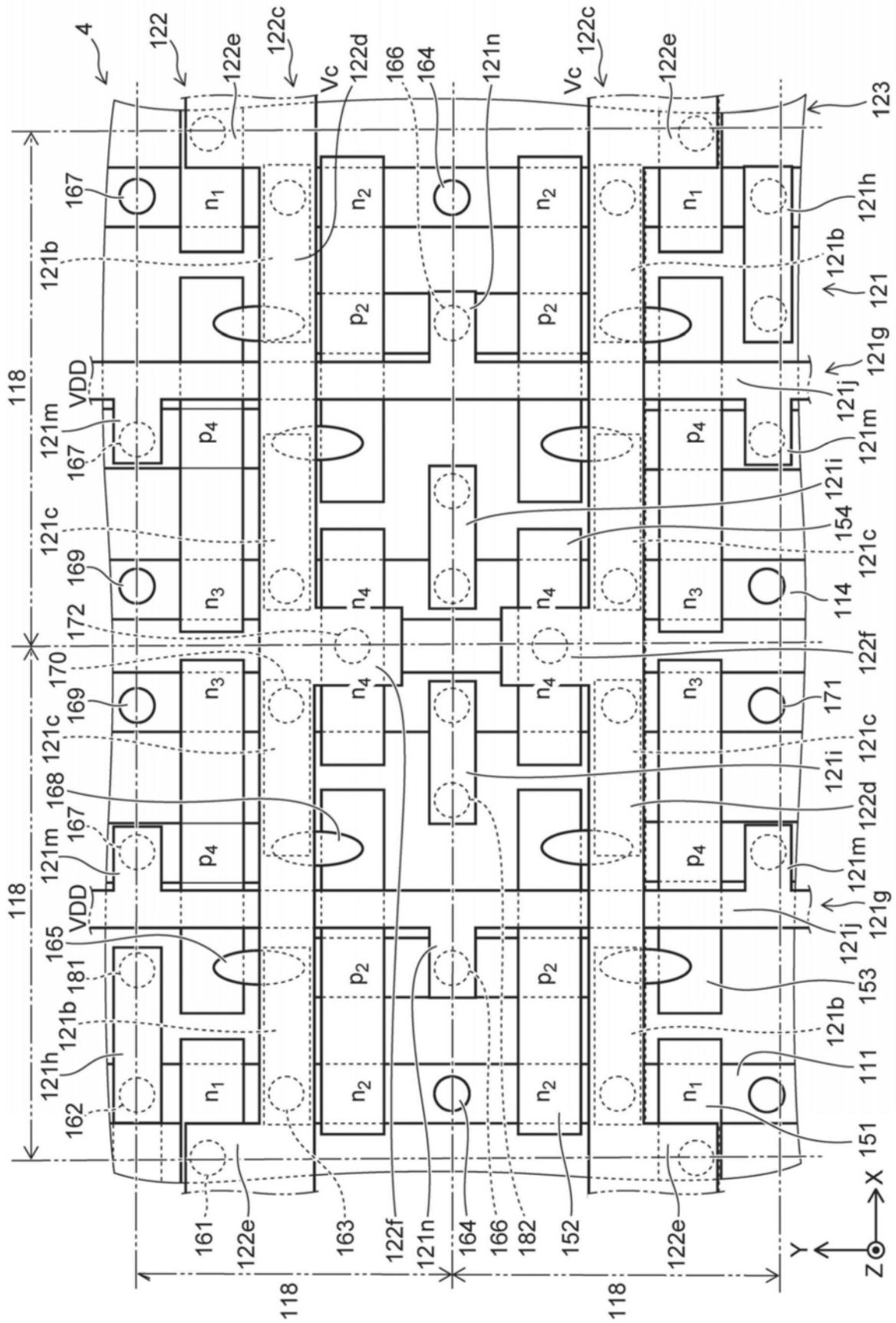


图15



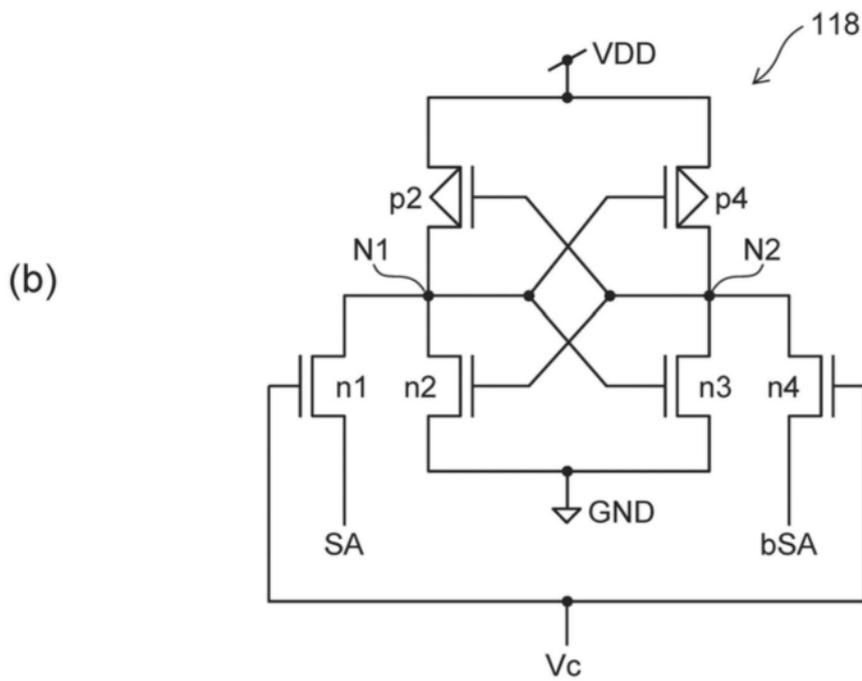
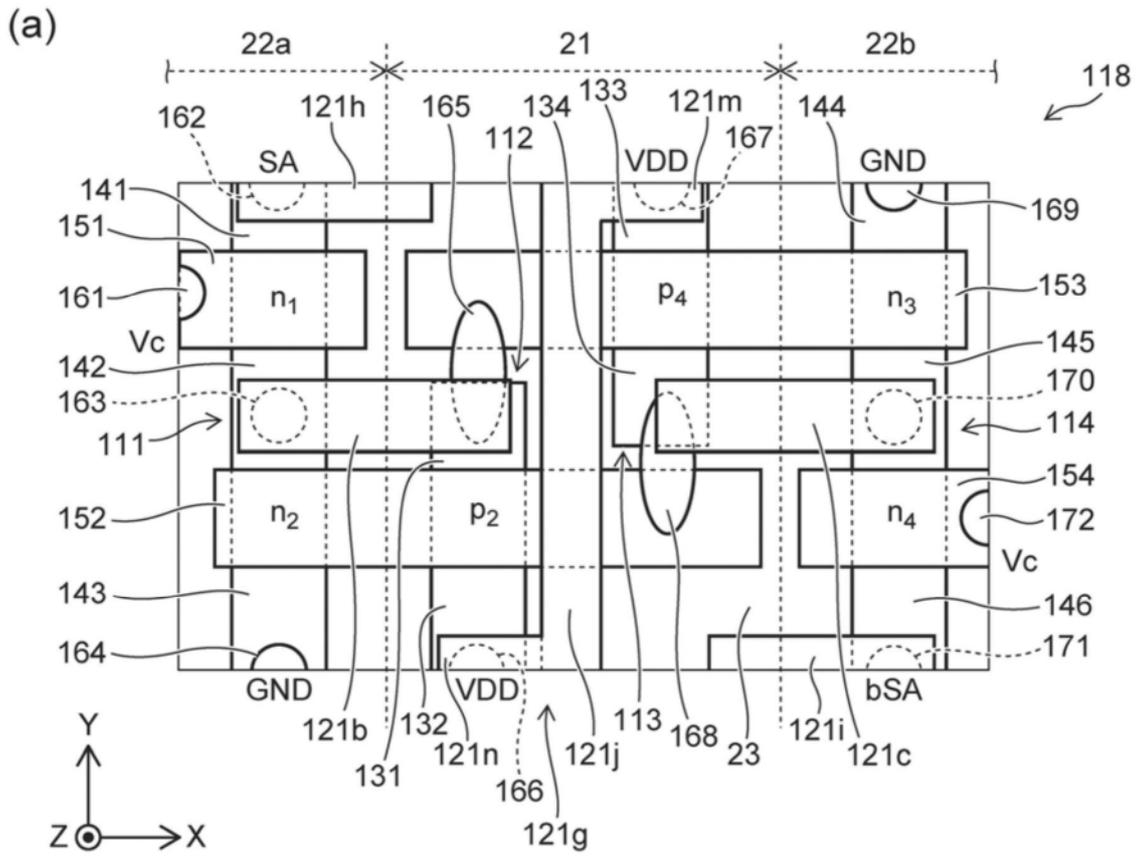


图17