(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0066944
(43) 공개일자 2024년05월16일

(51) 국제특허분류(Int. Cl.)
G06N 3/0455 (2023.01) *G06N 3/048* (2023.01)
G06N 3/0499 (2023.01) *G06N 3/063* (2023.01)
(52) CPC특허분류
G06N 3/0455 (2023.01)
G06N 3/048 (2023.01)
(21) 출원번호 10-2023-0011000
(22) 출원일자 2023년01월27일
심사청구일자 2023년01월27일
(30) 우선권주장
1020220147918 2022년11월08일 대한민국(KR)

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
박성배
서울특별시 송파구 오금로 396, 1402호 (가락동, 에스케이허브파크)
이준범
경기도 용인시 기흥구 서천동로21번길 6-1, 301호 (서천동)
(뒷면에 계속)
(74) 대리인
유미특허법인

전체 청구항 수 : 총 11 항

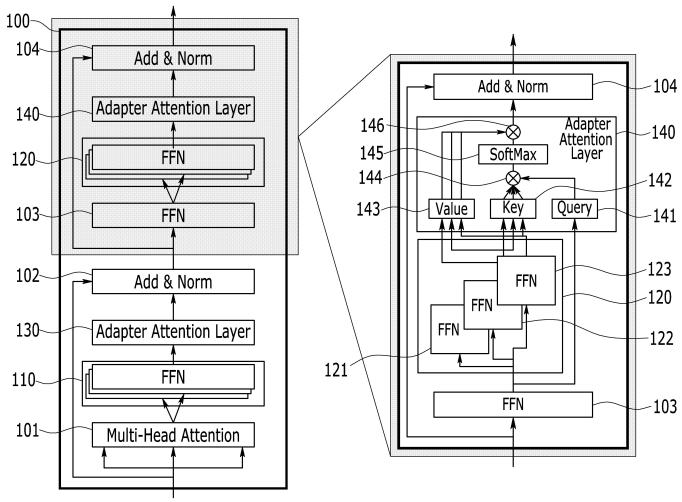
(54) 발명의 명칭 **어댑터 어텐션 기반의 트랜스포머 모델 연속 학습 방법 및 그 장치**

(57) 요 약

어댑터 어텐션 기반의 트랜스포머 모델 연속 학습 방법 및 그 장치가 개시된다.

이 방법은 장치에 의해, 도메인별로 트랜스포머 디코더 내에 삽입된 복수의 어댑터를 각각 학습시키는 단계를 포함한다. 이 방법은 장치에 의해, 트랜스포머 디코더 내에 삽입된 어댑터 어텐션 레이어를 사용하여, 학습된 도메인별 어댑터의 정보를 융합하는 단계를 더 포함한다.

대 표 도 - 도6



(52) CPC특허분류
G06N 3/0499 (2023.01)
G06N 3/063 (2013.01)

(72) 발명자
김소언
경기도 용인시 기흥구 서천동로21번길 6-1, 301호 (서천동)
홍충선
경기 용인시 수지구 상현로 30-10, 233동 101호 (상현동, 상현마을성원상떼빌아파트)
홍상훈
경기도 용인시 수지구 성복1로163번길 11, 205동 101호 (성복동, 버들치마을 경남아너스빌2차)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711162037
과제번호	2020R1A4A1018607
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	기초연구실지원사업
연구과제명	Meta Federated Learning 기반 이동엣지 컴퓨팅시스템 핵심구조 개발
기 여 율	1/2
과제수행기관명	경희대학교(국제캠퍼스)
연구기간	2022.03.01~2023.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711179316
과제번호	RS-2022-00155911
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	인공지능융합혁신인재양성
연구과제명	인공지능융합혁신인재양성(경희대학교)
기 여 율	1/2
과제수행기관명	경희대학교산학협력단
연구기간	2023.01.01~2023.12.31

명 세 서

청구범위

청구항 1

프로세서를 포함하는 장치에서의 트랜스포머 모델 연속 학습 방법으로서,

상기 장치에 의해, 도메인별로 트랜스포머 디코더 내에 삽입된 복수의 어댑터를 각각 학습시키는 단계, 그리고

상기 장치에 의해, 상기 트랜스포머 디코더 내에 삽입된 어댑터 어텐션 레이어를 사용하여 상기 학습된 도메인별 어댑터의 정보를 융합하는 단계

를 포함하는 트랜스포머 모델 연속 학습 방법.

청구항 2

제1항에 있어서,

상기 학습된 도메인별 어댑터의 정보를 융합하는 단계는,

상기 트랜스포머 디코더로부터 유사 도메인별 데이터를 준비하는 단계,

상기 트랜스포머 디코더 내에 상기 어댑터 어텐션 레이어를 삽입하는 단계, 그리고

상기 유사 도메인별 데이터를 사용하여 상기 어댑터 어텐션 레이어가 삽입된 트랜스포머 디코더에 대한 학습을 수행하는 단계

를 포함하는, 트랜스포머 모델 연속 학습 방법.

청구항 3

제1항에 있어서,

상기 트랜스포머 디코더는 멀티-헤드 어텐션 계층과 상기 멀티-헤드 어텐션 계층 다음에 위치하는 피드 포워드 네트워크 계층을 포함하고,

상기 복수의 어댑터는 상기 멀티-헤드 어텐션 계층과 상기 피드 포워드 네트워크 계층 사이에 삽입된 제1 어댑터 모듈 및 상기 피드 포워드 네트워크 계층 다음에 삽입된 제2 어댑터 모듈에 포함되며,

상기 어댑터 어텐션 레이어는 상기 제1 어댑터 모듈과 상기 피드 포워드 네트워크 계층 사이에 삽입된 제1 어댑터 어텐션 레이어와 상기 제2 어댑터 모듈 다음에 삽입된 제2 어댑터 어텐션 레이어를 포함하는,

트랜스포머 모델 연속 학습 방법.

청구항 4

제3항에 있어서,

상기 제1 어댑터 어텐션 레이어는 상기 제1 어댑터 모듈에 포함된, 학습된 도메인별 어댑터의 정보를 융합하고,

상기 제2 어댑터 어텐션 레이어는 상기 제2 어댑터 모듈에 포함된, 학습된 도메인별 어댑터의 정보를 융합하는,

트랜스포머 모델 연속 학습 방법.

청구항 5

제3항에 있어서,

상기 제1 어댑터 어텐션 레이어는,

상기 제1 어댑터 모듈의 입력을 출력하는 쿼리 모듈,

상기 제1 어댑터 모듈에 포함된 어댑터 각각의 출력을 출력하는 키 모듈,

상기 제1 어댑터 모듈에 포함된 어댑터 각각의 출력을 출력하는 값 모듈,

상기 키 모듈의 출력과 상기 쿼리 모듈의 출력의 내적을 산출하는 제1 곱셈기,

상기 제1 곱셈기의 출력을 정규화하는 소프트맥스 모듈, 그리고

상기 소프트맥스 모듈의 출력과 상기 값 모듈의 출력을 가중합하여 출력하는 제2 곱셈기

를 포함하는, 트랜스포머 모델 연속 학습 방법.

청구항 6

제2항에 있어서,

상기 유사 도메인별 데이터는 상기 도메인별로 학습된 복수의 어댑터를 포함하는 트랜스포머 디코더로부터 준비되는,

트랜스포머 모델 연속 학습 방법.

청구항 7

제3항에 있어서,

상기 제1 어댑터 어텐션 레이어와 상기 피드 포워드 네트워크 계층 사이에, 상기 제1 어댑터 어텐션 레이어의 출력을 상기 멀티-헤드 어텐션 계층의 입력과 결합하여 잔차 출력을 생성하고, 상기 잔차 출력에 계층 정규화를 적용하는 제1 잔차 연결과 층 정규화 계층을 더 포함하고,

상기 제2 어댑터 어텐션 레이어 다음에 상기 제2 어댑터 어텐션 레이어의 출력을 상기 피드 포워드 네트워크 계층의 입력과 결합하여 잔차 출력을 생성하고, 상기 잔차 출력에 계층 정규화를 적용하는 제2 잔차 연결과 층 정규화 계층을 더 포함하는,

트랜스포머 모델 연속 학습 방법.

청구항 8

트랜스포머 모델 연속 학습 장치로서,

프로세서 및 메모리를 포함하며,

상기 메모리는 코드의 집합을 저장하도록 구성되고,

상기 코드는,

도메인별로 트랜스포머 디코더 내에 삽입된 복수의 어댑터를 각각 학습시키는 프로세스, 그리고

상기 트랜스포머 디코더 내에 삽입된 어댑터 어텐션 레이어를 사용하여 상기 학습된 도메인별 어댑터의 정보를 융합하는 프로세스

를 실행하도록 상기 프로세서를 제어하는데 사용되는,

트랜스포머 모델 연속 학습 장치.

청구항 9

제8항에 있어서,

상기 트랜스포머 디코더는 멀티-헤드 어텐션 계층과 상기 멀티-헤드 어텐션 계층 다음에 위치하는 피드 포워드 네트워크 계층을 포함하고,

상기 복수의 어댑터는 상기 멀티-헤드 어텐션 계층과 상기 피드 포워드 네트워크 계층 사이에 삽입된 제1 어댑터 모듈 및 상기 피드 포워드 네트워크 계층 다음에 삽입된 제2 어댑터 모듈에 포함되며,

상기 어댑터 어텐션 레이어는 상기 제1 어댑터 모듈과 상기 피드 포워드 네트워크 계층 사이에 삽입된 제1 어댑터 어텐션 레이어와 상기 제2 어댑터 모듈 다음에 삽입된 제2 어댑터 어텐션 레이어를 포함하는,

트랜스포머 모델 연속 학습 장치.

청구항 10

제8항에 있어서,

상기 학습된 도메인별 어댑터의 정보를 융합하는 프로세스는,

상기 트랜스포머 디코더로부터 유사 도메인별 데이터를 준비하는 프로세스,

상기 트랜스포머 디코더 내에 상기 어댑터 어텐션 레이어를 삽입하는 프로세스, 그리고

상기 유사 도메인별 데이터를 사용하여 상기 어댑터 어텐션 레이어가 삽입된 트랜스포머 디코더에 대한 학습을 수행하는 프로세스

를 포함하는, 트랜스포머 모델 연속 학습 장치.

청구항 11

제10항에 있어서,

상기 제1 어댑터 어텐션 레이어는,

상기 제1 어댑터 모듈의 입력을 출력하는 쿼리 모듈,

상기 제1 어댑터 모듈에 포함된 어댑터 각각의 출력을 출력하는 키 모듈,

상기 제1 어댑터 모듈에 포함된 어댑터 각각의 출력을 출력하는 값 모듈,

상기 키 모듈의 출력과 상기 쿼리 모듈의 출력의 내적을 산출하는 제1 곱셈기,

상기 제1 곱셈기의 출력을 정규화하는 소프트맥스 모듈, 그리고

상기 소프트맥스 모듈의 출력과 상기 값 모듈의 출력을 가중합하여 출력하는 제2 곱셈기

를 포함하는, 트랜스포머 모델 연속 학습 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 어댑터 어텐션 기반의 트랜스포머 모델 연속 학습 방법 및 그 장치에 관한 것이다.

배 경 기 술

[0002] 자연어 처리는 컴퓨터를 이용해 사람의 자연어를 분석하고 처리하는 기술로서, 최근에는 심층 기계 학습(deep learning) 기술이 기계 번역 및 자연어 생성 등에 적용되고 있다.

[0003] 이러한 자연어 처리 분야에서는 BERT, GPT2 등과 같은 트랜스포머(Transformer) 모델 기반의 대규모 사전 학습 모델을 파인 튜닝하여 원하는 태스크를 수행하는 전이 학습 기술이 흔히 사용된다.

[0004] 그런데, 트랜스포머 기반의 사전 학습 모델의 학습 파라미터는 백만 개 이상이기 때문에, 메모리 및 학습 속도의 효율성을 위하여 트랜스포머 모델에 작은 크기의 모듈인 어댑터를 삽입한 뒤, 파인 튜닝시 어댑터만을 학습하는 기술이 사용된다.

[0005] 이러한 어댑터 기반의 전이 학습 방법을 사용하여 트랜스포머 모델을 다양한 도메인에 대해 연속적으로 학습시키는 방법, 즉 어댑터 기반 트랜스포머 연속 학습 기술이 존재한다.

[0006] 전술한 어댑터 기반 트랜스포머 연속 학습 기술은 각 도메인 별로 별개의 어댑터를 사용하여 트랜스포머 모델이 여러 개의 도메인을 학습하더라도, 해당 도메인에 해당하는 어댑터를 사용함으로써 파괴적 망각 현상을 완화하는 방법을 사용한다.

[0007] 그런데, 이러한 어댑터 기반 트랜스포머 연속 학습 기술에는 다음과 같이 크게 두 가지 문제점이 존재한다.

[0008] 첫 번째는, 학습 단계가 끝난 뒤, 테스트 단계에서 각 테스트 샘플에 대한 적절한 어댑터를 선택해야 한다는 것

이다. 구체적으로, 어댑터 기반 트랜스포머 연속 학습 기술에서는 테스트 단계에서 각 테스트 샘플이 어떤 도메인에 속하는 정보인지를 함께 모델에 제공하지만, 실제 연속 학습 상황에서 실시간으로 주어지는 데이터의 도메인을 알 수 없는 경우가 많기 때문에 이는 적절한 방법이 아니다.

[0009] 두 번째는, 독립적인 어댑터를 사용하여 각 도메인을 학습하기 때문에, 새로운 도메인을 학습할 때 기존 도메인에 대해 학습된 어댑터의 어떠한 지식도 사용하지 못한다는 점이다. 즉, 도메인별로 독립적인 학습을 수행함으로써 새로운 도메인 학습으로 인해 기존 도메인에 대해 학습한 지식이 손상되지 않지만, 역으로 새로운 도메인을 학습할 때 기존 학습한 도메인의 지식을 활용하지 못한다는 문제점이 있다.

발명의 내용

해결하려는 과제

[0010] 본 발명이 해결하고자 하는 과제는 기존 어댑터 기반 트랜스포머 연속 학습 기술에서 테스트 단계에서 각 테스트 샘플에 대한 적절한 어댑터를 선택해야 한다는 문제점을 해결하기 위한 어댑터 어텐션 기반의 트랜스포머 모델 연속 학습 방법 및 그 장치를 제공하는 것이다.

과제의 해결 수단

[0011] 상기한 바와 같은 본 발명의 과제를 달성하고, 후술하는 본 발명의 특징적인 효과를 실현하기 위한, 본 발명의 특징적인 구성은 하기와 같다.

[0012] 본 발명의 일 측면에 따르면, 트랜스포머 모델 연속 학습 방법이 제공되며, 이 방법은,

[0013] 프로세서를 포함하는 장치에서의 트랜스포머 모델 연속 학습 방법으로서, 상기 장치에 의해, 도메인별로 트랜스포머 디코더 내에 삽입된 복수의 어댑터를 각각 학습시키는 단계, 그리고 상기 장치에 의해, 상기 트랜스포머 디코더 내에 삽입된 어댑터 어텐션 레이어를 사용하여 상기 학습된 도메인별 어댑터의 정보를 융합하는 단계를 포함한다.

[0014] 여기서, 상기 학습된 도메인별 어댑터의 정보를 융합하는 단계는, 상기 트랜스포머 디코더로부터 유사 도메인별 데이터를 준비하는 단계, 상기 트랜스포머 디코더 내에 상기 어댑터 어텐션 레이어를 삽입하는 단계, 그리고 상기 유사 도메인별 데이터를 사용하여 상기 어댑터 어텐션 레이어가 삽입된 트랜스포머 디코더에 대한 학습을 수행하는 단계를 포함한다.

[0015] 또한, 상기 트랜스포머 디코더는 멀티-헤드 어텐션 계층과 상기 멀티-헤드 어텐션 계층 다음에 위치하는 피드 포워드 네트워크 계층을 포함하고, 상기 복수의 어댑터는 상기 멀티-헤드 어텐션 계층과 상기 피드 포워드 네트워크 계층 사이에 삽입된 제1 어댑터 모듈 및 상기 피드 포워드 네트워크 계층 다음에 삽입된 제2 어댑터 모듈에 포함되며, 상기 어댑터 어텐션 레이어는 상기 제1 어댑터 모듈과 상기 피드 포워드 네트워크 계층 사이에 삽입된 제1 어댑터 어텐션 레이어와 상기 제2 어댑터 모듈 다음에 삽입된 제2 어댑터 어텐션 레이어를 포함한다.

[0016] 또한, 상기 제1 어댑터 어텐션 레이어는 상기 제1 어댑터 모듈에 포함된, 학습된 도메인별 어댑터의 정보를 융합하고, 상기 제2 어댑터 어텐션 레이어는 상기 제2 어댑터 모듈에 포함된, 학습된 도메인별 어댑터의 정보를 융합한다.

[0017] 또한, 상기 제1 어댑터 어텐션 레이어는, 상기 제1 어댑터 모듈의 입력을 출력하는 쿼리 모듈, 상기 제1 어댑터 모듈에 포함된 어댑터 각각의 출력을 출력하는 키 모듈, 상기 제1 어댑터 모듈에 포함된 어댑터 각각의 출력을 출력하는 값 모듈, 상기 키 모듈의 출력과 상기 쿼리 모듈의 출력의 내적을 산출하는 제1 곱셈기, 상기 제1 곱셈기의 출력을 정규화하는 소프트맥스 모듈, 그리고 상기 소프트맥스 모듈의 출력과 상기 값 모듈의 출력을 가중합하여 출력하는 제2 곱셈기를 포함한다.

[0018] 또한, 상기 유사 도메인별 데이터는 상기 도메인별로 학습된 복수의 어댑터를 포함하는 트랜스포머 디코더로부터 준비된다.

[0019] 또한, 상기 제1 어댑터 어텐션 레이어와 상기 피드 포워드 네트워크 계층 사이에, 상기 제1 어댑터 어텐션 레이어의 출력을 상기 멀티-헤드 어텐션 계층의 입력과 결합하여 잔차 출력을 생성하고, 상기 잔차 출력에 계층 정규화를 적용하는 제1 잔차 연결과 층 정규화 계층을 더 포함하고, 상기 제2 어댑터 어텐션 레이어 다음에 상기 제2 어댑터 어텐션 레이어의 출력을 상기 피드 포워드 네트워크 계층의 입력과 결합하여 잔차 출력을 생성하고, 상기 잔차 출력에 계층 정규화를 적용하는 제2 잔차 연결과 층 정규화 계층을 더 포함한다.

[0020] 본 발명의 다른 측면에 따르면, 트랜스포머 모델 연속 학습 장치가 제공되며, 이 장치는,

[0021] 프로세서 및 메모리를 포함하며, 상기 메모리는 코드의 집합을 저장하도록 구성되고, 상기 코드는, 도메인별로 트랜스포머 디코더 내에 삽입된 복수의 어댑터를 각각 학습시키는 프로세스, 그리고 상기 트랜스포머 디코더 내에 삽입된 어댑터 어텐션 레이어를 사용하여 상기 학습된 도메인별 어댑터의 정보를 융합하는 프로세스를 실행하도록 상기 프로세서를 제어하는데 사용된다.

[0022] 여기서, 상기 트랜스포머 디코더는 멀티-헤드 어텐션 계층과 상기 멀티-헤드 어텐션 계층 다음에 위치하는 피드 포워드 네트워크 계층을 포함하고, 상기 복수의 어댑터는 상기 멀티-헤드 어텐션 계층과 상기 피드 포워드 네트워크 계층 사이에 삽입된 제1 어댑터 모듈 및 상기 피드 포워드 네트워크 계층 다음에 삽입된 제2 어댑터 모듈에 포함되며, 상기 어댑터 어텐션 레이어는 상기 제1 어댑터 모듈과 상기 피드 포워드 네트워크 계층 사이에 삽입된 제1 어댑터 어텐션 레이어와 상기 제2 어댑터 모듈 다음에 삽입된 제2 어댑터 어텐션 레이어를 포함한다.

[0023] 또한, 상기 학습된 도메인별 어댑터의 정보를 융합하는 프로세스는, 상기 트랜스포머 디코더로부터 유사 도메인별 데이터를 준비하는 프로세스, 상기 트랜스포머 디코더 내에 상기 어댑터 어텐션 레이어를 삽입하는 프로세스, 그리고 상기 유사 도메인별 데이터를 사용하여 상기 어댑터 어텐션 레이어가 삽입된 트랜스포머 디코더에 대한 학습을 수행하는 프로세스를 포함한다.

[0024] 또한, 상기 제1 어댑터 어텐션 레이어는, 상기 제1 어댑터 모듈의 입력을 출력하는 쿼리 모듈, 상기 제1 어댑터 모듈에 포함된 어댑터 각각의 출력을 출력하는 키 모듈, 상기 제1 어댑터 모듈에 포함된 어댑터 각각의 출력을 출력하는 값 모듈, 상기 키 모듈의 출력과 상기 쿼리 모듈의 출력의 내적을 산출하는 제1 곱셈기, 상기 제1 곱셈기의 출력을 정규화하는 소프트맥스 모듈, 그리고 상기 소프트맥스 모듈의 출력과 상기 값 모듈의 출력을 가중합하여 출력하는 제2 곱셈기를 포함한다.

발명의 효과

[0025] 본 발명에 따르면, 기존 어댑터 기반 트랜스포머 연속 학습 기술에서 테스트 단계에서 각 테스트 샘플에 대한 적절한 어댑터를 선택해야 한다는 문제점을 해결할 수 있다.

[0026] 또한, 각 어댑터가 특정 도메인의 지식을 잃어버리지 않으면서, 다른 도메인의 학습에 영향을 미칠 수 있도록 하여 새로운 도메인을 학습할 때 기존 도메인에 대해 학습된 어댑터의 어떠한 지식도 사용하지 못한다는 문제점을 해결할 수 있다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 실시예에 따른 어댑터 어텐션 기반의 트랜스포머 모델 연속 학습 방법의 개략적인 흐름도이다.

도 2는 본 발명의 실시예에 따른 어댑터 어텐션 기반의 트랜스포머 모델 연속 학습 장치에서의 트랜스포머 디코더의 구조도이다.

도 3은 본 발명의 실시예에 따른 어댑터 어텐션 기반의 트랜스포머 모델 연속 학습 방법에서 N개의 태스크에 대해 각 어댑터를 학습하는 과정을 도시한 도면이다.

도 4는 본 발명의 실시예에 따라 어댑터 어텐션 레이어를 사용하여, 학습된 도메인별 어댑터의 정보를 융합하는 과정의 구체적인 흐름도이다.

도 5는 본 발명의 실시예에 따라 어댑터 어텐션 레이어가 삽입된 트랜스포머 디코더의 구조를 도시한 도면이다.

도 6은 본 발명의 실시예에 따른 어댑터 어텐션 레이어의 구체적인 구조를 도시한 도면이다.

도 7은 본 발명의 실시예에 따른 어댑터 어텐션 기반의 트랜스포머 모델 연속 학습 장치의 개략적인 구성을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0028] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위

해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다

[0029] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 "…부", "…기", "모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.

[0030] 본 발명에서 설명하는 장치들은 적어도 하나의 프로세서, 메모리 장치, 통신 장치 등을 포함하는 하드웨어로 구성되고, 지정된 장소에 하드웨어와 결합되어 실행되는 프로그램이 저장된다. 하드웨어는 본 발명의 방법을 실행할 수 있는 구성과 성능을 가진다. 프로그램은 도면들을 참고로 설명한 본 발명의 동작 방법을 구현한 명령어(instructions)를 포함하고, 프로세서와 메모리 장치 등의 하드웨어와 결합하여 본 발명을 실행한다.

[0031] 이하, 도면을 참조하여, 본 발명의 실시예에 따른 어댑터 어텐션 기반의 트랜스포머 모델 연속 학습 방법에 대해 설명한다.

[0032] 도 1은 본 발명의 실시예에 따른 어댑터 어텐션 기반의 트랜스포머 모델 연속 학습 방법의 개략적인 흐름도이다.

[0033] 도 1을 참조하면, 먼저 어댑터 기반 트랜스포머 연속 학습 기술을 사용하여 개별 도메인을 위한 어댑터를 학습한다(S100).

[0034] 상기 단계(S100)에서의 어댑터 학습 과정은 기존의 어댑터 기반 트랜스포머 연속 학습 기술에서의 학습 과정과 동일한 과정일 수 있다.

[0035] 상기 단계(S100)에서 사용되는 트랜스포머와 어댑터의 구조는 도 2에 도시된 구조로서 구현될 수 있다.

[0036] 실제 트랜스포머 모델은 여러 개의 인코더 또는 디코더를 쌓아올린 구조이지만, 설명의 편의를 위해, 도 2에서는 한 개의 트랜스포머 디코더(100)와, 한 개의 트랜스포머 디코더(100)에 포함된 2개의 어댑터 모듈(110, 120)을 도시한다.

[0037] 도 2를 참조하면, 한 개의 트랜스포머 디코더(100)는 멀티-헤드 어텐션 계층(Multi-head attention layer, MHA)(101), 피드 포워드 네트워크 계층(Feed forward network layer, FFN)(103), 그리고 2개의 잔차 연결과 층 정규화 계층(Residual Connection and Layer Normalization layer, Add & Norm)(102, 104)을 포함한다.

[0038] MHA(101)는 각각의 생성 시간 스텝에서, 대응하는 출력 위치에 선행하는 각각의 출력 위치에 대한 입력을 수신하고, 출력 위치 각각에 대해, 출력 위치에 대한 입력으로부터 도출된 하나 이상의 쿼리를 사용하여 입력 위치에서 어텐션 메커니즘을 적용하여 출력 위치에 대한 업데이트된 표현을 생성한다.

[0039] FFN(103)은 각의 생성 시간 스텝에서, 대응하는 출력 위치에 선행하는 각각의 출력 위치에 대해, 상기 출력 위치에서 입력을 수신하고, 출력 위치에서의 입력에 변환 시퀀스를 적용하여 상기 출력 위치에 대한 출력을 생성하도록 구성된다.

[0040] Add & Norm(102)은 MHA(101)의 출력을 MHA(101)에 대한 입력과 결합하여 잔차 출력을 생성하고 잔차 출력에 계층 정규화를 적용하며, Add & Norm(104)은 FFN(103)의 출력을 FFN(103)에 대한 입력과 결합하여 잔차 출력을 생성하고 잔차 출력에 계층 정규화를 적용한다.

[0041] 또한, 도 2를 참조하면, 2개의 어댑터 모듈(110, 120) 중 1개의 어댑터 모듈(110)은 MHA(101)와 Add & Norm(102) 사이에 삽입되고, 나머지 1개의 어댑터 모듈(120)은 FFN(103)과 Add & Norm(104) 사이에 삽입된다. 이러한 2개의 어댑터 모듈(110, 120)은 예를 들어 단일 피드 포워드 네트워크 계층으로 구현될 수 있다.

[0042] 상기 단계(S100)는 전술한 트랜스포머 디코더(100)를 사용하여 도메인별로 대응하는 어댑터를 학습하는 것을 의미한다. 예를 들어, N(N은 1이상의 자연수임)개의 태스크가 주어졌을 때 주어진 N개의 태스크별로 대응하는 어댑터를 각각 학습하는 것이다. 첨부된 도 3의 (a)를 참조하면, 먼저 N개의 태스크 중에서 태스크 1에 대해 태스크 1에 대응하는 어댑터(111, 121)가 학습된 상태가 도시되어 있다. 그 후, 태스크 1에 대해 어댑터(111, 121)가 학습된 상태에서 도 3의 (b)를 참조하면, N개의 태스크 중에서 태스크 2에 대해 태스크 2에 대응하는 어댑터(112, 122)가 학습된 상태가 도시되어 있다. 마지막으로, 도 3의 (c)를 참조하면, N개의 태스크 중에서 마지막인 태스크 N에 대해 태스크 N에 대응하는 어댑터(113, 123)가 학습된 상태가 도시되어 있다. 도 3의 예는,

설명을 위한 일 예로, N=3 이상의 태스크에 대해 현재 3개까지의 태스크에 대해 3개의 어댑터(111, 112, 113, 121, 122, 123)가 학습된 상태를 나타낸 것이다. 따라서, 도 3을 참조하면, 트랜스포머 디코더(100) 내의 각 어댑터(110, 120)에는 각각 3개의 어댑터, 예를 들어 3개의 FFN(111, 112, 113) 및 3개의 FFN(121, 122, 123)이 학습되어 있음을 알 수 있다.

[0043] 다음, 어댑터 어텐션 레이어를 사용하여, 학습된 도메인별 어댑터의 정보를 융합한다(S110).

[0044] 상기 단계(S110)에 대해 도 4를 참조하여 구체적으로 설명한다.

[0045] 도 4는 본 발명의 실시예에 따라 어댑터 어텐션 레이어를 사용하여, 학습된 도메인별 어댑터의 정보를 융합하는 과정의 구체적인 흐름도이다.

[0046] 도 4를 참조하면, 먼저, 상기 단계(S100)를 통해 학습된 트랜스포머 디코더(100)로부터 유사(pseudo) 도메인별 데이터를 준비한다(S111). 여기서, 유사 도메인별 데이터는 상기 단계(S100)에서 각 태스크에 대응하는 데이터일 수 있다.

[0047] 다음, 트랜스포머 디코더(100) 내에 어댑터 어텐션 레이어를 삽입한다(S112). 트랜스포머 디코더(100) 내에 어댑터 어텐션 레이어(130, 140)가 삽입된 트랜스포머 디코더(100)의 구조는 예를 들어, 도 5에 도시된 바와 같다.

[0048] 도 5를 참조하면, 본 발명의 실시예에 따른 어댑터 어텐션 레이어(130, 140)는 각각 어댑터 모듈(110, 120) 위에 삽입된다. 구체적으로, 어댑터 어텐션 레이어(130)는 어댑터 모듈(110)과 Add & Norm(102) 사이에 삽입되고, 어댑터 어텐션 레이어(140)는 어댑터 모듈(120)과 Add & Norm(104) 사이에 삽입된다.

[0049] 트랜스포머 디코더(100)에 삽입된 어댑터 어텐션 레이어(130, 140)는 도메인별로 학습된 어댑터 모듈(110, 120)의 출력을 어텐션 메카니즘을 사용하여 가중합 및 정규화를 수행한다.

[0050] 삽입된 어댑터 어텐션 레이어(130, 140)는 동일한 구성을 가지므로, 여기서는 설명의 편의를 위해 하나의 어댑터 어텐션 레이어(140)에 대해서만 설명한다.

[0051] 도 6은 본 발명의 실시예에 따른 어댑터 어텐션 레이어의 구체적인 구조를 도시한 도면이다.

[0052] 도 6을 참조하면, 어댑터 어텐션 레이어(140)는 쿼리 모듈(Query)(141), 키 모듈(Key)(142), 값 모듈(Value)(143), 곱셈기(144, 146) 및 소프트맥스 모듈(SoftMax)(145)을 포함한다. 여기서, 각각의 모듈(141, 142, 143, 144, 145, 146)은 그 기능을 수행하는 함수로서 구현될 수 있다.

[0053] 쿼리 모듈(141)은 어댑터 모듈(120)의 입력을 곱셈기(144)로 출력한다.

[0054] 키 모듈(142)은 어댑터 모듈(120) 내의 학습된 어댑터, 여기서는 3개의 어댑터(121, 122, 123) 각각의 출력을 곱셈기(144)로 출력한다.

[0055] 값 모듈(143)은 어댑터 모듈(120) 내의 학습된 어댑터(121, 122, 123) 각각의 출력을 곱셈기(146)로 출력한다.

[0056] 곱셈기(144)는 키 모듈(142)에서 출력되는 값들과 쿼리 모듈(141)에서 출력되는 값의 내적(dot product)을 산출하여 소프트맥스 모듈(145)로 출력한다. 곱셈기(144)에서의 내적을 통해 어댑터(121, 122, 123)의 출력과 어댑터 모듈(120)의 입력 사이의 유사도가 산출될 수 있다.

[0057] 소프트맥스 모듈(145)은 곱셈기(144)의 출력을 0과 1 사이의 값으로 정규화하다. 즉, 소프트맥스 모듈(145)은 어댑터(121, 122, 123)의 출력과 어댑터 모듈(120)의 입력 사이의 유사도를 0과 1 사이의 값으로 정규화한다.

[0058] 곱셈기(146)는 스포트맥스 모듈(145)의 출력과 값 모듈(143)의 출력을 가중합하여 최종 출력 벡터를 생성하여 Add & Norm(104)로 출력한다. 즉, 곱셈기(146)는 어댑터(121, 122, 123)의 출력과 어댑터 모듈(120)의 입력 사이의 정규화된 유사도를 어댑터(121, 122, 123)의 출력값과 가중합하여 최종 출력 벡터를 생성한다.

[0059] 이와 같이, 어댑터 어텐션 레이어(140)는 어댑터 모듈(120) 내의 학습된 도메인별 어댑터(121, 122, 123)의 정보를 융합할 수 있다.

[0060] 마찬가지로, 위의 설명을 참조하면, 어댑터 어텐션 레이어(130)는 어댑터 모듈(110) 내의 학습된 도메인별 어댑터(111, 112, 113)의 정보를 융합할 수 있음이 당업자에 의해 쉽게 이해될 것이다.

[0061] 다음, 준비된 유사 도메인별 데이터를 사용하여 어댑터 어텐션 레이어(130, 140)가 삽입된 트랜스포머 디코더(100)에 대한 학습을 수행한다(S113).

[0062] 어댑터 어텐션 레이어(130, 140)가 삽입된 트랜스포머 디코더(100)에 대한 학습시, 어댑터 어텐션 레이어(130)는 임의의 입력 은닉 벡터(hidden vector) x에 대한 각 어댑터(111, 112, 113)의 출력값과, x 사이의 내적을 통해 일종의 유사도를 계산하고, 소프트맥스 모듈(145)을 통해 각 어댑터(111, 112, 113)의 출력값과 입력 은닉 벡터 x 사이의 유사도를 0과 1 사이의 값으로 정규화한 뒤, 정규화된 유사도를 각 어댑터(111, 112, 113)의 출력값과 가중합하여 최종 출력 벡터를 생성하고, 마찬가지로, 어댑터 어텐션 레이어(140)는 임의의 입력 은닉 벡터(hidden vector) x에 대한 각 어댑터(121, 122, 123)의 출력값과, x 사이의 내적을 통해 일종의 유사도를 계산하고, 소프트맥스 모듈(145)을 통해 각 어댑터(121, 122, 123)의 출력값과 입력 은닉 벡터 x 사이의 유사도를 0과 1 사이의 값으로 정규화한 뒤, 정규화된 유사도를 각 어댑터(121, 122, 123)의 출력값과 가중합하여 최종 출력 벡터를 생성한다.

[0063] 이와 같이, 본 발명의 실시예에서는 트랜스포머 디코더(100)에서 어댑터 어텐션 레이어(130, 140)를 사용하여 특정 데이터에 대해 적절한 어댑터를 선택하는 것이 아닌, 모든 어댑터의 출력을 융합함으로써 기존 어댑터 기반 트랜스포머 연속 학습 기술에서 테스트 단계에서 각 테스트 샘플에 대한 적절한 어댑터를 선택해야 한다는 문제점을 해결하였고, 도메인별 어댑터 개별 학습 단계(S100)와 어댑터 어텐션 레이어 학습 단계(110)를 분리함으로써, 각 어댑터가 특정 도메인의 지식을 잃어버리지 않으면서, 다른 도메인의 학습에 영향을 미칠 수 있도록 하여 새로운 도메인을 학습할 때 기존 도메인에 대해 학습된 어댑터의 어떠한 지식도 사용하지 못한다는 문제점을 해결하였다.

[0064] 다음, 본 발명의 실시예에 어댑터 어텐션 기반의 트랜스포머 모델 연속 학습 장치에 대해 설명한다.

[0065] 도 7은 본 발명의 실시예에 따른 어댑터 어텐션 기반의 트랜스포머 모델 연속 학습 장치(200)의 개략적인 구성을 도시한 도면이다.

[0066] 도 7에 도시된 바와 같이, 본 발명의 실시예에 따른 트랜스포머 모델 연속 학습 장치(200)는 적어도 하나의 프로세서(210), 메모리(220), 통신기(230), 입출력기(240) 및 통신 버스(250)를 포함한다.

[0067] 프로세서(210)는 범용 CPU(Central Processing Unit), 마이크로프로세서, ASIC(Application-Specific Integrated Circuit), 또는 본 출원의 해결수단에서 프로그램 실행을 제어하기 위한 하나 이상의 집적 회로일 수 있다.

[0068] 메모리(220)는 본 발명의 실시예에 따른 어댑터 어텐션 기반의 트랜스포머 모델 연속 학습 방법을 위한 정보를 저장한다.

[0069] 구체적으로, 메모리(220)는 코드의 집합을 저장하도록 추가로 구성되고, 그 코드는 다음과 같은 프로세스를 실행하기 위해 프로세서(210)를 제어하는 데 사용된다. 이러한 프로세스는, 어댑터 기반 트랜스포머 연속 학습 기술을 사용하여 개별 도메인을 위한 어댑터(111, 112, 113, 121, 122, 123)를 학습하는 프로세스, 어댑터 어텐션 레이어(130, 140)를 사용하여, 학습된 도메인별 어댑터의 정보를 융합하는 프로세스 등을 포함한다.

[0070] 여기서, 어댑터 어텐션 레이어를 사용하여, 학습된 도메인별 어댑터의 정보를 융합하는 프로세스는 트랜스포머 디코더(100)를 통해 유사 도메인별 데이터를 준비하는 프로세스, 트랜스포머 디코더(100) 내에 어댑터 어텐션 레이어(130, 140)를 삽입하는 프로세스, 준비된 유사 도메인별 데이터를 사용하여 어댑터 어텐션 레이어(130, 140)가 삽입된 트랜스포머 디코더(100)에 대한 학습을 수행하는 프로세스 등을 포함한다.

[0071] 메모리(220)는 ROM(Read-Only Memory) 또는 명령을 저장할 수 있는 다른 유형의 정적 저장 장치, 또는 RAM(Random Access Memory) 또는 정보 및 명령을 저장할 수 있는 다른 유형의 동적 저장 장치일 수 있거나, 또는EEPROM(Electrically Erasable Programmable Read-Only Memory), CD-ROM(Compact Disc Read-Only Memory) 또는 다른 컴팩트 디스크 저장 장치 또는 광 디스크 저장 장치(압축 광 디스크, 레이저 디스크, 광 디스크, 디지털 다용도 디스크, 블루레이 디스크 등을 포함함), 자기 디스크 저장 매체 또는 다른 자기 저장 장치, 또는 명령 또는 데이터 구조의 형태로 예상 프로그램 코드를 운반하거나 저장할 수 있으면서 컴퓨터에 의해 액세스될 수 있는 임의의 다른 매체일 수 있으며, 이것은 제한되지 않는다. 메모리(220)는 독립적으로 존재할 수 있으며, 통신 버스(250)에 의해 프로세서(210)에 연결된다.

[0072] 통신기(230)는 외부의 다른 장치와 유무선 통신을 수행하며, 다양한 유선 또는 무선 통신 기술로 구현될 수 있다. 예를 들어, 통신기(230)는 인터넷과 연결되어 서비스를 제공하는 경우 인터넷에서 정보 전송을 위한 표준 프로토콜인 TCP/IP를 따를 수 있다.

[0073] 입출력기(240)는 구체적으로는 입력 장치(241)와 출력 장치(242)로 구성되며, 입력 장치(241)는 프로세서(210)

와 통신하고, 복수의 방식으로 사용자의 입력을 수신할 수 있다. 예를 들어, 입력 장치(241)는 마우스, 키보드, 터치 스크린 또는 센싱 장치일 수 있다. 출력 장치(242)는 프로세서(210)와 통신하고, 복수의 방식으로 정보를 디스플레이하거나 음성을 출력할 수 있다. 예를 들어, 출력 장치(242)는 LCD(Liquid Crystal Display), LED(Light Emitting Diode) 디스플레이, OLED(Organic Light Emitting Diode) 디스플레이, 스피커 등일 수 있다.

[0074] 입출력기(240)는 본 발명의 실시예에 따른 어댑터 어텐션 기반의 트랜스포머 모델 연속 학습을 정보를 입력하고, 어댑터 어텐션 기반의 트랜스포머 모델 연속 학습 과정이나 결과 등의 정보를 출력하는 데 사용될 수 있다.

[0075] 통신 버스(250)는 트랜스포머 모델 연속 학습 (200)의 모든 컴포넌트들, 즉 프로세서(210), 메모리(220), 통신기(230) 및 입출력기(240)를 결합하도록 구성된다.

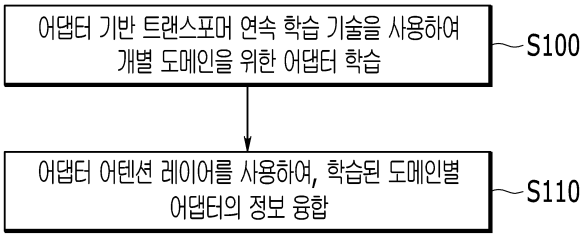
[0076] 본 발명의 실시예에서 사용되는 구성요소 또는 “~부”는 메모리 상의 소정 영역에서 수행되는 태스크, 클래스, 서브 루틴, 프로세스, 오브젝트, 실행 쓰레드, 프로그램과 같은 소프트웨어(software)나, FPGA(field-programmable gate array)나ASIC(application-specific integrated circuit)과 같은 하드웨어(hardware)로 구현될 수 있으며, 또한 상기 소프트웨어 및 하드웨어의 조합으로 이루어질 수도 있다. 상기 구성요소 또는 '~부' 등은 컴퓨터로 판독 가능한 저장 매체에 포함되어 있을 수도 있고, 복수의 컴퓨터에 그 일부가 분산되어 분포될 수도 있다.

[0077] 이상에서 설명한 본 발명의 실시예는 장치 및 방법을 통해서만 구현이 되는 것은 아니며, 본 발명의 실시예의 구성에 대응하는 기능을 실현하는 프로그램 또는 그 프로그램이 기록된 기록 매체를 통해 구현될 수도 있다.

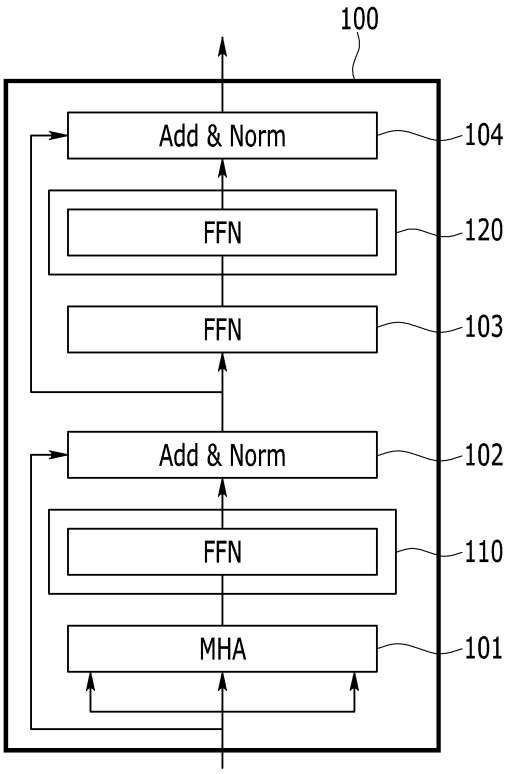
[0078] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면

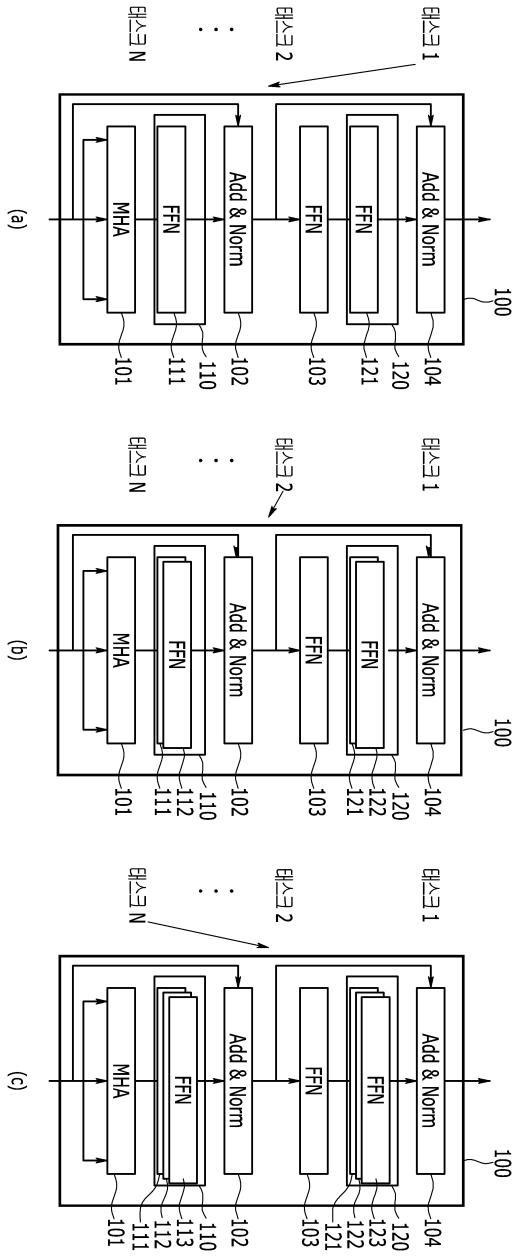
도면1



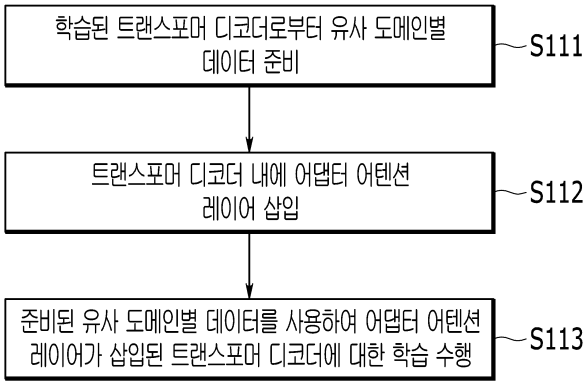
도면2



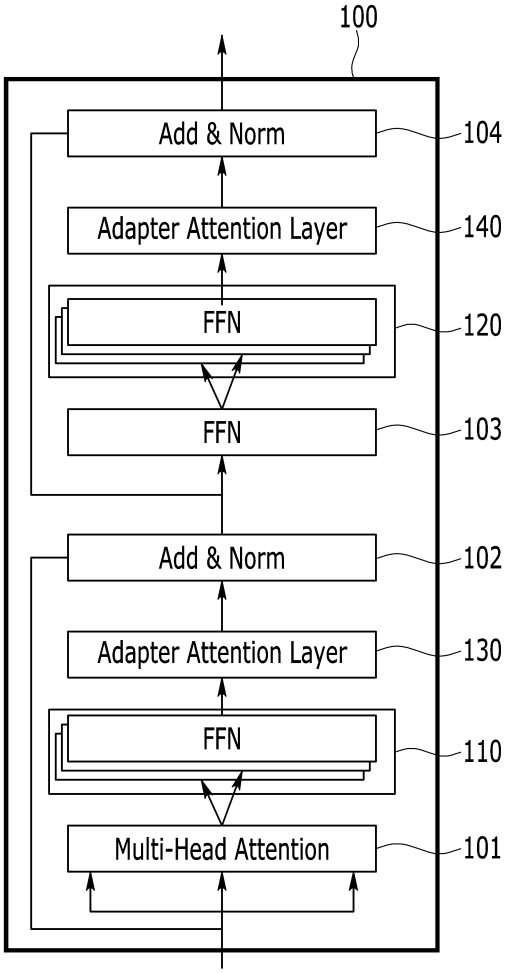
도면3


(a)
태스크 N
. . .
태스크 2
태스크 1
MHA
FFN
Add & Norm
FFN
FFN
Add & Norm
100
101
111
110
102
103
121
120
104
(b)
태스크 N
. . .
태스크 2
태스크 1
MHA
FFN
Add & Norm
FFN
FFN
Add & Norm
100
101
111
112
110
102
103
121
122
120
104
(c)
태스크 N
. . .
태스크 2
태스크 1
MHA
FFN
Add & Norm
FFN
FFN
Add & Norm
100
101
111
112
113
110
102
103
121
122
123
120
104

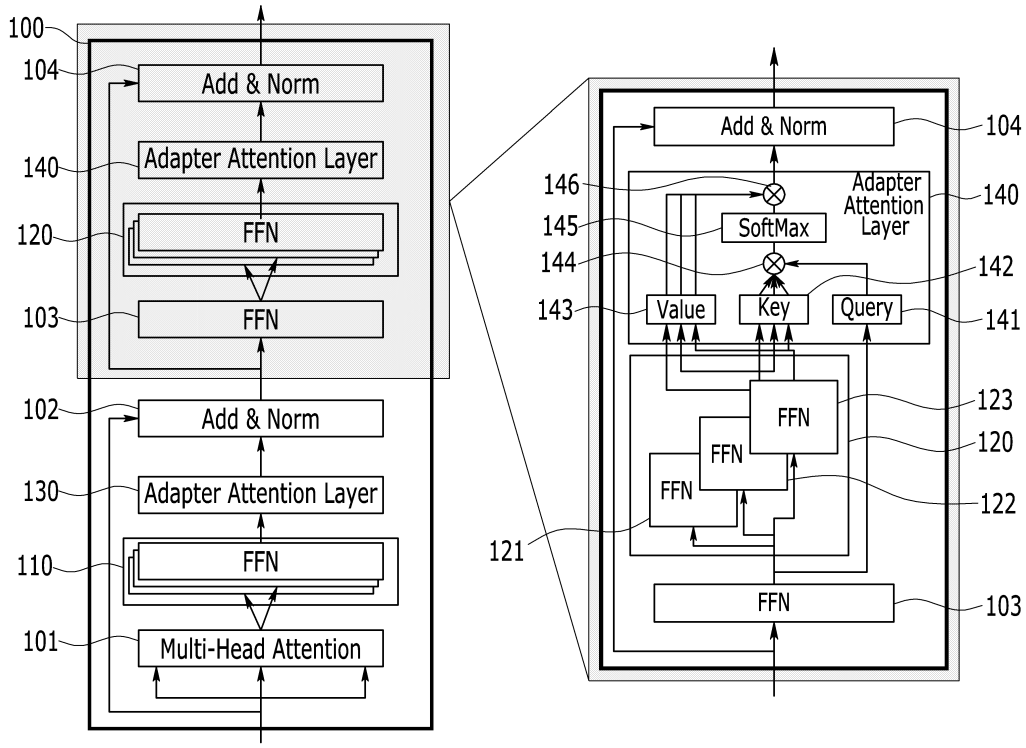
도면4


학습된 트랜스포머 디코더로부터 유사 도메인별 데이터 준비
S111
트랜스포머 디코더 내에 어댑터 어텐션 레이어 삽입
S112
준비된 유사 도메인별 데이터를 사용하여 어댑터 어텐션 레이어가 삽입된 트랜스포머 디코더에 대한 학습 수행
S113

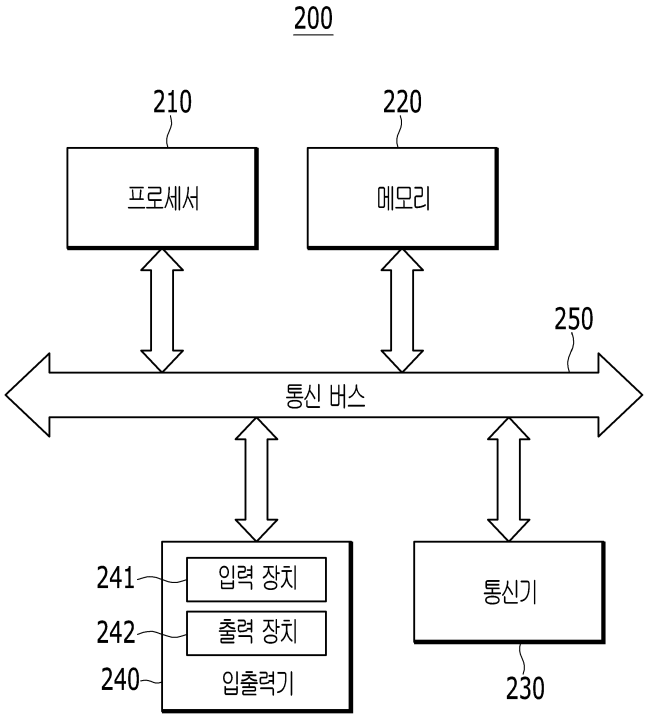
도면5


100
Add & Norm
104
Adapter Attention Layer
140
FFN
120
FFN
103
Add & Norm
102
Adapter Attention Layer
130
FFN
110
Multi-Head Attention
101

도면6


100
104
Add & Norm
140
Adapter Attention Layer
120
FFN
103
FFN
102
Add & Norm
130
Adapter Attention Layer
110
FFN
101
Multi-Head Attention
Add & Norm
104
146
Adapter Attention Layer
140
145
SoftMax
144
142
143
Value
Key
Query
141
123
FFN
120
FFN
FFN
122
121
FFN
103

도면7


200
210
220
프로세서
메모리
250
통신 버스
241
입력 장치
242
출력 장치
240
입출력기
통신기
230