

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-4881

(P2020-4881A)

(43) 公開日 令和2年1月9日(2020.1.9)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/301 (2006.01)	HO 1 L 21/78 F	5 F 0 6 3
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 3 A	
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 5 B	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 8 F	
HO 1 L 21/76 (2006.01)	HO 1 L 29/78 6 5 2 R	

審査請求 未請求 請求項の数 10 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2018-123889 (P2018-123889)
 (22) 出願日 平成30年6月29日 (2018. 6. 29)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 110001195
 特許業務法人深見特許事務所
 (72) 発明者 浅井 佑太
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 (72) 発明者 高橋 徹雄
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 Fターム(参考) 5F063 AA05 AA36 BA13 BA33 BA34
 BB05 CA04

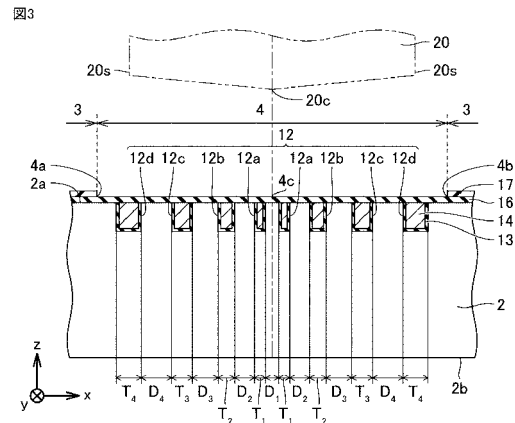
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】半導体装置の収率を向上させることができる半導体装置の製造方法を提供する。

【解決手段】半導体装置1の製造方法は、ウエハ2の第1主面2aの第2領域4にダイシング溝12を形成することと、ブレード20を用いてウエハ2を分割することとを備える。ダイシング溝12は、複数の溝12a, 12b, 12c, 12dを含む。複数の溝12a, 12b, 12c, 12dは、第2領域4の両端4a, 4bから中心4cに向かうにつれて、互いに隣り合う溝12a, 12b, 12c, 12dの間の間隔D₁, D₂, D₃, D₄が減少するように形成されている。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

ウエハの主面の複数の第 1 領域に複数の半導体装置をそれぞれ形成することを備え、前記複数の第 1 領域は、第 1 の方向と前記第 1 の方向に交差する第 2 の方向とに沿って配列されており、

前記ウエハの前記主面の第 2 領域にダイシング溝を形成することを備え、前記第 2 領域は前記複数の第 1 領域の間であり、かつ、前記第 2 の方向に沿って延在しており、さらに、

前記第 2 領域にブレードを押し当てながら、前記ダイシング溝に沿って前記ブレードを前記ウエハに対して相対的に移動させることにより、前記ウエハを分割することを備え、

前記ダイシング溝は前記第 2 の方向に沿って延在しており、かつ、複数の溝を含み、前記複数の溝は、前記第 1 の方向に沿って配列されており、かつ、前記第 2 の方向に沿って延在しており、

前記複数の溝は、前記第 1 の方向における前記第 2 領域の両端から前記第 1 の方向における前記第 2 領域の中心に向かうにつれて、互いに隣り合う前記溝の間隔が減少するように形成されている、半導体装置の製造方法。

【請求項 2】

前記複数の溝の幅は、前記中心から前記両端に向かうにつれて大きくなっている、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

ウエハの主面の複数の第 1 領域に複数の半導体装置をそれぞれ形成することを備え、前記複数の第 1 領域は、第 1 の方向と前記第 1 の方向に交差する第 2 の方向とに沿って配列されており、

前記ウエハの前記主面の第 2 領域にダイシング溝を形成することを備え、前記第 2 領域は前記複数の第 1 領域の間であり、かつ、前記第 2 の方向に沿って延在しており、さらに、

前記第 2 領域にブレードを押し当てながら、前記ダイシング溝に沿って前記ブレードを前記ウエハに対して相対的に移動させることにより、前記ウエハを分割することを備え、

前記ダイシング溝は前記第 2 の方向に沿って延在しており、かつ、複数の溝を含み、前記複数の溝は、前記第 1 の方向に沿って配列されており、かつ、前記第 2 の方向に沿って延在しており、

前記第 1 の方向における前記複数の溝の幅は、前記第 1 の方向における前記第 2 領域の中心から、前記第 1 の方向における前記第 2 領域の両端に向かうにつれて大きくなっている、半導体装置の製造方法。

【請求項 4】

前記主面の平面視において、前記ブレードの両側面は、前記複数の溝のうち前記第 1 の方向における両端溝にそれぞれ重なっている、請求項 1 から請求項 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】

前記両端溝は、各々、10 μm 以上の幅を有している、請求項 4 に記載の半導体装置の製造方法。

【請求項 6】

前記複数の溝は、前記複数の第 1 領域に前記複数の半導体装置をそれぞれ形成する際に前記複数の第 1 領域に形成されるトレンチと一括して形成される、請求項 1 から請求項 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 7】

前記複数の溝内に、第 1 多結晶膜を形成することをさらに備える、請求項 1 から請求項 6 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】

前記第 1 多結晶膜は、前記複数の第 1 領域に前記複数の半導体装置をそれぞれ形成する

10

20

30

40

50

際に前記複数の第1領域に形成される第2多結晶膜と一括して形成される、請求項7に記載の半導体装置の製造方法。

【請求項9】

前記複数の第1領域の各々の周縁部上に第1非晶質絶縁膜を形成することをさらに備え

、前記周縁部は前記第2領域に接している、請求項1から請求項8のいずれか1項に記載の半導体装置の製造方法。

【請求項10】

前記第1非晶質絶縁膜上に第2非晶質絶縁膜を形成することをさらに備える、請求項9に記載の半導体装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関する。

【背景技術】

【0002】

特開2016-162766号公報(特許文献1)は、半導体装置の製造方法を開示している。具体的には、ウエハの複数の半導体装置形成領域に、絶縁ゲート型バイポーラトランジスタ(IGBT)のような複数の半導体装置がそれぞれ形成される。複数の半導体装置形成領域の間にあるダイシングラインに沿ってウエハを分割する。こうして、半導体装置が製造される。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2016-162766号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献1に開示された半導体装置の製造方法では、ダイシングラインに沿ってウエハを分割する際に発生するチッピングが半導体装置形成領域に到達することがあり、半導体装置の収率が低いという問題があった。本発明の目的は、半導体装置の収率を向上させることができる半導体装置の製造方法を提供することである。

30

【課題を解決するための手段】

【0005】

本発明の第一の局面の半導体装置の製造方法は、ウエハの第1主面の複数の第1領域に複数の半導体装置をそれぞれ形成することを備える。複数の第1領域は、第1の方向と第1の方向に交差する第2の方向とに沿って配列されている。本発明の第一の局面の半導体装置の製造方法は、ウエハの第1主面の第2領域にダイシング溝を形成することをさらに備える。第2領域は複数の第1領域の間にあり、かつ、第2の方向に沿って延在している。本発明の第一の局面の半導体装置の製造方法は、第2領域にブレードを押し当てながら、ダイシング溝に沿ってブレードをウエハに対して相対的に移動させることにより、ウエハを分割することを備える。ダイシング溝は第2の方向に沿って延在しており、かつ、複数の溝を含む。複数の溝は、第1の方向に沿って配列されており、かつ、第2の方向に沿って延在している。複数の溝は、第1の方向における第2領域の両端から第1の方向における第2領域の中心に向かうにつれて、互いに隣り合う溝の間隔が減少するように形成されている。

40

【0006】

本発明の第二の局面の半導体装置の製造方法は、ウエハの第1主面の複数の第1領域に複数の半導体装置をそれぞれ形成することを備える。複数の第1領域は、第1の方向と第

50

1 の方向に交差する第 2 の方向とに沿って配列されている。本発明の第二の局面の半導体装置の製造方法は、ウエハの第 1 主面の第 2 領域にダイシング溝を形成することをさらに備える。第 2 領域は複数の第 1 領域の間であり、かつ、第 2 の方向に沿って延在している。本発明の第二の局面の半導体装置の製造方法は、第 2 領域にブレードを押し当てながら、ダイシング溝に沿ってブレードをウエハに対して相対的に移動させることにより、ウエハを分割することを備える。ダイシング溝は第 2 の方向に沿って延在しており、かつ、複数の溝を含む。複数の溝は、第 1 の方向に沿って配列されており、かつ、第 2 の方向に沿って延在している。第 1 の方向における複数の溝の幅は、第 1 の方向における第 2 領域の中心から、第 1 の方向における第 2 領域の両端に向かうにつれて大きくなっている。

【発明の効果】

【0007】

本発明の第一の局面の半導体装置の製造方法では、複数の溝は、ブレードがウエハに加える衝撃を緩和し、ウエハにおけるチップングの発生を減少させる。さらに、複数の溝は、各々、第 1 領域に向けたチップングの進行を阻止する、または、チップングの進行方向を第 1 主面に向けて曲げる。半導体装置が形成されているウエハの第 1 領域にチップングが到達することが抑制される。本発明の第一の局面の半導体装置の製造方法は、半導体装置の収率を向上させることができる。

【0008】

本発明の第二の局面の半導体装置の製造方法では、第 1 の方向における両端溝は、複数の溝の中で最も大きい幅を有しており、第 1 領域に向けたチップングの進行を最も確実に阻止することができる。さらに、複数の溝のうち両端溝以外の溝は、ブレードがウエハに加える衝撃を緩和し、ウエハにおけるチップングの発生を減少させる。半導体装置が形成されているウエハの第 1 領域にチップングが到達することが抑制される。本発明の第二の局面の半導体装置の製造方法は、半導体装置の収率を向上させることができる。

【図面の簡単な説明】

【0009】

【図 1】実施の形態 1 から実施の形態 3 に係る半導体装置の製造方法の一工程を示す概略平面図である。

【図 2】実施の形態 1 から実施の形態 3 に係る半導体装置の製造方法の、図 1 に示される断面線 I I - I I における概略部分拡大断面図である。

【図 3】実施の形態 1 に係る半導体装置の製造方法の、図 1 に示される断面線 I I I - I I I における概略部分拡大断面図である。

【図 4】実施の形態 1 に係る半導体装置の製造方法における、図 2 に示される工程の次工程を示す概略部分拡大断面図である。

【図 5】実施の形態 1 の第 1 変形例に係る半導体装置の製造方法の一工程を示す概略部分拡大断面図である。

【図 6】実施の形態 1 の第 2 変形例に係る半導体装置の製造方法の一工程を示す概略部分拡大断面図である。

【図 7】実施の形態 2 に係る半導体装置の製造方法の、図 1 に示される断面線 V I I - V I I における概略部分拡大断面図である。

【図 8】実施の形態 2 の第 1 変形例に係る半導体装置の製造方法の一工程を示す概略部分拡大断面図である。

【図 9】実施の形態 2 の第 2 変形例に係る半導体装置の製造方法の一工程を示す概略部分拡大断面図である。

【図 10】実施の形態 3 に係る半導体装置の製造方法の、図 1 に示される断面線 X - X における概略部分拡大断面図である。

【図 11】実施の形態 3 の第 1 変形例に係る半導体装置の製造方法の一工程を示す概略部分拡大断面図である。

【図 12】実施の形態 3 の第 2 変形例に係る半導体装置の製造方法の一工程を示す概略部分拡大断面図である。

10

20

30

40

50

【発明を実施するための形態】

【0010】

以下、本発明の実施の形態を説明する。なお、同一の構成には同一の参照番号を付し、その説明は繰り返さない。

【0011】

実施の形態1.

図1から図6を参照して、実施の形態1の半導体装置1の製造方法を説明する。

【0012】

図1及び図2に示されるように、本実施の形態の半導体装置1の製造方法は、ウエハ2の第1主面2aの複数の第1領域3に複数の半導体装置1をそれぞれ形成することを備える。ウエハ2は、複数の第1領域3と、少なくとも1つの第2領域4と、少なくとも1つの第3領域5とを含む。複数の第1領域3は、第1の方向(x方向)と第1の方向(x方向)に交差する第2の方向(y方向)とに沿って配列されている。第2領域4は複数の第1領域3の間であり、かつ、第2の方向(y方向)に沿って延在している。第2領域4は、複数の第1領域3を第1の方向(x方向)において区分している。第3領域5は複数の第1領域3の間であり、かつ、第1の方向(x方向)に沿って延在している。第3領域5は、複数の第1領域3を第2の方向(y方向)において区分している。本実施の形態では、第2の方向(y方向)は、第1の方向(x方向)に垂直である。第2の方向(y方向)は、第1の方向(x方向)に対して傾いていてもよい。

10

【0013】

半導体装置1は、ウエハ2に形成されている。ウエハ2は、例えば、シリコンウエハまたは炭化珪素ウエハである。ウエハ2は、第1主面2aと第2主面2bとを有する。第1主面2aと第2主面2bとは、各々、第1の方向(x方向)と第2の方向(z方向)とに延在している。第2主面2bは、第1の方向(x方向)及び第2の方向(y方向)に直交する第3の方向(z方向)において、第1主面2aに対向している。

20

【0014】

半導体装置1は、例えば、絶縁ゲート型バイポーラトランジスタ(IGBT)もしくは金属酸化物半導体電界効果トランジスタ(MOSFET)のようなトランジスタ、サイリスタ、ダイオード、半導体レーザ、発光ダイオードまたはフォトダイオードである。図2に示されるように、本実施の形態では、半導体装置1は、トレンチゲート構造を有するIGBTである。半導体装置1は、n型ドリフト領域30と、p型ベース領域31と、n型エミッタ領域32と、p型コンタクト層33と、ゲート絶縁膜35と、ゲート電極36と、n型バッファ領域40と、p型コレクタ層41とを含む。半導体装置1は、エミッタ電極38とコレクタ電極39とをさらに含む。

30

【0015】

n型ドリフト領域30は、例えば、n⁻型領域である。p型ベース領域31は、n型ドリフト領域30に対して第1主面2a側に設けられている。p型ベース領域31は、第1主面2aから第1深さにわたって形成されている。n型エミッタ領域32は、p型ベース領域31の一部に形成されている。n型エミッタ領域32は、第1主面2aから第2深さにわたって形成されている。第2深さは、第1深さよりも小さい。n型エミッタ領域32は、例えば、n⁺型領域である。n型エミッタ領域32は、第1主面2aの一部に形成されている。p型コンタクト層33は、例えば、p⁺型領域である。p型コンタクト層33は、p型ベース領域31よりも高いp型キャリア(正孔)濃度を有している。p型コンタクト層33は、n型エミッタ領域32が形成されていない第1主面2aの一部に形成されている。

40

【0016】

ゲート絶縁膜35は、n型エミッタ領域32とn型ドリフト領域30とに挟まれるp型ベース領域31の部分31a上に設けられている。半導体装置1のオン動作時に、p型ベース領域31の部分31aにチャンネルが形成される。ゲート絶縁膜35は、n型エミッタ領域32からp型ベース領域31を貫いてn型ドリフト領域30に達するトレンチ34の

50

側壁と底面との上に形成されてもよい。ゲート絶縁膜 35 は、例えば、 SiO_2 膜である。ゲート電極 36 は、ゲート絶縁膜 35 を挟んで p 型ベース領域 31 の部分 31a に対向している。ゲート電極 36 は、トレンチゲート電極である。ゲート電極 36 は、トレンチ 34 内にゲート絶縁膜 35 を介して設けられている。ゲート電極 36 は、例えば、ポリシリコン膜である。

【0017】

n 型バッファ領域 40 は、n 型ドリフト領域 30 に接し、かつ、n 型ドリフト領域 30 に対して第 2 主面 2b 側に設けられている。n 型バッファ領域 40 は、n 型ドリフト領域 30 よりも大きな n 型キャリア（電子）の濃度を有している。p 型コレクタ層 41 は、ウエハ 2 の第 2 主面 2b に設けられている。p 型コレクタ層 41 は、n 型バッファ領域 40 に対して第 2 主面 2b 側に設けられている。p 型コレクタ層 41 は、n 型バッファ領域 40 に接している。p 型コレクタ層 41 は、例えば、 p^+ 型層である。

10

【0018】

エミッタ電極 38 は、第 1 主面 2a における n 型エミッタ領域 32 上に形成されている。エミッタ電極 38 は、第 1 主面 2a における p 型コンタクト層 33 上にも形成されている。エミッタ電極 38 は、n 型エミッタ領域 32 と p 型コンタクト層 33 とに接触している。エミッタ電極 38 は、p 型コンタクト層 33 を介して p 型ベース領域 31 に電氣的に接続されている。エミッタ電極 38 は、層間絶縁膜 37 によって、ゲート電極 36 から電氣的に絶縁されている。コレクタ電極 39 は、第 2 主面 2b 上に形成されている。コレクタ電極 39 は、p 型コレクタ層 41 上に形成されており、p 型コレクタ層 41 に接触している。

20

【0019】

図 1 及び図 3 に示されるように、本実施の形態の半導体装置 1 の製造方法は、ウエハ 2 の第 1 主面 2a の第 2 領域 4 にダイシング溝 12 を形成することを備える。複数の第 1 領域 3 に複数の半導体装置 1 をそれぞれ形成することの前または後に、ダイシング溝 12 が第 2 領域 4 に形成されてもよいし、複数の第 1 領域 3 に複数の半導体装置 1 をそれぞれ形成しながら、ダイシング溝 12 が第 2 領域 4 に形成されてもよい。ダイシング溝 12 は第 2 の方向（y 方向）に沿って延在しており、かつ、複数の溝 12a, 12b, 12c, 12d を含む。

【0020】

複数の溝 12a, 12b, 12c, 12d は、第 1 の方向（x 方向）に沿って配列されており、かつ、第 2 の方向（y 方向）に沿って延在している。一对の溝 12a, 12a は、第 1 の方向（x 方向）における第 2 領域 4 の中心 4c の最も近くに配置されている。溝 12b は、溝 12a に隣り合っており、かつ、溝 12a に対して第 2 の領域の中心 4c とは反対側にある。溝 12c は、溝 12b に隣り合っており、かつ、溝 12b に対して第 2 の領域の中心 4c とは反対側にある。溝 12d は、溝 12c に隣り合っており、かつ、溝 12c に対して第 2 の領域の中心 4c とは反対側にある。

30

【0021】

複数の溝 12a, 12b, 12c, 12d は、第 1 の方向（x 方向）における第 2 領域 4 の両端 4a, 4b から、第 1 の方向（x 方向）における第 2 領域 4 の中心 4c に向かうにつれて、互いに隣り合う溝 12a, 12b, 12c, 12d の間の間隔 D_1, D_2, D_3, D_4 が減少するように形成されている。具体的には、溝 12d と溝 12c との間の間隔 D_4 は、溝 12c と溝 12b との間の間隔 D_3 よりも小さい。溝 12c と溝 12b との間の間隔 D_3 は、溝 12b と溝 12a との間の間隔 D_2 よりも小さい。溝 12b と溝 12a との間の間隔 D_2 は、第 2 領域 4 の中心 4c に最も近い一对の溝 12a, 12a の間の間隔 D_1 よりも小さい。

40

【0022】

本実施の形態の半導体装置 1 の製造方法では、複数の溝 12a, 12b, 12c, 12d の幅 T_1, T_2, T_3, T_4 は、中心 4c から両端 4a, 4b に向かうにつれて大きくなっている。具体的には、溝 12b の幅 T_2 は、第 2 領域 4 の中心 4c に最も近い溝 12a の

50

幅 T_1 よりも大きい。溝 12c の幅 T_3 は、溝 12b の幅 T_2 よりも大きい。溝 12d の幅 T_4 は、溝 12c の幅 T_3 よりも大きい。複数の溝 12a, 12b, 12c, 12d のうち第 1 の方向 (x 方向) における両端溝 (溝 12d) の各々の幅 T_4 は、 $10\ \mu\text{m}$ 以上である。複数の溝 12a, 12b, 12c, 12d は、例えば、第 2 領域 4 の中心 4c に関して対称に形成されている。ダイシング溝 12 は、偶数個の溝 12a, 12b, 12c, 12d から構成されている。

【0023】

ダイシング溝 12 (複数の溝 12a, 12b, 12c, 12d) は、例えば、ウエハ 2 をエッチングすることによって形成される。ダイシング溝 12 (複数の溝 12a, 12b, 12c, 12d) は、複数の第 1 領域 3 に複数の半導体装置 1 をそれぞれ形成する際に複数の第 1 領域 3 に形成されるトレンチ 34 と一括して形成されてもよい。そのため、より少ない工程数で半導体装置 1 が製造され得る。

10

【0024】

本実施の形態の半導体装置 1 の製造方法は、複数の溝 12a, 12b, 12c, 12d の表面に第 1 絶縁膜 13 を形成することを備える。第 1 絶縁膜 13 は、例えば、 SiO_2 膜である。第 1 絶縁膜 13 は、例えば、複数の溝 12a, 12b, 12c, 12d の表面を熱酸化することによって形成される。第 1 絶縁膜 13 は、複数の第 1 領域 3 に複数の半導体装置 1 をそれぞれ形成する際に複数の第 1 領域 3 に形成される絶縁膜 (例えば、ゲート絶縁膜 35) と一括して形成されてもよい。そのため、より少ない工程数で半導体装置 1 が製造され得る。

20

【0025】

本実施の形態の半導体装置 1 の製造方法は、複数の溝 12a, 12b, 12c, 12d 内に第 1 多結晶膜 14 を形成することを備える。第 1 多結晶膜 14 は、例えば、ポリシリコン膜である。第 1 多結晶膜 14 は、ウエハ 2 よりも機械的に脆弱である。第 1 多結晶膜 14 は、例えば、化学的気相成長法 (CVD) または蒸着法を用いて形成される。第 1 多結晶膜 14 は、複数の第 1 領域 3 に複数の半導体装置 1 をそれぞれ形成する際に複数の第 1 領域 3 に形成される第 2 多結晶膜 (例えば、ゲート電極 36) と一括して形成されてもよい。そのため、より少ない工程数で半導体装置 1 が製造され得る。

【0026】

本実施の形態の半導体装置 1 の製造方法は、ウエハ 2 の第 1 主面 2a の第 2 領域 4 上に第 2 絶縁膜 16 を形成することを備える。第 2 絶縁膜 16 は、例えば、BPTEOS (Boro Phospho Tetra Ethyl Ortho Silicate glass) 膜である。第 2 絶縁膜 16 は、例えば、化学的気相成長法 (CVD) または蒸着法を用いて、第 1 主面 2a 上に形成される。第 2 絶縁膜 16 は、複数の第 1 領域 3 に複数の半導体装置 1 をそれぞれ形成する際に複数の第 1 領域 3 に形成される絶縁膜 (例えば、層間絶縁膜 37) と一括して形成されてもよい。そのため、より少ない工程数で半導体装置 1 が製造され得る。

30

【0027】

本実施の形態の半導体装置 1 の製造方法は、複数の第 1 領域 3 の各々の周縁部上に第 1 非晶質絶縁膜 17 を形成することを備える。複数の第 1 領域 3 の各々の周縁部は第 2 領域 4 (端 4a, 4b) に接している。第 1 非晶質絶縁膜 17 は、例えば、非晶質窒化シリコン膜または非晶質二酸化シリコン膜である。第 1 非晶質絶縁膜 17 は、例えば、化学的気相成長法 (CVD) または蒸着法を用いて形成される。第 1 非晶質絶縁膜 17 は、複数の第 1 領域 3 に複数の半導体装置 1 をそれぞれ形成する際に複数の第 1 領域 3 に形成される非晶質絶縁膜 (図示せず) と一括して形成されてもよい。

40

【0028】

図 3 及び図 4 に示されるように、本実施の形態の半導体装置 1 の製造方法は、第 2 領域 4 にブレード 20 を押し当てながら、ダイシング溝 12 に沿ってブレード 20 をウエハ 2 に対して相対的に移動させることにより、ウエハ 2 を分割することを備える。ウエハ 2 の第 1 主面 2a の平面視において、ブレード 20 の両側面 20s は、複数の溝 12a, 12b, 12c, 12d のうち第 1 の方向 (x 方向) における両端溝 (溝 12d) にそれぞれ

50

重なっている。第1の方向(x方向)におけるブレード20の中心20cは、第2領域4の中心4cに一致している。こうして、半導体装置1が得られる。

【0029】

図5に示されるように、本実施の形態の第1変形例の半導体装置1の製造方法では、ダイシング溝12は、奇数個の溝12a, 12b, 12c, 12dから構成されている。第1の方向(x方向)における溝12aの中心が第2領域4の中心4cに一致するように、溝12aが形成されている。

【0030】

図6に示されるように、本実施の形態の第2変形例の半導体装置1の製造方法は、ブレード20を用いてウエハ2を分割する前に、第1非晶質絶縁膜17上に第2非晶質絶縁膜18を形成することをさらに備える。第2非晶質絶縁膜18は、例えば、非晶質窒化シリコン膜または非晶質二酸化シリコン膜である。第2非晶質絶縁膜18は、第1非晶質絶縁膜17と同じ材料で構成されてもよいし、異なる材料で構成されてもよい。第2非晶質絶縁膜18は、例えば、化学的気相成長法(CVD)または蒸着法を用いて形成される。第2非晶質絶縁膜18は、複数の第1領域3に複数の半導体装置1をそれぞれ形成する際に複数の第1領域3に形成される非晶質絶縁膜(図示せず)と一括して形成されてもよい。

10

【0031】

本実施の形態の第3変形例の半導体装置1の製造方法は、ウエハ2の第1主面2aの第3領域5に第2ダイシング溝(図示せず)を形成することをさらに備える。第2ダイシング溝は第1の方向(x方向)に沿って延在しており、かつ、複数の第2溝(図示せず)を含む。複数の第2溝は、第2の方向(y方向)に沿って配列されており、かつ、第1の方向(x方向)に沿って延在している。第2ダイシング溝(複数の第2溝)は、ダイシング溝12(複数の溝12a, 12b, 12c, 12d)と同じ構成を有している。

20

【0032】

本実施の形態の半導体装置1の製造方法の効果を説明する。

本実施の形態の半導体装置1の製造方法は、ウエハ2の第1主面2aの複数の第1領域3に複数の半導体装置1をそれぞれ形成することを備える。複数の第1領域3は、第1の方向(x方向)と第1の方向(x方向)に交差する第2の方向(y方向)とに沿って配列されている。本実施の形態の半導体装置1の製造方法は、ウエハ2の第1主面2aの第2領域4にダイシング溝12を形成することをさらに備える。第2領域4は複数の第1領域3の間であり、かつ、第2の方向(y方向)に沿って延在している。本実施の形態の半導体装置1の製造方法は、第2領域4にブレード20を押し当てながら、ダイシング溝12に沿ってブレード20をウエハ2に対して相対的に移動させることにより、ウエハ2を分割することを備える。ダイシング溝12は第2の方向(y方向)に沿って延在しており、かつ、複数の溝12a, 12b, 12c, 12dを含む。複数の溝12a, 12b, 12c, 12dは、第1の方向(x方向)に沿って配列されており、かつ、第2の方向(y方向)に沿って延在している。複数の溝12a, 12b, 12c, 12dは、第1の方向(x方向)における第2領域4の両端4a, 4bから、第1の方向(x方向)における第2領域4の中心4cに向かうにつれて、互いに隣り合う溝12a, 12b, 12c, 12dの間の間隔 D_1, D_2, D_3, D_4 が減少するように形成されている。

30

40

【0033】

ウエハ2を分割する際、ブレード20はウエハ2に衝撃(機械的エネルギー)を加える。この衝撃は、ブレード20の中心20cに対応するウエハ2の第2領域4の中心4cにおいて最も大きい。複数の溝12a, 12b, 12c, 12dは、第1の方向(x方向)における第2領域4の両端4a, 4bから、第1の方向(x方向)における第2領域4の中心4cに向かうにつれて、互いに隣り合う溝12a, 12b, 12c, 12dの間の間隔 D_1, D_2, D_3, D_4 が減少するように形成されている。ウエハ2の第2領域4は、第2領域4の中心4cにおいて最も脆い。ブレード20がウエハ2に加える衝撃が緩和されて、ウエハ2におけるチップングの発生が減少され得る。さらに、複数の溝12a, 12b, 12c, 12dは、各々、第1領域3に向けたチップングの進行を阻止する、または、

50

チップングの進行方向を第1主面2 aに向けて曲げる。こうして、半導体装置1が形成されているウエハ2の第1領域3にチップングが到達することが抑制される。本実施の形態の半導体装置1の製造方法は、半導体装置1の収率を向上させることができる。

【0034】

また、複数の溝1 2 a, 1 2 b, 1 2 c, 1 2 dは、ウエハ2の第1領域3にチップングが到達することを抑制するため、第1の方向(x方向)における第2領域4の幅が減少され得る。1枚のウエハ2に、より多くの半導体装置1が形成され得る。1枚のウエハ2から得られる半導体装置1の収率は増加し、半導体装置1の製造コストは減少する。

【0035】

本実施の形態の半導体装置1の製造方法では、複数の溝1 2 a, 1 2 b, 1 2 c, 1 2 dの幅 T_1, T_2, T_3, T_4 は、第2領域4の中心4 cから両端4 a, 4 bに向かうにつれて大きくなっている。第1の方向(x方向)における両端溝(溝1 2 d)は、複数の溝1 2 a, 1 2 b, 1 2 c, 1 2 dの中で最も大きい幅を有しており、第1領域3に向けたチップングの進行を最も確実に阻止することができる。半導体装置1が形成されているウエハ2の第1領域3にチップングが到達することが抑制される。本実施の形態の半導体装置1の製造方法は、半導体装置1の収率を向上させることができる。

10

【0036】

さらに、第1の方向(x方向)における両端溝(溝1 2 d)は、複数の溝1 2 a, 1 2 b, 1 2 c, 1 2 dの中で、最も大きい幅を有しているため、ブレード20の両側面20 sと両端溝(溝1 2 d)との間の位置合わせが容易になる。ブレード20を用いてウエハ2を分割する際に第1主面2 aにバリが発生することが抑制され、かつ、半導体装置1がより短時間で製造され得る。

20

【0037】

本実施の形態の半導体装置1の製造方法は、ウエハ2の第1主面2 aの複数の第1領域3に複数の半導体装置1をそれぞれ形成することを備える。複数の第1領域3は、第1の方向(x方向)と第1の方向(x方向)に交差する第2の方向(y方向)とに沿って配列されている。本実施の形態の半導体装置1の製造方法は、ウエハ2の第1主面2 aの第2領域4にダイシング溝1 2を形成することをさらに備える。第2領域4は複数の第1領域3の間にあり、かつ、第2の方向(y方向)に沿って延在している。本実施の形態の半導体装置1の製造方法は、第2領域4にブレード20を押し当てながら、ダイシング溝1 2に沿ってブレード20をウエハ2に対して相対的に移動させることにより、ウエハ2を分割することを備える。ダイシング溝1 2は第2の方向(y方向)に沿って延在しており、かつ、複数の溝1 2 a, 1 2 b, 1 2 c, 1 2 dを含む。複数の溝1 2 a, 1 2 b, 1 2 c, 1 2 dは、第1の方向(x方向)に沿って配列されており、かつ、第2の方向(y方向)に沿って延在している。第1の方向(x方向)における複数の溝1 2 a, 1 2 b, 1 2 c, 1 2 dの幅 T_1, T_2, T_3, T_4 は、第1の方向(x方向)における第2領域4の中心4 cから、第1の方向(x方向)における第2領域4の両端4 a, 4 bに向かうにつれて大きくなっている。

30

【0038】

第1の方向(x方向)における両端溝(溝1 2 d)は、複数の溝1 2 a, 1 2 b, 1 2 c, 1 2 dの中で最も大きい幅を有しており、第1領域3に向けたチップングの進行を最も確実に阻止することができる。さらに、複数の溝1 2 a, 1 2 b, 1 2 c, 1 2 dのうち両端溝(溝1 2 d)以外の溝1 2 a, 1 2 b, 1 2 cは、ブレード20がウエハ2に加える衝撃を緩和し、ウエハ2におけるチップングの発生を減少させる。半導体装置1が形成されているウエハ2の第1領域3にチップングが到達することが抑制される。本実施の形態の半導体装置1の製造方法は、半導体装置1の収率を向上させることができる。

40

【0039】

さらに、第1の方向(x方向)における両端溝(溝1 2 d)は、複数の溝1 2 a, 1 2 b, 1 2 c, 1 2 dの中で、最も大きい幅を有しているため、ブレード20の両側面20 sと両端溝(溝1 2 d)との間の位置合わせが容易になる。ブレード20を用いてウエハ

50

2を分割する際に第1主面2aにバリが発生することが抑制され、かつ、半導体装置1がより短時間で製造され得る。

【0040】

本実施の形態の半導体装置1の製造方法では、ウエハ2の第1主面2aの平面視において、ブレード20の両側面20sは、複数の溝12a, 12b, 12c, 12dのうち第1の方向(x方向)における両端溝(溝12d)にそれぞれ重なっている。そのため、ブレード20を用いてウエハ2を分割する際に第1主面2aにバリが発生することが抑制される。

【0041】

本実施の形態の半導体装置1の製造方法では、複数の溝12a, 12b, 12c, 12dのうち第1の方向(x方向)における両端溝(溝12d)は、各々、10 μ m以上の幅 T_4 を有している。そのため、ブレード20の両側面20sと両端溝(溝12d)との間の位置合わせが容易になる。ブレード20を用いてウエハ2を分割する際に第1主面2aにバリが発生することが抑制され、かつ、半導体装置1がより短時間で製造され得る。

【0042】

本実施の形態の半導体装置1の製造方法では、複数の溝12a, 12b, 12c, 12dは、複数の第1領域3に複数の半導体装置1をそれぞれ形成する際に複数の第1領域3に形成されるトレンチ(例えば、トレンチゲート構造を有するIGBTに形成されるトレンチ34)と一括して形成されてもよい。本実施の形態の半導体装置1の製造方法によれば、より少ない工程数で半導体装置1が製造され得る。

【0043】

本実施の形態の半導体装置1の製造方法は、複数の第1領域3の各々の周縁部上に第1非晶質絶縁膜17を形成することをさらに備える。周縁部は第2領域4に接している。複数の第1領域3の各々の周縁部の厚さが増加し、複数の第1領域3の各々の周縁部の機械的強度が増加する。半導体装置1が形成されているウエハ2の第1領域3にチップングが到達することがさらに抑制される。本実施の形態の半導体装置1の製造方法は、半導体装置1の収率を向上させることができる。

【0044】

また、第1非晶質絶縁膜17は、複数の溝12a, 12b, 12c, 12dとともに、ウエハ2の第1領域3にチップングが到達することを抑制するため、第1の方向(x方向)におけるウエハ2の第2領域4の幅がさらに減少され得る。1枚のウエハ2に、より多くの半導体装置1が形成され得る。1枚のウエハ2から得られる半導体装置1の収率は増加し、半導体装置1の製造コストは減少する。

【0045】

本実施の形態の半導体装置1の製造方法は、第1非晶質絶縁膜17上に第2非晶質絶縁膜18を形成することをさらに備える。複数の第1領域3の各々の周縁部の厚さが増加し、複数の第1領域3の各々の周縁部の機械的強度が増加する。半導体装置1が形成されているウエハ2の第1領域3にチップングが到達することがさらに抑制される。本実施の形態の半導体装置1の製造方法は、半導体装置1の収率を向上させることができる。

【0046】

また、第2非晶質絶縁膜18は、複数の溝12a, 12b, 12c, 12d及び第1非晶質絶縁膜17とともに、ウエハ2の第1領域3にチップングが到達することを抑制するため、第1の方向(x方向)におけるウエハ2の第2領域4の幅がさらに減少され得る。1枚のウエハ2に、より多くの半導体装置1が形成され得る。1枚のウエハ2から得られる半導体装置1の収率は増加し、半導体装置1の製造コストは減少する。

【0047】

実施の形態2.

図1、図2及び図7から図9を参照して、実施の形態2の半導体装置1の製造方法を説明する。図7を参照して、本実施の形態の半導体装置1の製造方法は、実施の形態1の半導体装置1の製造方法と同様の工程を備え、同様の効果を奏するが、以下の点で主に異なる。

10

20

30

40

50

る。本実施の形態の半導体装置 1 の製造方法では、複数の溝 1 2 a , 1 2 b , 1 2 c , 1 2 d は、互いに同じ幅 T_1 , T_2 , T_3 , T_4 を有している。具体的には、溝 1 2 b の幅 T_2 は、第 2 領域 4 の中心 4 c に最も近い溝 1 2 a の幅 T_1 に等しい。溝 1 2 c の幅 T_3 は、溝 1 2 b の幅 T_2 に等しい。溝 1 2 d の幅 T_4 は、溝 1 2 c の幅 T_3 に等しい。

【 0 0 4 8 】

図 8 に示されるように、本実施の形態の第 1 変形例の半導体装置 1 の製造方法では、実施の形態 1 の第 1 変形例の半導体装置 1 の製造方法と同様に、ダイシング溝 1 2 は、奇数個の溝 1 2 a , 1 2 b , 1 2 c , 1 2 d から構成されている。第 1 の方向 (x 方向) における溝 1 2 a の中心が第 2 領域 4 の中心 4 c に一致するように、溝 1 2 a が形成されている。図 9 に示されるように、本実施の形態の第 2 変形例の半導体装置 1 の製造方法は、実施の形態 1 の第 2 変形例の半導体装置 1 の製造方法と同様に、ブレード 2 0 を用いてウエハ 2 を分割する前に、第 1 非晶質絶縁膜 1 7 上に第 2 非晶質絶縁膜 1 8 を形成することをさらに備える。

10

【 0 0 4 9 】

実施の形態 3 .

図 1、図 2 及び図 1 0 から図 1 2 を参照して、実施の形態 3 の半導体装置 1 の製造方法を説明する。図 1 0 を参照して、本実施の形態の半導体装置 1 の製造方法は、実施の形態 1 の半導体装置 1 の製造方法と同様の工程を備え、同様の効果を奏するが、以下の点で主に異なる。本実施の形態の半導体装置 1 の製造方法では、互いに隣り合う溝 1 2 a , 1 2 b , 1 2 c , 1 2 d の間の間隔 D_1 , D_2 , D_3 , D_4 が等しい。具体的には、溝 1 2 d と溝 1 2 c との間隔 D_4 は、溝 1 2 c と溝 1 2 b との間隔 D_3 に等しい。溝 1 2 c と溝 1 2 b との間隔 D_3 は、溝 1 2 b と溝 1 2 a との間隔 D_2 に等しい。溝 1 2 b と溝 1 2 a との間隔 D_2 は、第 2 領域 4 の中心 4 c に最も近い一対の溝 1 2 a , 1 2 a の間の間隔 D_1 に等しい。

20

【 0 0 5 0 】

図 1 1 に示されるように、本実施の形態の第 1 変形例の半導体装置 1 の製造方法では、実施の形態 1 の第 1 変形例の半導体装置 1 の製造方法と同様に、ダイシング溝 1 2 は、奇数個の溝 1 2 a , 1 2 b , 1 2 c , 1 2 d から構成されている。第 1 の方向 (x 方向) における溝 1 2 a の中心が第 2 領域 4 の中心 4 c に一致するように、溝 1 2 a が形成されている。図 1 2 に示されるように、本実施の形態の第 2 変形例の半導体装置 1 の製造方法は、実施の形態 1 の第 2 変形例の半導体装置 1 の製造方法と同様に、ブレード 2 0 を用いてウエハ 2 を分割する前に、第 1 非晶質絶縁膜 1 7 上に第 2 非晶質絶縁膜 1 8 を形成することをさらに備える。

30

【 0 0 5 1 】

今回開示された実施の形態 1 から実施の形態 3 はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることを意図される。

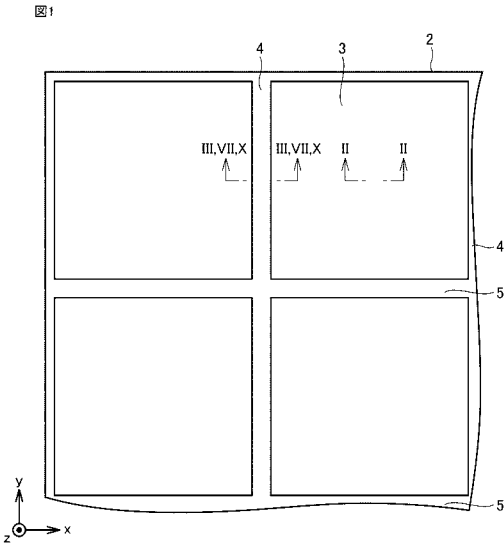
【 符号の説明 】

【 0 0 5 2 】

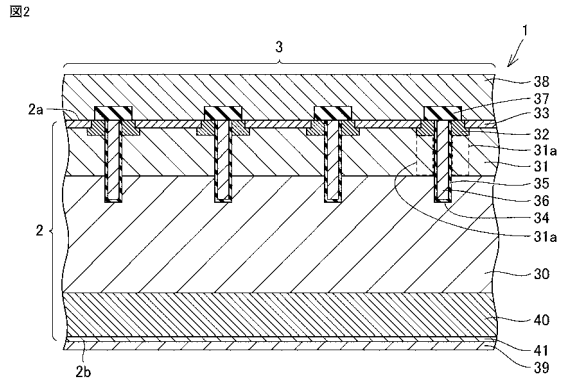
1 半導体装置、 2 ウエハ、 2 a 第 1 主面、 2 b 第 2 主面、 3 第 1 領域、 4 第 2 領域、 4 a , 4 b 端、 4 c 中心、 5 第 3 領域、 1 2 ダイシング溝、 1 2 a , 1 2 b , 1 2 c , 1 2 d 溝、 1 3 第 1 絶縁膜、 1 4 第 1 多結晶膜、 1 6 第 2 絶縁膜、 1 7 第 1 非晶質絶縁膜、 1 8 第 2 非晶質絶縁膜、 2 0 ブレード、 2 0 c 中心、 2 0 s 側面、 3 0 n 型ドリフト領域、 3 1 p 型ベース領域、 3 1 a 部分、 3 2 n 型エミッタ領域、 3 3 p 型コンタクト層、 3 4 トレンチ、 3 5 ゲート絶縁膜、 3 6 ゲート電極、 3 7 層間絶縁膜、 3 8 エミッタ電極、 3 9 コレクタ電極、 4 0 n 型バッファ領域、 4 1 p 型コレクタ層。

40

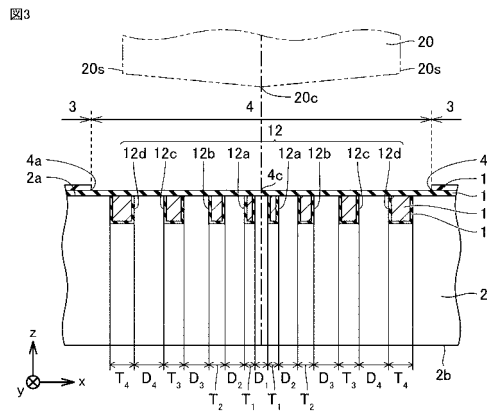
【 図 1 】



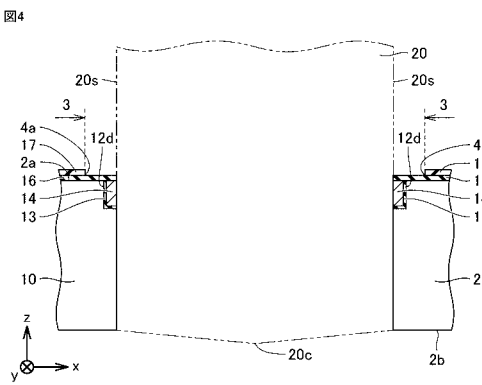
【 図 2 】



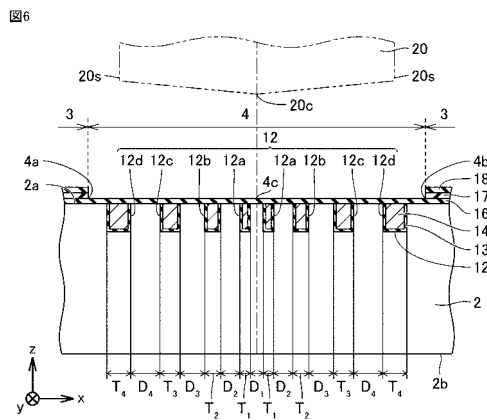
【 図 3 】



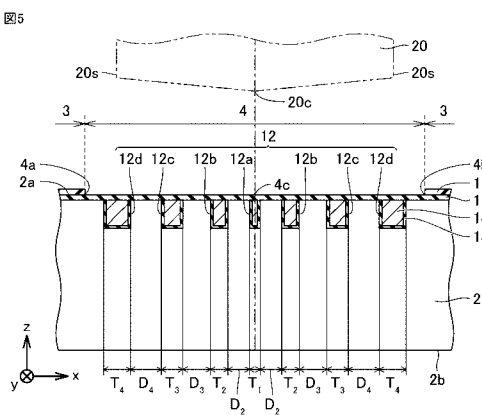
【 図 4 】



【 図 6 】

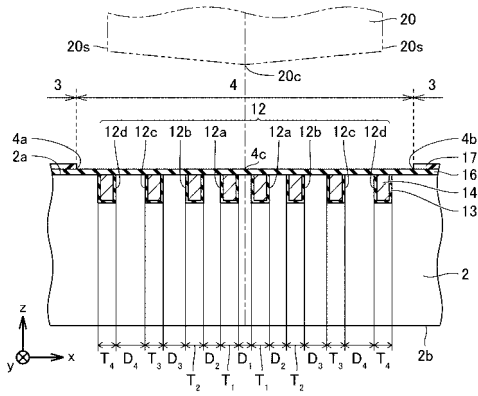


【 図 5 】



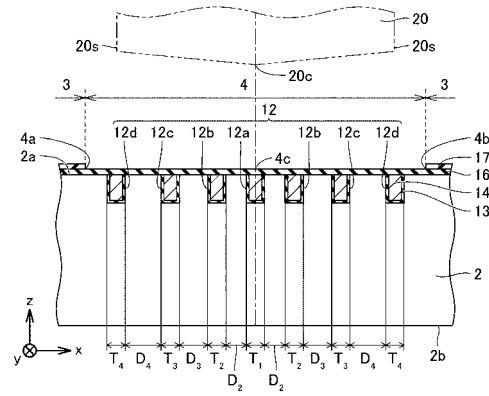
【 図 7 】

図7



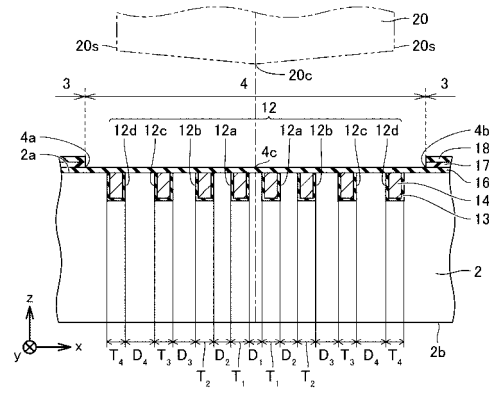
【 図 8 】

図8



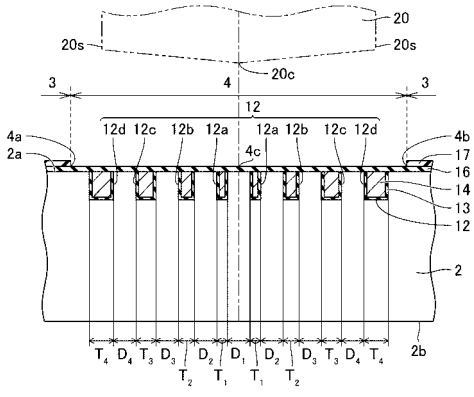
【 図 9 】

図9



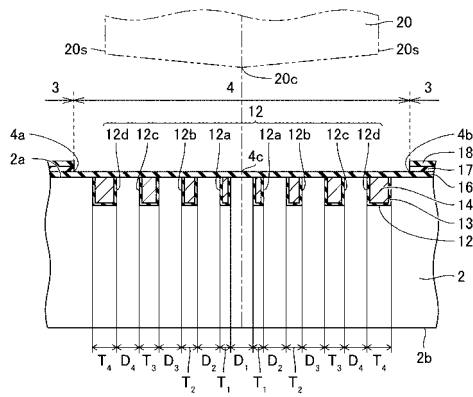
【 図 1 0 】

図10



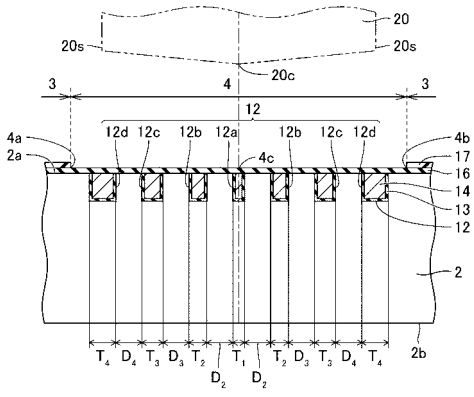
【 図 1 2 】

図12



【 図 1 1 】

図11



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 29/78

6 5 2 Q

テーマコード(参考)