

[51] Int. Cl.

G06F 13/38 (2006.01)

G06F 13/42 (2006.01)



[12] 发 明 专 利 说 明 书

专利号 ZL 200680023204.0

[45] 授权公告日 2009 年 12 月 30 日

[11] 授权公告号 CN 100576193C

[22] 申请日 2006.5.1

[21] 申请号 200680023204.0

[30] 优先权

[32] 2005. 4. 29 [33] US [31] 60/676,095

[86] 国际申请 PCT/IB2006/051365 2006.5.1

[87] 国际公布 WO2006/117752 英 2006.11.9

[85] 进入国家阶段日期 2007.12.27

[73] 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 阿姆里塔·德什潘德

[56] 参考文献

CN1474972A 2004.2.11

US6799233B1 2004.9.28

CN1558332A 2004. 12. 29

审查员 王阜东

[74] 专利代理机构 中科专利商标代理有限责任公
司

代理人 朱进桂

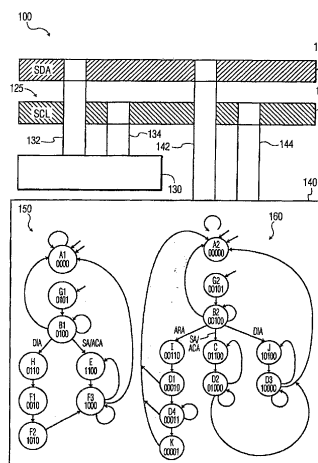
权利要求书 1 页 说明书 16 页 附图 8 页

[54] 发明名称

使用状态机增强 I2C 从/主接口的系统

[57] 摘要

根据一个实施例，使用具有被用于实现通信协议的串行数据线和时钟线的串行数据传送总线(125)的通信系统包括使用状态机在 I2C 总线上的增强的从/主接口。该通信系统包括响应于时钟信号(134)的上升沿的第一和第二状态机(150、160)和响应于时钟信号的下降沿的第三状态机，第三状态机与第一和第二状态机不同地操作。第一状态机和第二状态机中的一个遵循通信协议的写入状态，而第一状态机和第二状态机中的另一个(170)遵循通信协议的读取状态。



1. 一种数据通信系统 (100), 包括:

I2C 串行数据传送总线 (125), 用于实现通信协议, 包括: 时钟线 (120), 提供具有周期重复的上升沿和下降沿的时钟信号 (134); 以及串行数据线 (110); 以及

从装置, 包括: 响应于时钟信号的上升沿的第一和第二状态机 (150、160); 以及响应于时钟信号的下降沿的第三状态机 (170), 第三状态机 (170) 与第一和第二状态机不同地操作; 其中, 第一状态机和第二状态机中的一个遵循通信协议的写入状态, 而第一状态机和第二状态机中的另一个遵循通信协议的读取状态。

2. 如权利要求 1 所述的数据通信系统, 其中, 第一和第二状态机在 I2C 停止条件、I2C 复位条件或 I2C 开始条件下异步地复位。

3. 如权利要求 1 所述的数据通信系统, 其中, 在预定的条件下, 第一和第二状态机把从装置的操作控制转移到第三状态机。

4. 如权利要求 1 所述的数据通信系统, 其中, 第一和第二状态机运行在前台, 掌控从装置的操作控制, 直到把从装置的操作控制转移到第三状态机。

使用状态机增强 I2C 从/主接口的系统

技术领域

本发明总体上涉及通信装置和方法，并且更特别地，涉及使用状态机来增强 I2C 总线上的从/主接口的方法和设备。

背景技术

由 Philips 公司所开发的内部集成电路 (I2C) 总线允许集成电路经由简单的双向两线总线 (加上电源和地) 相互直接通信。装置连接至该总线上的两条线中的每一条，一条线是用于数据通信的串行数据线 (SDA)，而另一条线是用于装置间的数据通信的控制和同步的串行时钟线 (SCL)。各装置并联连接至另一个装置，并且每一条总线线路 (SDA 和 SCL) 用作该总线上的所有线的线与 (wired-AND)。各装置的输出被配置为集电极开路 (open-collector)/漏极开路 (open-drain) 装置，并且，当总线处于静态时，一个或多个上拉电阻在总线上保持'软'高逻辑值。当装置要求访问总线时，该装置经由集电极开路/漏极开路装置将总线拉至逻辑低值，其中，该集电极开路/漏极开路装置被置于与地电位传导的状态下。

连接至 I2C 总线的各装置可以通过地址而识别，且可作为发射器或接收器或者两者。使用主-从通信协议来实现数据传送。主装置启动数据传送并产生允许该传送的时钟信号；被寻址到的装置被认作是这个传送的从装置。可以由主装置启动数据传送，或者是向从装置发送数据 (此处称之为写入)，或者是向该从装置请求数据 (此处称之为读取)。例如，诸如显示屏之类的输出装置典型地不能启动数据传送，并且因此将被配置为只能作为装置。另一方面，视情况所需，微处理器典型地将被配置作为主装置或从装置。

在静态中，SDA 和 SCL 总线线路两者都处于高逻辑状态 (此处

称之为高或逻辑状态 1)。当 SCL 线为高时，通过断定 SDA 线上的至低逻辑状态（此处称之为低或逻辑状态 0）的转换，主装置启动数据传送；这被定义为“开始”条件。其后，主装置切换 SCL 线，以控制数据传送的同步；当 SCL 时钟为低时，在 SDA 线上出现数据值改变，并且，只有当 SCL 时钟为高时，SDA 线的状态才被视为有效。

可以断定多个“开始”，以在同一个传送会话中实现一连串的数据传送。通常，各个数据传送需要来自数据传送的被寻址接受方的确认。为了终止该数据传送，当 SCL 时钟为高时，主机断定 SDA 线上的由低到高的转换；这被定义为“停止”条件。其后，如上，通过断定 SDA 线上的由高到低的转换，任何装置都可以如主装置那样掌握总线的控制。注意，为便于引用，术语断定在此被用于实现或试图实现特定的逻辑状态。在转换至高逻辑状态的例子中，典型地，这通过由断定装置将总线从强制下拉状态中释放出来而得以提供。这个高逻辑状态的断定允许总线上的上述上拉装置使该总线进入高逻辑状态，除非另一个装置也强制下拉状态。

I2C 数据传送的通用格式包括形成 I2C 总线的 SDA 线和 SCL 线上的信号。当 SCL 线为高时，“开始”条件对应于在 SCL 信号为高的同时 SDA 线上的信号由高到低的转换；在该“开始”之后，主机传送地址，即 7 位，后面是读取/写入-非指示符。在传送数据传送（R/W-）的地址和方向之后，主机释放 SDA 线，允许它升高至高逻辑电平。如果从装置识别出它的地址，则该从装置通过将总线拉低来传送确认信号（ACK）。因此，当主机释放 SDA 线时没有低信号，则表示否定确认（NAK）。如果经由 SDA 处的低来确认了地址，则发送装置传送数据。如果数据传送的方向相对于主机为“读取”，则从装置为发送装置；如果数据传送的方向相对于主机为“写入”，则主装置为发送装置。发送装置释放 SDA 线的控制，而接受装置通过断定 SDA 线上的低逻辑值来确认数据的接收。如果数据被确认，则发射器发送附加的数据。这个过程继续，直到数据全部通信完毕，或直到发送数据项被否定确认。随后，主装置可以重新断定开始信号，并重复上面的过程，或者，可以断定停止信号（P），以终止这个数据传送会话。

可以以各种方式来实现上述接口协议。为了将用于编程或设计 I2C 接口的开发时间最小化,已经公开了多种通用接口方案。"Design Of A Behavioral (Register Transfer Level, RTL) Model Of The Inter-Integrated Circuit Or I2C-Bus Master-Slave Interface", Amrita Deshpande 的硕士论文, University of New Mexico, 1999, 公开了一种旨在在 I2C 装置中实施的 I2C 主接口和从接口,在此通过引用将其并入。通过提供检验的 I2C 接口,系统设计员不必纠缠于 I2C 规范和协议的细节。这个论文的主接口和从接口都是基于状态机的。US 专利 6,799,233 进一步描述了基于状态机的系统和方法,在此通过引用将其并入。

发明内容

以解决和克服上述问题的方式,本发明的各个方面涉及使用状态机来增强 I2C 接口的方法和设备。

根据一个示例性实施例,本发明涉及一种通信系统和/或方法,其使用具有被用来实现通信协议的串行数据线和时钟线的 I2C 串行数据传送总线。该通信系统包括:响应于时钟信号的上升沿的第一和第二状态机,以及响应于时钟信号的下降沿的第三状态机,第三状态机与第一和第二状态机不同地进行操作。第一状态机和第二状态机中的一个遵循通信协议的写入状态,而第一状态机和第二状态机中的另一个遵循通信协议的读取状态。

本发明的上述概要信息并非要描述本发明的各实施例或每种实现。通过参考下列详细说明、权利要求以及附图,本发明的优点、成就以及对本发明的更完全的理解将变得显然和易于领会。

附图说明

根据附图,并参考下列本发明的各种实施例的详细说明,可以更完全地理解本发明,其中:

图 1 是根据本发明实施例的使用状态机在 I2C 总线上实现增强的从/主接口的数据通信系统的框图;

图 2 是根据本发明实施例的用于使用状态机在 I2C 总线上实现增强的从/主接口的数据通信系统的状态图；

图 3 是根据本发明实施例的用于使用状态机在 I2C 总线上实现增强的从/主接口的数据通信系统的另一个不同操作的状态图；

图 4 到 7 示出根据本发明实施例的用于使用状态机在 I2C 总线上实现增强的从/主接口的数据通信方法的流程图；

图 8 是根据本发明另一个实施例的用于使用状态机在 I2C 总线上实现增强的从/主接口的另一个方法的流程图。

具体实施方式

虽然对本发明可进行各种修改和替换方式，但在附图中还是示出了特殊示例，下面将详细描述之。然而，可以理解，所描述的具体实施例不应视作对本发明的限制。相反地，要涵盖所有落入如权利要求中所限定的本发明的范围内的修改、等价物和替换物。

本发明一般可适用于用于使用状态机在 I2C 总线上增强从/主接口的方法和设备。已经发现本发明特别有利于内部集成电路 (I2C) 串行数据通信总线，但是也有利与其它总线和通信协议，例如系统管理总线 (SMBus) 体系和/或协议或其它的串行数据通信系统。为了示出，而不是为了限制，将在具有控制至从装置的通信的主装置的 I2C 总线的上下文中描述本发明。

主装置控制与 I2C 总线体系上的 I2C 从装置的通信。I2C 从装置可以应用于许多领域，从蜂窝电话、PDA 和智能电话到 LCD TV、医疗器械、游戏和其它应用领域。I2C 数据总线上的装置的新特征给主装置和从装置之间的通信带来新的问题。根据本发明，多状态机的并发使用可以被用来解决由这些新特征所带来的一些问题。这些状态机将用于数据传送的控制信号的设计和产生流水线化，并消除"胶合 (glue)"逻辑的使用，以并入该附加的特征。

在本发明的具体实施例中，两个状态机运行在从装置的前台，取决于 SCL 时钟的上升沿，一个状态机运行在后台，取决于 SCL 时钟的下降沿。为了为状态机保持格雷码，在前台有两个状态机，而不是

一个单独的状态机。对状态机进行格雷码编码消除了在基于状态机的状态而产生的数据输出上的假信号 (glitch)。

如上所述,在后台运行有一个状态机,其取决于 SCL 时钟的下降沿。使前台和后台状态机取决于时钟的相反沿消除了针对后台的状态机的输入的竞态条件。

根据一个示例性实施例,本发明涉及一种通信系统,其使用具有被用来实现通信协议的串行数据线和时钟线的 I2C 串行数据传送总线。该通信系统包括响应于时钟信号的上升沿的第一和第二状态机,以及响应于时钟信号的下降沿的第三状态机,第三状态机与从第一和第二状态机不同地操作。第一状态机和第二状态机中的一个遵循通信协议的写入状态,而第一状态机和第二状态机中的另一个遵循通信协议的读取状态。

图 1 是根据本发明实施例的使用状态机在 I2C 总线上实现增强的从/主接口的数据通信系统 100 的框图。SDA 线 110 和 SCL 线 120 被设置为 I2C 数据总线 125。主装置 130 和从装置 140 附于 I2C 数据总线 125。使用分别电连接至 SCL 线 120 和 SDA 线 110 的时钟连接 134 和数据连接 132,将主装置 130 电连接至 I2C 数据总线 125。

使用分别电连接至 SCL 线 120 和 SDA 线 110 的时钟连接 144 和数据连接 142,将从装置 140 电连接至 I2C 数据总线 125。该从装置包括在前台运行的第一状态机 150 和第二状态机 160。为了方便起见,第一状态机 150 被指定为 I2C 状态机-写入 (I2CSM-W),而第二状态机 160 被指定为 I2C 状态机-读取 (I2CSM-R)。I2CSM-W 和 I2CSM-R 这两个状态机是在前台运行的状态机,并取决于 SCL 的上升沿。后台状态机 170 (图 4 到 7 中示出了)被指定为 DIA_ARA_SM,在后台运行且取决于 SCL 的下降沿。

I2CSM-W 和 I2CSM-R 状态机由 I2C 总线激励并解释通信协议。DIA_ARA_SM 状态机促进新特征的实现,例如,响应 device ID Address 和 SM Bus Alert Response,这些将在下文作进一步描述。

图 2 是第一状态机 150 的状态图。为说明而不是为限制,状态机作为 I2C 从装置而示出,该 I2C 从装置具有至标准 I2C 总线 (例如,

SDA、SCL、地（GND）、电源（VDD）和表示为 INT#的中断管脚的连接。图 2 中的各个圆圈对应于单独的状态，并由大写字母来指定，对应于大写字母下方所示出的 4 位二进制编码。下面是这些状态的描述：

状态 A1：

- 这个状态机根据停止和复位条件（二者为有效“高”）异步地复位。

- 它使用门控 SCL 时钟。该 SCL 时钟由状态机的状态门控。当该“写入”状态机或“读取”状态机处于它们各自的空闲状态（A1 和 A2）时，该状态机并不接收 SCL。

状态 G1：

- 依据开始条件，状态机异步地进入状态 G1。
- 在下一个时钟上，状态机进入状态 B1，在状态 B1 它准备接收从装置地址。

状态 B1：

- 如果断定从装置忙信号，则状态机复位为状态 A1。
- 如果状态机接收 ALL CALL Address（ACA）并且如果这个特征被禁止了，则状态机复位为状态 A1。
- 如果状态机接收 SMBus Alert Response Address（ARA）并且如果这个特征被禁止了，则状态机复位为状态 A1。
- 如果状态机接收 Device ID Address（DIA）并且如果这个特征被禁止了，则状态机复位为状态 A1。

下面（由此点到状态 E）假定 ACA、ARA 和 DIA 被启用：

- 如果状态机接收具有读取位的 Slave Address（SA）或 ACA，则复位为状态 A1。
- 如果状态机接收具有写入位的 Slave Address（SA）或 ACA，则进入状态 E。
- 如果状态机接收 ARA 和读取位并且中断为低，则复位为状态 A1。
- 如果状态机接收 ARA 和读取位并且中断为高，则复位为状态

A1。

- 如果状态机接收 ARA 和写入位并且中断为低，则复位为状态

A1。

- 如果状态机接收 ARA 和写入位并且中断为高，则复位为状态

A1。

- 如果状态机接收具有写入位的 DIA，则进入状态 H。
- 如果状态机接收具有读取位的 DIA，则复位为状态 A1。
- 如果状态机接收不同于 SA 或者 ACA 或者 ARA 或者 DIA 的任何东西，则复位为状态 A1。

• 如果状态机并非上面所述情况，则停留在状态 B1，并接收从装置地址。

状态 E:

- 在这个状态里，状态机发送确认。
- 在下一个 SCL 时钟上，状态机进入状态 F3。

状态 F3:

- 在状态 F3 里，状态机从串行数据线移入数据。
- 如果在移入数据的结尾处状态机接收从装置忙信号，则状态机回到状态 A1，或者，如果状态机完成了数据移动而没有接收从装置忙信号，则回到状态 E。

- 只要状态机正在移入八位，则状态机就停留在状态 F3。

状态 H:

- 在这个状态里，状态机发送确认。
- 在下一个 SCL 时钟上，状态机进入状态 F1。

状态 F1:

- 在这个状态里，状态机接收 DIA 的第一位。
- 在下一个 SCL 时钟上，状态机进入状态 F2。
- 这个状态被添加用以保持状态机的格雷码编码。

状态 F2:

- 在这个状态里，状态机接收 DIA 的第二位。
- 在下一个 SCL 时钟上，状态机进入状态 F3。

- 这个状态被添加用以保持状态机的格雷码编码。

图 3 是用于根据本发明的实施例的第二前台状态机 160 的状态图。图 3 中所示的状态遵循与图 2 相同的设计协议。下面是这些状态的描述：

状态 A2：

- 这个状态机根据停止和复位条件（二者为有效“高”）异步地复位。

- 它使用门控 SCL 时钟。该 SCL 时钟由状态机的状态门控。当这个“写入”状态机或者“读取”状态机处于它们各自的空闲状态（A1 和 A2）时，该状态机并不接收 SCL。

状态 G2：

- 依据开始条件，状态机异步地进入状态 G2。
- 在下一个时钟上，状态机进入状态 B2，在状态 B2 它准备接收从装置地址。

状态 B2：

- 如果断定从装置忙信号，则状态机复位为状态 A2。
- 如果状态机接收 All Call Address (ACA) 并且如果这个特征被禁止了，则状态机复位为状态 A2。
- 如果状态机接收 SMBus Alter Response Address (ARA) 并且如果这个特征被禁止了，则状态机复位为状态 A2。
- 如果状态机接收 Device ID Address (DIA) 并且如果这个特征被禁止了，则状态机复位为状态 A2。

下面（由此点到状态 I）假定 ACA、ARA 和 DIA 被启用：

- 如果状态机接收具有读取位的 Slave Address (SA) 或 ACA，则进入状态 C。
- 如果状态机接收具有读取位的 DIA，则进入状态 J。
- 如果状态机接收具有写入位的 Slave Address (SA) 或 ACA，则复位为状态 A2。
- 如果状态机接收 ARA 和读取位并且中断为低，则进入状态 I。
- 如果状态机接收 ARA 和读取位并且中断为高，则复位为状态

A2。

- 如果状态机接收 ARA 和写入位并且中断为低，则复位为状态

A2。

- 如果状态机接收 ARA 和写入位并且中断为高，则复位为状态

A2。

- 如果状态机接收具有写入位的 DIA，则复位为状态 A2。

• 如果状态机接收不同于 SA 或者 ACA 或者 ARA 或者 DIA 的任何东西，则复位为状态 A2。

• 如果状态机并非上面所述情况，则停留在状态 B2，并接收从装置地址。

状态 I:

• 在这个状态里，状态机发送确认并用要发送的自己的地址来加载移位寄存器。

- 在下一个 SCL 时钟上，状态机进入状态 D1。

状态 D1:

• 这个状态被添加，仅仅是为了能够用格雷码对所有的状态转换进行编码。

- 在这个状态里，从装置地址的第一位被发送。

- 如果这里检测到从装置忙信号，则状态机复位为状态 A2。

- 在下一个 SCL 时钟上，状态机进入状态 D4。

状态 D4:

• 在这个状态里，与 R/W#位一起，状态机发送从装置地址的 6 个剩余位。

- 如果这里检测到从装置忙信号，则状态机复位为状态 A2。

- 在发送全部的 8 位以后，状态机进入状态 K。

状态 K:

• 这个状态连同来自"dia_ara_sm"的状态一起产生控制信号，以标识报警响应地址协议的结束。

- 在下一个 SCL 时钟上，状态机复位为状态 A2。

状态 C:

- 在这个状态里，状态机发送确认，并把将要读出的数据载入移位寄存器。

- 在下一个 SCL 时钟上，状态机进入状态 D2。

状态 D2:

- 在这个状态里，状态机发送数据到数据线上。它总共发送 8 位。
- 在 8 个时钟周期之后，如果在第 8 个时钟周期之后接收到确认，则状态机回到状态 C。

- 如果在第 8 个时钟周期之后接收到否定确认，则状态机复位为状态 A2。

- 如果状态机检测到从装置忙信号，则复位为状态 A2。

状态 J:

- 在这个状态里，状态机发送确认并用装置 ID 字节来加载移位寄存器。

- 在下一个 SCL 时钟上，状态机进入状态 D3。

状态 D3:

- 在这个状态里，状态机发送数据到数据线上。它总共发送 8 位。
- 在 8 个时钟周期之后，如果在第 8 个时钟周期之后接收到确认，则状态机回到状态 J。

- 如果在第 8 个时钟周期之后接收到否定确认，则状态机复位为状态 A2。

- 如果状态机检测到从装置忙信号，则复位为状态 A2。

图 4 到 7 示出了后台状态机 170 的状态图，状态机 170 被指定为 DIA_ARA_SM。在图 4 中，连接器 410 被示出为图形注解，表示图 4 的图与图 5 中所示出的连接器 410 之间的连接。在图 4 中，连接器 420 被示出为图形注解，表示图 4 的图与图 6 中所示出的连接器 420 之间的连接。在图 5 中，在图 5 的左下角和右上角处，连接器 430 被示出为图形注解，表示图 5 中所示出的流程图的左下角和右上角之间的连接。在图 6 中，在图 6 的左下角和右上角处，连接器 440 被示出为图形注解，表示图 6 中所示出的流程图的左下角和右上角之间的连接。在图 6 中，连接器 450 被示出为图形注解，表示图 6 的图与图 7 中所

示出的连接器 450 之间的连接。在图 7 中，在图 7 的左下角和右上角处，连接器 460 被示出为图形注解，表示图 7 中所示出的流程图的左下角和右上角之间的连接。下面是这些状态的描述：

状态 IDLE_DIA_ARA:

- 状态机根据“复位”条件或“停止”条件（二者为有效“低”）异步地进入此状态。

- 如果状态机检测到 I2CSM-W 处于状态 H，则进入状态 RCV_DIA_SA。

- 否则，如果状态机检测到 I2CSM-R 处于状态 I，则进入状态 SND_SA6。

- 否则状态机停留在状态 IDLE_DIA_ARA。

状态 RCV_DIA_SA:

- 状态机停留在这个状态，直到检测到 I2CSM-W 处于状态 F1、F2 或 F3。

- 否则，当状态机检测到 I2CSM-W 处于状态 E 时，则进入状态 ACK_DIA_SA。

- 否则状态机回到 IDLE_DIA_ARA。

状态 ACK_DIA_SA:

- 在这个状态里，如果 I2CSM-W 处于 G1，则状态机进入状态 REP_S。

- 否则，状态机回到状态 IDLE_DIA_ARA。

状态 REP_S:

- 在这个状态里，如果 I2CSM-W 处于 B1，则状态机进入状态 RCV_DIA_R。

- 否则，状态机回到状态 IDLE_DIA_ARA。

状态 RCV_DIA_R:

- 只要 I2CSM-W 处于状态 B1，状态机就停留在这个当前状态。

- 否则，如果 I2CSM-R 处于状态 J，则这个状态机进入状态 PRE_SND_BYTE1。

- 否则，状态机回到状态 IDLE_DIA_ARA。

状态 PRE_SND_BYTE1:

- 在这个状态里，产生控制信号，以把将要被发送的 DEVICE ID BYTE1 载入到 I2C 总线上。
- 在这个状态里，如果 I2CSM-R 处于状态 D3，则状态机进入状态 SND_BYTE1。
- 否则，状态机回到状态 IDLE_DIA_ARA。

状态 SND_BYTE1:

- 只要 I2CSM-R 处于状态 D3，状态机就停留在这个当前状态。
- 否则，如果 I2CSM-R 处于状态 J，则状态机进入状态 PRE_SND_BYTE2。
- 否则，状态机回到状态 IDLE_DIA_ARA。

状态 PRE_SND_BYTE2:

- 在这个状态里，产生控制信号，以把将要被发送的 DEVICE ID BYTE2 载入到 I2C 总线上。
- 在这个状态里，如果 I2CSM-R 处于状态 D3，则状态机进入状态 SND_BYTE2。
- 否则，状态机回到状态 IDLE_DIA_ARA。

状态 SND_BYTE2:

- 只要 I2CSM-R 处于状态 D3，状态机就停留在这个当前状态。
- 否则，如果 I2CSM-R 处于状态 J，则状态机进入状态 PRE_SND_BYTE3。
- 否则，状态机回到状态 IDLE_DIA_ARA。

状态 PRE_SND_BYTE3:

- 在这个状态里，产生控制信号，以把将要被发送的 DEVICE ID BYTE3 载入到 I2C 总线上。
- 在这个状态里，如果 I2CSM-R 处于状态 D3，则状态机进入状态 SND_BYTE3。
- 否则，状态机回到状态 IDLE_DIA_ARA。

状态 SND_BYTE3:

- 只要 I2CSM-R 处于状态 D3，状态机就停留在这个当前状态。

• 否则，如果 I2CSM-R 处于状态 J，则状态机进入状态 PRE_SND_BYTE1。

• 否则，状态机回到状态 IDLE_DIA_ARA。

状态 SND_SA6:

• 这个状态被用来检测从装置地址的第 6 位是否被成功地发送到 I2C 总线上。

• 如果 I2CSM-R 处于状态 D1，则这个状态机进入状态 SND_SA5。

• 否则，状态机回到状态 IDLE_DIA_ARA。

状态 SND_SA5:

• 这个状态被用来检测从装置地址的第 5 位是否被成功地发送到 I2C 总线上。

• 如果 I2CSM-R 处于状态 D4，则这个状态机进入状态 SND_SA4。

• 否则，状态机回到状态 IDLE_DIA_ARA。

状态 SND_SA4:

• 这个状态被用来检测从装置地址的第 4 位是否被成功地发送到 I2C 总线上。

• 如果 I2CSM-R 处于状态 D4，则这个状态机进入状态 SND_SA3。

• 否则，状态机回到状态 IDLE_DIA_ARA。

状态 SND_SA3:

• 这个状态被用来检测从装置地址的第 3 位是否被成功地发送到 I2C 总线上。

• 如果 I2CSM-R 处于状态 D4，则这个状态机进入状态 SND_SA2。

• 否则，状态机回到状态 IDLE_DIA_ARA。

状态 SND_SA2:

• 这个状态被用来检测从装置地址的第 2 位是否被成功地发送到 I2C 总线上。

• 如果 I2CSM-R 处于状态 D4，则这个状态机进入状态 SND_SA1。

• 否则，状态机回到状态 IDLE_DIA_ARA。

状态 SND_SA1:

• 这个状态被用来检测从装置地址的第 1 位是否被成功地发送到

I2C 总线上。

- 如果 I2CSM-R 处于状态 D4, 则这个状态机进入状态 SND_SA0。
- 否则, 状态机回到状态 IDLE_DIA_ARA。

状态 SND_SA0:

• 这个状态被用来检测从装置地址的第 0 位是否被成功地发送到 I2C 总线上。

• 如果 I2CSM-R 处于状态 D4, 则这个状态机进入状态 SND_RWN。

- 否则, 状态机回到状态 IDLE_DIA_ARA。

状态 SND_RWN:

• 这个状态被用来检测从装置地址的 R/W#位是否被成功地发送到 I2C 总线上。

• 如果 I2CSM-R 处于状态 D4, 则这个状态机进入状态 RCV_NACK。

- 否则, 状态机回到状态 IDLE_DIA_ARA。

状态 RCV_NACK:

• 如果 I2CSM-R 处于状态 K, 则这个状态机进入状态 REL_INT_N。

- 否则, 状态机回到状态 IDLE_DIA_ARA。

状态 REL_INT_N:

- 状态机回到状态 IDLE_DIA_ARA。

图 8 是根据本发明的另一个实施例的用于使用状态机在 I2C 总线上实现增强的从/主接口的方法 800 的流程图。方法 800 包括在 I2C 从装置的前台运行 810 第一状态机, 以及在后台运行 820 第二状态机。将从装置的操作控制从第一状态机转移 830 到第二状态机, 以实现该从装置的特征。执行该特征, 例如, 增强的操作 840, 并且, 随后将操作控制转移回 850 第一状态机。参照图 8, 术语第一状态机可以包括图 1 到 3 中示出的第一和第二状态机的单独实施例。

在共同拥有的未决美国专利申请号 60/676,164 和 60/676,104 [代理文献号 PH000772US1 and P11000771US1]中进一步描述了增强的

特征，例如 ALL CALL 和 Device ID，在此通过引用将其并入。

硬件、固件、软件或它们的组合可以被用来执行如此所述的各种实施例，以增强使用状态机的 I2C 总线上的从/主接口。如所述，连同本发明一起使用的主装置的功能可以驻留在 I2C 主装置中，或者，替代地，可以驻留在附于串行数据通信系统 100 的独立计算机或网络计算机上。图 1 中所示出的串行数据通信系统 100 是一个实例结构，其可与这种通信系统、计算机或者计算机实现的其它装置一起使用来执行本发明的操作。

图 1 中所示出的实例主装置 130 适合于根据本发明来控制 I2C 总线上的 I2C 通信，典型地，主装置 130 包括中央处理机 (CPU)，该 CPU 与随机存取存储器 (RAM) 和/或一些变化的只读存储器 (ROM) 耦合在一起。希望，该 ROM 可以是存储程序的其它类型的存储介质，例如，可编程序只读存储器 (PROM)、可擦除可编程只读存储器 (EPROM) 等。该处理器可以通过输入/输出 (I/O) 电路和/或其它总线与其它的内部和外部组件进行通信，以提供控制信号和通信信号等。

主装置 130 也可以包括一个或多个数据存储装置，所述数据存储装置包括硬盘和软盘驱动、CD-ROM 驱动及其它能够读取和/或存储信息的硬件，例如 DVD 等。在一个实施例中，用于使用状态机在 I2C 总线上增强从/主接口的软件可以被存储并分布于 CD-ROM、磁盘或能够便携地存储信息的其它形式的介质上。这些存储介质可能被插入例如光盘驱动和磁盘驱动等的装置，并由其读取。该软件也可以经由数据信号而被传输至计算设备，例如，经由网络（如互联网）而被电子地下载。此外，如前所述，用于执行与本发明相关联的功能的软件可以替代地被保存在计算装置的内部存储器 (internal memory) /内部贮存器 (internal storage) 中，例如 ROM。

得到的任何具有计算机可读程序代码的程序可以被包含在一个或多个计算机可用介质内部，例如，在存储装置或者发送装置内部，从而根据本发明制造计算机程序产品或制品。同样地，术语"计算机可读介质"、"制品"、"计算机程序产品"或这里所使用的其它相似的措辞都被用来包括计算机程序，该计算机程序永久地、暂时地或瞬时地存

在于任何计算机可用介质上，例如，在任何存储装置上或者在任何发送装置里。

除非特别声明，否则本说明书（包括任何权利要求、摘要和附图）里所公开的各个特征都可由具有同样的、等价的或者相似的目的的替代特征所替换。因此，除非特别声明，否则所公开的各个特征只是特殊的一系列等价的或相似的特征的示例。

上述具体的实施例不应视作对本发明的限制。各种修改、等价过程及本发明可能适用的众多结构都落入本发明的范围之内。举例来说，可以使用相似构造的单向或者双向接口来实现根据本发明的使用状态机在 I2C 总线上增强的从/主接口的实施例，以用于公共总线（例如 SMBus 或其它的总线设备）上多个装置间的通信。这样的变更可以被视为所请求的发明的一部分，如在权利要求中清楚阐明的。

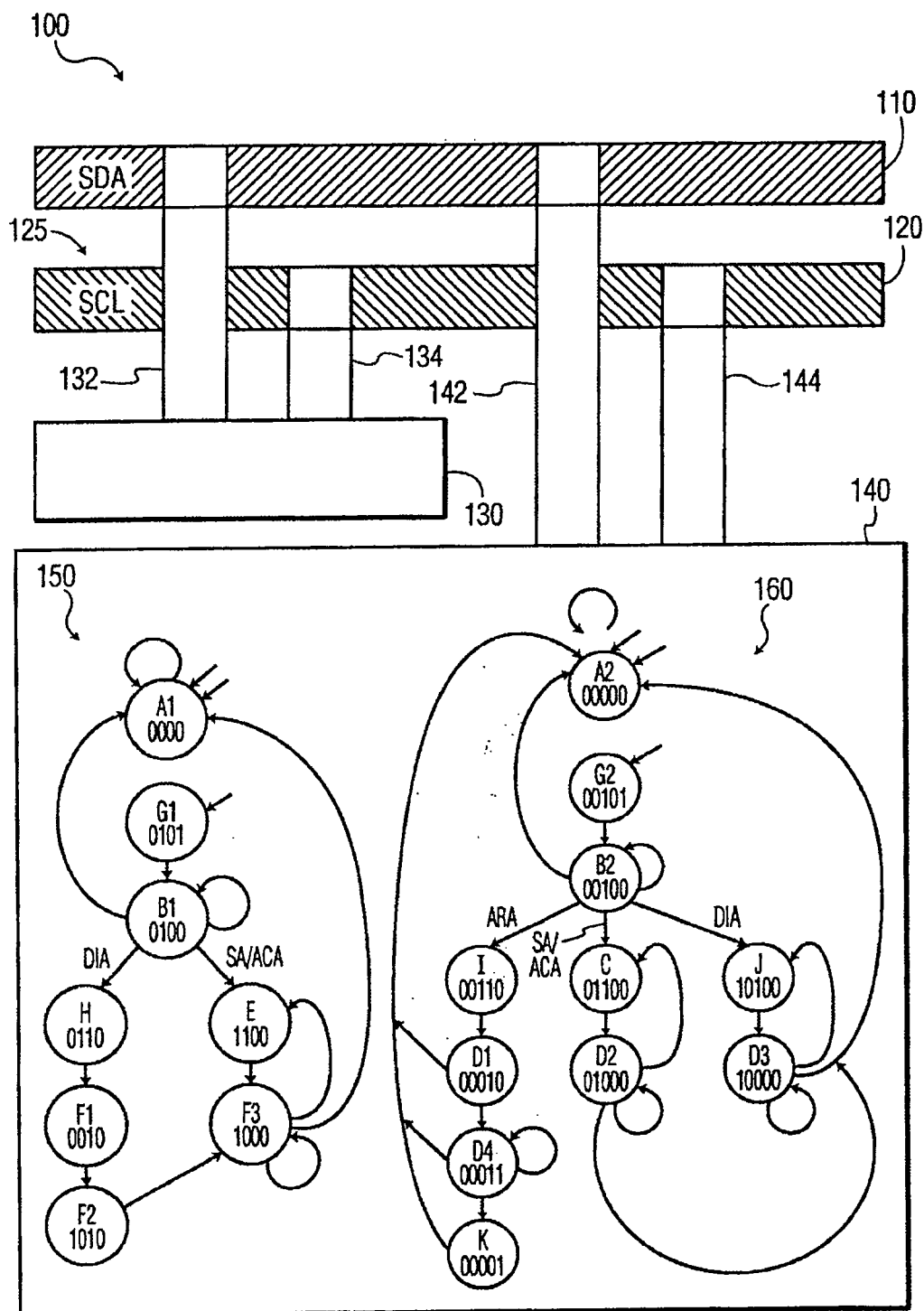


图 1

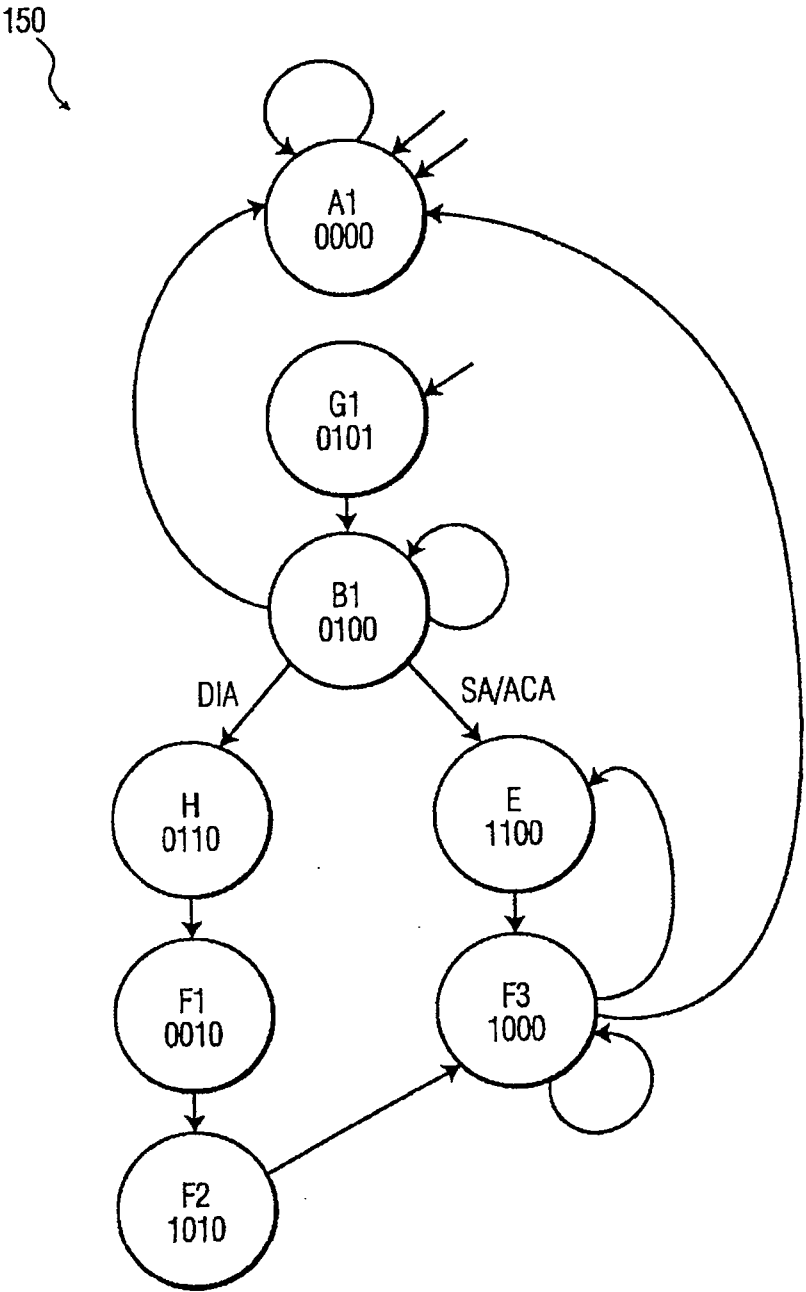


图 2

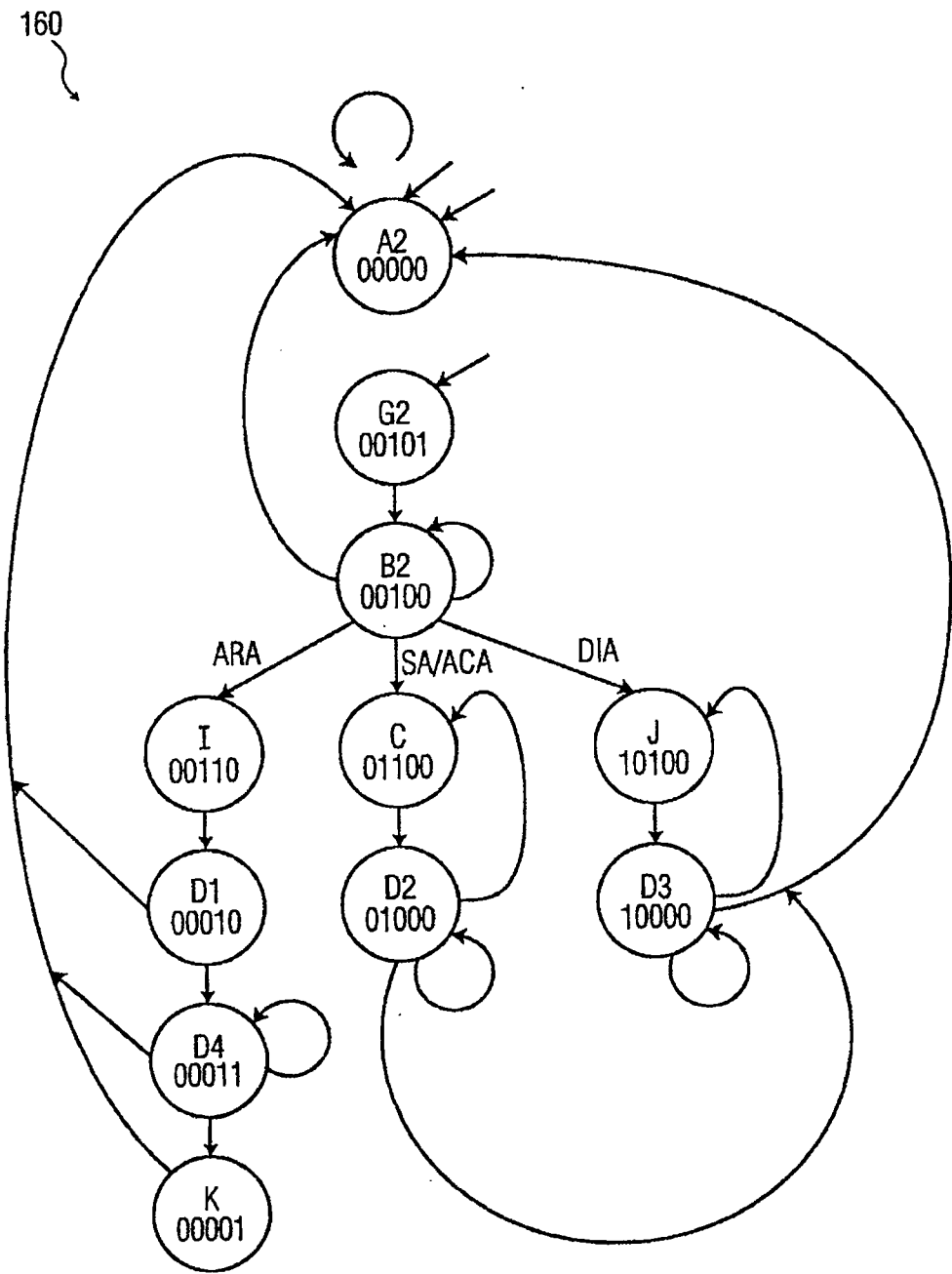


图 3

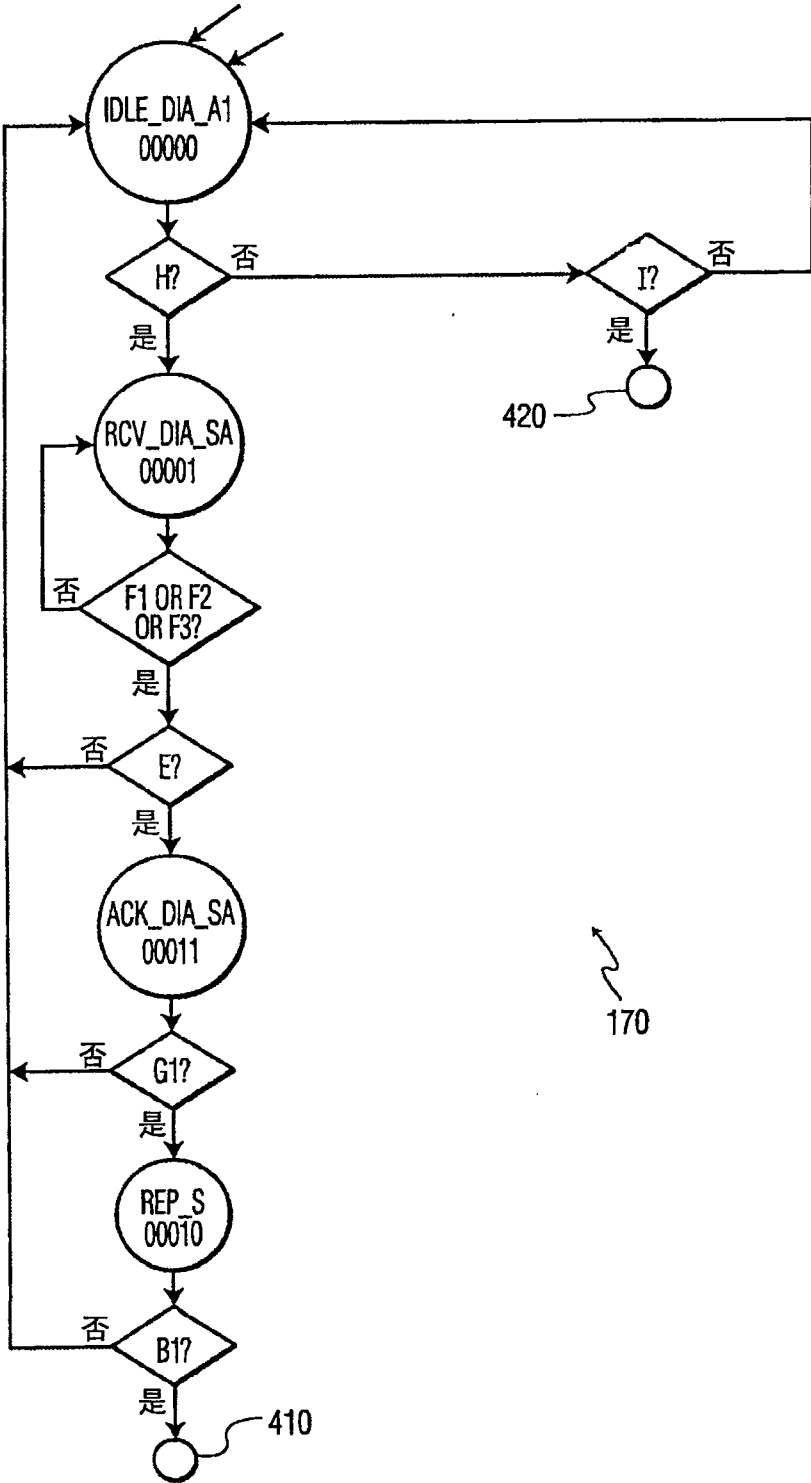


图 4

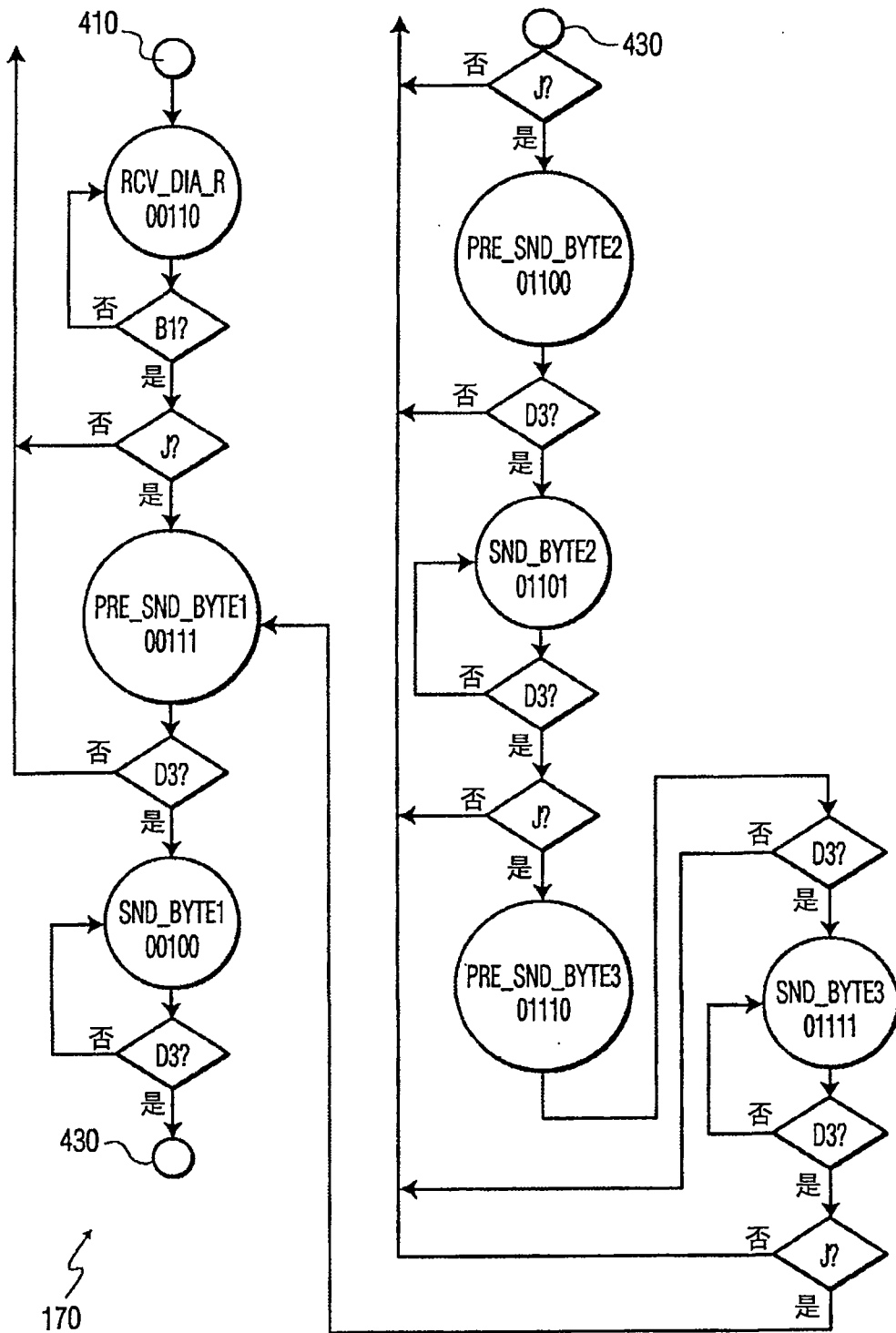


图 5

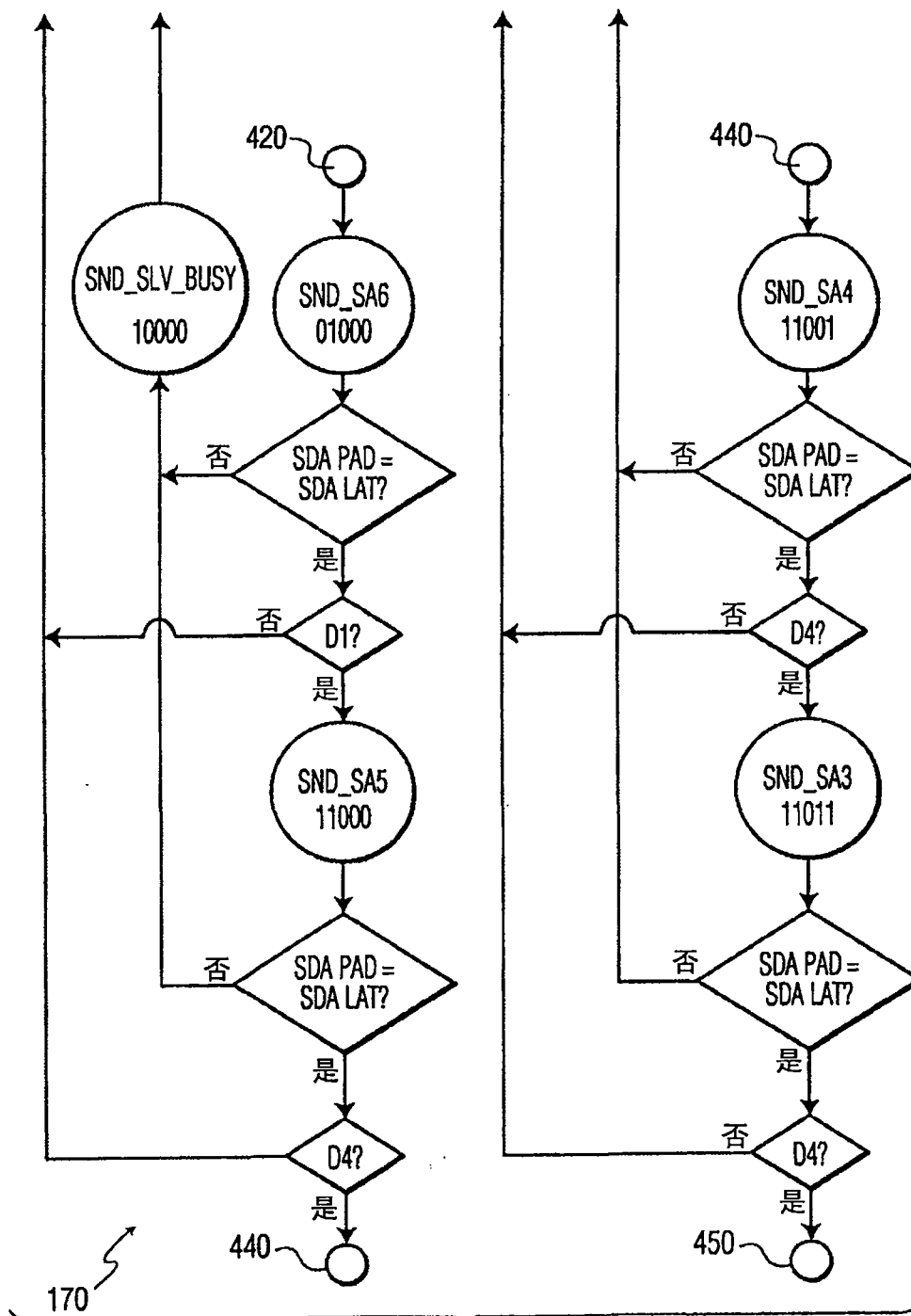


图 6

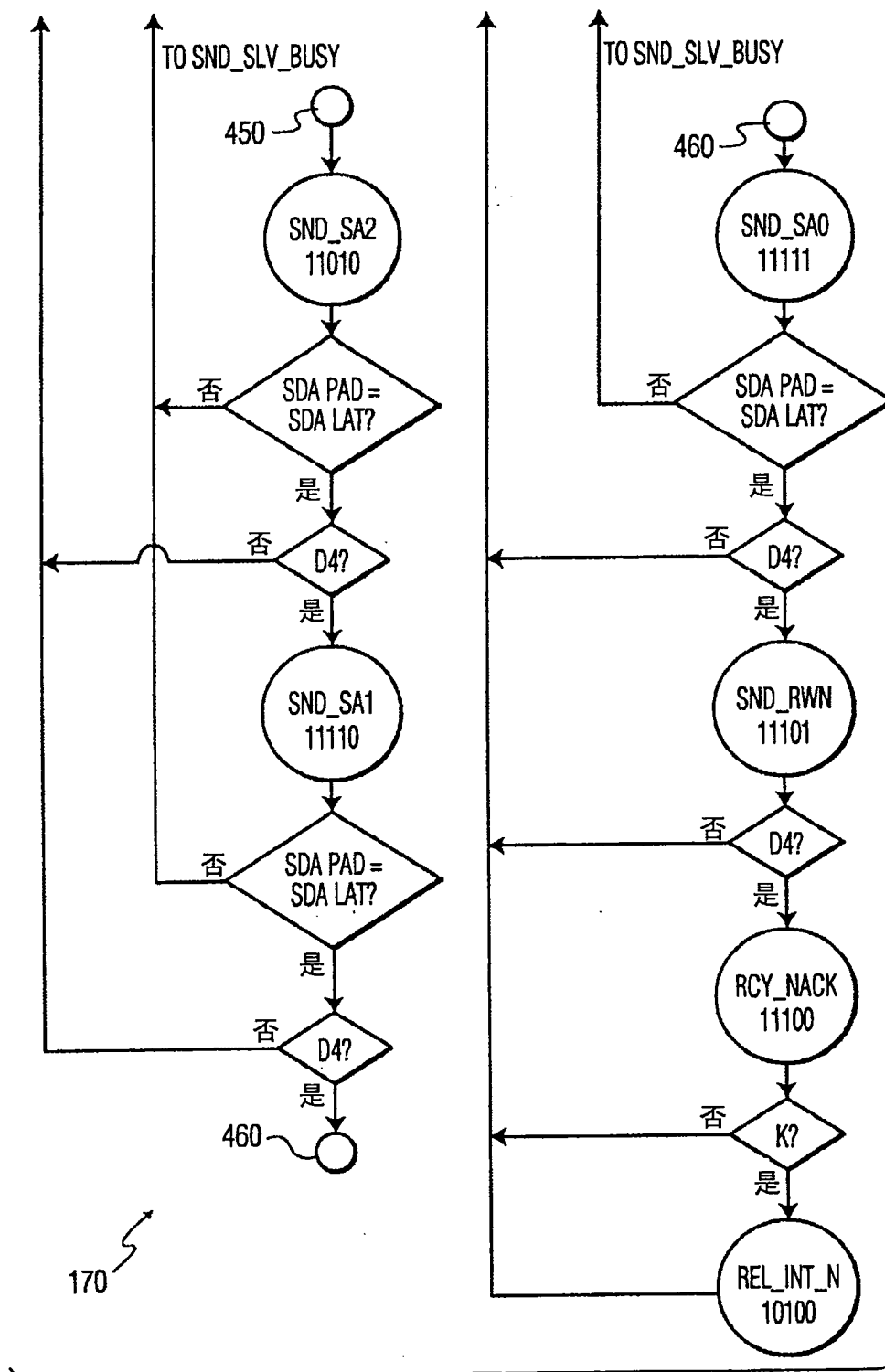


图 7

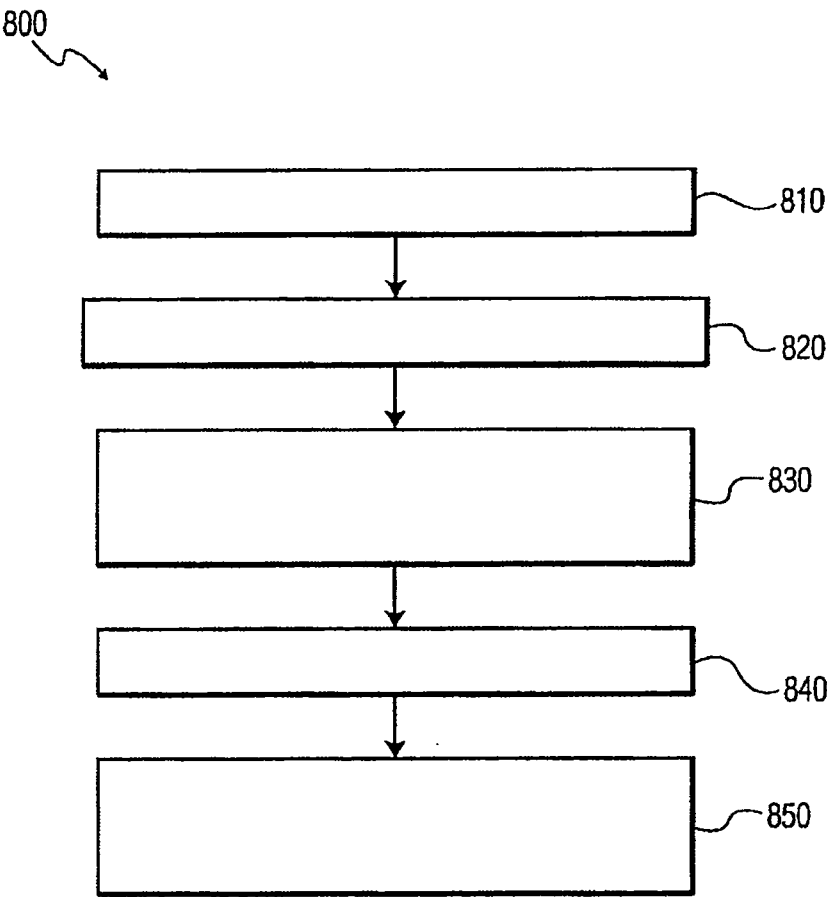


图 8