



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0102641
 (43) 공개일자 2016년08월31일

(51) 국제특허분류(Int. Cl.)
G11C 13/00 (2006.01) *G06F 12/02* (2006.01)
 (52) CPC특허분류
G11C 13/0002 (2013.01)
G06F 12/0238 (2013.01)
 (21) 출원번호 10-2015-0024950
 (22) 출원일자 2015년02월23일
 심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
 경기도 이천시 부발읍 경충대로 2091
 (72) 발명자
이형동
 경기도 화성시 남양로621번길 38 남양동, 현대아파트 101동 506호
 (74) 대리인
특허법인신성

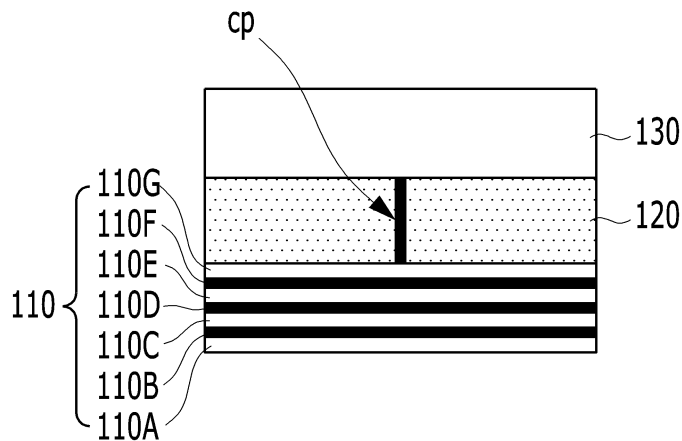
전체 청구항 수 : 총 23 항

(54) 발명의 명칭 **전자 장치**

(57) 요약

전자 장치가 제공된다. 본 발명의 일 실시예에 따른 전자 장치는, 제1 방향에서 서로 이격하도록 배열된 제1 전극과 제2 전극; 및 상기 제1 전극과 상기 제2 전극 사이에 개재되고, 가변 저항 특성 또는 문턱 스위칭 특성을 갖는 제1 물질층을 포함하고, 상기 제1 전극과 상기 제2 전극 중 적어도 하나는, 상기 제1 방향에서 교대로 배열되는 복수의 서부 전극 및 복수의 제2 물질층을 포함하고, 상기 복수의 제2 물질층 각각은, 동작 전류에서 옴 거동(ohmic behavior)을 보여주는 두께를 갖는다.

대표도 - 도2a



(52) CPC특허분류

G11C 13/0007 (2013.01)

G11C 13/0011 (2013.01)

G11C 13/0038 (2013.01)

명세서

청구범위

청구항 1

반도체 소자를 포함하는 전자 장치로서,

상기 반도체 소자는,

제1 방향에서 서로 이격하도록 배열된 제1 전극과 제2 전극; 및

상기 제1 전극과 상기 제2 전극 사이에 개재되고, 가변 저항 특성 또는 문턱 스위칭 특성을 갖는 제1 물질층을 포함하고,

상기 제1 전극과 상기 제2 전극 중 적어도 하나는,

상기 제1 방향에서 교대로 배열되는 복수의 서부 전극 및 복수의 제2 물질층을 포함하고,

상기 복수의 제2 물질층 각각은, 동작 전류에서 오믹 거동(ohmic behavior)을 보여주는 두께를 갖는 전자 장치.

청구항 2

제1 항에 있어서,

상기 복수의 제2 물질층 각각은, 상기 동작 전류에서 브레이크 다운되지 않는 전자 장치.

청구항 3

제1 항에 있어서,

상기 복수의 제2 물질층 각각은, 절연 물질 또는 반도체 물질로 형성되는 전자 장치.

청구항 4

제1 항에 있어서,

상기 복수의 제2 물질층 각각은, 서로 동일한 두께를 갖는 전자 장치.

청구항 5

제1 항에 있어서,

상기 복수의 제2 물질층 각각은, 서로 동일한 물질로 형성되는 전자 장치.

청구항 6

제1 항에 있어서,

상기 제1 전극이 상기 복수의 서브 전극 및 상기 복수의 제2 물질층을 포함하는 경우, 상기 제1 방향에서 상기 제1 전극의 양단에는 상기 복수의 서브 전극 중 두 개의 서브 전극이 각각 위치하는

전자 장치.

청구항 7

제1 항에 있어서,

상기 제1 물질층은, 도전성 경로의 생성 또는 소멸에 의해 저항이 변화하는

전자 장치.

청구항 8

제1 항에 있어서,

상기 제1 물질층은, 금속 산화물, 상변화 물질, 강유전 물질 및 강자성 물질 중 적어도 하나를 포함하는 단일막 구조 또는 다중막 구조를 갖는

전자 장치.

청구항 9

제1 항에 있어서,

상기 제1 물질층은, 다이오드, OTS(Ovonic Threshold Switching) 물질, MIEC(Mixed Ionic Electronic Conducting) 물질, MIT(Metal Insulator Transition) 물질 및 터널링 절연 물질 중 적어도 하나를 포함하는 단일막 구조 또는 다중막 구조를 갖는

전자 장치.

청구항 10

제1 항에 있어서,

상기 제1 물질층은, 상기 제1 방향으로 배열된 산소 부족형 금속 산화물층 및 산소 리치형 금속 산화물층의 적층 구조를 포함하는

전자 장치.

청구항 11

제10 항에 있어서,

상기 제1 전극이 상기 복수의 서브 전극 및 상기 복수의 제2 물질층을 포함하는 경우, 상기 산소 리치형 금속 산화물층은, 상기 제1 전극과 인접한

전자 장치.

청구항 12

제1 항에 있어서,
상기 제1 물질층은, 상기 제1 방향으로 배열되는 복수의 막을 포함하고,
상기 복수의 막 중 적어도 하나는 터널링 절연층인
전자 장치.

청구항 13

제12 항에 있어서,
상기 제1 전극이 상기 복수의 서브 전극 및 상기 복수의 제2 물질층을 포함하는 경우, 상기 터널링 절연층은,
상기 제1 전극과 인접한
전자 장치.

청구항 14

복수의 메모리 셀을 갖는 반도체 메모리를 포함하는 전자 장치로서,
상기 복수의 메모리 셀 각각은,
제1 방향에서 서로 이격하도록 배열된 제1 전극 및 제3 전극;
상기 제1 전극과 상기 제3 전극 사이에 개재되는 가변 저항층; 및
상기 가변 저항층과 상기 제3 전극 사이에 개재되는 문턱 스위칭층을 포함하고,
상기 제1 전극 및 상기 제3 전극 중 적어도 하나는,
상기 제1 방향에서 교대로 배열되는 복수의 서부 전극 및 복수의 물질층을 포함하고,
상기 복수의 물질층 각각은, 동작 전류에서 옴믹 거동(ohmic behavior)을 보여주는 두께를 갖는
전자 장치.

청구항 15

제14 항에 있어서,
상기 복수의 메모리 셀 각각은,
상기 가변 저항층과 상기 문턱 스위칭층 사이에 개재되는 제2 전극을 더 포함하는
전자 장치.

청구항 16

제15 항에 있어서,
상기 제2 전극은, 상기 제1 방향에서 교대로 배열되는 상기 복수의 서부 전극 및 상기 복수의 제2 물질층을 포
함하는
전자 장치.

청구항 17

제14 항에 있어서,
상기 복수의 물질층 각각은, 절연 물질 또는 반도체 물질로 형성되는
전자 장치.

청구항 18

제14 항에 있어서,
상기 반도체 메모리는,
상기 제1 방향과 교차하는 제2 방향으로 연장하는 제1 배선; 및
상기 제1 및 제2 방향과 교차하는 제3 방향으로 연장하는 제2 배선을 더 포함하고,
상기 복수의 메모리 셀 각각은, 상기 제1 배선과 상기 제2 배선 사이의 각 교차점에 위치하는
전자 장치.

청구항 19

제1 항에 있어서,
상기 전자 장치는, 마이크로프로세서를 더 포함하고,
상기 마이크로프로세서는,
상기 마이크로프로세서 외부로부터의 명령을 포함하는 신호를 수신하고, 상기 명령의 추출이나 해독 또는 상기
마이크로프로세서의 신호의 입출력 제어를 수행하는 제어부;
상기 제어부가 명령을 해독한 결과에 따라서 연산을 수행하는 연산부; 및
상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터
의 주소를 저장하는 기억부를 포함하고,
상기 반도체 메모리는, 상기 마이크로프로세서 내에서 상기 기억부의 일부인
전자 장치.

청구항 20

제1 항에 있어서,
상기 전자 장치는, 프로세서를 더 포함하고,
상기 프로세서는,
상기 프로세서의 외부로부터 입력된 명령에 따라 데이터를 이용하여 상기 명령에 대응하는 연산을 수행하는 코
어부;
상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터
의 주소를 저장하는 캐시 메모리부; 및
상기 코어부와 상기 캐시 메모리부 사이에 연결되고, 상기 코어부와 상기 캐시 메모리부 사이에 데이터를 전송
하는 버스 인터페이스를 포함하고,
상기 반도체 메모리는, 상기 프로세서 내에서 상기 캐시 메모리부의 일부인

전자 장치.

청구항 21

제1 항에 있어서,
 상기 전자 장치는, 프로세싱 시스템을 더 포함하고,
 상기 프로세싱 시스템은,
 수신된 명령을 해석하고 상기 명령을 해석한 결과에 따라 정보의 연산을 제어하는 프로세서;
 상기 명령을 해석하기 위한 프로그램 및 상기 정보를 저장하기 위한 보조기억장치;
 상기 프로그램을 실행할 때 상기 프로세서가 상기 프로그램 및 상기 정보를 이용해 상기 연산을 수행할 수 있도록 상기 보조기억장치로부터 상기 프로그램 및 상기 정보를 이동시켜 저장하는 주기억장치; 및
 상기 프로세서, 상기 보조기억장치 및 상기 주기억장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스 장치를 포함하고,
 상기 반도체 메모리는, 상기 프로세싱 시스템 내에서 상기 보조기억장치 또는 상기 주기억장치의 일부인 전자 장치.

청구항 22

제1 항에 있어서,
 상기 전자 장치는, 데이터 저장 시스템을 더 포함하고,
 상기 데이터 저장 시스템은,
 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 저장 장치;
 외부로부터 입력된 명령에 따라 상기 저장 장치의 데이터 입출력을 제어하는 컨트롤러;
 상기 저장 장치와 외부 사이에 교환되는 데이터를 임시로 저장하는 임시 저장 장치; 및
 상기 저장 장치, 상기 컨트롤러 및 상기 임시 저장 장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고,
 상기 반도체 메모리는, 상기 데이터 저장 시스템 내에서 상기 저장 장치 또는 상기 임시 저장 장치의 일부인 전자 장치.

청구항 23

제1 항에 있어서,
 상기 전자 장치는, 메모리 시스템을 더 포함하고,
 상기 메모리 시스템은,
 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 메모리;
 외부로부터 입력된 명령에 따라 상기 메모리의 데이터 입출력을 제어하는 메모리 컨트롤러;
 상기 메모리와 외부 사이에 교환되는 데이터를 버퍼링하기 위한 버퍼 메모리; 및
 상기 메모리, 상기 메모리 컨트롤러 및 상기 버퍼 메모리 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고,

상기 반도체 메모리는, 상기 메모리 시스템 내에서 상기 메모리 또는 상기 버퍼 메모리의 일부인 전자 장치.

발명의 설명

기술 분야

[0001] 본 특허 문헌은 메모리 회로 또는 장치와, 전자 장치에서의 이들의 응용에 관한 것이다.

배경 기술

[0002] 최근 전자기기의 소형화, 저전력화, 고성능화, 다양화 등에 따라, 컴퓨터, 휴대용 통신기기 등 다양한 전자기기에서 정보를 저장할 수 있는 반도체 장치가 요구되고 있으며, 이에 대한 연구가 진행되고 있다. 이러한 반도체 장치로는 인가되는 전압 또는 전류에 따라 서로 다른 저항 상태 사이에서 스위칭하는 특성을 이용하여 데이터를 저장할 수 있는 반도체 장치 예컨대, RRAM(Resistive Random Access Memory), PRAM(Phase-change Random Access Memory), FRAM(Ferroelectric Random Access Memory), MRAM(Magnetic Random Access Memory), 이-퓨즈(E-fuse) 등이 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시예들이 해결하려는 과제는, 동작 특성 및 신뢰성이 향상된 반도체 소자를 포함하는 전자 장치를 제공하는 것이다.

과제의 해결 수단

[0004] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 전자 장치는, 반도체 소자를 포함하는 전자 장치로서, 상기 반도체 소자는, 제1 방향에서 서로 이격하도록 배열된 제1 전극과 제2 전극; 및 상기 제1 전극과 상기 제2 전극 사이에 개재되고, 가변 저항 특성 또는 문턱 스위칭 특성을 갖는 제1 물질층을 포함하고, 상기 제1 전극과 상기 제2 전극 중 적어도 하나는, 상기 제1 방향에서 교대로 배열되는 복수의 서브 전극 및 복수의 제2 물질층을 포함하고, 상기 복수의 제2 물질층 각각은, 동작 전류에서 옴릭 거동(ohmic behavior)을 보여주는 두께를 갖는다.

[0005] 위 전자 장치에 있어서, 상기 복수의 제2 물질층 각각은, 상기 동작 전류에서 브레이크 다운되지 않는다. 상기 복수의 제2 물질층 각각은, 절연 물질 또는 반도체 물질로 형성된다. 상기 복수의 제2 물질층 각각은, 서로 동일한 두께를 갖는다. 상기 복수의 제2 물질층 각각은, 서로 동일한 물질로 형성된다. 상기 제1 전극이 상기 복수의 서브 전극 및 상기 복수의 제2 물질층을 포함하는 경우, 상기 제1 방향에서 상기 제1 전극의 양단에는 상기 복수의 서브 전극 중 두 개의 서브 전극이 각각 위치한다. 상기 제1 물질층은, 도전성 경로의 생성 또는 소멸에 의해 저항이 변화한다. 상기 제1 물질층은, 금속 산화물, 상변화 물질, 강유전 물질 및 강자성 물질 중 적어도 하나를 포함하는 단일막 구조 또는 다중막 구조를 갖는다. 상기 제1 물질층은, 다이오드, OTS(Ovonic Threshold Switching) 물질, MIEC(Mixed Ionic Electronic Conducting) 물질, MIT(Metal Insulator Transition) 물질 및 터널링 절연 물질 중 적어도 하나를 포함하는 단일막 구조 또는 다중막 구조를 갖는다. 상기 제1 물질층은, 상기 제1 방향으로 배열된 산소 부족형 금속 산화물층 및 산소 리치형 금속 산화물층의 적층 구조를 포함한다. 상기 제1 전극이 상기 복수의 서브 전극 및 상기 복수의 제2 물질층을 포함하는 경우, 상기 산소 리치형 금속 산화물층은, 상기 제1 전극과 인접한다. 상기 제1 물질층은, 상기 제1 방향으로 배열되는 복수의 막을 포함하고, 상기 복수의 막 중 적어도 하나는 터널링 절연층이다. 상기 제1 전극이 상기 복수의 서브 전극 및 상기 복수의 제2 물질층을 포함하는 경우, 상기 터널링 절연층은, 상기 제1 전극과 인접한다.

[0006] 또한, 상기 과제를 해결하기 위한 본 발명의 다른 일 실시예에 따른 전자 장치는, 복수의 메모리 셀을 갖는 반도체 메모리를 포함하는 전자 장치로서, 상기 복수의 메모리 셀 각각은, 제1 방향에서 서로 이격하도록 배열된

제1 전극 및 제3 전극; 상기 제1 전극과 상기 제3 전극 사이에 개재되는 가변 저항층; 및 상기 가변 저항층과 상기 제3 전극 사이에 개재되는 문턱 스위칭층을 포함하고, 상기 제1 전극 및 상기 제3 전극 중 적어도 하나는, 상기 제1 방향에서 교대로 배열되는 복수의 서부 전극 및 복수의 물질층을 포함하고, 상기 복수의 물질층 각각은, 동작 전류에서 옴릭 거동(ohmic behavior)을 보여주는 두께를 갖는다.

[0007] 위 전자 장치에 있어서, 상기 복수의 메모리 셀 각각은, 상기 가변 저항층과 상기 문턱 스위칭층 사이에 개재되는 제2 전극을 더 포함한다. 상기 제2 전극은, 상기 제1 방향에서 교대로 배열되는 상기 복수의 서부 전극 및 상기 복수의 제2 물질층을 포함한다. 상기 복수의 물질층 각각은, 절연 물질 또는 반도체 물질로 형성된다. 상기 반도체 메모리는, 상기 제1 방향과 교차하는 제2 방향으로 연장하는 제1 배선; 및 상기 제1 및 제2 방향과 교차하는 제3 방향으로 연장하는 제2 배선을 더 포함하고, 상기 복수의 메모리 셀 각각은, 상기 제1 배선과 상기 제2 배선 사이의 각 교차점에 위치한다.

[0008] 상기 전자 장치는, 마이크로프로세서를 더 포함하고, 상기 마이크로프로세서는, 상기 마이크로프로세서 외부로부터의 명령을 포함하는 신호를 수신하고, 상기 명령의 추출이나 해독 또는 상기 마이크로프로세서의 신호의 입출력 제어를 수행하는 제어부; 상기 제어부가 명령을 해독한 결과에 따라서 연산을 수행하는 연산부; 및 상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 기억부를 포함하고, 상기 반도체 메모리는, 상기 마이크로프로세서 내에서 상기 기억부의 일부일 수 있다.

[0009] 상기 전자 장치는, 프로세서를 더 포함하고, 상기 프로세서는, 상기 프로세서의 외부로부터 입력된 명령에 따라 데이터를 이용하여 상기 명령에 대응하는 연산을 수행하는 코어부; 상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 캐시 메모리부; 및 상기 코어부와 상기 캐시 메모리부 사이에 연결되고, 상기 코어부와 상기 캐시 메모리부 사이에 데이터를 전송하는 버스 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 프로세서 내에서 상기 캐시 메모리부의 일부일 수 있다.

[0010] 상기 전자 장치는, 프로세싱 시스템을 더 포함하고, 상기 프로세싱 시스템은, 수신된 명령을 해석하고 상기 명령을 해석한 결과에 따라 정보의 연산을 제어하는 프로세서; 상기 명령을 해석하기 위한 프로그램 및 상기 정보를 저장하기 위한 보조기억장치; 상기 프로그램을 실행할 때 상기 프로세서가 상기 프로그램 및 상기 정보를 이용해 상기 연산을 수행할 수 있도록 상기 보조기억장치로부터 상기 프로그램 및 상기 정보를 이동시켜 저장하는 주기억장치; 및 상기 프로세서, 상기 보조기억장치 및 상기 주기억장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스 장치를 포함하고, 상기 반도체 메모리는, 상기 프로세싱 시스템 내에서 상기 보조기억장치 또는 상기 주기억장치의 일부일 수 있다.

[0011] 상기 전자 장치는, 데이터 저장 시스템을 더 포함하고, 상기 데이터 저장 시스템은, 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 저장 장치; 외부로부터 입력된 명령에 따라 상기 저장 장치의 데이터 입출력을 제어하는 컨트롤러; 상기 저장 장치와 외부 사이에 교환되는 데이터를 임시로 저장하는 임시 저장 장치; 및 상기 저장 장치, 상기 컨트롤러 및 상기 임시 저장 장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 데이터 저장 시스템 내에서 상기 저장 장치 또는 상기 임시 저장 장치의 일부일 수 있다.

[0012] 상기 전자 장치는, 메모리 시스템을 더 포함하고, 상기 메모리 시스템은, 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 메모리; 외부로부터 입력된 명령에 따라 상기 메모리의 데이터 입출력을 제어하는 메모리 컨트롤러; 상기 메모리와 외부 사이에 교환되는 데이터를 버퍼링하기 위한 버퍼 메모리; 및 상기 메모리, 상기 메모리 컨트롤러 및 상기 버퍼 메모리 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 메모리 시스템 내에서 상기 메모리 또는 상기 버퍼 메모리의 일부일 수 있다.

발명의 효과

[0013] 상술한 본 발명의 실시예들에 의하면, 동작 특성 및 신뢰성이 향상된 반도체 소자를 포함하는 전자 장치를 제공할 수 있다.

도면의 간단한 설명

- [0014] 도 1a는 비교예의 반도체 장치를 나타내는 단면도이고, 도 1b는 도 1a의 반도체 장치가 가변 저항 소자인 경우의 동작 방법을 설명하기 위한 그래프이고, 도 1c는 도 1a의 반도체 장치가 문턱 스위칭 소자인 경우의 동작 방법을 설명하기 위한 그래프이고, 도 1d는 도 1a의 반도체 장치에서 발생하는 문제점을 설명하기 위한 그래프이다.
- 도 2a는 본 발명의 일 실시예에 따른 반도체 장치를 나타내는 단면도이고, 도 2b는 도 2a의 반도체 장치가 가변 저항 소자인 경우의 동작 방법을 설명하기 위한 그래프이고, 도 2c는 도 2a의 반도체 장치가 문턱 스위칭 소자인 경우의 동작 방법을 설명하기 위한 그래프이고, 도 2d는 도 2a의 반도체 장치의 포밍 동작시 전류 흐름을 보여주는 그래프이다.
- 도 3a는 본 발명의 일 실시예에 따른 제1 전극을 나타내는 단면도이고, 도 3b는 다른 비교예의 제1 전극을 나타내는 단면도이고, 도 3c는 도 3a의 제1 전극 및 도 3b의 제1 전극의 전류-전압 특성을 보여주는 그래프이다.
- 도 4는 본 발명의 다른 일 실시예에 따른 반도체 장치를 나타내는 단면도이다.
- 도 5는 본 발명의 또 다른 일 실시예에 따른 반도체 장치를 나타내는 단면도이다.
- 도 6은 본 발명의 일 실시예에 따른 메모리 셀 어레이를 설명하기 위한 사시도이다.
- 도 7은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 마이크로프로세서의 구성도의 일 예이다.
- 도 8은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 프로세서의 구성도의 일 예이다.
- 도 9는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 시스템의 구성도의 일 예이다.
- 도 10은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 데이터 저장 시스템의 구성도의 일 예이다.
- 도 11은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 메모리 시스템의 구성도의 일 예이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하에서는, 첨부된 도면을 참조하여 다양한 실시예들이 상세히 설명된다.
- [0016] 도면은 반드시 일정한 비율로 도시된 것이라 할 수 없으며, 몇몇 예시들에서, 실시예들의 특징을 명확히 보여주기 위하여 도면에 도시된 구조물 중 적어도 일부의 비례는 과장될 수도 있다. 도면 또는 상세한 설명에 둘 이상의 층을 갖는 다층 구조물이 개시된 경우, 도시된 것과 같은 층들의 상대적인 위치 관계나 배열 순서는 특정 실시예를 반영할 뿐이어서 본 발명이 이에 한정되는 것은 아니며, 층들의 상대적인 위치 관계나 배열 순서는 달라질 수도 있다. 또한, 다층 구조물의 도면 또는 상세한 설명은 특정 다층 구조물에 존재하는 모든 층들을 반영하지 않을 수도 있다(예를 들어, 도시된 두 개의 층 사이에 하나 이상의 추가 층이 존재할 수도 있다). 예컨대, 도면 또는 상세한 설명의 다층 구조물에서 제1 층이 제2 층 상에 있거나 또는 기판상에 있는 경우, 제1 층이 제2 층 상에 직접 형성되거나 또는 기판상에 직접 형성될 수 있음을 나타낼 뿐만 아니라, 하나 이상의 다른 층이 제1 층과 제2 층 사이 또는 제1 층과 기판 사이에 존재하는 경우도 나타낼 수 있다.
- [0017] 본 발명의 실시예들을 설명하기에 앞서, 먼저 비교예의 반도체 장치 및 그 동작 방법과 그 문제점에 관하여 설명하기로 한다.
- [0018] 도 1a는 비교예의 반도체 장치를 나타내는 단면도이고, 도 1b는 도 1a의 반도체 장치가 가변 저항 소자인 경우의 동작 방법을 설명하기 위한 그래프이고, 도 1c는 도 1a의 반도체 장치가 문턱 스위칭 소자인 경우의 동작 방법을 설명하기 위한 그래프이고, 도 1d는 도 1a의 반도체 장치에서 발생하는 문제점을 설명하기 위한 그래프이다.
- [0019] 도 1a를 참조하면, 비교예의 반도체 장치는, 제1 전극(11), 제1 전극(11) 상에 제1 전극(11)과 이격하여 형성된 제2 전극(13), 및 제1 전극(11)과 제2 전극(13) 사이에 개재된 물질층(12)을 포함할 수 있다.
- [0020] 여기서, 제1 전극(11) 및 제2 전극(13)은 물질층(12)의 양단으로 전압 또는 전류를 전달하기 위한 것으로, 도전 물질로 형성될 수 있다.

- [0021] 물질층(12)은 제1 전극(11) 및 제2 전극(13)을 통하여 공급되는 전압 또는 전류에 따라 서로 다른 저항 상태에서 이어서 스위칭하는 가변 저항 특성을 가질 수 있다. 이러한 경우의 반도체 장치를 가변 저항 소자라 한다. 가변 저항 소자의 전류-전압 곡선은 도 1b에 예시적으로 나타내었다.
- [0022] 도 1b를 참조하면, 초기에 가변 저항 소자는 고저항 상태(HRS)에 있다가, 인가되는 전압이 소정 플러스 전압에 도달하면 가변 저항 소자의 저항 상태가 고저항 상태(HRS)에서 저저항 상태(LRS)로 변하는 셋(set) 동작이 수행될 수 있다. 셋 동작시의 전압을 이하, 셋 전압(Vset)이라 하기로 한다.
- [0023] 가변 저항 소자의 저저항 상태(LRS)는 전압이 감소하여도 유지되다가, 소정 마이너스 전압에서 다시 고저항 상태(HRS)로 변하는 리셋(reset) 동작이 수행될 수 있다. 리셋 동작시의 전압을 이하, 리셋 전압(Vreset)이라 하기로 한다.
- [0024] 이와 같은 방식으로 가변 저항 소자는 고저항 상태(HRS)와 저저항 상태(LRS) 사이에서 반복적으로 스위칭할 수 있다.
- [0025] 한편, 최초의 셋 동작을 포밍(forming) 동작이라 할 수 있다. 포밍 동작시의 포밍 전압(Vforming)은 셋 전압(Vset)보다 클 수 있다. 이는 후술할 물질층(12) 내의 도전성 경로를 최초로 생성하는 것이 이후의 동작들보다 더 큰 전압을 필요로 하기 때문이다. 포밍 동작 이후의 셋 동작 및 리셋 동작에서 셋 전압(Vset) 및 리셋 전압(Vreset) 각각은 거의 일정하게 유지될 수 있다.
- [0026] 어떠한 경우든, 가변 저항 소자란, 셋 동작에 의한 저저항 상태(LRS) 및 리셋 동작에 의한 고저항 상태(HRS) 중 어느 하나의 저항 상태를 갖고, 셋 전압(Vset) 또는 리셋 전압(Vreset)이 인가되기 전까지는 직전의 저항 상태를 유지하는 특성을 갖는다. 따라서, 가변 저항 소자는, 저항 상태에 따라 서로 다른 데이터를 저장하면서 전원이 제거되어도 저장된 데이터를 유지하는 비휘발성 메모리 소자로 기능할 수 있다. 또한, 가변 저항 소자에 저장된 데이터를 리드하는 리드 동작시, 셋 전압(Vset)과 리셋 전압(Vreset) 사이의 리드 전압(Vread)이 인가될 수 있다. 리드 동작시 직전 동작에 따라 가변 저항 소자의 저항 상태가 다르므로, 동일한 리드 전압(Vread)에서 서로 다른 데이터가 읽힐 수 있다.
- [0027] 다시 도 1a로 돌아와서, 이러한 가변 저항 소자의 물질층(12)은, RRAM, PRAM, FRAM, MRAM 등에 이용되는 다양한 물질 예컨대, 전이 금속 산화물, 페로브스카이트(perovskite)계 물질 등과 같은 금속 산화물, 칼코게나이드(chalcogenide)계 물질 등과 같은 상변화 물질, 강유전 물질, 강자성 물질 등을 포함하는 단일막 구조 또는 다중막 구조를 가질 수 있다. 특히, 물질층(12)은 자신의 내부의 도전성 경로(CP)의 생성 또는 소멸에 의해 그 저항이 변화할 수 있다. 즉, 물질층(12) 내에 제1 전극(11)과 제2 전극(13)을 전기적으로 도통시키는 도전성 경로(CP)가 생성된 경우, 물질층(12)은 저저항 상태를 가질 수 있다. 반대로, 이 도전성 경로(CP)가 소멸된 경우, 물질층(12)은 고저항 상태를 가질 수 있다. 예컨대, 물질층(12)은 다량의 산소 공공을 함유하는 금속 산화물을 포함할 수 있다. 이때, 도전성 경로(CP)는 산소 공공의 거동에 의해 형성될 수 있다. 그러나, 도전성 경로(CP)는 물질층(12)의 종류나, 막 구조, 동작 특성에 따라, 다양한 방식으로 형성될 수 있다.
- [0028] 또는, 물질층(12)은 제1 전극(11) 및 제2 전극(13)을 통하여 공급되는 전압의 크기가 소정 문턱 전압 미만인 경우 전류를 차단하거나 전류를 거의 흘리지 않다가 이 문턱 전압 이상에서 급격히 전류를 흐르게 하는 문턱 스위칭(threshold switching) 특성을 가질 수 있다. 이러한 경우의 반도체 장치를 문턱 스위칭 소자라 한다. 문턱 스위칭 소자의 전류-전압 곡선은 도 1c에 예시적으로 나타내었다.
- [0029] 도 1c를 참조하면, 문턱 스위칭 소자는 인가되는 전압의 크기가 문턱 전압(Vth) 미만인 경우에는 고저항 상태에 있다가, 문턱 전압(Vth)에 도달하면 저저항 상태로 변화할 수 있다. 즉, 문턱 전압(Vth)을 기준으로 턴온 상태 또는 턴오프 상태일 수 있다. 이러한 문턱 스위칭 소자의 저항 변화는 도전성 경로의 생성 또는 소멸에 의할 수 있다.
- [0030] 문턱 스위칭 소자가 최초로 저저항 상태가 되는 동작을 포밍(forming) 동작이라 할 수 있다. 포밍 동작시의 포밍 전압(Vforming)의 크기는 문턱 전압(Vth)의 크기보다 더 클 수 있다. 이는 도전성 경로를 최초로 생성하는 것이 이후의 동작들보다 더 큰 전압을 필요로 하기 때문이다. 포밍 동작 이후의 문턱 전압(Vth)은 거의 일정하게 유지될 수 있다.
- [0031] 어떠한 경우든, 문턱 스위칭 소자란 문턱 전압을 기준으로 저항 변화를 갖는 소자 즉, 온-오프되는 소자를 의미할 수 있다. 가변 저항 소자와는 달리 전원이 제거되면 자신의 저항 상태를 유지하지 못하며, 동일한 전압에서 둘 이상의 저항 상태를 가질 수 없다. 이러한 문턱 스위칭 소자는, 전술한 가변 저항 소자와 접속하여 가변 저

항 소자로의 접근(access)을 제어하는 선택 소자로 이용될 수 있다. 이러한 경우 가변 저항 소자 및 문턱 스위칭 소자가 단위 메모리 셀을 형성할 수 있다. 또는, 문턱 스위칭 소자는 휘발성 메모리 소자로 이용될 수도 있다.

- [0032] 다시 도 1a로 돌아와서, 이러한 문턱 스위칭 소자의 물질층(12)으로는 다이오드, 칼코게나이드계 물질 등과 같은 OTS(Ovonic Threshold Switching) 물질, 금속 함유 칼코게나이드계 물질 등과 같은 MIEC(Mixed Ionic Electronic Conducting) 물질, NbO₂, VO₂ 등과 같은 MIT(Metal Insulator Transition) 물질, SiO₂, Al₂O₃ 등과 같이 상대적으로 넓은 밴드 갭을 갖는 터널링 절연층 등이 이용될 수 있다. 또한, 문턱 스위칭 소자의 물질층(12)도 자신의 내부의 도전성 경로(CP)의 생성 또는 소멸에 의해 턴온 또는 턴오프될 수 있다. 예컨대, 물질층(12)이 전자의 터널링을 가능하게 하는 터널링 절연층인 경우, 도전성 경로(CP)는 전자의 거동에 의해 형성될 수 있다. 그러나, 도전성 경로(CP)는 물질층(12)의 종류나, 막 구조, 동작 특성에 따라, 다양한 방식으로 형성될 수 있다.
- [0033] 그런데, 위와 같은 비교예의 반도체 장치에서는 포밍 동작 및/또는 셋 동작과 같이 저저항 상태로 바뀌는 동작시, 과도한 오버슈팅(overshooting) 전류가 발생하는 문제가 있다. 도 1d는, 포밍 동작시 컴플라이언스 전류(CC)보다 훨씬 더 큰, 예컨대, 수백배의 오버슈팅 전류가 발생함을 보여준다.
- [0034] 이러한 오버슈팅 전류는 물질층(12) 내에 형성되는 도전성 경로(CP)의 사이즈를 증가시킨다. 도전성 경로(CP)의 사이즈가 큰 경우, 반도체 장치의 오프 전류가 상승하여 반도체 장치를 통한 누설 전류를 증가시키는 문제를 초래할 수 있다. 게다가, 오프 전류 상승은 곧 온 전류와 오프 전류 사이의 차이가 감소하는 것을 의미하므로, 반도체 장치가 메모리 셀로 이용되는 경우 데이터 리드 마진이 감소되는 문제가 있다. 결과적으로 반도체 장치의 동작 특성이 저해될 수 있다.
- [0035] 본 실시예에서는, 동작시 오버슈팅 전류를 제어함으로써 물질층 내에 작은 사이즈의 도전성 경로를 생성할 수 있고, 결과적으로 오프 전류 감소가 가능한 반도체 장치를 제공하고자 한다. 이하, 도 2a 내지 도 2d를 참조하여 보다 상세히 설명하기로 한다.
- [0036] 도 2a는 본 발명의 일 실시예에 따른 반도체 장치를 나타내는 단면도이고, 도 2b는 도 2a의 반도체 장치가 가변 저항 소자인 경우의 동작 방법을 설명하기 위한 그래프이고, 도 2c는 도 2a의 반도체 장치가 문턱 스위칭 소자인 경우의 동작 방법을 설명하기 위한 그래프이고, 도 2d는 도 2a의 반도체 장치의 포밍 동작시 전류 흐름을 보여주는 그래프이다.
- [0037] 도 2a를 참조하면, 본 실시예의 반도체 장치는, 제1 전극(110), 제1 전극(110) 상에 제1 전극(110)과 이격하여 형성된 제2 전극(130), 및 제1 전극(110)과 제2 전극(130) 사이에 개재된 제1 물질층(120)을 포함할 수 있다.
- [0038] 제1 전극(110) 및 제2 전극(130)은 제1 물질층(120)의 양단으로 전압 또는 전류를 전달하기 위한 것으로, 다양한 도전 물질 예컨대, W, Al, Ti 등과 같은 금속, TiN 등과 같은 금속 질화물, 또는 이들의 조합 등을 포함하는 단일막 구조 또는 다중막 구조를 가질 수 있다.
- [0039] 특히, 제1 전극(110)은, 제1 전극(110), 제1 물질층(120) 및 제2 전극(130)의 배열 방향을 따라, 서로 교대로 배열되는 복수의 서브 전극(110A, 110C, 110E, 110G) 및 복수의 제2 물질층(110B, 110D, 110F)을 포함할 수 있다. 제1 전극(110)의 양단에는 서브 전극(110A, 110F)이 위치할 수 있다. 본 실시예에서는 4개의 서브 전극(110A, 110C, 110E, 110G) 및 제1 방향에서 인접한 두 개의 서브 전극 사이마다 개재되는 3개의 제2 물질층(110B, 110D, 110F)을 포함하는 제1 전극(110)이 도시되어 있다. 그러나, 다른 실시예에서 서브 전극의 개수 및 물질층의 개수는, 복수이기만 하면, 다양하게 변형될 수 있다.
- [0040] 서브 전극(110A, 110C, 110E, 110G) 각각은 금속, 금속 질화물 또는 이들의 조합 등 다양한 도전 물질로 형성될 수 있다.
- [0041] 제2 물질층(110B, 110D, 110F) 각각은 금속 산화물, 실리콘 산화물과 같은 산화물, 질화물, 또는 이들의 조합 등 다양한 절연 물질로 형성될 수 있다. 또는, 제2 물질층(110B, 110D, 110F) 각각은 상대적으로 작은 밴드갭을 갖는 반도체 물질로 형성될 수도 있다. 이때, 제2 물질층(110B, 110D, 110F) 각각은 반도체 장치의 동작 전류에서, 전압에 비례하여 전류가 증가하는 옴릭 거동(ohmic behavior)을 보여줄 수 있는 얇은 두께로 형성될 수 있다. 제2 물질층(110B, 110D, 110F) 각각의 두께가 얇아수록 물질의 종류와 관계없이 저항이 감소하여 리키한(leaky) 특성을 갖기 때문이다. 제2 물질층(110B, 110D, 110F) 각각의 두께는 실질적으로 동일할 수 있고, 예컨대, 3nm 이하일 수 있다.

- [0042] 제1 전극(110)의 특성에 대해서는 후술하는 도 3a 내지 도 3c를 참조하여 보다 상세히 설명하기로 한다.
- [0043] 본 실시예에는 제1 전극(110)이 서브 전극(110A, 110C, 110E, 110G) 및 제2 물질층(110B, 110D, 110F)의 교대 적층 구조물을 포함하는 경우가 도시되어 있으나, 다른 실시예에는 제1 전극(110) 대신 제2 전극(130)이 복수의 서브 전극 및 복수의 제2 물질층의 교대 적층 구조를 가질 수 있다. 또는, 제1 및 제2 전극(110, 130) 각각이 복수의 서브 전극 및 복수의 제2 물질층의 교대 적층 구조를 가질 수도 있다.
- [0044] 제1 물질층(120)은 전술한 도 1a의 물질층(12)과 실질적으로 동일할 수 있다. 즉, 가변 저항 특성을 갖거나 또는 문턱 스위칭 특성을 가질 수 있다. 또한, 도전성 경로(CP)의 생성 또는 소멸에 의해 그 저항이 변화할 수 있다. 제1 물질층(120)이 가변 저항 특성을 갖는 경우, 반도체 장치의 전류-전압 곡선은 도 2b에 예시적으로 나타내었다. 또한, 제1 물질층(120)이 문턱 스위칭 특성을 갖는 경우, 반도체 장치의 전류-전압 곡선은 도 2c에 예시적으로 나타내었다.
- [0045] 도 2b를 참조하면, 본 실시예의 반도체 장치의 전류-전압 곡선은 도 1b의 전류-전압 곡선(도 2b에서 점선으로 표시)과 유사할 수 있다. 다만, 0V와 셋 전압(Vset) 사이의 전압 구간 및 0V와 포밍 전압(Vforming) 사이의 전압 구간에서, 곡선이 소정 정도 하향되어 있음을 알 수 있다(아래 방향의 화살표 참조). 이는 고저항 상태(HRS)에서 흐르는 전류 즉, 오프 전류가 더 감소하였음을 보여준다.
- [0046] 또한, 도 2c를 참조하면, 본 실시예의 반도체 장치의 전류-전압 곡선은 도 1c의 전류-전압 곡선(도 2c에서 점선으로 표시)과 유사할 수 있다. 다만, 0V와 문턱 전압(Vth) 사이의 전압 구간 및 0V와 포밍 전압(Vforming) 사이의 전압 구간에서, 곡선이 소정 정도 하향되어 있음을 알 수 있다(아래 방향의 화살표 참조). 이는 고저항 상태에서 흐르는 전류 즉, 오프 전류가 더 감소하였음을 보여준다.
- [0047] 위와 같이 본 실시예의 반도체 장치에서 오프 전류가 감소하는 것은 포밍 동작 등과 같이 저저항 상태로 변하는 동작시 오버슈팅 전류가 크게 감소하기 때문이다. 이러한 오버슈팅 전류의 감소는, 전극 내에 일종의 저항성 성분인 얇은 절연층 또는 반도체층이 복수개 삽입되어 반도체 장치의 단부의 기생 캐패시턴스(parasitic capacitance)가 감소하기 때문이다. 도 2d는, 포밍 동작시 컴플라이언스 전류(CC)와 유사한 레벨의 오버슈팅 전류가 발생함을 보여준다.
- [0048] 이와 같이 오버슈팅 전류가 감소하기 때문에, 제1 물질층(120) 내에 형성되는 도전성 경로(CP)의 사이즈는 도 1a의 반도체 장치에 비하여 크게 감소할 수 있다. 즉, 도전성 경로(CP)의 저항성이 증가할 수 있다. 도전성 경로(CP)의 사이즈 감소는 오프 전류의 감소를 초래한다. 결과적으로, 반도체 장치의 누설 전류가 감소하고 데이터 리드 마진이 증가하는 등, 반도체 장치의 동작 특성이 향상될 수 있다. 또한, 오버슈팅 전류의 감소는 제1 물질층(120) 내의 물리적 결함(physical defect)도 감소시키므로, 반도체 장치의 스위칭 동작의 신뢰성, 즉, 내구성(endurance) 및 리텐션(retention) 특성도 개선될 수 있다. 더 나아가, 제2 물질층(110B, 110D, 110F)이 HfO₂ 등과 같이 전기 전도도가 낮은 물질로 형성되는 경우, 단열 효과가 증가하여 반도체 장치의 동작 전력이 감소하는 효과도 존재할 수 있다.
- [0049] 이하, 도 3a 내지 도 3c를 참조하여 복수의 서브 전극과 복수의 제2 물질층의 교대 적층 구조를 갖는 제1 전극에 관하여 보다 상세히 설명하기로 한다.
- [0050] 도 3a는 본 발명의 일 실시예에 따른 제1 전극을 나타내는 단면도이고, 도 3b는 다른 비교예의 제1 전극을 나타내는 단면도이고, 도 3c는 도 3a의 제1 전극 및 도 3b의 제1 전극의 전류-전압 특성을 보여주는 그래프이다.
- [0051] 도 3a를 참조하면, 본 실시예의 제1 전극(300)은 교대로 배열되는 복수의 서브 전극(C1, C2, ..., Cn-1, Cn, Cn+1) 및 복수의 제2 물질층(I1, ..., In-1, In)을 포함할 수 있다. 여기서, n은 2 이상의 자연수일 수 있다. 제1 전극(330)의 양단에 서브 전극(C1, Cn+1)이 위치하므로, 서브 전극(C1, C2, ..., Cn-1, Cn, Cn+1)의 개수는 제2 물질층(I1, ..., In-1, In)의 개수보다 하나 더 많을 수 있다.
- [0052] 서브 전극(C1, C2, ..., Cn-1, Cn, Cn+1) 각각은 다양한 도전 물질로 형성될 수 있다. 서브 전극(C1, C2, ..., Cn-1, Cn, Cn+1) 각각의 두께는 실질적으로 동일할 수 있고, 서브 전극(C1, C2, ..., Cn-1, Cn, Cn+1) 각각을 형성하는 물질은 실질적으로 동일할 수 있다.
- [0053] 제2 물질층(I1, ..., In-1, In)은 다양한 절연 물질 또는 반도체 물질로 형성될 수 있다. 제2 물질층(I1, ..., In-1, In) 각각의 두께(T1, ..., Tn-1, Tn)는 실질적으로 동일할 수 있고, 제2 물질층(I1, ..., In-1, In) 각각을 형

성하는 물질은 실질적으로 동일할 수 있다.

- [0054] 이때, 제2 물질층(I1, ..., In-1, In) 각각은, 제1 전극(300)을 포함하는 반도체 장치의 동작 전류에서, 제1 전극(300)에 인가되는 전압에 비례하여 전류가 증가하는 옴릭 거동(ohmic behavior)을 보여줄 수 있고 브레이크 다운되지는 않는 얇은 두께로 형성될 수 있다.
- [0055] 도 3b를 참조하면, 비교예의 제1 전극(30)은 두 개의 서브 전극(C) 및 이들 사이에 개재된 하나의 제2 물질층(I)을 포함할 수 있다. 제2 물질층(I)의 두께는 도면부호 T로 표시하였다.
- [0056] 도 3c를 참조하면, 곡선 ①은 제1 전극(30)의 제2 물질층(I)의 두께(T)가 제2 물질층(I1, ..., In-1, In)의 두께(T1, ..., Tn-1, Tn) 중 어느 하나와 실질적으로 동일한 정도로 얇은 경우, 제1 전극(30)의 전류-전압 특성을 나타낸다.
- [0057] 곡선 ②는 제1 전극(300)의 제2 물질층(I1, ..., In-1, In)이 두 개인 경우, 즉, 제1 전극(300)이 서브 전극(C1, C2, C3)과 교대로 배열되는 제2 물질층(I1, I2)를 포함하는 경우, 제1 전극(300)의 전류-전압 특성을 나타낸다.
- [0058] 곡선 ③는 제1 전극(300)의 제2 물질층(I1, ..., In-1, In)이 세 개인 경우, 즉, 제1 전극(300)이 서브 전극(C1, C2, C3, C4)과 교대로 배열되는 제2 물질층(I1, I2, I3)을 포함하는 경우, 제1 전극(300)의 전류-전압 특성을 나타낸다.
- [0059] 곡선 ④는 제1 전극(30)의 제2 물질층(I)의 두께(T)가 제1 전극(300)의 두 개의 제2 물질층(I1, I2)의 두께(T1, T2)의 합과 실질적으로 동일한 경우, 제1 전극(30)의 전류-전압 특성을 나타낸다.
- [0060] 곡선 ⑤는 제1 전극(30)의 제2 물질층(I)의 두께(T)가 제1 전극(300)의 세 개의 제2 물질층(I1, I2, I3)의 두께(T1, T2, T3)의 합과 실질적으로 동일한 경우, 제1 전극(30)의 전류-전압 특성을 나타낸다.
- [0061] 반도체 장치에 흐를 수 있는 최대 전류를 I_{max}라 할 때, 곡선 ①에서 보여지는 것과 같이, 얇은 제2 물질층(I) 하나만을 포함하는 제1 전극(30)은 최대 전류(I_{max}) 이하, 즉, 동작 전류에서 옴릭 거동을 보여준다. 그런데, 이러한 제1 전극(30)은 인가되는 전압에 따라 전류가 급격히 증가하여 매우 낮은 전압에서도 높은 전류를 흘릴 수 있다. 이는, 제1 전극(30)에서 하나의 얇은 제2 물질층(I)만을 이용하면, 반도체 장치의 오프 전류를 감소시키는 데에 제약이 있음을 보여준다.
- [0062] 반면, 곡선 ②에서 보여지는 것과 같이 제1 전극(300)이 두 개의 얇은 제2 물질층(I1, I2)을 포함하는 경우, 곡선 ①에 비하여 전류의 증가 정도가 감소할 수 있다. 나아가, 곡선 ③에서 보여지는 것과 같이, 제1 전극(300)이 세 개의 제2 물질층(I1, I2, I3)을 포함하면, 전류의 증가 정도는 더욱 감소할 수 있다. 다시 말하면, 제2 물질층(I1, ..., In-1, In)의 개수가 증가할수록 전류의 증가 정도를 감소시킬 수 있다. 결과적으로, 반도체 장치의 오프 전류는 제2 물질층(I1, ..., In-1, In)의 개수가 증가할수록 감소할 수 있다.
- [0063] 한편, 곡선 ④에서 보여지는 것과 같이, 제1 전극(30)이 하나의 제2 물질층(I)만을 포함하되, 제1 전극(300)의 두 개의 물질층(I1, I2)의 두께(T1, T2)의 합과 동일한 두께(T)를 갖는 제2 물질층(I)을 포함하는 경우, 동작 전류에서 브레이크 다운됨을 알 수 있다. 나아가, 곡선 ⑤에서 보여지는 것과 같이, 제1 전극(30)이 하나의 제2 물질층(I)만을 포함하되, 제1 전극(300)의 세 개의 물질층(I1, I2, I3)의 두께(T1, T2, T3)의 합과 동일한 두께(T)를 갖는 제2 물질층(I)을 포함하는 경우, 동작 전류에서 브레이크 다운됨을 알 수 있다. 즉, 제2 물질층(I)의 두께(T)가 두꺼울수록 브레이크 다운되어 오프 전류를 감소시킬 수 없다. 게다가, 제2 물질층(I)의 두께(T)가 두꺼울수록 브레이크 다운 전압이 커지는 반면 해당 브레이크 다운 전압에서의 온 전류는 작아지는 문제가 있다.
- [0064] 요약하자면, 본 실시예와 같이 전극으로 둘 이상의 얇은 절연층(또는 반도체층) 및 이와 교대로 배열되는 도전층의 적층 구조물을 이용하는 경우, 하나의 얇은 절연층 또는 하나의 두꺼운 절연층을 포함하는 전극을 이용하는 경우에 비하여, 반도체 장치의 오프 전류를 감소시킬 수 있고 온 전류는 증가시킬 수 있다. 결과적으로, 반도체 장치의 동작 특성 및 신뢰성 향상이 가능하다.
- [0065] 한편, 제1 물질층(120)이 다중막 구조를 가질 수 있음은 이미 언급하였다. 이에 관하여, 도 4를 참조하여 예시적으로 설명하기로 한다.
- [0066] 도 4는 본 발명의 다른 일 실시예에 따른 반도체 장치를 나타내는 단면도이다.

- [0067] 먼저, 도 4의 반도체 장치가 두 개의 전극 사이에 문턱 스위칭 물질이 개재된 문턱 스위칭 소자인 경우에 대하여 설명한다.
- [0068] 도 4를 참조하면, 문턱 스위칭 소자는, 제1 전극(410), 문턱 스위칭층(420, 430) 및 제2 전극(440)을 포함할 수 있다.
- [0069] 여기서, 문턱 스위칭층(420, 430)은 제1 층(420) 및 제2 층(430)이 적층된 이중막 구조를 가질 수 있고, 제1 층(420) 및 제2 층(430)의 조합에 의하여 문턱 스위칭 특성을 나타내거나 또는 제1 층(420) 및 제2 층(430) 각각이 문턱 스위칭 특성을 나타낼 수 있다. 예컨대, 제1 층(420)은 터널링 절연층일 수 있고, 제2 층(430)은 OTS 물질층, MIEC 물질층 또는 MIT 물질층일 수 있다. 이러한 경우, 제1 전극(410)에 소정 플러스 전압이 인가되고 제2 전극(440)에 소정 마이너스 전압이 인가되면, 제1 물질층(420) 내에 전자의 터널링에 의한 도전성 경로(CP)가 생성될 수 있다. 그에 따라 문턱 스위칭 소자는 온 상태로 스위칭될 수 있다. 반대로, 제1 전극(410)에 소정 마이너스 전압이 인가되고 제2 전극(440)에 소정 플러스 전압이 인가되면, 전자가 반대로 이동하므로 기 생성된 도전성 경로(CP)가 소멸할 수 있다. 그에 따라 문턱 스위칭 소자는 오프 상태로 스위칭될 수 있다.
- [0070] 여기서, 제1 전극(410)은, 교대로 배열되는 복수의 서브 전극(410A, 410C, 410E, 410G) 및 복수의 제2 물질층(410B, 410D, 410F)을 포함할 수 있다. 제2 물질층(410B, 410D, 410F) 각각은 얇은 두께의 절연 물질 또는 반도체 물질로 형성될 수 있다. 여기서, 얇은 두께라 함은 본 실시예의 문턱 스위칭 소자의 동작 전류에서 오믹 거동을 보일 수 있는 두께, 즉, 동작 전류에서 브레이크 다운되지 않는 두께를 의미한다. 이와 같은 제1 전극(410) 때문에 문턱 스위칭층(420, 430) 내에 특히, 제1 전극(410)과 인접하고 터널링 절연층으로 기능하는 제1 층(420) 내에 작은 사이즈를 갖는 전자의 터널링에 의한 도전성 경로(CP)가 형성될 수 있다. 결과적으로 문턱 스위칭 소자의 오프 전류가 감소할 수 있다.
- [0071] 다음으로, 도 4의 반도체 장치가 두 개의 전극 사이에 가변 저항 물질이 개재된 가변 저항 소자인 경우에 대하여 설명한다.
- [0072] 도 4를 다시 참조하면, 가변 저항 소자는, 제1 전극(410), 가변 저항층(420, 430) 및 제2 전극(440)을 포함할 수 있다.
- [0073] 여기서, 가변 저항층(420, 430)은 제1 층(420) 및 제2 층(430)이 적층된 이중막 구조를 가질 수 있고, 제1 층(420) 및 제2 층(430)의 조합에 의하여 또는 제1 층(420) 및 제2 층(430) 각각이 가변 저항 특성을 나타낼 수 있다. 예컨대, 제2 층(430)은 다량의 산소 공공을 함유하는 산소 부족형 금속 산화물층이고, 제1 층(420)은 제2 층(430)보다 더 많은 산소를 함유하는 산소 리치형 금속 산화물층일 수 있다. 산소 부족형 금속 산화물층은, TiO_x (여기서, $x < 2$), TaO_y (여기서, $y < 2.5$), HfO_z (여기서, $z < 2$) 등과 같이 화학양론비보다 산소가 부족한 물질로 형성될 수 있고, 산소 리치형 금속 산화물층은, TiO_2 , Ta_2O_5 , HfO_2 등과 같이 화학양론비를 만족하는 물질로 형성될 수 있다. 이러한 경우, 제1 전극(410)에 마이너스 전압이 인가되고 제2 전극(440)에 플러스 전압이 인가되면 산소 부족형 금속 산화물층의 산소 공공이 산소 리치형 금속 산화물층 내로 주입되므로 산소 리치형 금속 산화물층 내에 산소 공공에 의한 도전성 경로(CP)가 생성될 수 있다. 그에 따라 가변 저항 소자는 저저항 상태로 스위칭될 수 있다. 반대로, 제1 전극(410)에 플러스 전압이 인가되고 제2 전극(440)에 마이너스 전압이 인가되면, 산소 공공이 산소 부족형 금속 산화물층을 향하여 이동하므로 기 생성된 도전성 경로(CP)가 소멸할 수 있다. 그에 따라 가변 저항 소자는 고저항 상태로 스위칭될 수 있다.
- [0074] 제1 전극(410)은 전술한 바와 같이, 교대로 배열되는 복수의 서브 전극(410A, 410C, 410E, 410G) 및 각각이 얇은 두께를 갖는 복수의 제2 물질층(410B, 410D, 410F)을 포함할 수 있다. 이 때문에 가변 저항층(420, 430) 내에 특히, 제1 전극(410)과 인접하고 산소 리치형 금속 산화물로 형성되는 제1 층(420) 내에 작은 사이즈를 갖는 산소 공공의 의한 도전성 경로(CP)가 형성될 수 있다. 결과적으로, 가변 저항 소자의 오프 전류가 감소할 수 있다.
- [0075] 한편, 메모리 셀로 가변 저항층과 문턱 스위칭층을 접속하여 이용할 수 있음은 이미 언급하였다. 이에 관하여, 도 5를 참조하여 예시적으로 설명하기로 한다.
- [0076] 도 5는 본 발명의 또 다른 일 실시예에 따른 반도체 장치를 나타내는 단면도이다. 여기서, 반도체 장치는 가변 저항층과 문턱 스위칭층이 직렬로 접속된 구조를 포함하고 데이터를 저장하는 메모리 셀일 수 있다.
- [0077] 도 5를 참조하면, 메모리 셀은, 서로 이격하여 일 방향 예컨대, 적층 방향으로 배열되는 제1 내지 제3 전극

(510, 540, 570), 제1 전극(510)과 제2 전극(540) 사이에 개재되는 가변 저항층(520, 530), 및 제2 전극(540)과 제3 전극(570) 사이에 개재되는 문턱 스위칭층(550, 560)을 포함할 수 있다.

- [0078] 가변 저항층(520, 530)은 제1 층(520) 및 제2 층(530)을 포함하는 이중막 구조를 가질 수 있고, 이들의 조합에 의해 또는 이들 각각이 가변 저항 특성을 나타낼 수 있다. 예컨대, 제2 층(530)은 다량의 산소 공공을 함유하는 산소 부족형 금속 산화물층이고, 제1 층(520)은 제2 층(530)보다 더 많은 산소를 함유하는 산소 리치형 금속 산화물층일 수 있다. 여기서, 도전성 경로(CP)의 생성 또는 소멸은 산소 리치형 금속 산화물층인 제1 층(520) 내에서 이루어질 수 있다.
- [0079] 문턱 스위칭층(550, 560)은, 제1 층(550) 및 제2 층(560)이 적층된 이중막 구조를 가질 수 있고, 제1 층(550) 및 제2 층(560)의 조합에 의하여 문턱 스위칭 특성을 나타내거나 또는 제1 층(550) 및 제2 층(560) 각각이 문턱 스위칭 특성을 나타낼 수 있다. 예컨대, 제1 층(550)은 터널링 절연층이고, 제2 층(560)은 터널링 절연층과 상이한 문턱 스위칭 물질층일 수 있다. 여기서, 도전성 경로(CP)의 생성 또는 소멸은 터널링 절연층인 제1 층(550) 내에서 이루어질 수 있다.
- [0080] 제1 전극(510)은 교대로 배열되는 복수의 서브 전극(510A, 510C, 510E, 510G) 및 각각이 얇은 두께를 갖는 복수의 제2 물질층(510B, 510D, 510F)을 포함할 수 있다. 이 때문에, 가변 저항층(520, 530) 내의 도전성 경로(CP)의 사이즈가 감소할 수 있다.
- [0081] 또한, 제2 전극(540)은 교대로 배열되는 복수의 서브 전극(540A, 540C, 540E, 540G) 및 각각이 얇은 두께를 갖는 복수의 제2 물질층(540B, 540D, 540F)을 포함할 수 있다. 이 때문에, 문턱 스위칭층(520, 530) 내의 도전성 경로(CP)의 사이즈가 감소할 수 있다.
- [0082] 결과적으로, 도 5의 메모리 셀의 오프 전류가 감소하고 데이터 리드 마진이 증가할 수 있다.
- [0083] 본 실시예에서는 제1 전극(510) 및 제2 전극(540)이 서브 전극과 얇은 절연층(또는 반도체층)의 교대 적층 구조물을 갖는 경우를 나타내었다. 그러나, 제1 내지 제3 전극(550, 580, 540) 중 적어도 하나가 서브 전극과 얇은 절연층(또는 반도체층)의 교대 적층 구조물을 가질 수 있다. 또한, 제2 전극(540)은 생략될 수도 있다. 이러한 경우 가변 저항층(520, 530)과 문턱 스위칭층(550, 560)이 직접 접촉할 수도 있다.
- [0084] 이상으로 설명한 반도체 장치들은 낮은 오프 전류 특성을 가지므로, 이 반도체 장치들을 이용하여 도 6과 같은 크로스 포인트 구조를 구현하기가 용이하다.
- [0085] 도 6은 본 발명의 일 실시예에 따른 메모리 셀 어레이를 설명하기 위한 사시도이다.
- [0086] 도 6을 참조하면, 본 발명의 일 실시예에 따른 메모리 셀 어레이는, 일 방향으로 연장하는 복수의 제1 배선(L1), 제1 배선(L1) 상에서 제1 배선(L1)과 교차하는 방향으로 연장하는 복수의 제2 배선(L2), 및 제1 배선(L1)과 제2 배선(L2)의 사이에서 이들의 교차점마다 배치되는 복수의 메모리 셀(MC)을 포함하는 크로스 포인트 어레이 구조를 가질 수 있다.
- [0087] 여기서, 복수의 메모리 셀(MC) 각각은 전술한 도 2a, 도 4 및 도 5 중 어느 하나의 반도체 장치를 포함할 수 있다.
- [0088] 전술한 실시예들의 메모리 회로 또는 반도체 장치는 다양한 장치 또는 시스템에 이용될 수 있다. 도 7 내지 도 11은 전술한 실시예들의 메모리 회로 또는 반도체 장치를 구현할 수 있는 장치 또는 시스템의 몇몇 예시들을 나타낸다.
- [0089] 도 7은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 마이크로프로세서의 구성도의 일 예이다.
- [0090] 도 7을 참조하면, 마이크로프로세서(1000)는 다양한 외부 장치로부터 데이터를 받아서 처리한 후 그 결과를 외부 장치로 보내는 일련의 과정을 제어하고 조정하는 일을 수행할 수 있으며, 기억부(1010), 연산부(1020), 제어부(1030) 등을 포함할 수 있다. 마이크로프로세서(1000)는 중앙 처리 장치(Central Processing Unit; CPU), 그래픽 처리 장치(Graphic Processing Unit; GPU), 디지털 신호 처리 장치(Digital Signal Processor; DSP), 어플리케이션 프로세서(Application Processor; AP) 등 각종 데이터 처리 장치 일 수 있다.

- [0091] 기억부(1010)는 프로세서 레지스터(Mrocessor register), 레지스터(Register) 등으로, 마이크로프로세서(1000) 내에서 데이터를 저장하는 부분일 수 있고, 데이터 레지스터, 주소 레지스터, 부동 소수점 레지스터 등을 포함할 수 있으며 이외에 다양한 레지스터를 포함할 수 있다. 기억부(1010)는 연산부(1020)에서 연산을 수행하는 데이터나 수행결과 데이터, 수행을 위한 데이터가 저장되어 있는 주소를 일시적으로 저장하는 역할을 수행할 수 있다.
- [0092] 기억부(1010)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예컨대, 기억부(1010)는 제1 방향에서 서로 이격하도록 배열된 제1 전극과 제2 전극; 및 상기 제1 전극과 상기 제2 전극 사이에 개재되고, 가변 저항 특성 또는 문턱 스위칭 특성을 갖는 제1 물질층을 포함하고, 상기 제1 전극과 상기 제2 전극 중 적어도 하나는, 상기 제1 방향에서 교대로 배열되는 복수의 서부 전극 및 복수의 제2 물질층을 포함하고, 상기 복수의 제2 물질층 각각은, 동작 전류에서 옴릭 거동(ohmic behavior)을 보여주는 두께를 갖는다. 이를 통해, 기억부(1010)의 동작 특성 및 신뢰성이 향상될 수 있다. 결과적으로, 마이크로프로세서(1000)의 동작 특성 및 신뢰성이 향상될 수 있다.
- [0093] 연산부(1020)는 제어부(1030)가 명령을 해독한 결과에 따라서 여러 가지 사칙 연산 또는 논리 연산을 수행할 수 있다. 연산부(1020)는 하나 이상의 산술 논리 연산 장치(Arithmetic and Logic Unit; ALU) 등을 포함할 수 있다.
- [0094] 제어부(1030)는 기억부(1010), 연산부(1020), 마이크로프로세서(1000)의 외부 장치 등으로부터 신호를 수신하고, 명령의 추출이나 해독, 마이크로프로세서(1000)의 신호 입출력의 제어 등을 수행하고, 프로그램으로 나타내어진 처리를 실행할 수 있다.
- [0095] 본 실시예에 따른 마이크로프로세서(1000)는 기억부(1010) 이외에 외부 장치로부터 입력되거나 외부 장치로 출력할 데이터를 임시 저장할 수 있는 캐시 메모리부(1040)를 추가로 포함할 수 있다. 이 경우 캐시 메모리부(1040)는 버스 인터페이스(1050)를 통해 기억부(1010), 연산부(1020) 및 제어부(1030)와 데이터를 주고 받을 수 있다.
- [0096] 도 8은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 프로세서의 구성도의 일 예이다.
- [0097] 도 8을 참조하면, 프로세서(1100)는 다양한 외부 장치로부터 데이터를 받아서 처리한 후 그 결과를 외부 장치로 보내는 일련의 과정을 제어하고 조정하는 일을 수행하는 마이크로프로세서의 기능 이외에 다양한 기능을 포함하여 성능 향상 및 다기능을 구현할 수 있다. 프로세서(1100)는 마이크로프로세서의 역할을 하는 코어부(1110), 데이터를 임시 저장하는 역할을 하는 캐시 메모리부(1120) 및 내부와 외부 장치 사이의 데이터 전달을 위한 버스 인터페이스(1430)를 포함할 수 있다. 프로세서(1100)는 멀티 코어 프로세서(Multi Core Processor), 그래픽 처리 장치(Graphic Processing Unit; GPU), 어플리케이션 프로세서(Application Processor; AP) 등과 같은 각종 시스템 온 칩(System on Chip; SoC)을 포함할 수 있다.
- [0098] 본 실시예의 코어부(1110)는 외부 장치로부터 입력된 데이터를 산술 논리 연산하는 부분으로, 기억부(1111), 연산부(1112) 및 제어부(1113)를 포함할 수 있다.
- [0099] 기억부(1111)는 프로세서 레지스터(Mrocessor register), 레지스터(Register) 등으로, 프로세서(1100) 내에서 데이터를 저장하는 부분일 수 있고, 데이터 레지스터, 주소 레지스터, 부동 소수점 레지스터 등을 포함할 수 있으며 이외에 다양한 레지스터를 포함할 수 있다. 기억부(1111)는 연산부(1112)에서 연산을 수행하는 데이터나 수행결과 데이터, 수행을 위한 데이터가 저장되어 있는 주소를 일시적으로 저장하는 역할을 수행할 수 있다. 연산부(1112)는 프로세서(1100)의 내부에서 연산을 수행하는 부분으로, 제어부(1113)가 명령을 해독한 결과에 따라서 여러 가지 사칙 연산, 논리 연산 등을 수행할 수 있다. 연산부(1112)는 하나 이상의 산술 논리 연산 장치(Arithmetic and Logic Unit; ALU) 등을 포함할 수 있다. 제어부(1113)는 기억부(1111), 연산부(1112), 프로세서(1100)의 외부 장치 등으로부터 신호를 수신하고, 명령의 추출이나 해독, 프로세서(1100)의 신호 입출력의 제어 등을 수행하고, 프로그램으로 나타내어진 처리를 실행할 수 있다.
- [0100] 캐시 메모리부(1120)는 고속으로 동작하는 코어부(1110)와 저속으로 동작하는 외부 장치 사이의 데이터 처리 속도 차이를 보완하기 위해 임시로 데이터를 저장하는 부분으로, 1차 저장부(1121), 2차 저장부(1122) 및 3차 저장부(1123)를 포함할 수 있다. 일반적으로 캐시 메모리부(1120)는 1차, 2차 저장부(1121, 1122)를 포함하며 고용량이 필요할 경우 3차 저장부(1123)를 포함할 수 있으며, 필요시 더 많은 저장부를 포함할 수 있다. 즉 캐시

메모리부(1120)가 포함하는 저장부의 개수는 설계에 따라 달라질 수 있다. 여기서, 1차, 2차, 3차 저장부(1121, 1122, 1123)의 데이터 저장 및 판별하는 처리 속도는 같을 수도 있고 다를 수도 있다. 각 저장부의 처리 속도가 다른 경우, 1차 저장부의 속도가 제일 빠를 수 있다. 캐시 메모리부(1120)의 1차 저장부(1121), 2차 저장부(1122) 및 3차 저장부(1123) 중 하나 이상의 저장부는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 캐시 메모리부(1120)는 제1 방향에서 서로 이격하도록 배열된 제1 전극과 제2 전극; 및 상기 제1 전극과 상기 제2 전극 사이에 개재되고, 가변 저항 특성 또는 문턱 스위칭 특성을 갖는 제1 물질층을 포함하고, 상기 제1 전극과 상기 제2 전극 중 적어도 하나는, 상기 제1 방향에서 교대로 배열되는 복수의 서부 전극 및 복수의 제2 물질층을 포함하고, 상기 복수의 제2 물질층 각각은, 동작 전류에서 오믹 거동(ohmic behavior)을 보여주는 두께를 갖는다. 이를 통해 캐시 메모리부(1120)의 동작 특성 및 신뢰성이 향상될 수 있다. 결과적으로, 프로세서(1100)의 동작 특성 및 신뢰성이 향상될 수 있다.

[0101] 도 8에는 1차, 2차, 3차 저장부(1121, 1122, 1123)가 모두 캐시 메모리부(1120)의 내부에 구성된 경우를 도시하였으나, 캐시 메모리부(1120)의 1차, 2차, 3차 저장부(1121, 1122, 1123)는 모두 코어부(1110)의 외부에 구성되어 코어부(1110)와 외부 장치간의 처리 속도 차이를 보완할 수 있다. 또는, 캐시 메모리부(1120)의 1차 저장부(1121)는 코어부(1110)의 내부에 위치할 수 있고, 2차 저장부(1122) 및 3차 저장부(1123)는 코어부(1110)의 외부에 구성되어 처리 속도 차이의 보완 기능이 보다 강화될 수 있다. 또는, 1차, 2차 저장부(1121, 1122)는 코어부(1110)의 내부에 위치할 수 있고, 3차 저장부(1123)는 코어부(1110)의 외부에 위치할 수 있다.

[0102] 버스 인터페이스(1430)는 코어부(1110), 캐시 메모리부(1120) 및 외부 장치를 연결하여 데이터를 효율적으로 전송할 수 있게 해주는 부분이다.

[0103] 본 실시예에 따른 프로세서(1100)는 다수의 코어부(1110)를 포함할 수 있으며 다수의 코어부(1110)가 캐시 메모리부(1120)를 공유할 수 있다. 다수의 코어부(1110)와 캐시 메모리부(1120)는 직접 연결되거나, 버스 인터페이스(1430)를 통해 연결될 수 있다. 다수의 코어부(1110)는 모두 상술한 코어부의 구성과 동일하게 구성될 수 있다. 프로세서(1100)가 다수의 코어부(1110)를 포함할 경우, 캐시 메모리부(1120)의 1차 저장부(1121)는 다수의 코어부(1110)의 개수에 대응하여 각각의 코어부(1110) 내에 구성되고 2차 저장부(1122)와 3차 저장부(1123)는 다수의 코어부(1110)의 외부에 버스 인터페이스(1130)를 통해 공유되도록 구성될 수 있다. 여기서, 1차 저장부(1121)의 처리 속도가 2차, 3차 저장부(1122, 1123)의 처리 속도보다 빠를 수 있다. 다른 실시예에서, 1차 저장부(1121)와 2차 저장부(1122)는 다수의 코어부(1110)의 개수에 대응하여 각각의 코어부(1110) 내에 구성되고, 3차 저장부(1123)는 다수의 코어부(1110) 외부에 버스 인터페이스(1130)를 통해 공유되도록 구성될 수 있다.

[0104] 본 실시예에 따른 프로세서(1100)는 데이터를 저장하는 임베디드(Embedded) 메모리부(1140), 외부 장치와 유선 또는 무선으로 데이터를 송수신할 수 있는 통신모듈부(1150), 외부 기억 장치를 구동하는 메모리 컨트롤부(1160), 외부 인터페이스 장치에 프로세서(1100)에서 처리된 데이터나 외부 입력장치에서 입력된 데이터를 가공하고 출력하는 미디어처리부(1170) 등을 추가로 포함할 수 있으며, 이 이외에도 다수의 모듈과 장치를 포함할 수 있다. 이 경우 추가된 다수의 모듈들은 버스 인터페이스(1130)를 통해 코어부(1110), 캐시 메모리부(1120) 및 상호간 데이터를 주고 받을 수 있다.

[0105] 여기서 임베디드 메모리부(1140)는 휘발성 메모리뿐만 아니라 비휘발성 메모리를 포함할 수 있다. 휘발성 메모리는 DRAM(Dynamic Random Access Memory), Mobile DRAM, SRAM(Static Random Access Memory), 및 이와 유사한 기능을 하는 메모리 등을 포함할 수 있으며, 비휘발성 메모리는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory), 및 이와 유사한 기능을 수행하는 메모리 등을 포함할 수 있다.

[0106] 통신모듈부(1150)는 유선 네트워크와 연결할 수 있는 모듈, 무선 네트워크와 연결할 수 있는 모듈, 및 이들 전부를 포함할 수 있다. 유선 네트워크 모듈은, 전송 라인을 통하여 데이터를 송수신하는 다양한 장치들과 같이, 유선랜(Local Area Network; LAN), 유에스비(Universal Serial Bus; USB), 이더넷(Ethernet), 전력선통신(Mover Line Communication; PLC) 등을 포함할 수 있다. 무선 네트워크 모듈은, 전송 라인 없이 데이터를 송수신하는 다양한 장치들과 같이, 적외선 통신(Infrared Data Association; IrDA), 코드 분할 다중 접속(Code Division Multiple Access; CDMA), 시분할 다중 접속(Time Division Multiple Access; TDMA), 주파수 분할 다중 접속(Frequency Division Multiple Access; FDMA), 무선랜(Wireless LAN), 지그비(Zigbee), 유비쿼터스 센서 네트워크(Ubiquitous Sensor Network; USN), 블루투스(Bluetooth), RFID(Radio Frequency Identification), 롱텀에볼루션(Long Term Evolution; LTE), 근거리 무선통신(Near Field Communication;

NFC), 광대역 무선 인터넷(Wireless Broadband Internet; Wibro), 고속 하향 패킷 접속(High Speed Downlink Packet Access; HSDPA), 광대역 코드 분할 다중 접속(Wideband CDMA; WCDMA), 초광대역 통신(Ultra WideBand; UWB) 등을 포함할 수 있다.

[0107] 메모리 컨트롤부(1160)는 프로세서(1100)와 서로 다른 통신 규격에 따라 동작하는 외부 저장 장치 사이에 전송되는 데이터를 처리하고 관리하기 위한 것으로 각종 메모리 컨트롤러, 예를 들어, IDE(Integrated Device Electronics), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), RAID(Redundant Array of Independent Disks), SSD(Solid State Disk), eSATA(External SATA), PCMCIA(Personal Computer Memory Card International Association), USB(Universal Serial Bus), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등을 제어하는 컨트롤러를 포함할 수 있다.

[0108] 미디어처리부(1170)는 프로세서(1100)에서 처리된 데이터나 외부 입력장치로부터 영상, 음성 및 기타 형태로 입력된 데이터를 가공하고, 이 데이터를 외부 인터페이스 장치로 출력할 수 있다. 미디어처리부(1170)는 그래픽 처리 장치(Graphics Processing Unit; GPU), 디지털 신호 처리 장치(Digital Signal Processor; DSP), 고선명 오디오(High Definition Audio; HD Audio), 고선명 멀티미디어 인터페이스(High Definition Multimedia Interface; HDMI) 컨트롤러 등을 포함할 수 있다.

[0109] 도 9는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 시스템의 구성도의 일 예이다.

[0110] 도 9를 참조하면, 시스템(1200)은 데이터를 처리하는 장치로, 데이터에 대하여 일련의 조작을 행하기 위해 입력, 처리, 출력, 통신, 저장 등을 수행할 수 있다. 시스템(1200)은 프로세서(1210), 주기억장치(1220), 보조 기억장치(1230), 인터페이스 장치(1240) 등을 포함할 수 있다. 본 실시예의 시스템(1200)은 컴퓨터(Computer), 서버(Server), PDA(Personal Digital Assistant), 휴대용 컴퓨터(Mobile Computer), 웹 태블릿(Web Tablet), 무선 폰(Wireless Phone), 모바일 폰(Mobile Phone), 스마트 폰(Smart Phone), 디지털 뮤직 플레이어(Digital Music Player), PMP(Personal Multimedia Player), 카메라(Camera), 위성항법장치(Global Positioning System; GPS), 비디오 카메라(Video Camera), 음성 녹음기(Voice Recorder), 텔레매틱스(Telematics), AV시스템(Audio Visual System), 스마트 텔레비전(Smart Television) 등 프로세스를 사용하여 동작하는 각종 전자 시스템일 수 있다.

[0111] 프로세서(1210)는 입력된 명령어의 해석과 시스템(1200)에 저장된 자료의 연산, 비교 등의 처리를 제어할 수 있고, 마이크로프로세서(Micro Processor Unit; MPU), 중앙 처리 장치(Central Processing Unit; CPU), 싱글/멀티 코어 프로세서(Single/Multi Core Processor), 그래픽 처리 장치(Graphic Processing Unit; GPU), 어플리케이션 프로세서(Application Processor; AP), 디지털 신호 처리 장치(Digital Signal Processor; DSP) 등을 포함할 수 있다.

[0112] 주기억장치(1220)는 프로그램이 실행될 때 보조기억장치(1230)로부터 프로그램 코드나 자료를 이동시켜 저장, 실행시킬 수 있는 기억장소로, 전원이 끊어져도 기억된 내용이 보존될 수 있다. 주기억장치(1220)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 주기억장치(1220)는 제1 방향에서 서로 이격하도록 배열된 제1 전극과 제2 전극; 및 상기 제1 전극과 상기 제2 전극 사이에 개재되고, 가변 저항 특성 또는 문턱 스위칭 특성을 갖는 제1 물질층을 포함하고, 상기 제1 전극과 상기 제2 전극 중 적어도 하나는, 상기 제1 방향에서 교대로 배열되는 복수의 서부 전극 및 복수의 제2 물질층을 포함하고, 상기 복수의 제2 물질층 각각은, 동작 전류에서 옴릭 거동(ohmic behavior)을 보여주는 두께를 갖는다. 이를 통해, 주기억장치(1220)의 동작 특성 및 신뢰성이 향상될 수 있다. 결과적으로, 시스템(1200)의 동작 특성 및 신뢰성이 향상될 수 있다.

[0113] 또한, 주기억장치(1220)는 전원이 꺼지면 모든 내용이 지워지는 휘발성 메모리 타입의 에스램(Static Random Access Memory; SRAM), 디램(Dynamic Random Access Memory) 등을 더 포함할 수 있다. 이와는 다르게, 주기억장치(1220)는 전술한 실시예의 반도체 장치를 포함하지 않고, 전원이 꺼지면 모든 내용이 지워지는 휘발성 메모리 타입의 에스램(Static Random Access Memory; SRAM), 디램(Dynamic Random Access Memory) 등을 포함할 수 있다.

[0114] 보조기억장치(1230)는 프로그램 코드나 데이터를 보관하기 위한 기억장치를 말한다. 주기억장치(1220)보다 속도는 느리지만 많은 자료를 보관할 수 있다. 보조기억장치(1230)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 보조기억장치(1230)는 제1 방향에서 서로 이격하도록 배열된 제1 전극과 제2 전극; 및 상기 제1 전극과 상기 제2 전극 사이에 개재되고, 가변 저항 특성 또는 문턱 스위칭 특성을 갖는 제1 물질층을 포함하고, 상기 제1 전극과 상기 제2 전극 중 적어도 하나는, 상기 제1 방향에서 교대로 배열되는 복수의 서부 전극 및 복수의 제2 물질층을 포함하고, 상기 복수의 제2 물질층 각각은, 동작 전류에서 오믹 거동(ohmic behavior)을 보여주는 두께를 갖는다. 이를 통해, 보조기억장치(1230)의 동작 특성 및 신뢰성이 향상될 수 있다. 결과적으로, 시스템(1200)의 동작 특성 및 신뢰성이 향상될 수 있다.

[0115] 또한, 보조기억장치(1230)는 자기를 이용한 자기테이프, 자기디스크, 빛을 이용한 레이저 디스크, 이들 둘을 이용한 광자기디스크, 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 데이터 저장 시스템(도 7의 1300 참조)을 더 포함할 수 있다. 이와는 다르게, 보조기억장치(1230)는 전술한 실시예의 반도체 장치를 포함하지 않고 자기를 이용한 자기테이프, 자기디스크, 빛을 이용한 레이저 디스크, 이들 둘을 이용한 광자기디스크, 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 데이터 저장 시스템(도 7의 1300 참조)들을 포함할 수 있다.

[0116] 인터페이스 장치(1240)는 본 실시예의 시스템(1200)과 외부 장치 사이에서 명령, 데이터 등을 교환하기 위한 것일 수 있으며, 키패드(keypad), 키보드(keyboard), 마우스(Mouse), 스피커(Speaker), 마이크(Mike), 표시장치(Display), 각종 휴먼 인터페이스 장치(Human Interface Device; HID), 통신장치 등일 수 있다. 통신장치는 유선 네트워크와 연결할 수 있는 모듈, 무선 네트워크와 연결할 수 있는 모듈, 및 이들 전부를 포함할 수 있다. 유선 네트워크 모듈은, 전송 라인을 통하여 데이터를 송수신하는 다양한 장치들과 같이, 유선랜(Local Area Network; LAN), 유에스비(Universal Serial Bus; USB), 이더넷(Ethernet), 전력선통신(Mower Line Communication; PLC) 등을 포함할 수 있으며, 무선 네트워크 모듈은, 전송 라인 없이 데이터를 송수신하는 다양한 장치들과 같이, 적외선 통신(Infrared Data Association; IrDA), 코드 분할 다중 접속(Code Division Multiple Access; CDMA), 시분할 다중 접속(Time Division Multiple Access; TDMA), 주파수 분할 다중 접속(Frequency Division Multiple Access; FDMA), 무선랜(Wireless LAN), 지그비(Zigbee), 유비쿼터스 센서 네트워크(Ubiquitous Sensor Network; USN), 블루투스(Bluetooth), RFID(Radio Frequency IDentification), 롱텀 에볼루션(Long Term Evolution; LTE), 근거리 무선통신(Near Field Communication; NFC), 광대역 무선 인터넷(Wireless Broadband Internet; Wibro), 고속 하향 패킷 접속(High Speed Downlink Packet Access; HSDPA), 광대역 코드 분할 다중 접속(Wideband CDMA; WCDMA), 초광대역 통신(Ultra WideBand; UWB) 등을 포함할 수 있다.

[0117] 도 10은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 데이터 저장 시스템의 구성도의 일 예이다.

[0118] 도 10을 참조하면, 데이터 저장 시스템(1300)은 데이터 저장을 위한 구성으로 비휘발성 특성을 가지는 저장 장치(1310), 이를 제어하는 컨트롤러(1320), 외부 장치와의 연결을 위한 인터페이스(1330), 및 데이터를 임시 저장하기 위한 임시 저장 장치(1340)를 포함할 수 있다. 데이터 저장 시스템(1300)은 하드 디스크(Hard Disk Drive; HDD), 광학 드라이브(Compact Disc Read Only Memory; CDRom), DVD(Digital Versatile Disc), 고상 디스크(Solid State Disk; SSD) 등의 디스크 형태와 USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 카드 형태일

수 있다.

- [0119] 저장 장치(1310)는 데이터를 반 영구적으로 저장하는 비휘발성 메모리를 포함할 수 있다. 여기서, 비휘발성 메모리는, ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Mhase Change Random Access Memory), RRAM(Resistive Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.
- [0120] 컨트롤러(1320)는 저장 장치(1310)와 인터페이스(1330) 사이에서 데이터의 교환을 제어할 수 있다. 이를 위해 컨트롤러(1320)는 데이터 저장 시스템(1300) 외부에서 인터페이스(1330)를 통해 입력된 명령어들을 처리하기 위한 연산 등을 수행하는 프로세서(1321)를 포함할 수 있다.
- [0121] 인터페이스(1330)는 데이터 저장 시스템(1300)과 외부 장치간에 명령 및 데이터 등을 교환하기 위한 것이다. 데이터 저장 시스템(1300)이 카드인 경우, 인터페이스(1330)는, USB(Universal Serial Bus Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 장치에서 사용되는 인터페이스들과 호환될 수 있거나, 또는, 이들 장치와 유사한 장치에서 사용되는 인터페이스들과 호환될 수 있다. 데이터 저장 시스템(1300)이 디스크 형태일 경우, 인터페이스(1330)는 IDE(Integrated Device Electronics), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), eSATA(External SATA), PCMCIA(Mersonal Computer Memory Card International Association), USB(Universal Serial Bus) 등과 같은 인터페이스와 호환될 수 있거나, 또는, 이들 인터페이스와 유사한 인터페이스와 호환될 수 있다. 인터페이스(1330)는 서로 다른 타입을 갖는 하나 이상의 인터페이스와 호환될 수도 있다.
- [0122] 임시 저장 장치(1340)는 외부 장치와의 인터페이스, 컨트롤러, 및 시스템의 다양화, 고성능화에 따라 인터페이스(1330)와 저장 장치(1310)간의 데이터의 전달을 효율적으로 하기 위하여 데이터를 임시로 저장할 수 있다. 임시 저장 장치(1340)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 임시 저장 장치(1340)는 제1 방향에서 서로 이격하도록 배열된 제1 전극과 제2 전극; 및 상기 제1 전극과 상기 제2 전극 사이에 개재되고, 가변 저항 특성 또는 문턱 스위칭 특성을 갖는 제1 물질층을 포함하고, 상기 제1 전극과 상기 제2 전극 중 적어도 하나는, 상기 제1 방향에서 교대로 배열되는 복수의 서부 전극 및 복수의 제2 물질층을 포함하고, 상기 복수의 제2 물질층 각각은, 동작 전류에서 옴릭 거동(ohmic behavior)을 보여주는 두께를 갖는다. 이를 통해, 임시 저장 장치(1340)의 동작 특성 및 신뢰성이 향상될 수 있다. 결과적으로, 데이터 저장 시스템(1300)의 동작 특성 및 신뢰성이 향상될 수 있다.
- [0123] 도 11은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 메모리 시스템의 구성도의 일 예이다.
- [0124] 도 11을 참조하면, 메모리 시스템(1400)은 데이터 저장을 위한 구성으로 비휘발성 특성을 가지는 메모리(1410), 이를 제어하는 메모리 컨트롤러(1420), 외부 장치와의 연결을 위한 인터페이스(1430) 등을 포함할 수 있다. 메모리 시스템(1400)은 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 카드 형태일 수 있다.
- [0125] 데이터를 저장하는 메모리(1410)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 메모리(1410)는 제1 방향에서 서로 이격하도록 배열된 제1 전극과 제2 전극; 및 상기 제1 전극과 상기 제2 전극 사이에 개재되고, 가변 저항 특성 또는 문턱 스위칭 특성을 갖는 제1 물질층을 포함하고, 상기 제1 전극과 상기 제2 전극 중 적어도 하나는, 상기 제1 방향에서 교대로 배열되는 복수의 서부 전극 및 복수의 제2 물질층을 포함하고, 상기 복수의 제2 물질층 각각은, 동작 전류에서 옴릭 거동(ohmic behavior)을 보여주는 두께를 갖는다. 이를 통해, 메모리(1410)의 동작 특성 및 신뢰성이 향상될 수 있다. 결과적으로, 메모리 시스템(1400)의 동작 특성 및 신뢰성이 향상될 수 있다.
- [0126] 더불어, 본 실시예의 메모리는 비휘발성인 특성을 가지는 ROM(Read Only Memory), NOR Flash Memory, NAND

Flash Memory, PRAM(Mhase Change Random Access Memory), RRAM(Resistive Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.

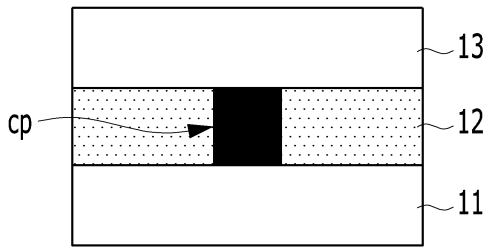
- [0127] 메모리 컨트롤러(1420)는 메모리(1410)와 인터페이스(1430) 사이에서 데이터의 교환을 제어할 수 있다. 이를 위해 메모리 컨트롤러(1420)는 메모리 시스템(1400) 외부에서 인터페이스(1430)를 통해 입력된 명령어들을 처리 연산하기 위한 프로세서(1421)를 포함할 수 있다.
- [0128] 인터페이스(1430)는 메모리 시스템(1400)과 외부 장치간에 명령 및 데이터 등을 교환하기 위한 것으로, USB(Universal Serial Bus), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 장치에서 사용되는 인터페이스와 호환될 수 있거나, 또는, 이들 장치들과 유사한 장치들에서 사용되는 인터페이스와 호환될 수 있다. 인터페이스(1430)는 서로 다른 타입을 갖는 하나 이상의 인터페이스와 호환될 수도 있다.
- [0129] 본 실시예의 메모리 시스템(1400)은 외부 장치와의 인터페이스, 메모리 컨트롤러, 및 메모리 시스템의 다양화, 고성능화에 따라 인터페이스(1430)와 메모리(1410)간의 데이터의 입출력을 효율적으로 전달하기 위한 버퍼 메모리(1440)를 더 포함할 수 있다. 데이터를 임시로 저장하는 버퍼 메모리(1440)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 버퍼 메모리(1440)는 제1 방향에서 서로 이격하도록 배열된 제1 전극과 제2 전극; 및 상기 제1 전극과 상기 제2 전극 사이에 개재되고, 가변 저항 특성 또는 문턱 스위칭 특성을 갖는 제1 물질층을 포함하고, 상기 제1 전극과 상기 제2 전극 중 적어도 하나는, 상기 제1 방향에서 교대로 배열되는 복수의 서브 전극 및 복수의 제2 물질층을 포함하고, 상기 복수의 제2 물질층 각각은, 동작 전류에서 옴릭 거동(ohmic behavior)을 보여주는 두께를 갖는다. 이를 통해, 버퍼 메모리(1440)의 동작 특성 및 신뢰성이 향상될 수 있다. 결과적으로, 메모리 시스템(1400)의 동작 특성 및 신뢰성이 향상될 수 있다.
- [0130] 더불어, 본 실시예의 버퍼 메모리(1440)는 휘발성인 특성을 가지는 SRAM(Static Random Access Memory), DRAM(Dynamic Random Access Memory), 비휘발성인 특성을 가지는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Mhase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 더 포함할 수 있다. 이와는 다르게, 버퍼 메모리(1440)는 전술한 실시예의 반도체 장치를 포함하지 않고 휘발성인 특성을 가지는 SRAM(Static Random Access Memory), DRAM(Dynamic Random Access Memory), 비휘발성인 특성을 가지는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Mhase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.
- [0131] 이상으로 해결하고자 하는 과제를 위한 다양한 실시예들이 기재되었으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자인 자라면 본 발명의 기술사상의 범위 내에서 다양한 변경 및 수정이 이루어질 수 있음은 명백하다.

부호의 설명

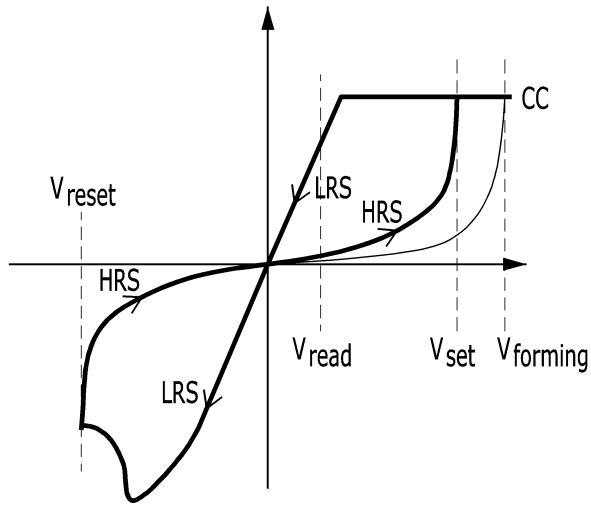
- [0132] 110: 제1 전극 110A, C, E, G: 서브 전극
- 110B, D, F: 제2 물질층 120: 제1 물질층
- 130: 제2 전극

도면

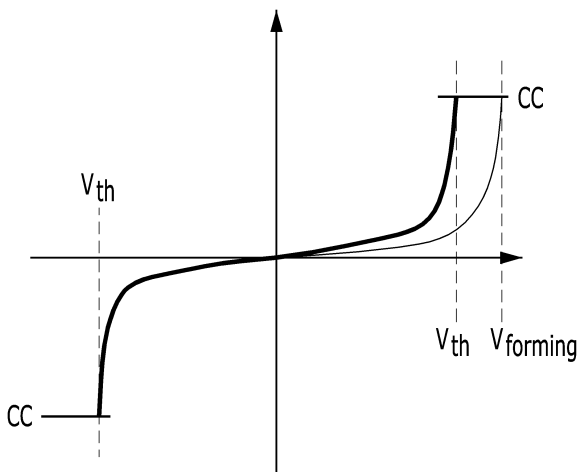
도면1a



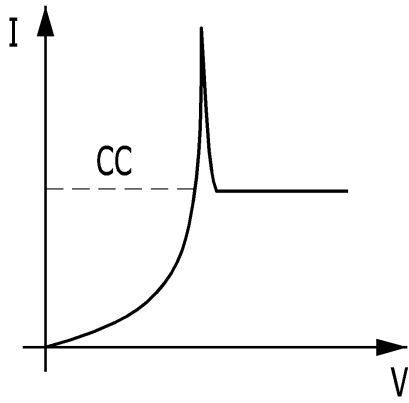
도면1b



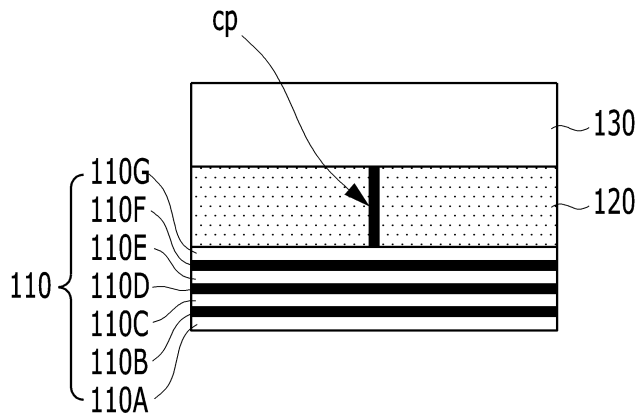
도면1c



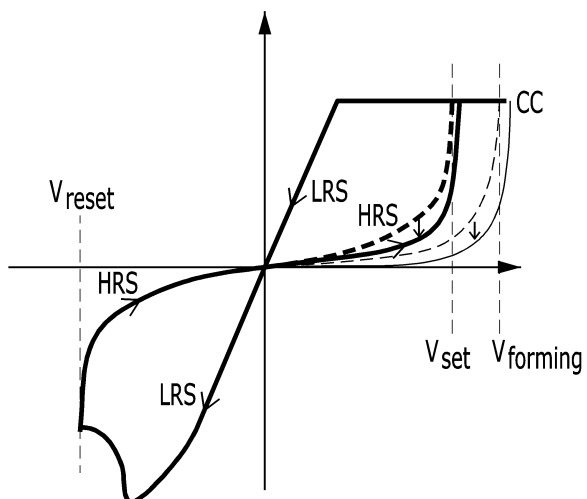
도면1d



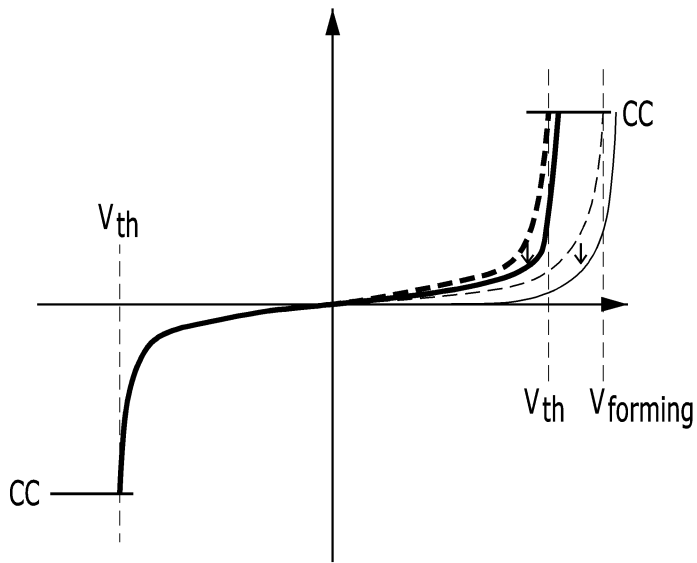
도면2a



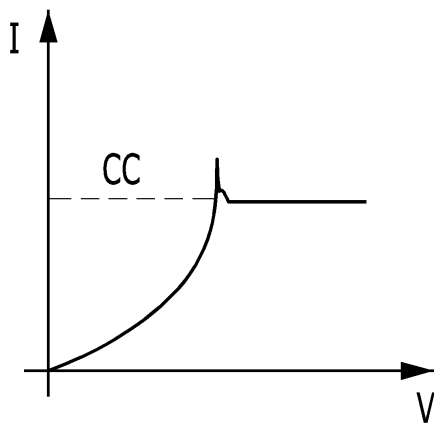
도면2b



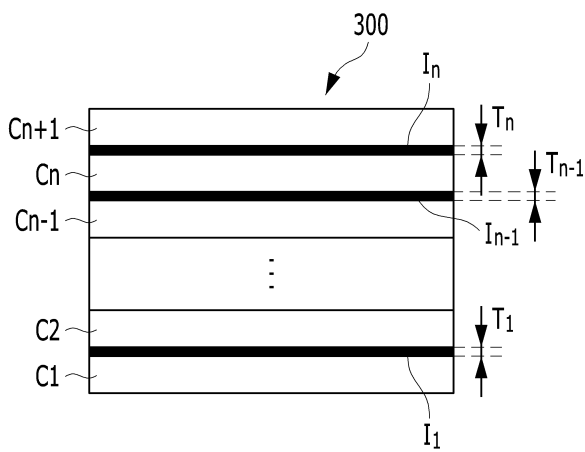
도면2c



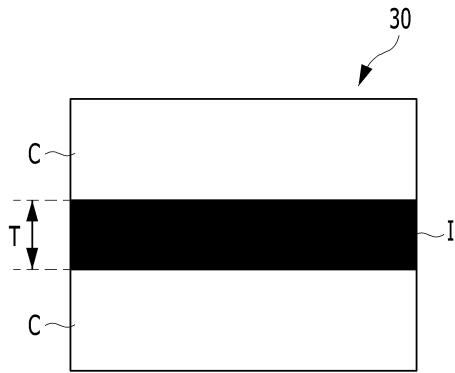
도면2d



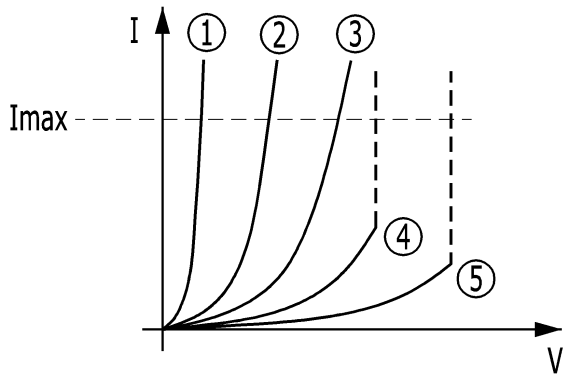
도면3a



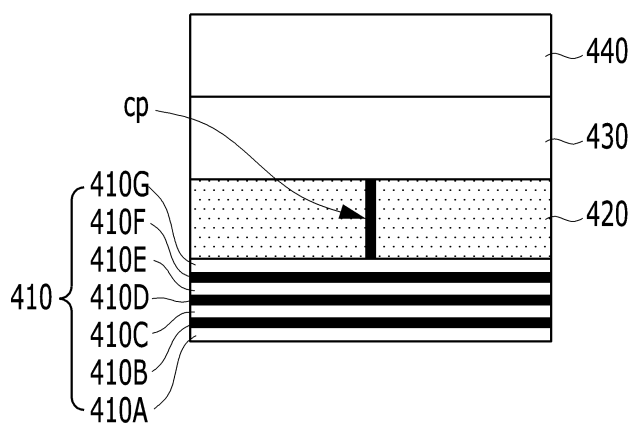
도면3b



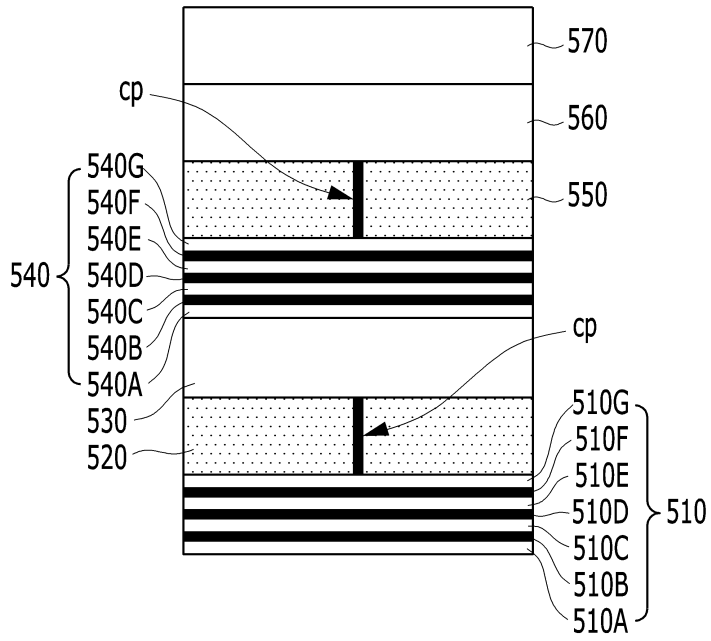
도면3c



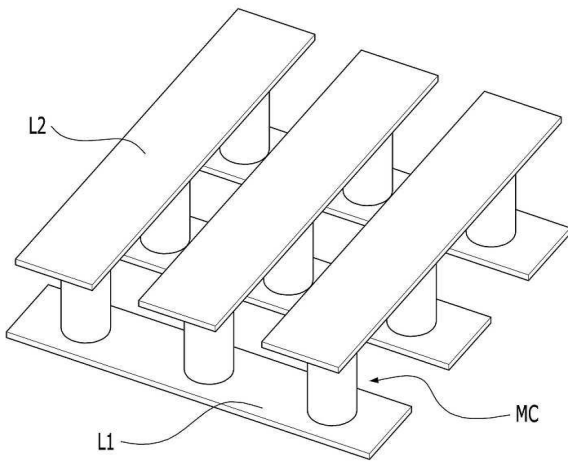
도면4



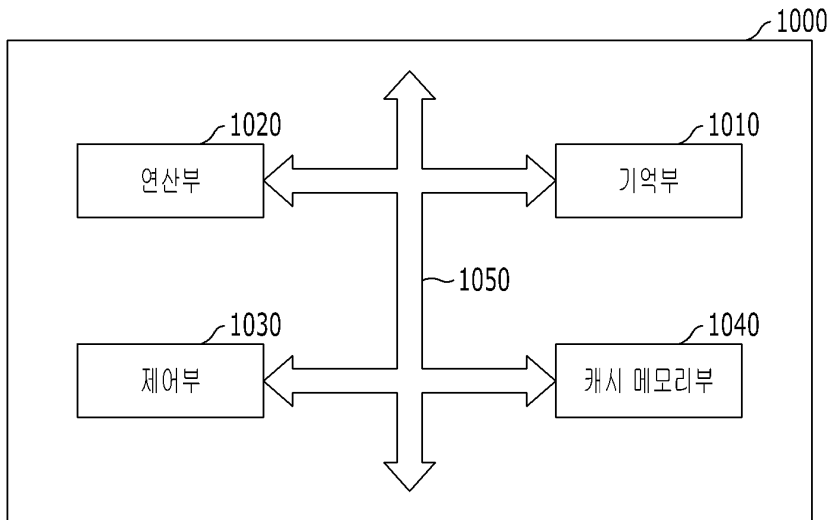
도면5



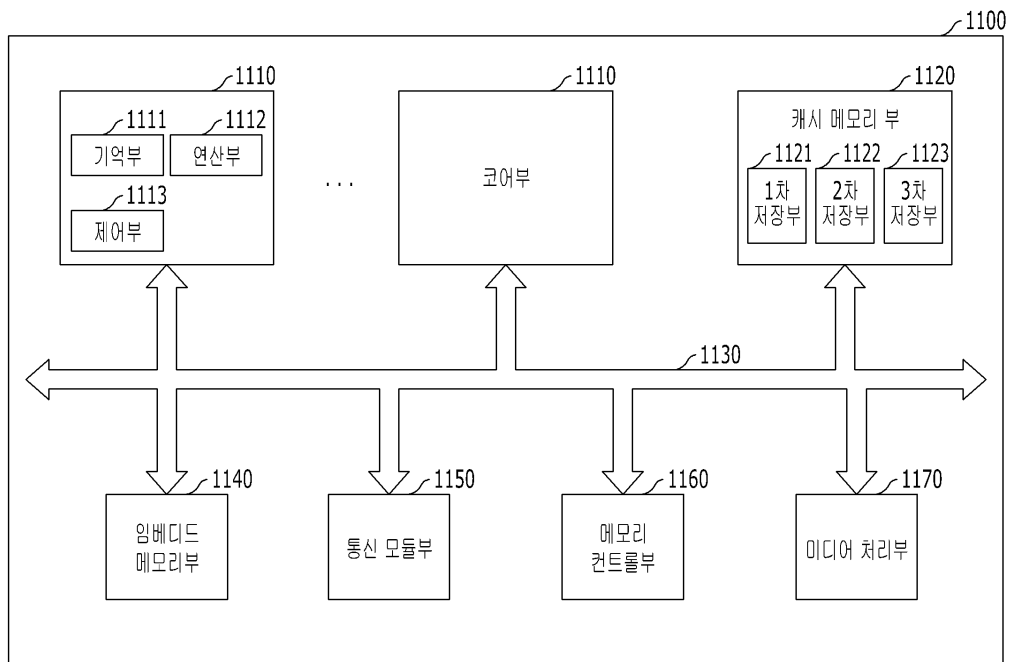
도면6



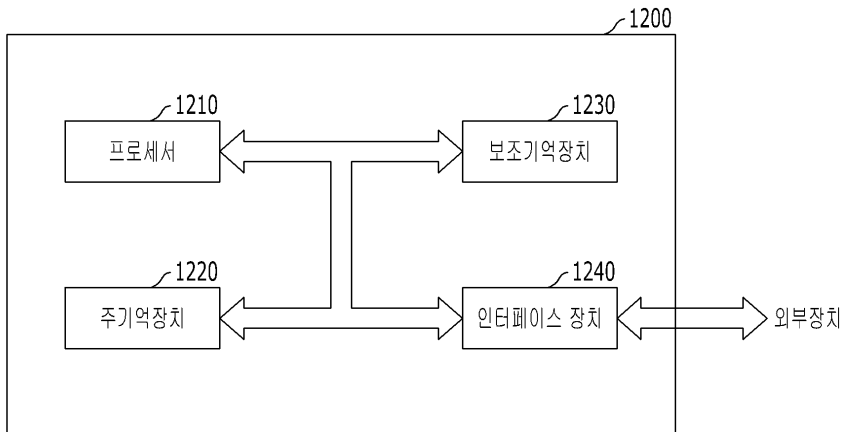
도면7



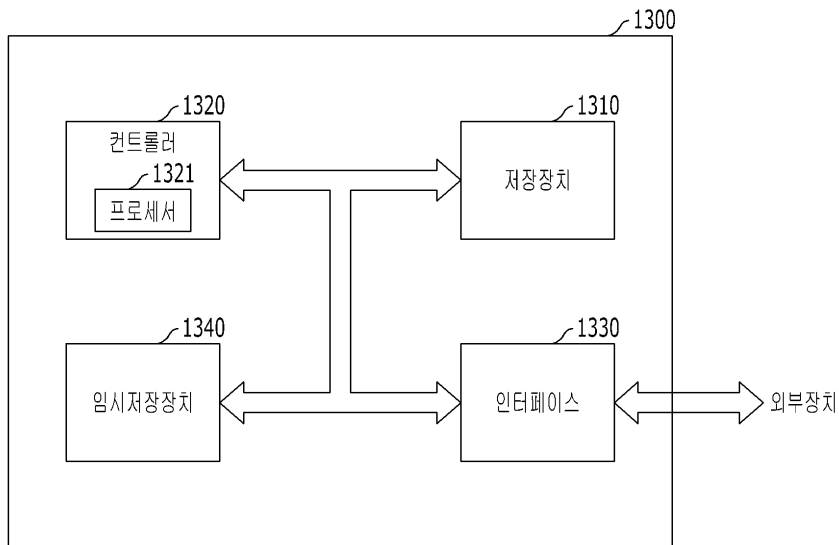
도면8



도면9



도면10



도면11

