

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-356293

(P2004-356293A)

(43) 公開日 平成16年12月16日(2004.12.16)

(51) Int. Cl.⁷

HO1G 4/30
HO1F 17/00
HO1F 41/04
HO1G 4/12
HO1G 4/40

F I

HO1G 4/30 311D
HO1G 4/30 301D
HO1F 17/00 D
HO1F 41/04 C
HO1G 4/12 364

テーマコード(参考)

5E001
5E062
5E070
5E082

審査請求 未請求 請求項の数 4 O L (全 22 頁) 最終頁に続く

(21) 出願番号

特願2003-150975 (P2003-150975)

(22) 出願日

平成15年5月28日(2003.5.28)

(71) 出願人

000006231
株式会社村田製作所
京都府長岡京市天神二丁目26番10号

(74) 代理人

100092071
弁理士 西澤 均

(72) 発明者

羽田野 研次郎
京都府長岡京市天神二丁目26番10号
株式会社村田製作所内

(72) 発明者

高岡 建
京都府長岡京市天神二丁目26番10号
株式会社村田製作所内

(72) 発明者

石野 真
京都府長岡京市天神二丁目26番10号
株式会社村田製作所内

最終頁に続く

(54) 【発明の名称】 積層セラミック電子部品及びその製造方法

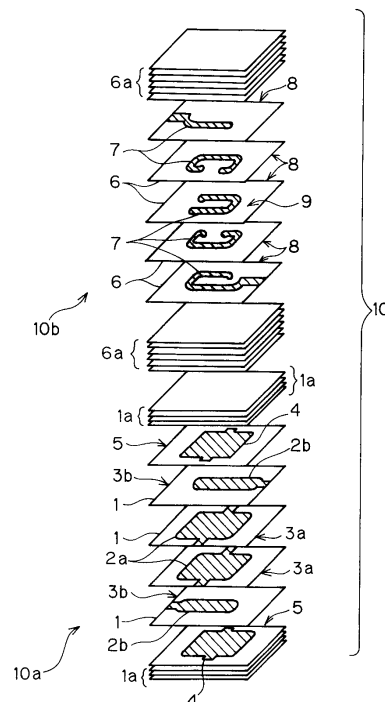
(57) 【要約】

【課題】 マザー積層体の平面面積あたりのチップの取り個数を減らすことなく、内部電極パターンの位置ずれを確実に検出することが可能で、信頼性の高い積層セラミック電子部品及びその製造方法を提供する。

【解決手段】 内部電極パターン(2a, 2b, 7)が配設された内部電極パターン配設シート(3a, 3b, 8)と、位置ずれ検出パターン4が配設された位置ずれ検出パターン配設シート5を形成し、この内部電極パターン配設シート及び位置ずれ検出パターン配設シートを積層して未焼結マザー積層体を形成し、未焼結マザー積層体をカットして個々のチップに分割した後、焼成し、所定の内部電極と接続する外部電極を形成することにより得られる積層セラミック電子部品について電気特性を測定する。

【選択図】

図1



【特許請求の範囲】**【請求項 1】**

(a) セラミックグリーンシートに所定の内部電極パターンが配設された内部電極パターン配設シートを形成する工程と、
(b) セラミックグリーンシートに、カットずれが起きた場合に外部電極と導通する位置ずれ検出パターンが配設された位置ずれ検出パターン配設シートを形成する工程と、
(c) 前記内部電極パターン配設シートと、前記位置ずれ検出パターン配設シートを積層して未焼結マザー積層体を形成する工程と、
(d) 前記未焼結マザー積層体をカットすることにより個々のチップ型未焼結積層体に分割する工程と、
(e) 前記チップ型未焼結積層体を焼成することにより、内部電極を備えたセラミック焼結体を形成する工程と、
(f) 前記セラミック焼結体の表面に所定の内部電極と接続する外部電極を形成する工程と、
(g) 前記(f)の工程で外部電極を形成することにより得られる積層セラミック電子部品について電気特性を測定し、
(イ) 前記内部電極パターン及び位置ずれ検出パターンに位置ずれが生じており、前記(c)の工程で未焼結マザー積層体をカットして個々のチップ型未焼結積層体に分割したときに、前記位置ずれ検出パターンがチップの切断端面に露出して、前記外部電極と導通している場合と、
(ロ) 前記内部電極パターン及び位置ずれ検出パターンに位置ずれが生じておらず、前記(d)の工程で未焼結マザー積層体をカットして個々のチップ型未焼結積層体に分割したときに、前記位置ずれ検出パターンがチップ型未焼結積層体の切断端面に露出せず、前記外部電極と導通していない場合と
における電気特性の差異の大きさから前記電極パターンの位置ずれの有無を検出する工程と
を具備することを特徴とする積層セラミック電子部品の製造方法。

10

20

【請求項 2】

キャパシタ機能、インダクタ機能、及びインピーダンス機能のうちの少なくとも1つの機能を有する積層セラミック電子部品の製造方法にかかるものであることを特徴とする請求項1記載の積層セラミック電子部品の製造方法。

30

【請求項 3】

前記電気特性として、キャパシタンス、インダクタンス、及びインピーダンスのうちの少なくとも1つを測定して電極パターンの位置ずれを検出することを特徴とする請求項1又は2記載の積層セラミック電子部品の製造方法。

【請求項 4】

内部電極パターンが配設された内部電極パターン配設シートと、カットずれが起きた場合に外部電極と導通する位置ずれ検出パターンが配設された位置ずれ検出パターン配設シートを積層することにより未焼結マザー積層体を形成し、これをカットすることにより得られるチップ型未焼結積層体を焼成して形成したセラミック焼結体の表面に、所定の内部電極と接続する外部電極が配設された積層セラミック電子部品であって、キャパシタンス、インダクタンス、及びインピーダンスのうちの少なくとも1つを測定することによりカットずれの有無が検出されるように構成されていることを特徴とする積層セラミック電子部品。

40

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本願発明は、積層セラミック電子部品及びその製造方法に関し、詳しくは、高信頼性を必要とする積層セラミック電子部品及びその製造方法に関する。

【0002】

50

【従来の技術】

チップの内部に電極（内部電極）を備えた積層セラミック電子部品を製造する場合において、内部電極の位置ずれを電氣的に検出する方法の一つに、以下に説明するように、マザー積層体の内部に導電性のずれ検出パターンを配設して、内部電極の位置ずれを検出するようにした方法がある（例えば、特許文献1参照）。

【0003】

この方法においては、例えば、図28に示すように、複数のチップに分割されることになるマザー積層体を構成する複数のセラミックグリーンシート111, 112上の帯状の電極不存在部分116に、内部電極113から所定の間隔aをおいて、内部電極113の長辺114と平行に延びる導電性のずれ検出パターン117を形成している。そして、このマザー積層体をカット線118に沿ってカットした場合、位置ずれがあつて、得られるチップの外表面から内部電極113までの距離（ギャップ）が不十分な場合には、ずれ検出パターン117の少なくとも一部がチップ内に取り込まれ、この取り込まれたずれ検出パターン117が一对の外部電極間を短絡させる。したがって、外部電極間の抵抗を測定することにより、内部電極113の不適合状態を把握することが可能になる。

10

【0004】**【特許文献1】**

特開平8-330178号公報

【0005】**【発明が解決しようとする課題】**

しかしながら、上記特許文献1の方法では、図29に示すように、カット線118が、ずれ検出パターン117の長手方向に対して斜めに傾いた場合、ずれ検出パターン117が一对の外部電極間を短絡させなくなり、位置ずれを検出できないという問題点がある。

20

【0006】

また、特許文献1の方法では、同一のセラミックグリーンシート上に、内部電極パターンと、ずれ検出パターンの両方を印刷するため、シート面積あたりのチップの取り個数が少なくなるという問題点がある。

【0007】

また、シート面積あたりのチップの取り個数を増やすために、内部電極パターンと、ずれ検出パターンの距離を小さくすると、内部電極の周縁部とチップ端面との距離が小さくなるため、耐圧信頼性が低下するという問題点がある。

30

【0008】

本願発明は上記問題点を解決するものであり、マザー積層体の平面面積あたりのチップの取り個数を減らすことなく、内部電極パターンの位置ずれを確実に検出することが可能で、信頼性の高い積層セラミック電子部品及び、信頼性の高い積層セラミック電子部品を効率よく製造することが可能な積層セラミック電子部品の製造方法を提供することを目的とする。

【0009】**【課題を解決するための手段】**

上記目的を達成するために、本願発明（請求項1）の積層セラミック電子部品の製造方法は、

40

(a) セラミックグリーンシートに所定の内部電極パターンが配設された内部電極パターン配設シートを形成する工程と、

(b) セラミックグリーンシートに、カットずれが起きた場合に外部電極と導通する位置ずれ検出パターンが配設された位置ずれ検出パターン配設シートを形成する工程と、

(c) 前記内部電極パターン配設シートと、前記位置ずれ検出パターン配設シートを積層して未焼結マザー積層体を形成する工程と、

(d) 前記未焼結マザー積層体をカットすることにより個々のチップ型未焼結積層体に分割する工程と、

(e) 前記チップ型未焼結積層体を焼成することにより、内部電極を備えたセラミック焼

50

結体を形成する工程と、

(f) 前記セラミック焼結体の表面に所定の内部電極と接続する外部電極を形成する工程と、

(g) 前記(f)の工程で外部電極を形成することにより得られる積層セラミック電子部品について電気特性を測定し、

(イ) 前記内部電極パターン及び位置ずれ検出パターンに位置ずれが生じており、前記(c)の工程で未焼結マザー積層体をカットして個々のチップ型未焼結積層体に分割したときに、前記位置ずれ検出パターンがチップの切断端面に露出して、前記外部電極と導通している場合と、

(ロ) 前記内部電極パターン及び位置ずれ検出パターンに位置ずれが生じておらず、前記(c)の工程で未焼結マザー積層体をカットして個々のチップ型未焼結積層体に分割したときに、前記位置ずれ検出パターンがチップ型未焼結積層体の切断端面に露出せず、前記外部電極と導通していない場合と
10
における電気特性の差異の大きさから前記電極パターンの位置ずれの有無を検出する工程と

を具備することを特徴としている。

【0010】

内部電極パターンが配設された内部電極パターン配設シートと、位置ずれ検出パターンが配設された位置ずれ検出パターン配設シートを形成し、この内部電極パターン配設シート及び位置ずれ検出パターン配設シートを積層して未焼結マザー積層体を形成し、未焼結マザー積層体をカットして個々のチップ型未焼結積層体に分割した後、焼成し、所定の内部電極と接続する外部電極を形成することにより得られる積層セラミック電子部品について電気特性を測定することにより、(イ)位置ずれが生じており、未焼結マザー積層体をカットして個々のチップ型未焼結積層体に分割したときに、位置ずれ検出パターンがチップの切断端面に露出して、外部電極と導通している場合と、(ロ)位置ずれが生じておらず、未焼結マザー積層体をカットして個々のチップ型未焼結積層体に分割したときに、位置ずれ検出パターンがチップ型未焼結積層体の切断端面に露出せず、外部電極と導通していない場合における電気特性の相違を検出し、かかる電気特性の差異の大きさから、電極パターンの位置ずれの有無を確実に検出することが可能になる。
20

すなわち、未焼結マザー積層体をカットして個々のチップ型未焼結積層体に分割した際に個々のチップ型未焼結積層体の切断端部となる周縁部より内側の領域に、所定の位置ずれ検出パターンを配設し、位置ずれが生じた場合に該位置ずれ検出パターンと外部電極が接続することによる電気特性の変化を検出することにより、位置ずれが生じた不良品を確実に検出して、位置ずれのない良品のみを確実に出荷できるようになる。
30

また、実際のカット線が、所定のカット線に対してある程度の傾きがあるような場合にも、内部電極パターンの位置ずれを検出して、信頼性の高い積層セラミック電子部品を効率よく製造することが可能になる。

【0011】

また、本願発明においては、マザー積層体を構成するマザーシートの同一平面に内部電極パターンと位置ずれ検出パターンの両方を形成する必要がないため、マザー積層体の平面面積あたりのチップ型未焼結積層体の取り個数を多くすることが可能になる。
40

【0012】

また、請求項2の積層セラミック電子部品の製造方法は、キャパシタ機能、インダクタ機能、及びインピーダンス機能のうち少なくとも1つの機能を有する積層セラミック電子部品の製造方法にかかるものであることを特徴としている。

【0013】

本願発明は、キャパシタ機能、インダクタ機能、及びインピーダンス機能のうち少なくとも1つの機能を有する積層セラミック電子部品を製造する場合に広く適用することが可能であり、このような積層セラミック電子部品の製造方法に本願発明を適用することにより、積層セラミックコンデンサ、積層セラミックインダクタ、及び積層セラミックフィル
50

タのような積層LC複合部品などの積層セラミック電子部品を効率よく製造することが可能になる。

【0014】

また、請求項3の積層セラミック電子部品の製造方法は、前記電気特性として、キャパシタンス、インダクタンス、及びインピーダンスのうちの少なくとも1つを測定して電極パターンの位置ずれを検出することを特徴としている。

【0015】

本願発明においては、電気特性として、キャパシタンス、インダクタンス、及びインピーダンスのうちの少なくとも1つの電気特性を測定することにより、電極パターンの位置ずれの有無を容易かつ確実に検出することができる。

10

【0016】

また、本願発明(請求項4)の積層セラミック電子部品は、内部電極パターンが配設された内部電極パターン配設シートと、カットずれが起きた場合に外部電極と導通する位置ずれ検出パターンが配設された位置ずれ検出パターン配設シートを積層することにより未焼結マザー積層体を形成し、これをカットすることにより得られるチップ型未焼結積層体を焼成して形成したセラミック焼結体の表面に、所定の内部電極と接続する外部電極が配設された積層セラミック電子部品であって、キャパシタンス、インダクタンス、及びインピーダンスのうちの少なくとも1つを測定することによりカットずれの有無が検出されるように構成されていることを特徴としている。

20

【0017】

本願発明の積層セラミック電子部品は、内部電極パターン配設シートと、カットずれが起きた場合に外部電極と導通する位置ずれ検出パターンが配設された位置ずれ検出パターン配設シートを積層して未焼結マザー積層体を形成し、これをカットすることにより得られるチップ型未焼結積層体を焼成したセラミック焼結体の表面に、所定の内部電極と接続する外部電極が配設された構成を備えているので、キャパシタンス、インダクタンス、及びインピーダンスのうちの少なくとも1つを測定することによりカットずれの有無を検出することが可能になり、信頼性の高い積層セラミック電子部品を確実に提供することが可能になる。

【0018】

30

【実施例】

以下、本願発明の実施例を示して、本願発明の特徴とするところをさらに詳しく説明する。

【0019】

[実施例1]

(1)ドクターブレードなどの方法により、 $TiO_2 - BaO$ 系の誘電体セラミック層用スラリーをシート状に成形してセラミックグリーンシートを作製する。

それから、図1に示すように、セラミックグリーンシート(誘電体シート)1の表面に導電ペーストを印刷して、所定の内部電極パターン(コンデンサ用グランドパターン2a、及びホットパターン2b)が配設された内部電極パターン配設シート3a、3bを形成する。

40

また、同様にして、セラミックグリーンシート1の表面に導電ペーストを印刷して、後の工程で未焼結マザー積層体をカットして個々のチップ型未焼結積層体に分割した場合に、個々のチップ型未焼結積層体の切断端部となる周縁部の内側の領域に、所定の位置ずれ検出パターン4を印刷することにより、位置ずれ検出パターン配設シート5を形成する。

【0020】

(2)また、ドクターブレードなどの方法により、 $Fe_2O_3 - NiO - ZnO - CuO$ 系の磁性体セラミック層用スラリーをシート状に成形してセラミックグリーンシート(磁性体シート)6を作製する。

そして、このセラミックグリーンシート6に、ビアホール用貫通孔(図示せず)を形成す

50

るとともに、導電ペーストを印刷することにより、所定のコイルパターン（内部電極パターン）7が配設されたコイルパターン配設シート（内部電極パターン配設シート）8を形成する。

【0021】

（3）そして、内部電極パターン配設シート3a、3b、位置ずれ検出パターン配設シート5、コイルパターン配設シート8、導体パターンが配設されていない誘電体シート1a及び磁性体シート6aを、図1に示すような所定の順に積み重ね、圧着した後、所定の寸法にカットし、チップ型未焼結積層体10を得る。なお、実際には、マザー積層体を形成し、これを所定の位置でカットして個々のチップ（未焼結積層体）に分割して多数個のチップを同時に製造する、いわゆる多数個取りの方法が用いられる。図1はカットされた後のチップ型未焼結積層体の分解斜視図である。

10

なお、このチップ型未焼結積層体10は、コンデンサ用グランドパターン2a、及びホットパターン2bなどからなるコンデンサ部10aと、ビアホール（図示せず）を介して、コイルパターン（内部電極パターン）7を導通させることにより形成された積層型コイル9を有するコイル部10bを備えている。

【0022】

（4）それから、チップ型未焼結積層体10を、例えば、空气中、500℃で脱バインダ処理した後、900℃で約2時間、焼成処理を施すことにより、コンデンサ部10a、コイル部10bを備えたセラミック焼結体F（図1、図2、図3など）を形成する。

【0023】

（5）次に、図2に示すように、セラミック焼結体Fの表面に、コイルパターン7、及びコンデンサ用ホットパターン2bと導通する外部電極（入出力端子）13a、13b、ならびにコンデンサ用グランドパターン2aと導通する外部電極（グランド端子）14（14a、14b）をそれぞれ形成し、図2に示すような積層セラミック電子部品（チップ型積層LCフィルタ）15を得る。

20

【0024】

図3（a）は位置ずれの生じていない状態のチップ型積層LCフィルタ15の長手方向に沿う方向の断面図、図3（b）は位置ずれの生じていない状態のチップ型積層LCフィルタ15の長手方向に直交する方向の断面図である。

また、図4はこのチップ型積層LCフィルタ15の等価回路を示す図である。図4の等価回路において、S1、S2は位置ずれ検出パターン4と外部電極14により形成される、位置ずれを検出するためのスイッチである。

30

【0025】

次に、このチップ型積層LCフィルタにおいて、製造工程（カット工程）で未焼結マザー積層体をカットする際に位置ずれが生じた製品を検出する方法について説明する。

なお、図5はコンデンサ用ホットパターン2bの引き出し方向と直交する方向（y方向）に位置ずれが生じた状態のチップ型積層LCフィルタ15を示す断面図（長手方向に直交する方向の断面図）である。

【0026】

許容範囲を超えた位置ずれが生じた製品を検出するにあたっては、まず、

40

$$f = (C1 + C2)^{1/2} / \{ 2 \cdot (L0 \times C1 \times C2)^{1/2} \}$$

の周波数条件で、

（イ）外部電極13a - 13b間のインダクタンス

（ロ）外部電極13a - 14間のキャパシタンス

（ハ）外部電極13b - 14間のキャパシタンス

を測定する。

【0027】

このとき、図3（a）、（b）に示すように、位置ずれが生じていない状態から、図5に示すように、コンデンサ用ホットパターン2bの引き出し方向と直交する方向（y方向）に、許容範囲を超える位置ずれが発生した場合、位置ずれ検出パターン（位置ずれ検出電

50

極) 4 が外部電極 1 4 (1 4 a) と接触することにより、図 4 の等価回路において、スイッチ S 1 , S 2 が O N になり、外部電極 1 3 a ・ 1 3 b - 1 4 間で発生するキャパシタンスが変化する。

【 0 0 2 8 】

すなわち、

(a) 許容範囲を超える位置ずれがなく、スイッチ S 1 、 S 2 が O F F の場合の各部の特性は、

外部電極 1 3 a - 1 3 b 間のインダクタンス = L_0

外部電極 1 3 a - 1 4 間のキャパシタンス = $C_1 + C_2$

外部電極 1 3 b - 1 4 間のキャパシタンス = $C_1 + C_2$

10

となる。

(b) また、許容範囲を超える位置ずれがあり、位置ずれ検出パターン (位置ずれ検出電極) が外部電極 1 4 と接触し、スイッチ S 1 、 S 2 が O N になった場合、各部の特性は、

外部電極 1 3 a - 1 3 b 間のインダクタンス = L_0

外部電極 1 3 a - 1 4 間のキャパシタンス = $C_1 + C_2 + C_3 + C_4$

外部電極 1 3 b - 1 4 間のキャパシタンス = $C_1 + C_2 + C_3 + C_4$

となる。

【 0 0 2 9 】

したがって、上記実施例 1 の方法によれば、y 方向への加工ずれが発生した場合、スイッチ S 1 、 S 2 が O N となり、キャパシタンスが変化するので、外部電極 1 3 a - 1 4 間、外部電極 1 3 b - 1 4 間のキャパシタンスを調べることによって、位置ずれが生じた製品を確実に検出することが可能になり、耐圧信頼性の低い製品を出荷することを防止して、長期間使用しても絶縁抵抗が劣化するおそれの少ない、信頼性の高い製品を確実に供給することが可能になる。

20

なお、積層セラミック電子部品は、通常、全数について主要特性を測定、選別した後出荷されるので、この測定、選別工程において、同時に位置ずれの発生した製品を検出することができるので、位置ずれ検出のために別途検査工程を設ける必要はなく、生産性を低下させることはない。

【 0 0 3 0 】

なお、この実施例 1 では、図 3 (b) の符号 A で示す領域で絶縁抵抗が劣化しやすい態様で内部導体を設計したため、y 方向の位置ずれを検出するようにしているが、絶縁抵抗が劣化しやすい領域は内部導体の設計にかかわるものであることから、内部導体の設計に応じて位置ずれ検出パターンの形状や配設態様を適宜調整することにより、効率よく位置ずれを検出することができる。

30

また、この実施例 1 では、2 枚の位置ずれ検出パターン 4 を用いているが、位置ずれ検出パターンの枚数はこれに限られるものではなく、スイッチ O N にもなう電気特性の差異の検出が可能であればよく、1 枚あるいは 3 枚以上とすることも可能である。

【 0 0 3 1 】

また、図 6 は所定の位置ずれ範囲内にあるチップ型積層 LC フィルタと、意図的に許容範囲を超える位置ずれを生じさせたチップ型積層 LC フィルタの端子導体 1 3 a - 1 4 間のキャパシタンスをヒストグラムでプロットしたものである。図 6 より、位置ずれが許容範囲を超えた場合に大きくキャパシタンスが変化し、出荷範囲をはずれることがわかる。

40

【 0 0 3 2 】

[実施例 2]

(1) ドクターブレードなどの方法により、 TiO_2 - BaO 系の誘電体セラミック層用スラリーをシート状に成形してセラミックグリーンシートを作製する。

それから、図 7 に示すように、セラミックグリーンシート (誘電体シート) 2 1 の表面に導電ペーストを印刷して、所定の内部電極パターン 2 2 a , 2 2 b が配設された内部電極パターン配設シート 2 3 a , 2 3 b を形成する。

また、同様にして、セラミックグリーンシート 2 1 の表面に導電ペーストを印刷して、後

50

の工程で未焼結マザー積層体をカットして個々のチップ型未焼結積層体に分割した場合に、個々のチップの切断端部となる周縁部の内側の領域に、所定の位置ずれ検出パターン 24 を印刷することにより、位置ずれ検出パターン配設シート 25 を形成する。

【0033】

(2)そして、内部電極パターン配設シート 23 a, 23 b、位置ずれ検出パターン配設シート 25、導体パターンが配設されていない誘電体シート 21 aを、図 7 に示すような所定の順に積み重ね、圧着した後、所定の寸法にカットし、チップ型未焼結積層体 30 を得る。図 7 はカットされた後のチップ型未焼結積層体 30 の分解斜視図である。

なお、実際には、マザー積層体を形成し、これを所定の位置でカットして個々のチップ型未焼結積層体に分割して多数個のチップを同時に製造する、いわゆる多数個取りの方法が

10

【0034】

(3)それから、チップ型未焼結積層体 30 を、例えば、空气中、500 で脱バインダ処理した後、900 で約 2 時間、焼成処理を施すことにより、セラミック焼結体 F を形成する。

【0035】

(4)次に、図 8 に示すように、セラミック焼結体 F の表面にコンデンサ用の内部電極パターン 22 a, 22 b (図 7) に導通する外部電極 (入出力端子) 26 a, 26 b を形成し、図 8 に示すような積層セラミック電子部品 (積層セラミックコンデンサ) 27 を得る。

20

【0036】

図 9 (a) は位置ずれの生じていない状態の積層セラミックコンデンサ 27 の長手方向に沿う方向の断面図、図 9 (b) は位置ずれの生じていない状態の積層セラミックコンデンサ 27 の長手方向に直交する方向の断面図である。

また、図 10 はこの積層セラミックコンデンサ 27 の等価回路を示す図である。図 10 の等価回路において、S1、S2 は、位置ずれ検出パターン 24 と外部電極 26 a, 26 b により形成される、位置ずれを検出するためのスイッチである。

【0037】

次に、この積層セラミックコンデンサにおいて、製造工程 (カット工程) で未焼結マザー積層体をカットする際に位置ずれが生じた製品を検出する方法について説明する。

30

なお、図 11 は、内部電極パターン 22 a, 22 b に、その引き出し方向と平行な方向及び直交する方向の両方の方向に位置ずれが生じた状態の積層セラミックコンデンサ 27 を示す図であって、図 11 (a) は、長手方向に平行な方向の断面図、図 11 (b) は、長手方向に直交する方向の断面図である。

【0038】

許容範囲を超えた位置ずれの発生を検出するにあたっては、外部電極 26 a - 26 b 間のキャパシタンスを測定する。

このとき、

(a) 内部電極パターン 22 a, 22 b に許容範囲を超える位置ずれがなく、スイッチ S1、S2 が OFF の場合、

40

外部電極 26 a - 26 b 間のキャパシタンス = C0

(b) スイッチ S1 が ON の場合

26 a - 26 b 間のキャパシタンス = C0 + C1

(c) スイッチ S2 が ON の場合

26 a - 26 b 間のキャパシタンス = C0 + C2

(d) スイッチ S1、S2 が ON の場合

26 a - 26 b 間のキャパシタンス = C0 + C1 + C2

となる。

【0039】

したがって、上記実施例 2 の方法によれば、x 方向への位置ずれが発生した場合、スイッ

50

チS1又はS2がONになり、y方向への位置ずれが発生した場合には、スイッチS1及びS2がONとなり、キャパシタンスが変化するので、外部電極26a-26b間のキャパシタンスを調べることによって、位置ずれが生じた製品を検出することが可能になり、耐圧信頼性の低い製品を出荷することを防止して、長期間使用しても絶縁抵抗が劣化するおそれの少ない、信頼性の高い製品を確実に供給することが可能になる。

【0040】

なお、この実施例では、図9(a)に符号Aで示す領域、及び図9(b)に符号Bで示す領域で絶縁抵抗が劣化しやすい態様で内部導体を設計したため、x、y方向の位置ずれを検出するようにしているが、絶縁抵抗が劣化しやすい領域は内部導体の設計にかかわるものであることから、内部導体の設計に応じて位置ずれ検出パターンの形状や配設態様を適宜調整することにより、効率よく位置ずれを検出することができる。

10

【0041】

また、図12は所定の位置ずれ範囲内にある積層セラミックコンデンサと、意図的に許容範囲を超える位置ずれを生じさせた積層セラミックコンデンサの外部電極26a-26b間のキャパシタンスをヒストグラムでプロットしたものである。位置ずれが許容範囲を超えた場合に大きくキャパシタンスが変化し、出荷範囲をはずれることがわかる。

【0042】

[実施例3]

(1) ドクターブレードなどの方法により、 $Fe_2O_3 - NiO - ZnO - CuO$ 系の磁性体セラミック層用スラリーをシート状に成形してセラミックグリーンシート(磁性体シート)を作製する。

20

そして、図13に示すように、このセラミックグリーンシート31に、ビアホール用貫通孔(図示せず)を形成するとともに、導電ペーストを印刷して、所定のコイルパターン(内部電極パターン)32が配設されたコイルパターン配設シート33を形成する。

また、同様にして、セラミックグリーンシート31の表面に導電ペーストを印刷して、後の工程で未焼結マザー積層体をカットして個々のチップ型未焼結積層体に分割した場合に、個々のチップの切断端部となる周縁部の内側の領域に、所定の位置ずれ検出パターン34を印刷して、位置ずれ検出パターン配設シート35を形成する。

【0043】

(2) そして、コイルパターン配設シート33、位置ずれ検出パターン配設シート35、導電パターンが配設されていない磁性体シート31aを、図13に示すような順に積み重ね、圧着した後、所定の寸法にカットし、内部に積層型コイル36が形成されたチップ型未焼結積層体40を得る。

30

図13はカットされた後のチップ型未焼結積層体の分解斜視図である。

なお、実際には、マザー積層体を形成し、これを所定の位置でカットして個々のチップ型未焼結積層体に分割して多数個のチップを同時に製造する、いわゆる多数個取りの方法が用いられる。

【0044】

(3) それから、チップ型未焼結積層体40を、例えば、空气中、500で脱バインダ処理した後、900で約2時間、焼成処理を施すことにより、セラミック焼結体Fを形成する。

40

【0045】

(4) 次に、図14に示すように、セラミック焼結体Fの表面に、積層型コイル36の両端部を構成するコイルパターン32に導通した外部電極(入出力端子)37a、37bを形成し、図14に示すような積層セラミック電子部品(積層インダクタ)38を得る。

なお、この積層インダクタは、インピーダンスを主要な特性とするものであって、ピーズインダクタとも称される積層インダクタである。

【0046】

図15(a)は位置ずれの生じていない状態の積層インダクタ38の長手方向に沿う方向の断面図、図15(b)は位置ずれの生じていない状態の積層インダクタ38の長手方向

50

に直交する方向の断面図である。

また、図 16 はこの積層インダクタ 38 の等価回路を示す図である。図 16 の等価回路において、S1、S2 は位置ずれを検出するためのスイッチである。

【0047】

次に、この積層インダクタにおいて、製造工程（カット工程）で未焼結マザー積層体をカットする際に位置ずれが生じた製品を検出する方法について説明する。

なお、図 17 は、コイルパターン 32 に、その引き出し方向と平行な方向及び直交する方向の両方の方向に位置ずれが生じた状態の積層インダクタ 38 を示す図であって、図 17 (a) は長手方向に平行な方向の断面図、図 17 (b) は長手方向に直交する方向の断面図である。

【0048】

許容範囲を超えた位置ずれの発生を検出するにあたっては、外部電極 37a - 37b 間のインピーダンスを測定する。

このとき、例えば、

(a) 位置ずれが生じておらず、スイッチ S1、S2 が OFF の場合

外部電極 37a - 37b 間のインピーダンス = Z_0

(b) x 方向に位置ずれが生じ、スイッチ S1 が ON になった場合

外部電極 37a - 37b 間のインピーダンス = $Z_0 \times Z_1 / (Z_0 + Z_1)$

(c) x 方向に位置ずれが生じ、スイッチ S2 が ON になった場合

外部電極 37a - 37b 間のインピーダンス = $Z_0 \times Z_2 / (Z_0 + Z_2)$

(d) y 方向に位置ずれが生じ、スイッチ S1、S2 が ON になった場合

外部電極 37a - 37b 間のインピーダンス
= $Z_0 \times Z_1 \times Z_2 / \{ (Z_0 \times Z_1) + (Z_1 \times Z_2) + (Z_2 \times Z_0) \}$

となる。

【0049】

したがって、上記実施例 3 の方法によれば、x 方向への位置ずれが発生した場合、スイッチ S1 又は S2 が ON となり、y 方向への位置ずれが発生した場合、スイッチ S1 及び S2 が ON となり、インピーダンスが変化するので、外部電極 37a - 37b 間のインピーダンスを調べることにより、位置ずれが生じた製品を検出することが可能になり、耐圧信頼性の低い製品を出荷することを防止して、長期間使用しても絶縁抵抗が劣化するおそれの少ない、信頼性の高い製品を確実に供給することが可能になる。

【0050】

なお、この実施例では、図 15 (a) に符号 A で示す領域、及び図 15 (b) に符号 B で示す領域で絶縁抵抗が劣化しやすい態様で内部導体を設計したため、x、y 方向の位置ずれを検出するようにしているが、絶縁抵抗が劣化しやすい領域は内部導体の設計にかかわるものであることから、内部導体の設計に応じて位置ずれ検出パターンの形状や配設態様を適宜調整することにより、効率よく位置ずれを検出することができる。なお、図 15 (a)、(b) の A、B で示す領域の絶縁抵抗が劣化した場合、インピーダンスの低下を招く。

【0051】

また、図 18 は所定の位置ずれ範囲内にある積層インダクタと、意図的に許容範囲を超える位置ずれを生じさせた積層インダクタの外部電極 37a - 37b 間のインピーダンスをヒストグラムでプロットしたものである。位置ずれが許容範囲を超えた場合に大きくインピーダンスが変化し、出荷範囲をはずれることがわかる。

【0052】

[実施例 4]

(1) ドクターブレードなどの方法により、ホウケイ酸ガラスと、 Al_2O_3 とからなるガラスセラミックスラリーをシート状に成形してセラミックグリーンシート（磁性体シート）を作製する。

そして、図 19 に示すように、このセラミックグリーンシート 41 に、ピアホール用貫通

10

20

30

40

50

孔（図示せず）を形成するとともに、導電ペーストを印刷することにより、所定のコイルパターン（内部電極パターン）42が配設されたコイルパターン配設シート43を形成する。

また、同様にして、セラミックグリーンシート41の表面に導電ペーストを印刷することにより、後の工程で未焼結マザー積層体をカットして個々のチップ型未焼結積層体に分割した場合に、個々のチップの切断端部となる周縁部の内側の領域に、所定の位置ずれ検出パターン44を印刷することにより、位置ずれ検出パターン配設シート45を形成する。

【0053】

(2)そして、コイルパターン配設シート43、位置ずれ検出パターン配設シート45、導体パターンが配設されていない磁性体シート41aを、図19に示すような所定の順に積み重ね、これを一括して圧着した後、所定の寸法にカットし、内部に積層型コイル46が形成されたチップ型未焼結積層体50を得る。図19はカットされた後のチップ型未焼結積層体の分解斜視図である。

10

なお、実際には、マザー積層体を形成し、これを所定の位置でカットして個々のチップ型未焼結積層体に分割して多数個のチップを同時に製造する、いわゆる多数個取りの方法が用いられる。

【0054】

(3)それから、チップ型未焼結積層体50を、例えば、空气中、500で脱バインダ処理した後、900で約2時間、焼成処理を施すことにより、セラミック焼結体Fを形成する。

20

【0055】

(4)次に、図20に示すように、セラミック焼結体Fの表面に、積層型コイル46の両端部を構成するコイルパターン42に導通した外部電極（入出力端子）47a、47bを形成し、図20に示すような積層セラミック電子部品（積層インダクタ）48を得る。

【0056】

図21(a)は位置ずれの生じていない状態の積層インダクタ48の長手方向に沿う方向の断面図、図21(b)は位置ずれの生じていない状態の積層インダクタ48の長手方向に直交する方向の断面図である。

また、図22はこの積層インダクタ48の等価回路を示す図である。図22の等価回路において、S1、S2は位置ずれを検出するためのスイッチである。

30

なお、この積層インダクタは、インダクタンスを主要な特性とする積層インダクタである。

【0057】

次に、この積層インダクタにおいて、製造工程（カット工程）で未焼結マザー積層体をカットする際に位置ずれが生じた製品を検出する方法について説明する。

なお、図23は、コイルパターン42に、その引き出し方向と平行な方向及び引き出し方向と直交する方向の両方の方向に位置ずれが生じた状態の積層インダクタ48を示す図であって、図23(a)は長手方向に平行な方向の断面図、図23(b)は長手方向に直交する方向の断面図である。

【0058】

許容範囲を超えた位置ずれの発生を検出するにあたっては、外部電極47a - 47b間のインダクタンスを測定する。

40

このとき、

(a)位置ずれが生じておらず、スイッチS1、S2がOFFの場合

外部電極47a - 47b間のインダクタンス = L_0

(b)x方向に位置ずれが生じ、スイッチS1がONになった場合

外部電極47a - 47b間のインダクタンス = $L_0 \times L_1 / (L_0 + L_1)$

(c)x方向に位置ずれが生じ、スイッチS2がONになった場合

外部電極47a - 47b間のインダクタンス = $L_0 \times L_2 / (L_0 + L_2)$

(d)y方向に位置ずれが生じ、スイッチS1、S2がONになった場合

50

外部電極 47a - 47b 間のインダクタンス

$$= L_0 \times L_1 \times L_2 / \{ (L_0 \times L_1) + (L_1 \times L_2) + (L_2 \times L_0) \}$$

となる。

【0059】

したがって、上記実施例 4 の方法によれば、x 方向への位置ずれが発生した場合、スイッチ S1 又は S2 が ON となり、y 方向への位置ずれが発生した場合、スイッチ S1 及び S2 が ON となり、インダクタンスが変化するので、外部電極 47a - 47b 間のインダクタンスを調べることにより、位置ずれが生じた製品を検出することが可能になり、信頼性の高い製品を確実に供給することが可能になる。

【0060】

なお、この実施例 4 では、図 21 (a) に符号 A で示す領域、及び図 21 (b) に符号 B で示す領域で絶縁抵抗が劣化しやすい態様で内部導体を設計したため、x, y 方向の位置ずれを検出するようにしたが、絶縁抵抗が劣化しやすい領域は内部導体の設計にかかわるものであることから、内部導体の設計に応じて位置ずれ検出パターンの形状や配設態様を適宜調整することにより、効率よく位置ずれを検出することができる。

【0061】

また、図 24 は所定の位置ずれ範囲内にある積層インダクタと、意図的に許容範囲を超える位置ずれを生じさせた積層インダクタの外部電極 47a - 47b 間のインダクタンスをヒストグラムでプロットしたものである。位置ずれが許容範囲を超えた場合に大きくインダクタンスが変化し、出荷範囲をはずれることがわかる。

【0062】

[実施例 5]

図 25 は本願発明の他の実施例 (実施例 5) にかかる積層セラミック電子部品の要部を示す分解斜視図、図 26 は断面図、図 27 は等価回路を示す図である。

この実施例 5 の積層セラミック電子部品は、3 端子積層型 LC ローパスフィルタであり、この 3 端子積層型 LC ローパスフィルタは、上述の実施例 1 のチップ型積層 LC フィルタに類似した構造を有しており、

(a) コンデンサ部 10a に、グランドパターン 2a の位置ずれ (y 方向の位置ずれ) を検出するための位置ずれ検出パターン 54a と、ホットパターン 2b の位置ずれ (x 方向の位置ずれ) を検出するための位置ずれ検出パターン 54b が配設されている点、

(b) コイル部 10b にも位置ずれ検出パターン 64a, 64b が配設されている点においてその構成が実施例 1 とは異なっているが、その他の構成は実施例 1 の場合とほぼ同様である。したがって、重複を避けるため、ここでは実施例 1 と同じ構成の部分については説明を省略する。なお、図 25, 26, 27 において、図 1, 2, 3, 4 と同一符号を付した部分は同一部分又は相当する部分を示している。

【0063】

この実施例 5 の 3 端子積層型 LC ローパスフィルタにおいては、許容範囲を超える位置ずれがなく、スイッチ S1, S2, S3, S4 が OFF の場合の各部の特性は、

$$\text{外部電極 } 13a - 13b \text{ 間のインダクタンス} = L_0$$

$$\text{外部電極 } 13a - 14 \text{ 間のキャパシタンス} = C_1 + C_2$$

$$\text{外部電極 } 13b - 14 \text{ 間のキャパシタンス} = C_1 + C_2$$

となる。

【0064】

また、許容範囲を超える位置ずれがあり、例えば、スイッチ S1, S2, S3, S4 が ON になった場合、

外部電極 13a - 13b 間のインダクタンス

$$= L_0 \times L_1 \times L_2 / \{ (L_0 \times L_1) + (L_1 \times L_2) + (L_2 \times L_0) \}$$

となり、

$$\text{外部電極 } 13a - 14 \text{ 間のキャパシタンス} = C_1 + C_2 + C_3 + C_4$$

$$\text{外部電極 } 13b - 14 \text{ 間のキャパシタンス} = C_1 + C_2 + C_3 + C_4$$

10

20

30

40

50

となる。

【0065】

したがって、外部電極13a - 13b間のインダクタンス、外部電極13a・13b - 14間のキャパシタンスを調べることにより、位置ずれが生じた製品を検出することが可能になり、耐圧信頼性の低い製品が出荷されてしまうことを防止して、信頼性の高い製品を確実に供給することが可能になる。

【0066】

なお、本願発明は、上記の各実施例に限定されるものではなく、内部電極パターン及び位置ずれ検出パターンの具体的な形状や配設態様、位置ずれを検出するために測定すべき特性、その具体的な測定方法などに関し、発明の範囲内において、種々の応用、変形を加えることが可能である。

10

【0067】

【発明の効果】

上述のように、本願発明（請求項1）の積層セラミック電子部品の製造方法は、内部電極パターンが配設された内部電極パターン配設シートと、位置ずれ検出パターンが配設された位置ずれ検出パターン配設シートを形成し、この内部電極パターン配設シート及び位置ずれ検出パターン配設シートを積層して未焼結マザー積層体を形成し、未焼結マザー積層体をカットして個々のチップ型未焼結積層体に分割した後、焼成し、所定の内部電極と接続する外部電極を形成することにより得られる積層セラミック電子部品について電気特性を測定するようにしてるので、（イ）位置ずれが生じており、未焼結マザー積層体をカットして個々のチップ型未焼結積層体に分割したときに、位置ずれ検出パターンがチップ型未焼結積層体の切断端面に露出して、外部電極と導通している場合と、（ロ）位置ずれが生じておらず、未焼結マザー積層体をカットして個々のチップ型未焼結積層体に分割したときに、位置ずれ検出パターンがチップ型未焼結積層体の切断端面に露出せず、外部電極と導通していない場合における電気特性の相違を検出し、かかる電気特性の差異の大きさから、電極パターンの位置ずれの有無を確実に検出することが可能になる。

20

すなわち、未焼結マザー積層体をカットして個々のチップ型未焼結積層体に分割した際に個々のチップ型未焼結積層体の切断端部となる周縁部より内側の領域に、所定の位置ずれ検出パターンを配設し、位置ずれが生じた場合に該位置ずれ検出パターンと外部電極が接続することによる電気特性の変化を検出することにより、位置ずれが生じた不良品を確実に検出することができるようになる。

30

また、実際のカット線が、所定のカット線に対してある程度の傾きがあるような場合にも、内部電極パターンの位置ずれを確実に検出することが可能になる。

さらに、本願発明においては、マザー積層体を構成するマザーシートの同一平面に内部電極パターンと位置ずれ検出パターンの両方を形成する必要がないため、マザー積層体の平面面積あたりのチップ型未焼結積層体の取り個数が少なくなることを防止することができる。

【0068】

また、請求項2の積層セラミック電子部品の製造方法のように、本願発明は、キャパシタ機能、インダクタ機能、及びインピーダンス機能のうち少なくとも1つの機能を有する積層セラミック電子部品の製造方法に適用することが可能であり、このような積層セラミック電子部品の製造方法に本願発明を適用することにより、積層セラミックコンデンサ、積層セラミックインダクタ、及び積層セラミックフィルタのような積層LC複合部品などの積層セラミック電子部品を効率よく製造することができる。

40

【0069】

また、請求項3の積層セラミック電子部品の製造方法のように、電気特性として、キャパシタンス、インダクタンス、及びインピーダンスのうち少なくとも1つの電気特性を測定することにより、電極パターンの位置ずれの有無を容易かつ確実に検出することが可能になり、本願発明をより実効あらしめることが可能になる。

【0070】

50

また、本願発明（請求項４）の積層セラミック電子部品は、内部電極パターン配設シートと、カットずれが起きた場合に外部電極と導通する位置ずれ検出パターンが配設された位置ずれ検出パターン配設シートを積層して未焼結マザー積層体を形成し、これをカットすることにより得られるチップ型未焼結積層体を焼成したセラミック焼結体の表面に、所定の内部電極と接続する外部電極が配設された構成を備えているので、キャパシタンス、インダクタンス、及びインピーダンスのうち少なくとも１つを測定することによりカットずれの有無を検出することが可能になり、信頼性の高い積層セラミック電子部品を確実に提供することが可能になる。

【図面の簡単な説明】

【図１】本願発明の一実施例（実施例１）にかかる積層セラミック電子部品（チップ型積層ＬＣフィルタ）の製造方法の一工程で形成したチップ型未焼結積層体の分解斜視図である。 10

【図２】実施例１において製造したチップ型積層ＬＣフィルタを示す斜視図である。

【図３】実施例１において製造した、位置ずれの生じていない状態のチップ型積層ＬＣフィルタの断面図であり、（ａ）はチップ型積層ＬＣフィルタ１５の長手方向に沿う方向の断面図、（ｂ）は長手方向に直交する方向の断面図である。

【図４】実施例１において製造したチップ型積層ＬＣフィルタの等価回路を示す図である。

【図５】実施例１において製造したチップ型積層ＬＣフィルタにおいて位置ずれが生じた状態を示す、長手方向に直交する方向の断面図である。 20

【図６】実施例１において製造したチップ型積層ＬＣフィルタの、位置ずれが生じたものと、位置ずれが生じていないもののキャパシタンスのヒストグラムを示す図である。

【図７】本願発明の他の実施例（実施例２）にかかる積層セラミック電子部品（積層セラミックコンデンサ）の製造方法の一工程で形成したチップ型未焼結積層体の分解斜視図である。

【図８】実施例２において製造した積層セラミックコンデンサを示す斜視図である。

【図９】実施例２において製造した、位置ずれの生じていない積層セラミックコンデンサの断面図であり、（ａ）は積層セラミックコンデンサの長手方向に沿う方向の断面図、（ｂ）は長手方向に直交する方向の断面図である。

【図１０】実施例２において製造した積層セラミックコンデンサの等価回路を示す図である。 30

【図１１】実施例２において製造した積層セラミックコンデンサにおいて位置ずれが生じた状態を示す断面図であり、（ａ）は積層セラミックコンデンサの長手方向に沿う方向の断面図、（ｂ）は長手方向に直交する方向の断面図である。

【図１２】実施例２において製造したチップ型積層ＬＣフィルタの、位置ずれが生じたものと、位置ずれが生じていないもののキャパシタンスのヒストグラムを示す図である。

【図１３】本願発明のさらに他の実施例（実施例３）にかかる積層セラミック電子部品（積層インダクタ）の製造方法の一工程で形成したチップ型未焼結積層体の分解斜視図である。

【図１４】実施例３において製造した積層インダクタを示す斜視図である。 40

【図１５】実施例３において製造した、位置ずれの生じていない積層インダクタの断面図であり、（ａ）は積層インダクタの長手方向に沿う方向の断面図、（ｂ）は長手方向に直交する方向の断面図である。

【図１６】実施例３において製造した積層セラミックコンデンサの等価回路を示す図である。

【図１７】実施例３において製造した積層インダクタにおいて位置ずれが生じた状態を示す断面図であり、（ａ）は積層インダクタの長手方向に沿う方向の断面図、（ｂ）は長手方向に直交する方向の断面図である。

【図１８】実施例３において製造した積層インダクタの、位置ずれが生じたものと、位置ずれが生じていないもののインピーダンスのヒストグラムを示す図である。 50

【図 19】本願発明のさらに他の実施例（実施例 4）にかかる積層セラミック電子部品（積層インダクタ）の製造方法の一工程で形成したチップ型未焼結積層体の分解斜視図である。

【図 20】実施例 4 において製造した積層インダクタを示す斜視図である。

【図 21】実施例 4 において製造した、位置ずれの生じていない積層インダクタの断面図であり、（a）は積層インダクタの長手方向に沿う方向の断面図、（b）は長手方向に直交する方向の断面図である。

【図 22】実施例 4 において製造した積層インダクタの等価回路を示す図である。

【図 23】実施例 4 において製造した積層インダクタにおいて位置ずれが生じた状態を示す断面図であり、（a）は積層インダクタの長手方向に沿う方向の断面図、（b）は長手方向に直交する方向の断面図である。 10

【図 24】実施例 4 において製造した積層インダクタの、位置ずれが生じたものと、位置ずれが生じていないもののインダクタンスのヒストグラムを示す図である。

【図 25】本願発明のさらに他の実施例（実施例 5）にかかる積層セラミック電子部品（3 端子積層型 LC ローパスフィルタ）の要部を示す分解斜視図である。

【図 26】実施例 5 の 3 端子積層型 LC ローパスフィルタの長手方向に沿う方向の断面図である。

【図 27】実施例 5 の 3 端子積層型 LC ローパスフィルタの等価回路を示す図である。

【図 28】従来の積層セラミック電子部品の製造方法の一工程を示す図である。

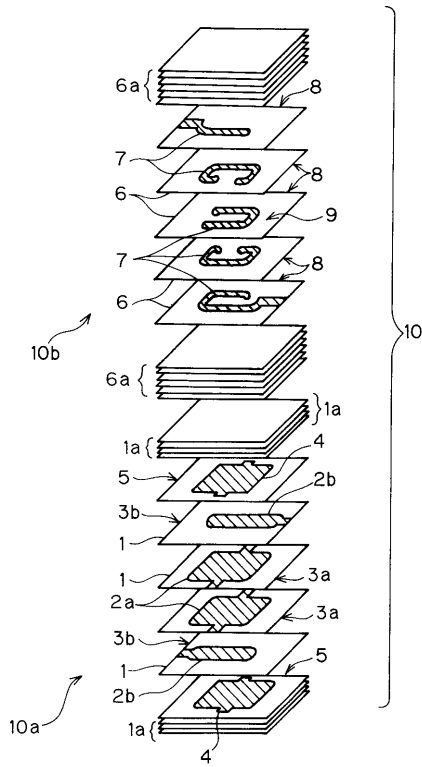
【図 29】従来の積層セラミック電子部品の製造方法の問題点を説明する図である。 20

【符号の説明】

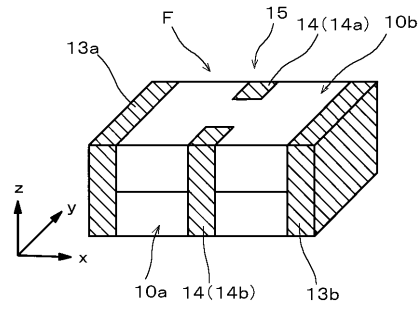
- 1 セラミックグリーンシート（誘電体シート）
- 1 a 導体パターンが配設されていない誘電体シート
- 2 a 内部電極パターン（コンデンサ用のグラウンドパターン）
- 2 b 内部電極パターン（コンデンサ用のホットパターン）
- 3 a , 3 b 内部電極パターン配設シート
- 4 位置ずれ検出パターン
- 5 位置ずれ検出パターン配設シート
- 6 セラミックグリーンシート
- 6 a 磁性体シート 30
- 7 コイルパターン（内部電極パターン）
- 8 コイルパターン配設シート
- 9 積層型コイル
- 10 チップ型未焼結積層体
- 10 a コンデンサ部
- 10 b コイル部
- 13 a、13 b 外部電極（入出力端子）
- 14（14 a、14 b） 外部電極（グラウンド端子）
- 15 積層セラミック電子部品（チップ型積層 LC フィルタ）
- 21 セラミックグリーンシート（誘電体シート） 40
- 21 a 導体パターンが配設されていない誘電体シート
- 22 a、22 b 内部電極パターン
- 23 a、23 b 内部電極パターン配設シート
- 24 位置ずれ検出パターン
- 25 位置ずれ検出パターン配設シート
- 26 a、26 b 外部電極（入出力端子）
- 27 積層セラミック電子部品（積層セラミックコンデンサ）
- 30 チップ型未焼結積層体
- 31 セラミックグリーンシート
- 31 a 導体パターンが配設されていない磁性体シート 50

3 2	コイルパターン (内部電極パターン)	
3 3	コイルパターン配設シート	
3 4	位置ずれ検出パターン	
3 5	位置ずれ検出パターン配設シート	
3 6	積層型コイル	
3 7 a、3 7 b	外部電極 (入出力端子)	
3 8	積層セラミック電子部品 (積層インダクタ)	
4 0	チップ型未焼結積層体	
4 1	セラミックグリーンシート	
4 1 a	導体パターンが配設されていない磁性体シート	10
4 2	コイルパターン (内部電極)	
4 3	コイルパターン配設シート	
4 4	位置ずれ検出パターン	
4 5	位置ずれ検出パターン配設シート	
4 6	積層型コイル	
4 7 a、4 7 b	外部電極 (入出力端子)	
4 8	積層セラミック電子部品 (積層インダクタ)	
5 0	チップ型未焼結積層体	
5 4 a	グランドパターンの位置ずれ検出パターン	
5 4 b	ホットパターンの位置ずれ検出パターン	20
6 4 a、6 4 b	コイル部の位置ずれ検出パターン	
F	セラミック焼結体	
S 1, S 2, S 3, S 4	位置ずれを検出するためのスイッチ	
C 0, C 1, C 2, C 3, C 4	キャパシタンス	
Z 0, Z 1, Z 2	インピーダンス	
L 0, L 1, L 2	インダクタンス	

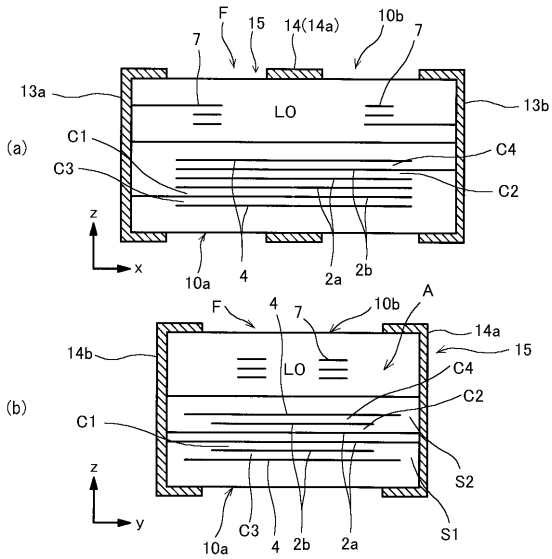
【 図 1 】



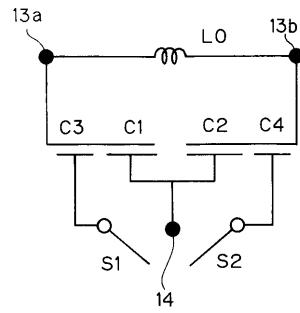
【 図 2 】



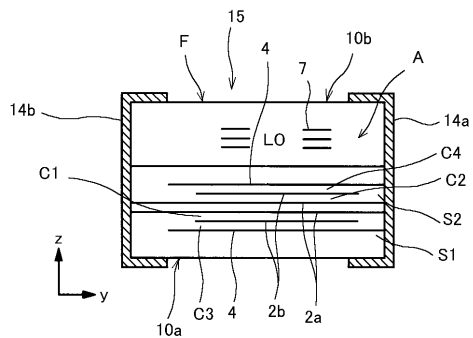
【 図 3 】



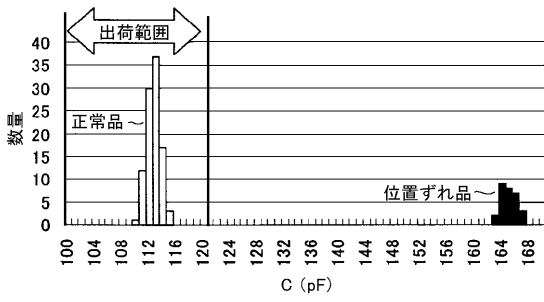
【 図 4 】



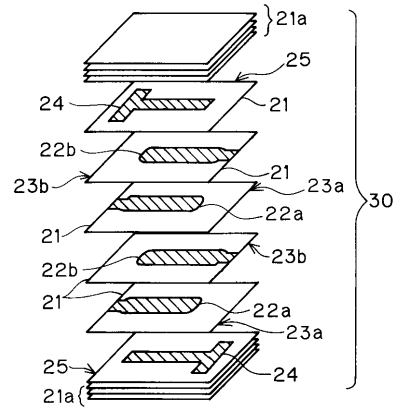
【 図 5 】



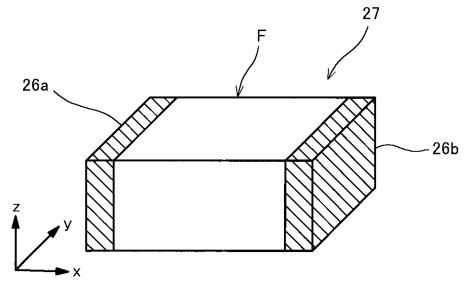
【 図 6 】



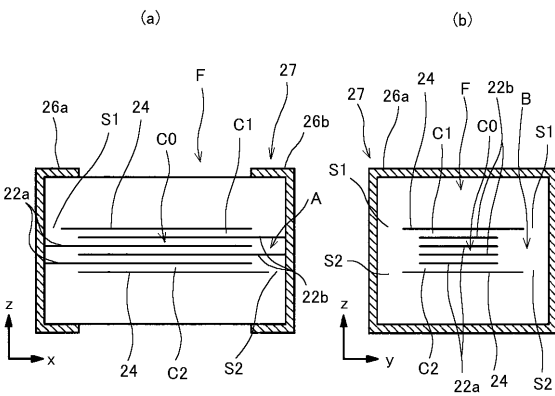
【 図 7 】



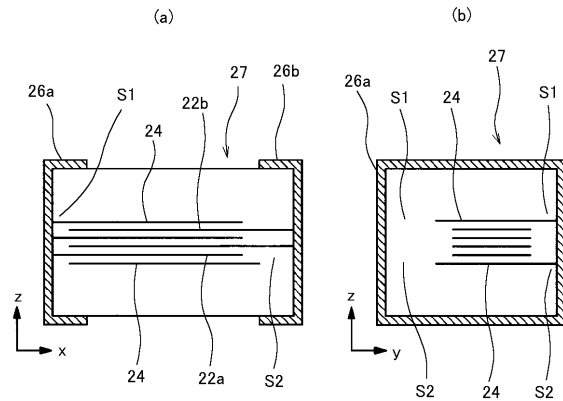
【 図 8 】



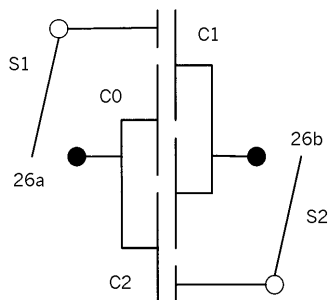
【 図 9 】



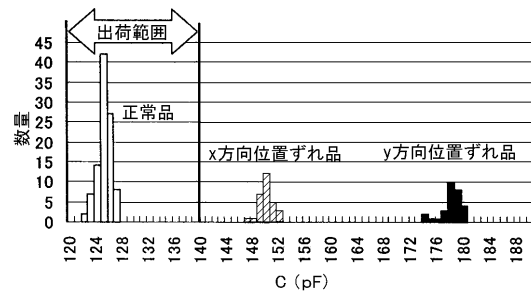
【 図 1 1 】



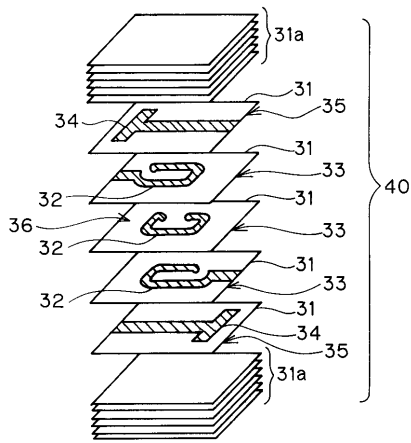
【 図 1 0 】



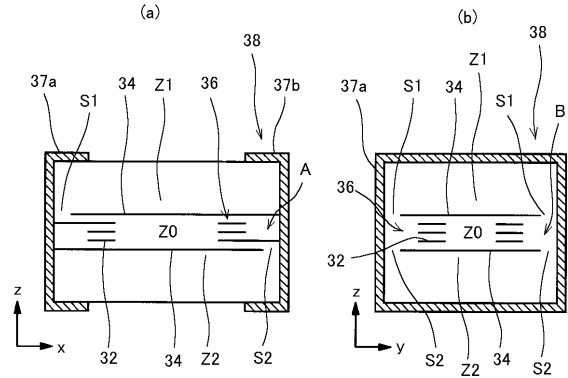
【 図 1 2 】



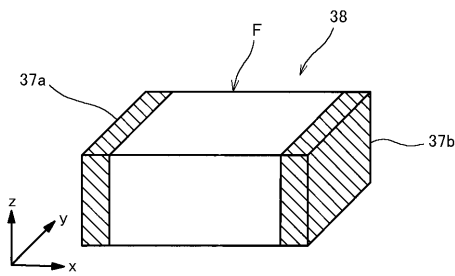
【 図 1 3 】



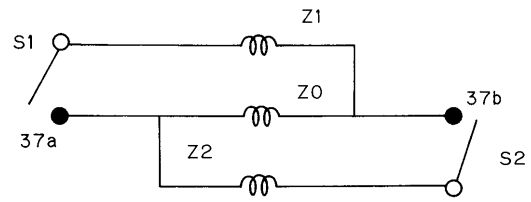
【 図 1 5 】



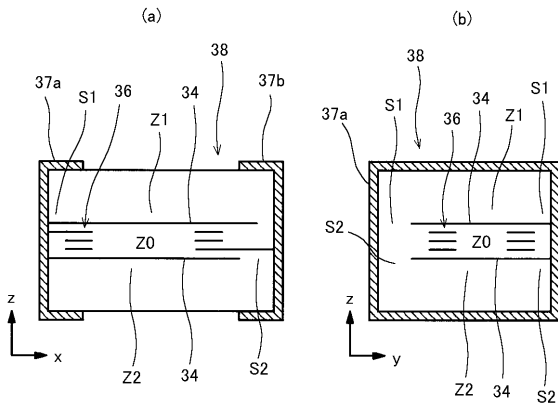
【 図 1 4 】



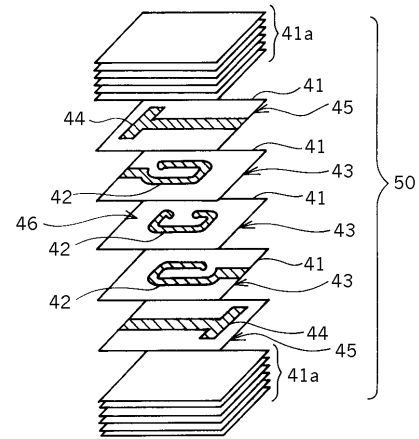
【 図 1 6 】



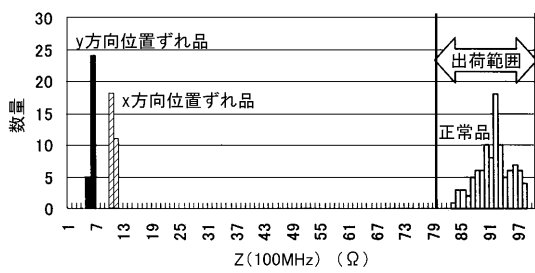
【 図 1 7 】



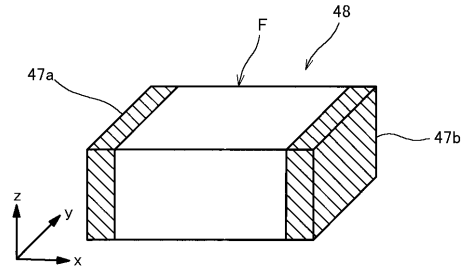
【 図 1 9 】



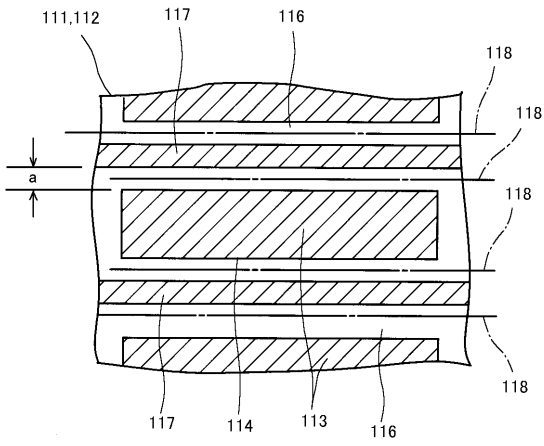
【 図 1 8 】



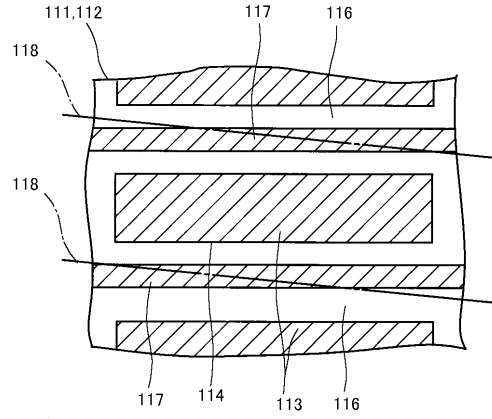
【 図 2 0 】



【 図 2 8 】



【 図 2 9 】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

H 0 1 G 4/40 3 2 1 A

Fターム(参考) 5E001 AB03 AC07 AF06 AH00 AH06 AH09 AJ01
5E062 DD04 DD10
5E070 AA01 AA05 AB02 CB13
5E082 AB03 BC40 EE11 FG06 FG26 FG54 GG10 JJ03 LL01 LL02
LL03 MM21 MM24 MM26 MM32