



(12)发明专利

(10)授权公告号 CN 102971849 B

(45)授权公告日 2017.02.08

(21)申请号 201080023017.9

(22)申请日 2010.05.27

(65)同一申请的已公布的文献号
申请公布号 CN 102971849 A

(43)申请公布日 2013.03.13

(30)优先权数据
61/181,953 2009.05.28 US

(85)PCT国际申请进入国家阶段日
2011.11.25

(86)PCT国际申请的申请数据
PCT/US2010/036478 2010.05.27

(87)PCT国际申请的公布数据
W02010/138766 EN 2010.12.02

(73)专利权人 薄膜电子有限公司
地址 挪威奥斯陆

(72)发明人 A·卡曼斯 M·科奇士
K·麦卡锡 G·曼亭·王

(74)专利代理机构 四川力久律师事务所 51221
代理人 韩洋 林辉轮

(51)Int.Cl.
H01L 27/12(2006.01)
H01L 29/786(2006.01)
H01L 21/336(2006.01)

(56)对比文件
US 2004/0229412 A1,2004.11.18,
CN 1967876 A,2007.05.23,
US 2007/0235777 A1,2007.10.11,
CN 101136366 A,2008.03.05,

审查员 何贝

权利要求书3页 说明书14页 附图3页

(54)发明名称

在覆有扩散阻障层的基板上之半导体组件及其制作方法

(57)摘要

本发明公开了位于覆有扩散阻障层的基板上之半导体组件及其制作方法。该半导体组件包含一金属基板、一位于该金属基板上的扩散阻障层、一位于该扩散阻障层上的绝缘层以及一位于该绝缘层上的半导体层。该方法包含在该金属基板上形成一扩散阻障层、在该扩散阻障层上形成一绝缘层以及在该绝缘层上形成一半导体层。这类覆有扩散阻障层的金属基板可避免其金属原子扩散进入形成于其上的半导体组件中。



1. 一种组件,包含:
 - 一金属基板,其包含铁、铬、镍、钼、铌、钴以及/或者钛;
 - 一或多个位于该金属基板上的扩散障碍层,其中,至少一个所述扩散障碍层包含公式 Ti_xNy 或 $Ti_aAl_bN_c$ 的化合物,其中 x 与 y 的比值从 3:4 至 3:2,其中的 $(a + b)$ 与 c 的比例为从 3:4 至 3:2,所述一个或多个扩散障碍层总厚度介于 300 埃至小于 1000 埃之间;
 - 一或多个位于该扩散障碍层上的绝缘层,该绝缘层使得所述扩散障碍层与电装置绝缘,在该绝缘层上随后形成电装置特征;和
 - 一位于该绝缘层上的半导体层,其中,该半导体层包括硅。
2. 根据权利要求第 1 项之组件,其中至少一该扩散障碍层与至少一该绝缘层封住该金属基板。
3. 根据权利要求第 1 项之组件,其中至少一该扩散障碍层与至少一该绝缘层涂覆在该金属基板的至少一面。
4. 根据权利要求第 1 项之组件,其中该金属基板包含铝、铜、钛、不锈钢或钼的箔或片。
5. 根据权利要求第 4 项之组件,其中该金属基板的厚度介于 10 μm ~ 1000 μm 之间。
6. 根据权利要求第 1 项之组件,其中至少一该扩散障碍层包含 TiN。
7. 根据权利要求第 1 项之组件,其中该扩散障碍层包含氮化铝。
8. 根据权利要求第 1 项之组件,其中该一或多个绝缘层包含氧化硅、氮化硅、氮氧化硅、氧化铝或该等材料之组合。
9. 根据权利要求第 8 项之组件,其中该一或多个绝缘层的厚度介于 100 nm ~ 10 μm 之间。
10. 根据权利要求第 1 项之组件,其中该半导体层包含硅和锗。
11. 根据权利要求第 10 项之组件,其中该半导体层包含多晶硅。
12. 根据权利要求第 11 项之组件,其中该半导体层进一步包含选自硼、磷、砷、锑所组成的群组的掺杂物。
13. 根据权利要求第 1 项之组件,进一步包含一位于该半导体层上或下方之闸电极,该闸电极包含一闸极与一闸极介电层。
14. 根据权利要求第 1 项之组件,其中该半导体层中含有一具有一第一导电性类型的第一掺杂物,且该组件进一步包含一位于该半导体层上或上方之第二半导体层,该第二半导体层中含有一具有一第二导电性类型的第二掺杂物。
15. 根据权利要求第 1 项之组件,进一步包含一位于该半导体之上或上方的第一导电层,该第一导电层系选自一第一金属层与一第一重度掺杂的半导体层所组成的群组。
16. 根据权利要求第 15 项之组件,进一步包含一位于该第一导电层上的介电层以及一位于该第一导电层上的第二导电层,该第二导电层系选自一第二金属层与一第二重度掺杂的半导体层所组成的群组。
17. 根据权利要求第 1 项之组件,进一步包含一位于该金属基板上或上方之抗反射层。
18. 根据权利要求第 17 项之组件,其中该半导体层是位于该抗反射层上方。
19. 根据权利要求第 1 项之组件,进一步包含一位于该金属基板上或上方之应力释放层。
20. 根据权利要求第 1 项之组件,其中该一或多个绝缘层覆盖该金属基板被该扩散障碍

层覆盖的所有区域。

21. 根据权利要求第8项之组件,其中该一或多个绝缘层包括硅铝氧化物。

22. 一种用于在一金属基板上制作一组件的方法,包含:

在该金属基板上形成一或多个扩散阻碍层,其中,该金属基板包括铁、铬、镍、钼、铌、钴以及/或者钛;至少一个所述扩散阻碍层包含公式 Ti_xN_y 或 $Ti_aAl_bN_c$ 的化合物,其中x与y的比值从3:4至3:2,其中的(a + b)与c的比例从3:4至3:2,所述一个或多个扩散阻碍层总厚度介于300 埃至1000 埃之间;

在该扩散阻碍层上形成一或多个绝缘层,该绝缘层使得所述扩散阻碍层与电装置绝缘,随后在该绝缘层上形成电装置特征;和

在该绝缘层上形成一半导体层,其中该半导体层包括硅。

23. 根据权利要求第22项之方法,其中至少一该扩散阻碍层与至少一该绝缘层封住该金属基板。

24. 根据权利要求第22项之方法,其中至少一该扩散阻碍层与至少一该绝缘层涂覆在该金属基板的至少一面。

25. 根据权利要求第22项之方法,进一步包含在形成该扩散阻碍层前清洗该金属基板。

26. 根据权利要求第25项之方法,其中清洗该金属基板之步骤包含溅镀蚀刻该金属基板。

27. 根据权利要求第22项之方法,其中该金属基板包含铝、铜、钛或不锈钢的箔或片。

28. 根据权利要求第22项之方法,其中该金属基板的厚度介于10 μm ~1000 μm 之间。

29. 根据权利要求第22项之方法,其中形成该扩散阻碍层之步骤包含以物理气相沉积法、原子层沉积法或TiN的化学气相沉积法。

30. 根据权利要求第29项之方法,其中形成该扩散阻碍层之步骤包含原子层沉积法。

31. 根据权利要求第22项之方法,其中该一或多个绝缘层包含氧化硅、氮化硅、氮氧化硅、氧化铝或该等材料之组合。

32. 根据权利要求第31项之方法,其中形成该绝缘层之步骤包含以物理气相沉积法、化学气相沉积法或原子层沉积法沉积至少一该绝缘层。

33. 根据权利要求第31项之方法,其中形成该绝缘层之步骤包含印上一绝缘墨水与/或一绝缘性前驱物。

34. 根据权利要求第31项之方法,其中该绝缘层的厚度介于100 nm~10 μm 之间。

35. 根据权利要求第22项之方法,其中该半导体层包含硅和锗。

36. 根据权利要求第35项之方法,其中该半导体层进一步包含一选自硼、磷、砷、锑所组成的群组之掺杂物。

37. 根据权利要求第35项之方法,进一步包含在该半导体层上或下方形成一闸电极,该闸电极包含一闸极与一闸极介电层。

38. 根据权利要求第35项之方法,其中该半导体层中含有一具有一第一导电性类型的第一掺杂物,且该方法进一步包含在该半导体层上或上方形成第二半导体层,该第二半导体层中含有一具有一第二导电性类型的第二掺杂物。

39. 根据权利要求第22项之方法,进一步包含在该半导体层上或之上形成第一导电层,该第一导电层系选自一第一金属层与一第一重度掺杂的半导体层所组成的群组。

40. 根据权利要求第39项之方法,进一步包含在该第一导电性层上形成的介电层,以及在该第一导电层上形成的第二导电层,该第二导电层系选自一第二金属层与一第二重度掺杂的半导体层所组成的群组。

41. 根据权利要求第22项之方法,进一步包含照射该半导体层使该半导体层至少局部结晶化。

42. 根据权利要求第22项之方法,进一步包含在该金属基板上或上方形成一抗反射层。

43. 根据权利要求第42项之方法,其中该半导体层形成于该抗反射层上方。

44. 根据权利要求第22项之方法,进一步包含在该金属基板上或上方形成一应力释放层。

45. 根据权利要求第44项之方法,其中该应力释放层形成在该金属基板上,该方法进一步包含在该应力释放层上形成一抗反射层,而该一或多个扩散障碍层是形成在该抗反射层上或上方。

46. 根据权利要求第31项之方法,其中该一或多个绝缘层包括硅铝氧化物。

在覆有扩散阻障层的基板上之半导体组件及其制作方法

[0001] 相关申请的交叉引用

[0002] 本申请要求于2009年5月28号提交的美国临时申请No. 61/181,953(代理人档案号No. IDR3021)的优先权,其通过引用全部合并到本申请中。

技术领域

[0003] 本发明与半导体组件的领域有关。更具体来说,本发明之实施例系有关位于涂覆有扩散阻障层的金属基板上之半导体组件及其制作方法。

背景技术

[0004] 在制造半导体组件时使用金属箔基板(如不锈钢、铝、铜等)可制造出具可挠性的半导体产品。此外,使用金属箔基板亦能让形成于其上的电子组件层、特征与/或组件在高温制程下,不会造成该金属箔基板的性质显著劣化。然而,在较高的温度环境下,金属箔基板之组成成份(以不锈钢基板为例,其组成成份为铁与/或铬、镍、钼、铌等合金元素之原子)会具有较高的扩散率,足以使其从该金属箔基板扩散进入一或多个形成于其上的电子组件层(如半导体层或介电层)、特征与/或组件中,因而影响其电气性质。

[0005] 图1显示一例示半导体组件—薄膜晶体管(TFT)5。图中金属箔基板10与半导体本体30间设置有一绝缘层20。半导体本体30中有源极/汲极区域60与70形成,且其上有一由闸极介电区域40与闸电极50构成的闸极层迭结构形成。于退火步骤期间,基板10上的TFT 5可能被加热至足以活化该源极/汲极区域60与70中的掺杂物与/或使该半导体本体30至少局部结晶化之温度。这样的高温(如大于350°C,特别是大于600°C)可能会使该金属箔基板10中金属原子的活动性增加到足以使其扩散长度相当于绝缘层之厚度。如箭头80所示,金属原子从金属箔基板10中扩散穿过绝缘层20而进入TFT 5的主动区域(如半导体本体30的信道区域与/或源极/汲极区域60与70)与/或门极介电区域40,此扩散现象会使TFT 5的运作特性(如TFT 30的临界电压、次临界斜率、漏电流与/或开启电流)劣化。因此,最好能在金属箔基板10与形成于其上的半导体层30(或其它组件层)之间设置一扩散阻障层,以避免金属原子从基板10扩散穿过绝缘层20进入TFT 5的主动区域与/或其上方的闸极介电区域40。在理想的状况下,金属箔基板10与其上方其它组件(如电容、二极管、电感、电阻等)的任何组件层之间最好亦能设置一扩散阻障层,该组件层中若有金属原子渗入将导致其性质产生不期望的改变。

发明内容

[0006] 在一态样中,本发明系关于一种位于涂覆有扩散阻障层的金属基板上之电子组件,该电子组件包含:一金属基板;一或多个位于该金属基板上的扩散阻障层;一或多个位于该扩散阻障层上的绝缘层;以及一位于该绝缘层上的半导体层或其它组件层。

[0007] 在另一态样中,本发明系关于一种在金属基板上制作电子组件之方法,其步骤包含:在该金属基板上形成一或多个扩散阻障层;在该扩散阻障层上形成一或多个绝缘层;以

及在该绝缘层上形成一半导体层或其它组件层。

[0008] 本发明有助于提供位于涂覆有扩散阻障层的金属基板上之电子组件及其制作方法。该扩散阻障层可避免金属原子从金属基板扩散进入形成于其上的电子组件中。透过下文中的详细说明,阅者将更了解本发明上述与其它优点。

附图说明

[0009] 图1显示一位于涂覆有绝缘层之金属基板上的TFT组件;

[0010] 图2A~2E显示本发明之实施例以一用于在涂覆有扩散阻障层的金属基板上制作TFT组件之例示方法所形成之结构;

[0011] 图3A~3 C图显示另一种在金属基板上形成扩散阻障层的之例示方法;

[0012] 图4A~4B显示本发明之实施例以另一种用于制造涂覆有扩散阻障层的金属基板之例示方法所形成之结构;

[0013] 图5显示SiO₂层下方AlN层与TiN层的反射率与该SiO₂层厚度之间的函数关系图表。

[0014] 实施方式

[0015] 以下将参考随附图式详述本发明各个实施例。尽管本发明将结合下列实施例来进行说明,阅者应了解这类描述并非用以限制或限缩本发明。相反地,本发明欲涵盖落入后附申请专利范围所定义之本发明精神与范畴内的其它选择、修改及均等物。再者,下文中提出的许多特定细节系为使阅者对本发明有通盘的了解。然而,熟习此技艺之人当可清楚了解,本发明可在不具备这类特定细节的情况下施行。在其它实例中,将不会详述熟知的方法、程序、组成组件及电路,以避免对本发明之态样在理解上造成不必要的障碍。

[0016] 在一态样中,本发明系关于一种位于涂覆有扩散阻障层的金属基板上之电子组件,该电子组件包含:一金属基板;至少一位于该金属基板上的扩散阻障层;至少一位于该扩散阻障层上的绝缘层;以及至少一位于该绝缘层上的组件层(如半导体层)。在另一态样中,本发明系关于一种制作位于涂覆有扩散阻障层的金属基板上的电子组件之方法,该方法包含:在该金属基板上形成至少一扩散阻障层;在该扩散阻障层上形成至少一绝缘层;以及在该绝缘层上形成至少一层组件层(如半导体层)。

[0017] 以下将以位于涂覆有扩散阻障层的金属基板上之电子组件之例示制作方法详细说明本发明的各种不同态样。

[0018] 位于涂覆有阻障层的金属基板上之例示组件

[0019] 请参照图2A,金属基板210可包含不锈钢(任何等级,如304型、316型等)或任何其它软化温度高到足以耐受与制造电子组件相关的一般制程温度(如高于350°C,或任何高于350°C但低于基板软化温度之数值)的合适元素金属或合金的厚板、箔片或薄板等。在一实施例中,该金属为304型不锈钢,不过本发明亦可以使用任何类型的不锈钢合金。或者,金属基板210可包含如铝、铜、钛或钼等材料之厚板、箔片或薄板。金属基板210的厚度可介于约10 μm~1000 μm之间(如10 μm~500 μm、50 μm~200 μm,或介于其间的任何其它数值或数值范围)。金属基板210基本上可为任何形状,诸如方形、圆形、椭圆形、长方形等。或者,金属基板210之形状可为预设不规则形与/或具有预设图样。在一些实施例中,金属基板210可为方形或长方形,或是长x宽y的方形或长方形单元之薄板,或是宽为x个单位的卷材,其中每一单元皆代表了一个别、可分离的基板,用于单一的集成电路中(如显示装置,太阳能电池、

辨识标签等)。

[0020] 在沉积扩散屏障层220前一般会先清洗金属基板210。这类清洗动作可清除诸如处理备料(用于准备金属基板210)所产生的残留物、不利于扩散屏障层220黏附在金属基板210表面的残留有机材料、粒子与/或其它污染物等。金属基板210之清洗可包含湿洗与/或干洗。在一例中,清洗动作包含蚀刻金属基板210的表面,接着依照需要可润洗(rinsing)该基板210与/或予以干燥。

[0021] 适合本发明的蚀刻技术可包含湿蚀刻制程(如湿式化学蚀刻),或是干蚀刻(如反应性离子蚀刻[RIE]或溅镀蚀刻)。在一实施例中,金属基板210是藉由将之浸入液态清洗剂中与/或以该清洗剂润洗之方式来清洗(如清除有机残留物),接着再使用稀释后的含水酸剂来进行湿蚀刻(如稀释后的氢氟酸[HF]水溶液,其中可加入氨水与/或氟化铵予以缓冲)。其它可用来进行基板210湿蚀刻制程的酸剂包含硝酸、硫酸、盐酸等,端视所用不锈钢或其它金属的等级及该处理金属基板210之温度而定。在另一实施例中,金属基板210是以溅镀蚀刻来进行清洗。在干蚀刻制程中,选择使用何种气体来清洗金属基板210并未有特别的限制。任何可从金属基板210表面移除实质上所有不想要的污染物而不留下无法清除的残留物之气体或多种气体之组合皆可用于本发明。举例言之,氩气等惰性气体便可用于金属基板210的溅镀清洗制程中。

[0022] 蚀刻之后,可对金属基板210进行润洗动作(如以去离子水润洗),之后依照需要可进一步将基板浸入有机溶剂或溶剂混合物中与/或以该溶剂润洗,以清除金属基板210表面可能存有的不想要的有机残留物。或者,这类进阶清洗动作可包含将金属基板210浸入水溶液或含有界面活性剂的悬浮液中与/或以该溶液润洗(接着再以去离子水加以润洗)。举例言之,上述进阶清洗动作可包含以不会造成钢材化学性伤害的清洗剂处理金属基板210,如C₆-C₁₂烷烃(其可以一或多个卤素加以取代)、C₂-C₂₀醇酸中的C₁-C₆烷基酯、C₂-C₆二烷基醚、甲氧基-C₄-C₆烷烃、C₂-C₄亚烷基乙二醇与C₁-C₄烷基醚与/或其C₁-C₄烷基酯、C₆-C₁₀芳烃(其可以一或多个C₁-C₄烷基、C₁-C₄烷氧基与/或卤素取代)及C₂-C₆亚烷基或二烯基醚、硫醚类(包含这类硫醚类的亚砷与砷类衍生物)与酯类(诸如四氢呋喃、二氧杂环己烷、γ-丙内酯, δ-丁内酯、及四亚甲基砷)。在一例中,清洗溶剂包含二丙二醇甲醚醋酸酯(dipropylene glycol methyl ether acetate, DPGMEA)与/或四亚甲基砷的混合物(如纽泽西州布兰斯堡的AZ电子材料公司所生产的KWIK STRIP清洗剂,其内含65-70%的DPGMEA与35-40%的四亚甲基砷)。

[0023] 在一些实施例中,金属基板210之清洗动作是在将金属基板210切割或成形为最后的形状前先在金属基板210由之形成的一备料卷带或金属薄板上进行,以简化其制程与处理。然而,在其它实施例中,金属基板210可在清洗前就先进行切割或成形。

[0024] 现在请参照图2B,金属基板210经清洗后,扩散屏障层220会在其上形成。扩散屏障层220的厚度最好大于(如来自金属基板210的)扩散物质在特定时间与温度下的总扩散长度。举例言之,总扩散长度可以(1)扩散物质(在特定/预设制程温度下)穿过扩散屏障层及任何其它位在内含扩散物质的薄层与欲保护的薄层(如迭加在上方的组件层)之间的薄层之扩散率与(2)结构暴露在特定/预设制程温度下的时间长度的乘积来度量。在不同的实施例中,扩散屏障层220的厚度是比每种相关扩散物质的扩散长度大上至少5%、10%或更多。如此,即便在较低的制程温度下,扩散屏障层220的设计可在所费成本最低与/或对整体制程

造成的冲击最小的情况下为扩散物质造成的负面影响提供适当的防护。扩散阻挡层其中一特定功能是要使扩散物质(如来自基板的金属原子)之扩散率下降量(一般为一个或多个数量级)大于扩散阻挡层上任何组件层中扩散物质之扩散率下降量。扩散阻挡层220可包含如钨钼合金或钨钛合金等钨或钛合金,或氮化钛、氮化铝或钛铝氮化物等钛或铝化合物。或者,扩散阻挡层220可包含一绝缘阻挡层,如氧化硅、氮化硅、氮氧化硅(即 $\text{Si}_x\text{O}_y\text{N}_z$,其中 $x=2y+[4z/3]$)、氧化铝、氧化钛、氧化锆(GeO_2)、氧化铅、氧化锆、氧化铈与/或其它稀土氧化物,包含该等材料之组合与奈米迭层。

[0025] 含有氮化钛与/或氮化铝的化合物提供成本较低且可用许多不同方法沉积的阻挡层。在特定实施例中,扩散阻挡层220包含分子式为 Ti_xN_y 的钛化合物,其中 x 和 y 的比例约介于3:4到3:2之间。在一例中, x 与 y 皆约等于1。在其它实施例中,扩散阻挡层220包含分子式为 $\text{Ti}_a\text{Al}_b\text{N}_c$ 的钛铝氮化物,其中 $(a+b)$ 和 c 的比例约介于3:4到3:2之间。一般而言, a 和 b 的比例约介于1:10至10:1之间(或介于其间的任何范围)。在一例中, $a + b \approx c$ 而 $c = 1$ 。适合用在扩散阻挡层220的化合物之判定标准一般包含(i)对来自金属基板210的组成成分之扩散具有高度抗性;(ii)热稳定性达其上形成之组件与/或结构之最大制程温度(如高于约 350°C ,或任何高于 350°C 的值,但依照需要亦可低于金属基板的软化温度);(iii)黏着特性,使扩散阻挡层220黏附在金属基板210上,而绝缘层230黏附在扩散阻挡层220上;(iv)充分的光学性质(如光学常数与/或反射率),可进行制程容许度(process window)的简单检视与/或建立与/或侦测等动作;与/或(v)残存应力与厚度,使得扩散阻挡层220在高温制程期间(如高于 350°C)不会脱层(delaminate)。故此,本发明中可对所采用的钨合金或钛化合物与/或铝化合物的化学计量(如 x 与 y 的值,或 a 、 b 与 c 的值)进行选择来优化一或多个这类判定标准。

[0026] 扩散阻挡层220可藉由物理气相沉积法(PVD)、化学气相沉积法(CVD)或原子层沉积法(ALD)等习知技术将适合的前驱物沉积在沉积腔体中的金属基板210上。在特定实施例中,扩散阻挡层220包含以(例如)使用钛与氮气的原子层沉积法配合 TiCl_4 与 NH_3 、 $\text{Ti}(\text{NMe}_2)_4$ (即TDMAT)或 $\text{Ti}(\text{NEt}_2)_4$ (即TDEAT)等前驱物所形成的氮化钛。在其它实施例中,氮化钛系以溅镀沉积法配合钛靶材在含氮气与/或氨气的环境中形成。或者,氮化钛亦可以 TiMe_4 或 TiEt_4 与 N_2 与/或 NH_3 等为前驱物利用化学气相沉积法而形成。CVD氮化钛(即分子式为 Ti_xN_y)的化学计量(如 x 与 y 的值)可藉由控制在扩散阻挡层220沉积的期间导入沉积腔体中的钛与氮气前驱物之相对量值来加以控制。

[0027] 在其它实施例中,扩散阻挡层220包含以(例如)原子层沉积法配合上述钛与氮气前驱物的混合物所形成的钛铝氮化物,或者是采用分子式为 AlH_nR_m 的铝前驱物(依照需要可选择 N_2 与/或 NH_3),其中 R 为 C_1 - C_4 烷基且 $n + m = 3$ 。本发明中合适的铝前驱物包含氢化铝(AlH_3)、氢化铝·氨复合物($\text{AlH}_3 \cdot \text{NH}_3$)、氢化铝-三甲基胺复合物($\text{AlH}_3 \cdot \text{NMe}_3$)、三异丁基铝(TIBAL)、三甲基铝(TMA)、三乙基铝(TEA)或二甲基氢化铝(DMAH)。钛铝氮化物的化学计量(即分子式 $\text{Ti}_a\text{Al}_b\text{N}_c$ 中的 a 、 b 、 c 值)可藉由控制在扩散阻挡层220沉积期间导入沉积腔体中的钛、铝及氮气前驱物的相对量值来加以控制。

[0028] 扩散阻挡层220(见图2B)的厚度可介于约 $1 \text{ nm} \sim 1 \mu\text{m}$ 之间(如介于 $5 \text{ nm} \sim 500 \text{ nm}$ 、 $10 \text{ nm} \sim 250 \text{ nm}$ 或是该数值范围中的任何其它数值或范围)。在一实施例中,扩散阻挡层220的厚度介于约 $30 \text{ nm} \sim 150 \text{ nm}$ 之间。或者,当扩散阻挡层220包含以原子层沉积法形成的交

替配置之氮化钛层与氮化铝层,薄层的数量可介于2~10,000之间(或介于其间的任何数值范围),且每个氮化钛层与氮化铝层的厚度可介于5Å~1200Å之间。在另一些实施例中,可采用导电性与绝缘性扩散屏障材料形成之薄层交替层迭,或两种或两种以上不同绝缘性扩散屏障材料形成之薄层交替层迭的方式。本发明可采用以此处所揭露或习知方法所制成、具有足够的性质以避免金属原子扩散进入迭加在上方的组件层中的交替层迭的薄层或奈米迭层之任何此种组合。

[0029] 在特定实施例中,扩散屏障层220大体上封住整个金属基板210。举例言之,如图2B所示,若金属基板210在清洗步骤之前或之后、但在沉积扩散屏障层220之前进行单切(singulate)、切割或成形等动作,扩散屏障层220大体上可封住金属基板210,包含(除了主表面外的)边缘。

[0030] 本发明中亦可依照需要在沉积扩散屏障层220之前或之后(例如在金属基板210上或扩散屏障层220上)厚厚地沉积一层抗反射被覆层(图未示)。抗反射被覆层可包含无机绝缘材料,如氧化硅、氮化硅、氮氧化硅、氧化铝、氧化钛、氧化锆(GeO₂)、氧化钪、氧化锆、氧化铈、一或多种其它金属氧化物或该等材料之组合与/或奈米迭层,且可藉由物理气相沉积法(PVD)、化学气相沉积法(CVD)、液态沉积法(如涂覆或印刷)或原子层沉积法(ALD)配合文中所述之适合前驱物形成。抗反射被覆层的厚度可介于50Å~1000 Å之间(如50Å~200Å,或介于其间的任何其它数值范围)。在一实施例中,抗反射被覆层包含一以原子层沉积法形成的二氧化硅层(如见2008年10月10日提出的第12/249,841号美国专利申请案[代理人案号IDR1583],其相关部分系并于文中作为参考)。

[0031] 此外,在沉积扩散屏障层220与抗反射被覆层前,基板210上可以厚厚地沉积一应力释放层(图未示)。该应力释放层可包含一有机材料或无机材料,该有机材料或无机材料能减少位于上方的薄层(如屏障层220)施加在基板210与任何位于基板210上方的绝缘层或抗反射被覆层上之应力。该应力释放层可包含一有机聚合物,如聚丙烯酸酯、聚甲基丙烯酸酯或其共聚物(如含有乙烯、丙烯、丁烯之烯烃类等),该有机聚合物可藉由旋转涂布(spin-coating)、印刷、浸沾涂布(dip-coating)等方式来沉积。或者,该应力释放层可包含一以氧化物为主的绝缘材料(如二氧化硅、氧化铝)与/或一元素金属,如铝、钛、铜等(及其合金),该绝缘材料与或元素金属可藉由物理气相沉积法(PVD)、化学气相沉积法(CVD)、液态沉积法或原子层沉积法(ALD)配合文中所述的合适前驱物来沉积。以氧化物为主的绝缘材料、元素金属及合金等无机材料较适合用于高温制程中。每一应力释放层的厚度可介于5Å~1000 Å之间(如10Å~250Å,或介于其间的任何其它数值范围)。在一实施例中,应力释放层包含一SiO₂:Al绝缘层(亦称为混合后的SiO₂:Al₂O₃氧化物),其厚度介于10Å~250Å之间。在另一实施例中,应力释放层包含以PVD制程(如溅镀)沉积的铝,其厚度介于50Å~100Å之间(或介于其间的任何数值范围)。在一例中,抗反射被覆层与应力释放层的加总厚度约为150Å。

[0032] 现在请参照图2C,一绝缘层230系形成在扩散屏障层220上。绝缘层230可包含任何使扩散屏障层220与后续的电子组件特征与/或接下来可能会形成于其上的组件电性绝缘的材料。举例言之,绝缘层230可包含氧化硅、氮化硅、氮氧化硅、氧化铝、氮化铝或该等材料之组合。在一实施例中,绝缘层230包含二氧化硅与氧化铝。

[0033] 绝缘层230可以物理气相沉积法、化学气相沉积法、原子层沉积法或液态沉积法(如旋转涂布与固化,如同旋涂式玻璃制程[spin-on-glass]中所使用者)形成。举例言之,

在特定实施例中,绝缘层230包含二氧化硅且可藉由化学气相沉积法(如电浆辅助式CVD)配合一硅来源,如正硅酸乙酯(TEOS)或硅烷类(如 SiH_4 或 SiCl_2H_2),及一氧来源(如 O_2 、 O_3 、 N_2O 、 NO 等)而形成。在其它实施例中,绝缘层230包含氮化硅,且其可以化学气相沉积法配合一硅来源(如 SiH_4 或 SiCl_2H_2)及一氮来源(如 NH_3 与/或 N_2)形成。在另一些实施例中,绝缘层230包含氮氧化硅,且其可藉由化学气相沉积法配合一硅来源(如 SiH_4)、一氮与氧来源(如 NO_2 、 NO 与/或 N_2O)或一氮来源(如 NH_3 与/或 N_2)与一氧来源(如 O_2 、 O_3 与/或 N_2O)形成。在另一些实施例中,绝缘层230可包含氧化铝与/或氮化铝,其可以原子层沉积法配合一铝来源(如三甲基铝或其它文中所述的铝来源)与一氧来源(如 O_2 、 O_3 与/或水)、一氮来源(如 NH_3 与/或 N_2)与/或一氮与氧来源(如 NO_2 、 NO 与/或 N_2O)形成。绝缘层可以2008年10月10日提出的第12/249,841号美国专利申请案(代理人案号IDR1583)中所提到的原子层沉积法形成,其相关部分并于文中作为参考。

[0034] 绝缘层230可在用来沉积扩散障层220的相同沉积腔体中形成,依照需要其可在扩散障层220沉积完成后立即进行。或者,绝缘层230可在不同的步骤与/或和用来沉积扩散障层220之腔体不同的腔体中形成。绝缘层230(见图2C)的厚度可介于约10nm~10 μm 之间(如50nm~5 μm 、100nm~2 μm 或介于其间的任何数值范围)。在一实施例中,绝缘层230的厚度约为1 μm 。

[0035] 绝缘层230亦可以涂布或印刷方式形成(如以旋转涂布、喷墨、滴注法、凹版印刷、柔版印刷、喷涂、网印、平版印刷、旋转涂布、狭缝涂布、挤压涂布、浸沾涂布、液面弯曲式涂布[Meniscus Coating]、微点触[Microspotting]、笔涂布[pen-coating]、模印、压印、点胶、泵配布[pump dispensing]等方式涂布或印刷含有绝缘性前驱物的墨水,如见2009年11月24日提出的第12/625,492号美国专利申请案[代理人案号IDR0872],其相关部分并于文中作为参考)。在一些实施例中,绝缘层230可以藉由印上(如网印、凹版印刷、平版印刷、喷墨印刷等)内含绝缘材料或绝缘性前驱物的墨水或组成物来形成。一般而言,在印上内含绝缘材料与/或绝缘性前驱物的墨水或组成物后,印上的薄层会被加热至约50~150 $^{\circ}\text{C}$ (依照需要可在真空环境下进行)以去除该印上的墨水或组成物中的任何溶剂,之后再进一步的予以加热或固化(如在约300~600 $^{\circ}\text{C}$ 的温度进行,依照需要可在氧化或惰性环境中进行)来形成该绝缘层230。

[0036] 在另一实施例中(图未示),经涂布的基板可进一步包含依次交替设置的扩散障层与绝缘层。在此实施例中,经涂布的基板可包含交替设置之至少两层扩散障层与至少两层绝缘层(如由最下方到最上方分别为下扩散障层、下绝缘层、上扩散障层、上绝缘层)。在另一些实施例中可具有三层、四层或更多(例如最多可至100、1000或10,000层)由扩散障层材料与绝缘材料所形成、交替设置的薄层。每个扩散障层可能彼此相同或不同,且每个绝缘层亦可彼此相同或不同。每个扩散障层与每个绝缘层的厚度约介于0.5nm~2 μm 之间(如约2nm~1 μm 、5nm~250nm或介于其间的任何其它数值或数值范围)。扩散障层与绝缘层可以ALD、PVD(如溅镀)、CVD、文中所述或先前技术中使用的任何其它沉积方法来形成。

[0037] 请参照图2D,本发明之方法进一步包含在绝缘层230上形成一组件层(如半导体层)240之步骤。当基板210上的组件包含CMOS晶体管(即至少一NMOS晶体管与至少一PMOS晶体管),组件层240可包含一或多个第一晶体管岛(island)240a,每一第一晶体管岛240a包

含一具有一第一导电性类型(如NMOS或PMOS其中之一)的半导体材料(如硅),以及一或多个第二晶体管岛240b,每一第二晶体管岛240b包含具有一第二导电性类型(不属于该第一导电性类型之NMOS或PMOS)之相同或相异半导体材料。或者,组件层240可包含一或多个闸电极(即「底闸极」架构),其中一第一闸电极240a可具有一第一组成物(如一具有一第一导电性类型的第一半导体材料)或一第一组性质(如一具有一第一图样之金属或一第一组尺寸),而一第二闸电极240b可具有一第二组成物(如一具有一第二导电性类型的第二半导体材料)或一第二组性质(如一具有一第二图样之金属或一第二组尺寸)。在另一些实施例中,组件层240可包含一或多个电容板,一或多个二极管层、一或多个电阻器或互联机等。

[0038] 在一些实施例中,组件层240包含硅与/或锗。然而,在组件层240包含半导体材料的情况下,组件层240不会局限在硅与/或锗材料,而可包含III-V族的半导体(如GaAs、InP及相关的化合物与/或合金)、II-VI族的半导体(如ZnO、ZnS、ZnSe、CdTe及相关的化合物与/或合金)、有机半导体(如聚硫代富瓦烯基[thiafulvalene-based]的半导体)或任何其它适用于本发明之方法的半导体材料。在特定实施例中,组件层240可包含非晶形、微晶形与/或多晶形的硅、锗或硅锗。在组件层240包含硅锗的情况下,硅和锗的比例可介于约10,000:1到1:1之间(或介于其间的任何数值范围)。组件层240可进一步包含一掺杂物,如硼、磷、砷或锑。在一实施例中,组件层240包含掺杂有硼或磷的多晶硅。在另一实施例中,组件层240包含一掺杂有磷的第一多晶硅岛240a及一掺杂有硼的第二多晶硅岛240b。

[0039] 在一些实施例中,组件层240可以印刷方式(如文中所述者)形成。举例言之,未掺杂与/或经掺杂的半导体前驱物墨水可藉由合适的印刷方法(如喷墨印刷、平版印刷、网印等)在绝缘层230上沉积成或印上所欲图形,该前驱物墨水包含未掺杂与/或经掺杂的聚硅烷、杂环硅烷与/或未掺杂与/或经掺杂的半导体奈米粒子。之后在予以固化与/或退火以形成组件层240。含有聚硅烷的半导体前驱物墨水之说明可见第7,422,708、7,553,545、7,498,015与7,485,691号美国专利以及2007年10月4日提出的第11/867,587号美国专利申请案(代理人案号IDR0884),其相关部分并于文中作为参考。含有杂环硅烷的半导体前驱物墨水之说明可见第7,314,513号美国专利及分别于2004年9月24日与2004年10月1日提出的第10/950,373与10/956,714号美国专利申请案(代理人案号IDR0301与IDR0303),其相关部分并于文中作为参考。含有经掺杂的聚硅烷的半导体前驱物墨水之说明可见2007年10月4日提出的第11/867,587号美国专利申请案(代理人案号IDR0884),其相关部分并于文中作为参考。含有未掺杂与/或经掺杂的半导体奈米粒子的半导体前驱物墨水之说明可见第7,422,708与7,553,545号美国专利,其相关部分并于文中作为参考。或者,组件层240可以一或多种习知薄膜制程或技术形成。

[0040] 图2E显示根据本发明方法所形成的例示半导体组件—薄膜晶体管(TFTs)245a-b。一般而言,TFTs 245a-b分别包含:一半导体层(如包含一晶体管通道242a-b、一第一源极/汲极端子244a-b及一第二源极/汲极端子246a-b);一位于该半导体层之至少一部分区域上或上方的闸极绝缘层250a-b;一位于该闸极绝缘层250a-b上的闸极金属层260a-b;一或多个位于该半导体层与该闸极金属层260a-b上的介电层;以及复数个与该闸极金属层260a-b和源极/汲极端子244a-b与246a-b形成电性通讯的金属导体(图未示)。适合用于TFTs的例示半导体层、介电层与金属层以及形成这类TFTs的材料与方法之详细说明可见第7,619,248号美国专利以及第11/203,563(2005年8月11日申请,代理人案号IDR0213)、11/243,

460 (2005年10月3日申请,代理人案号IDR0272)、11/452,108 (2006年6月12日申请,代理人案号IDR0502)、11/888,949 (2007年8月3日申请,代理人案号IDR0742)、11/888,942 (2007年8月3日申请,代理人案号IDR0743)、11/818,078 (2007年6月12日申请,代理人案号IDR0813)、11/842,884 (2007年8月21日申请,代理人案号IDR0982)、12/175,450(2008年7月17日申请,代理人案号IDR1052)、12/114,741 (2008年5月2日申请,代理人案号IDR1102)、12/131,002(2008年5月30日申请,代理人案号IDR1263)、及12/243,880号(2008年10月1日申请,代理人案号IDR1574)美国专利申请案,其相关部分并于文中作为参考。

[0041] 在TFTs 245a-b中,闸极介电层250a-b系形成在半导体岛240a-b上。在一些实施例中,闸极介电层250a-b可藉由印刷制程形成(例如印上氢硅氧烷[hydrosiloxane]或氢硅酸[hydrosilicic acid]等二氧化硅前驱物,如见第7,709,307号美国专利或2009年11月24日提出的第12/625,492号美国专利申请案[代理人案号IDR0872],其相关部分并于文中作为参考)。闸极介电层250a-b可藉由印上一合适的介电性前驱物来形成,如以分子态、有机金属态、聚合物态与/或奈米粒子态形式存在于可溶解该介电性前驱物的溶剂或溶剂混合物中的前驱物。或者,闸极介电层250可藉由半导体层240厚沉积(如CVD或PVD)与/或热氧化方式形成。举例言之,闸极介电层250a-b可藉由一习知方法形成(如以化学气相沉积法沉积氧化硅或使半导体岛240a-b的表面氧化来形成氧化膜)。在半导体层240包含一掺杂具有第一导电性类型(如磷)的第一掺杂物之第一多晶硅岛240a以及一掺杂具有第二导电性类型(如硼)的第二掺杂物之第二多晶硅岛240b的情况下,因为掺杂物不同,半导体岛会有不同的氧化率,故闸极介电层250a与闸极介电层250b的厚度会有些许差异。

[0042] 接着闸电极260a-b可形成在闸极介电层250a-b上。可透过习知的沉积方法(如化学气相沉积法、物理气相沉积法、溅镀、原子层沉积法等)将第4, 5, 6, 7, 8, 9, 10, 11或12族金属或半导体材料(如硅、锗等)沉积在闸极介电层250a-b上,之后再施以微影制程以形成闸电极260a-b。在一些实施例中,形成闸电极260的步骤可包含涂布或印上一含有一金属前驱物的墨水组成物,其中该金属前驱物包含一或多个溶在有助于金属前驱物的涂布与/或印刷之溶剂或溶剂混合物中的第4, 5, 6, 7, 8, 9, 10, 11或12族金属盐类、复合物、群集与/或奈米粒子。在特定实施例中,金属前驱物包含结合有一或多个配体(ligand)之金属盐类、化合物与/或复合物,该(等)配体可在该金属盐类、化合物与/或复合物还原为元素金属与/或合金时形成气态或挥发性副产物。该金属前驱物的成分可进一步包含一或多种亦可在该金属盐类、化合物与/或复合物还原为元素金属与/或合金时形成气态或挥发性副产物的添加剂(如一或多种还原剂)。这类金属配方所使用的金属前驱物与还原剂通常不会在薄膜中留下到达有害水平的杂质粒子与/或残留物,因此能印出纯金属膜。详见2008年5月30日提出的第12/131,002号美国专利申请案[代理人案号IDR1263],其相关部分并于文中作为参考。在涂布或印上墨水组成物之后,金属前驱物可进一步藉由微影制程形成图样。

[0043] 源极与汲极区域244a-b与246a-b接着可藉由下列数种方法中的任何方法形成在半导体层240中,如离子布植、离子浴、气体浸入式雷射沉积、在半导体层240与闸极260上印刷或沉积一层重度掺杂的半导体层后接着再进行固化与/或活化步骤、在半导体层240与闸极260上印刷或沉积一或多层掺杂层(例如薄层270a与270b,其可代表内含互补式掺杂物的两种不同薄层),接着再进行驱入[drive-in]等步骤,如见第7,619,248与7,701,011号美

国专利以及2007年8月3日提出的第11/888,942号美国专利申请案(代理人案号IDR0742),其相关部分并于文中作为参考。该源极区域244a-b与汲极区域246a-b形成后,信道区域242a-b会保持在闸极260a-b下方。

[0044] 闸极介电层250a-b未被闸极260a-b覆盖而露出的区域一般可选择以湿蚀刻或干蚀刻的方式在源极区域244a-b与汲极区域246a-b形成之前或之后去除。假如该源极区域244a-b与汲极区域246a-b是藉由在半导体层240与闸极260上印刷或沉积一层掺杂层再施以驱入与/或活化步骤而形成,该掺杂层一般会在进行进一步的制程前被移除(且按照需要可在移除该露出的闸极介电层之前进行)。

[0045] 接着闸极260a-b与源极区域244a-b及汲极区域246a-b上会沉积一或多层介电层270(如第一与第二层间介电质270a与270b),其通常藉由(如文中所述的)厚沉积或印刷方式形成。在一些实施例中,介电层系藉由印上内含一或多种介电性前驱物与一或多种溶剂之墨水的方式形成。一般而言,介电性前驱物包含二氧化硅、氮化硅、氮氧化硅、铝酸盐、钛酸盐、硅酸钛、氧化锆、氧化钪、或氧化铈等来源。在其它实施例中,该介电性前驱物为一种有机聚合物或其前驱物(如丙烯酸[acrylic acid]、甲基丙烯酸[methacrylic acid]的聚合物或共聚物,与/或丙烯酸与/或甲基丙烯酸的酯类)。在介电性墨水印上之后使之干燥固化。使印上的墨水干燥之步骤包含在真空或惰性或氧化环境中加热到50~150°C一段时间直到足以去除实质上所有该印上的墨水中的溶剂。使经干燥的介电前驱物固化之步骤可包含在惰性或氧化环境中加热到200~500°C(或介于其间的任何数值范围)一段时间直到足以将该(等)前驱物转化成所欲的介电材料。

[0046] 再者,介电层270a-b中可以开出接触孔(图未示),亦可形成能将一或多个增设的组件连接到(如TFT245之)闸极260a/b与源极/汲极端子244a/b与246a/b的金属线与/或互联机(图未示)。或者,当介电层270a-b是以印刷制程形成时,印上的图样可包含复数个使每个闸极260a/b与源极/汲极端子244a/b与246a/b表面露出的接触孔。在一实施例中,金属线/互联机系以印刷制程形成(例如,见分别于2008年7月17日与同年5月30日提出的第12/175,450号美国专利申请案[代理人案号IDR1052]与第12/131,002号美国专利申请案[代理人案号IDR1263],其相关部分并于文中作为参考)。在一例中,一由导电材料组成的晶种层大致会印成金属线与/或互联机的图样,且其上镀有一块材金属或合金(如藉由电镀或无电电镀方式)。或者,金属线与/或互联机是以习知的薄膜沉积与/或厚沉积及微影制程方式形成。

[0047] 薄膜晶体管(TFT) 245可为一NMOS晶体管或一PMOS晶体管,且可电性连接至如晶体管、二极管、电阻、电容或闭路连结(off-connected)的TFT等组件,与/或是被设定成具有上述组件之功能。图2E系显示一具有圆顶外形特征的例示TFT 245(见2008年10月1日提出的第12/243,880号美国专利申请案[代理人案号IDR1574],其相关部分并于文中作为参考)。一般而言,当半导体岛(如图2D中的240a与/或240b)与闸极(如图2E中的260a与/或260b)是以印刷方式形成时,其可具有圆顶外形。然而,制作TFT 245等薄膜晶体管用的「全印刷」(all-printed)方案中的每个制造步骤可能会具有与其有关的变异性,故TFT 245的尺寸、边界与表面可能会不同。故此,每个印上的特征在每一处的截面形状与/或(由上而下)设置形状与/或外形都可能不同。

[0048] 故在一实施例中,TFT 245可以「全印刷」制程来制作。在采用印刷一或多个TFT

245层的实施例中,印上的前驱物墨水一般会进行干燥与固化步骤。进行墨水干燥以及使经干燥的前驱物固化的时间与温度系视特定墨水配方与特定前驱物而定,但一般而言墨水会在一温度下进行干燥一段时间直至足以从印上的墨水中去除实质上所有的溶剂为止,而经干燥的前驱物会在一温度下进行固化一段时间直至足以将该前驱物转化成最终的薄膜材料为止(如半导体、介电体或金属)。例示的印制式TFTs及其制作方法在2007年5月23日提出的第11/805,620号美国专利申请案(代理人案号IDR0712)以及2008年10月1日提出的第12/243,880号美国专利申请案(代理人案号IDR1574)中有更多说明,其相关部分并于文中作为参考。或者,TFT 245可采用印刷结合习知制程步骤的方法,或是单以习知制程技术(如薄膜制程)制作而成。

[0049] 如上所述,「底闸极」组件可形成在经涂布的基板上。闸电极240a-b(图2D)形成后,可再藉由一或多个上述图2E之薄层250a-b之形成方法将闸极介电层形成于其上。晶体管(类似图2E中的薄层260a-b)可根据已知制程(参见分别于2005年10月3日与2008年4月24日提出的第11/243,460号与第12/109,338号美国专利申请案[代理人案号IDR0272与IDR1322],其相关部分并于文中作为参考)形成在闸极介电层上方并进行掺杂。类似图2E中之薄层270a-b的块材式介电层可如文中所揭露般地进行成形与/或形成图样,且接触孔可形成于其中,而互联机则如文中所揭露般地与位于下方的组件层(如晶体管的闸电极与源极和汲极端子)接触。

[0050] 在另一些实施例中,涂覆有扩散阻障层的金属基板上的组件可包含一或多个电容、二极管、电阻与/或互联机。电容一般包含第一电容板、第二电容板以及一位于该第一电容板与第二电容板之间的介电材料。二极管一般包含复数个由具有不同掺杂类型与/或程度的导电或半导体材料构成的二极管层(如2-5层)。举例言之,在一双层二极管中,第一层可包含或其主要的组成元素为一P型半导体,而第二层可包含或其主要的组成元素为一N型半导体;在一三层二极管中,第一层可包含或其主要的组成元素为一重度掺杂的P型半导体,第二层可包含或其主要的组成元素为一本质半导体(intrinsic)或一轻度掺杂的P型或N型半导体,而第三层可包含或其主要的组成元素为一重度掺杂的N型半导体。在例示的二极管中,任何P型或N型半导体层皆可包含或其主要的组成元素为复数个具有不同掺杂程度的子层(如一或多个重度掺杂或超重度掺杂的薄层及一或多个轻度掺杂或超轻度掺杂的薄层)。电阻与/或互联机一般会在经涂覆的基板上与/或其上的组件层上形成一图样。电容板、电阻与/或互联机可包含如文中所揭露的半导体与/或导电材料,而二极管层一般包含如文中所揭露的半导体材料。上述电容板、二极管层、电阻与/或互联机可藉由文中所揭露的任何制程形成。

[0051] 在另一实施例中,如图3A-C所示,一般可藉由文中所述的一或多个制程将一扩散阻障层320沉积在金属基板310的一主表面上(见图3B)。在另一些实施例中(图未示),金属基板310的至少一(但非全部)表面会涂覆上一层扩散阻障层320。举例言之,在处理金属基板310所由之形成的备料卷带或薄板时,扩散阻障层320可涂覆在金属基板310相对的两个面(如之后可能会有半导体特征或组件形成于其上的金属基板310主表面),但未涂覆在金属基板310的一或多个边缘上。或者,金属基板310可在清洗制程之前或之后进行成形或切割动作,接着扩散阻障层320会形成,覆在金属基板310的单一主表面及其边缘。

[0052] 如图3C所示,在扩散阻障层320沉积在金属基板310之一主表面上的实施例中,一

绝缘层330一般可藉由一或多种文中所述的制程沉积,以覆盖在金属基板310上涂覆有扩散阻障层320的区域。在另一些实施例中(图未示),金属基板310的至少一(但非全部)表面会涂覆有扩散阻障层320,那些涂覆有扩散阻障层320的区域接着可涂覆上绝缘层330(如金属基板310的顶面与侧面可为扩散阻障层320与绝缘层330所覆盖)。

[0053] 具有抗反射性质、涂覆有阻障层的例示金属基板

[0054] 使用金属箔基板可能引起的问题包括金属基板与/或阻障层会有较高的反射率(见图4A-B)。举例来说,组成的薄膜层迭结构(如一金属-阻障层-绝缘层层迭结构一般包含一金属箔片410、一或多个由扩散阻障材料420/425所构成之薄层及一或多层绝缘层430)的光学常数与厚度可互相作用以不同程度地吸收或反射光,端视用来处理该组件的光波长而定,而在较小的程度上是视入射光的角度而定。

[0055] 具体来说,使用可见光波长(如以雷射与/或闪光灯等其它高密度光源)来结晶化沉积在一金属-阻障层-绝缘层层迭结构上的硅或其它电子组件层440之作法可能使硅膜440的穿透率明显变高。穿过硅膜440的光至少部分会从金属箔片410与/或阻障层(如图4A中的420)反射回去。硅膜440可具有多变的光吸收率,无论是由于其对光交互作用(如直接吸收光与/或吸收从下方的薄层反射而来的光)的灵敏度较高、或是由于硅膜440本身与金属-阻障层-绝缘层层迭结构中组成的薄层两者之厚度未予以优化或不均之故。硅膜440对这类光交互作用的灵敏度可能会造成在结晶均匀度与晶粒结构上显著的差异,导致特定基板上及不同基板之间(如在同一制程槽体中)的组件有不期望的差异存在。这类效应在使用氮化铝(绝佳的扩散阻障材料)结合发出可见光谱(如绿色光波长)中的光的雷射光来结晶化硅的例子中特别要注意。

[0056] 为了减少、消除或将因硅膜对光交互作用有较高灵敏度而造成之光吸收率变化的问题降至最低,第一阻障层420上可形成一或多个抗反射层(如图4B中的薄层425)作为金属-阻障层-绝缘层层迭结构的一部份。或者,抗反射层425可形成在金属基板410或绝缘层430上。吾人可对上述抗反射层425之材料加以选择使其在硅结晶化所用的光波长环境下有较低的反射率。或者,吾人亦可对上述抗反射层425之材料加以选择使其在对光伏电池(PV)有用的光波长环境下有较低的反射率。抗反射层425可被沉积成扩散阻障层420的一部分(如产生一阻障/抗反射双层结构420/425),增强其使用性、扩大其结晶化时的制程容许度、提高组件良率与/或效能。理想上(但非必要),抗反射层425可使用与阻障层420与/或绝缘膜430相同的沉积工具(如原子层沉积工具、整合式化学气相沉积-溅镀群集工具、玻璃旋涂与固化装置等)在一次的制程中完成沉积。

[0057] 在单一薄层中同时具备抗反射性质与扩散阻障性质(如可作为防止杂质从下方的金属基板410向外扩散的阻障结构)是种优势,但此非本发明的必要条件。换句话说,金属-阻障层-绝缘层层迭结构中的阻障层可包含(i)一或多个仅具有扩散阻障性质的薄层以及至少一具有抗反射性质的薄层;(ii)一或多个仅具有抗反射性质的薄层以及至少一仅具有扩散阻障性质的薄层;(iii)一或多个同时具有扩散阻障与抗反射性质的薄层;或(iv)其任意组合。抗反射被覆层(ARC)亦可同时具有绝缘特性(例如,氮氧化硅[Si:O:N之比例可调配]、高k值薄膜,如TiO₂、氧化铝、ZrO₂与/或其它金属氧化物),端视薄层所需的光学性质而定。

[0058] 具体来说,氮化钛(或是如氮氧化硅)不论是其自身或是与氮化铝膜420结合皆可

用来作为抗反射膜425。上述薄膜可沉积成双层阻障层迭结构形式(如一金属基板410-A1N 420-TiN 425-绝缘层430层迭结构,或是一金属基板-TiN-A1N-绝缘材料层迭结构),或是沉积成薄层交替设置的奈米迭层形式(如一金属基板-奈米迭层-绝缘材料层迭结构,其中该奈米迭层的每一薄层系由一或多个A1N单层或一或多个TiN单层所组成,且该奈米迭层之薄层数量可从1层到10,000层)。习知技艺人士可从经验判定出能使作为阻障层与抗反射被覆层的奈米迭层之效能达到最佳化的厚度。奈米迭层厚度通常系介于1~100 nm之间(或介于其间的任何数值范围)。如图5中所描绘者,相较于纯A1N(或类似的材料)而言,使用TiN-A1N奈米迭层会使反射率降低75%、减少雷射结晶化期间光耦合现象及层迭结构之敏感度。光耦合现象减少与层迭结构灵敏度的降低可继而改善硅膜结晶化的均匀度与/或其它性质。

[0059] 使用抗反射材料(如氮化钛)配合可见光波长的光源(如绿色光)来结晶化硅或其它组件层时可针对任何的光(或光源)波长进行微调。这类微调动作包含使用具有适用于整体组件整合方案的抗反射性质之合适材料。

[0060] 具有应力释放性质、涂覆有阻障层之例示金属基板

[0061] 使用金属箔基板可能引发的另一个问题是金属基板中晶粒凸显(grain highlighting)问题,其一般起因于应力。晶粒凸显会影响后续的制程步骤。一些阻障材料可能具有较高的固有应力,而阻障层层迭结构与/或其组成可以此为考虑进行优化动作。

[0062] 为了有效保护内含金属箔片的基板(如图2A中的基板210)并消除直接性(经由外扩散)或间接性(如经由与可能会触碰到未封住的金属箔基板210的制程工具、浴槽等接触)的污染,扩散阻障层(如图2A中的薄层220)应该封住基板210所有露出的表面,包含基板边缘。扩散阻障层220的尺寸、组成与/或物理、化学与/或机械性质亦可优化来减少因金属基板210与/或一或多个阻障层(如图4A-B中的420与/或425)的光反射所造成的制程问题。

[0063] 一作为金属扩散阻障层的氮化钛膜(如图2A的薄层220)可直接沉积在不锈钢基板210上,完全封住基板210所有的面与边缘。在一些实施例中(如阻障层是以ALD方法沉积),视制程需要,在阻障层220沉积之前基板210上可先形成一层黏着层。接着可以类似的方式封上一层绝缘层230(如标称厚度为1 μm 的二氧化硅层)。基板210最好在阻障层220沉积之前先进行清洗(移除残留物、有机物、粒子等)以使阻障层220在高温时有良好的黏着性。高温时(如在850 $^{\circ}\text{C}$ 下经过约数小时的多重热循环测试),一TiN阻障层220可有效避免铁与铬(两者为不锈钢基板210中最主要且扩散最快的成分)扩散进入SiO₂绝缘层230(见图5)表面上的主动式硅薄膜晶体管组件中。此一阻障层220同时避免不锈钢中的镍以及钴、钼、钛、铌等其它合金元素的扩散。

[0064] 在一实施例中,阻障层包含一第一A1N层作为黏着层、一SiO₂:Al层作为应力释放层,之后再以一A1N层作为扩散阻障层。第一A1N层的厚度一般介于10~100 \AA ,不过其厚度可以是10~5000 \AA 范围内的任何数值。应力释放层(如SiO₂:Al)的厚度可介于10~500 \AA 之间,不过其厚度可以是10~5000 \AA 范围内的任何数值。较佳地,应力释放层是以ALD方式沉积。第二A1N层的厚度一般介于200~2000 \AA ,不过其厚度可以是50~10,000 \AA 范围内的任何数值。本段落所述黏着层与应力释放层其它可供选择之材料包含氧化铝、氮化硅、氮氧化硅、氧化硅、氧化钛、氧化锆、钨、稀土金属或其组合或合金,其厚度范围与上文所述者类似。其材料的选择与尺寸可根据想要的材料性质以及与整体制程整合方案的合适度而定。

[0065] 如上所述,其它可用来作为扩散阻挡层的材料包含TiN与TiAlN (Ti和Al的比例可视其应用而定;如扩散阻挡层层迭结构的应力与反射值可藉由改变Ti和Al之比例来调整)。TiN与/或TiAlN膜可藉由以下所述的任何一种方式来沉积,诸如溅镀(可选择是否在沉积之前先在钢表面进行溅镀蚀刻)或化学气相沉积法(CVD),其中较佳使用原子层沉积法(ALD)。这类应力释放层与/或增设的扩散阻挡层可在温度高至850°C的多重热循环期间提供组件(如图2E中的TFT 245)适当的保护。此作法可结合绝缘涂层(如SiO₂与/或Al₂O₃),该涂层较佳在相同的沉积设备中形成(或可选择一独立的沉积制程),以使基板210及阻挡层220与组件层(如图2D-图2E中的240)电性隔绝。

[0066] 扩散阻挡层亦可引起一或多种制程问题。举例言之,金属氮化物膜(或是金属碳化物、氮化硅或碳化硅膜)可能存在相当大的应力,或是会在组件中的其它薄层上施加相当大的应力。此应力可能会导致薄膜脱层或下方的钢基板变形。然吾人可藉由在层迭结构中增加一或多种材料来有效减少此应力。在金属氮化物下方加入一层氧化层,或是作出如TiN:AlN (其为奈米迭层中TiN层和AlN层的比例)的迭层将可舒缓应力。在一例中,先设八个TiN单层接着设置三个AlN单层之区块(依上述方式重复设置直至达到预定的总膜厚)可提供绝佳的应力舒缓与扩散阻挡性质,不过交替设置的TiN单层和AlN单层之数量可以是任何数值(如从5~100个TiN单层至1~50个AlN单层)。下方若未设置氧化物应力释放层,AlN膜(如图4A中的420)在高温时可能会从基板410脱层。故在一实施例中,不锈钢基板上的TFT组件(如图2E中的245)可包含一厚度约介于1~1000 nm之间的TiN溅镀层(如在一实施例中,其厚度约为100Å),以及一以(文中所述的)ALD制程形成、厚度介于约10~1500 nm的TiAlN层(如在一实施例中,其厚度约为300 nm)。

[0067] 钢基板中的晶粒与该钢基板的高反射率会使得接下来制程步骤中的光学检测或钢箔基板对齐动作变得相当困难。基板的高反射率亦可能在以雷射制程进行结晶的期间造成问题。由于经反射的雷射能量会干扰入射的雷射能量而造成具有较高能/低能节点之驻波,故此种反射率可能会造成层迭结构表面辐射剂量上的差异。为减少这类效应的影响,可对扩散阻挡层的厚度与成分进行优化动作来使其更不透光,并使一或多个下方薄层的表面与/或金属基板表面的反射率降至最低。

[0068] TiN与其合金比较便宜,经常采单层设置,且通常可用不同的沉积方法处理(如许多实施例中的双面沉积)。除了TiN外,可用于本发明涂覆有扩散阻挡层的基板之金属膜还可在美国电机电子工程师学会电子组件会刊(IEEE Transactions on Electron Devices)第53卷第4期第815页(2006年4月)由Afentakis等人所著之内容中找到,其相关部分系并于文中作为参考。

[0069] 结论/概要

[0070] 综上所述,本发明提供一种位于涂覆有扩散阻挡层的基板上之半导体组件。本发明有助于避免金属原子从其上具有扩散阻挡层的金属基板扩散进入形成在该金属基板上的半导体组件。

[0071] 前文中关于本发明特定实施例之描述系为说明本发明而提出,该等实施例并非穷尽列举或是将本发明限制在所揭露的精确形式中,且根据上述之教示显然可对本发明进行许多修改与变更。选择特定实施例并加以说明是为清楚解说本发明的原理及其实施应用,让该领域其它熟习技艺人士能够善加利用本发明及各种经修改以适合所设想到之特殊用

途的实施例。故此,本发明之范畴意欲以文后所附之申请专利范围及其均等物来定义。

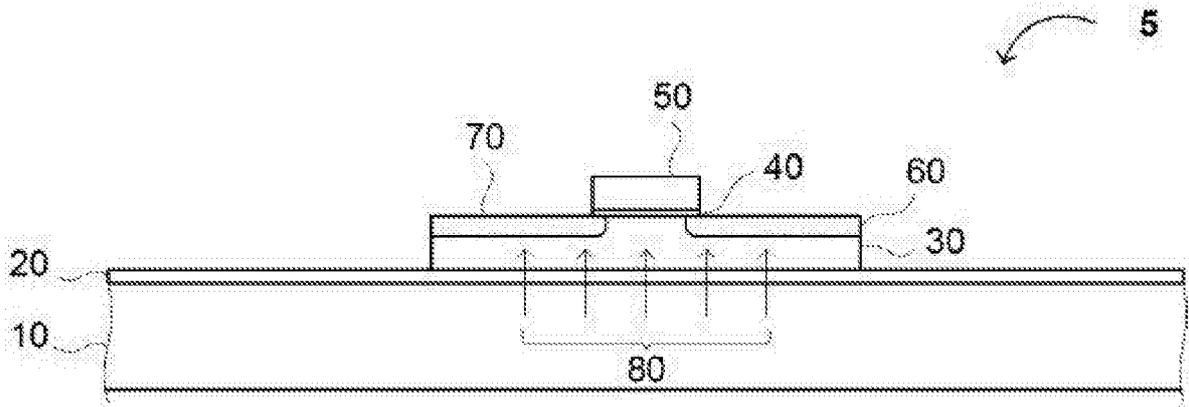


图1



图2A



图2B

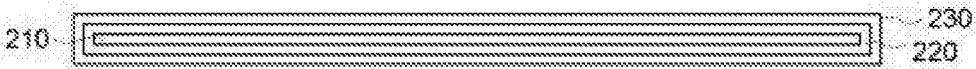


图2C



图2D

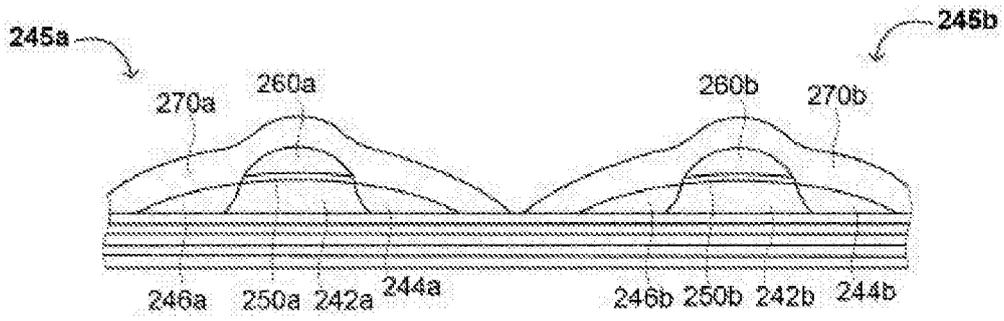


图2E



图3A

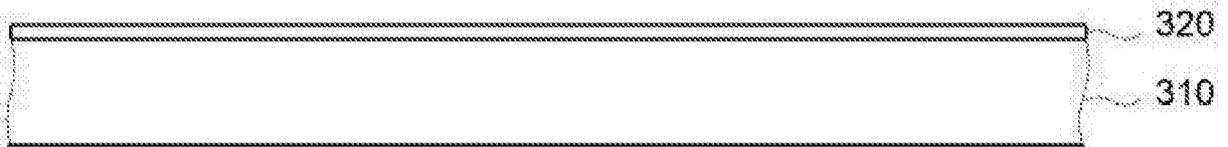


图3B

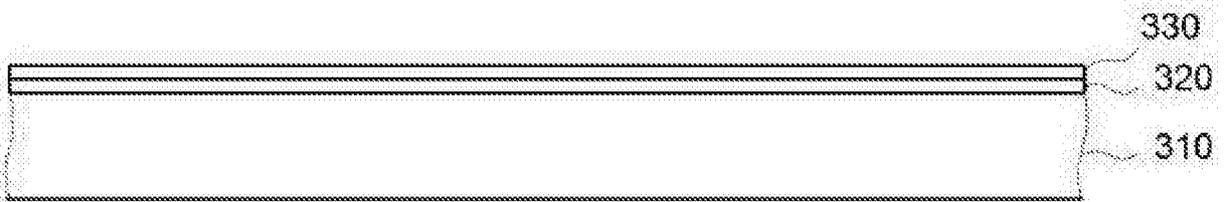


图3C

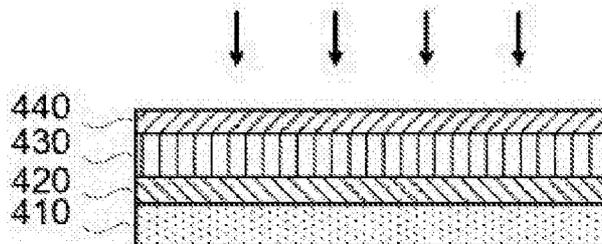


图4A

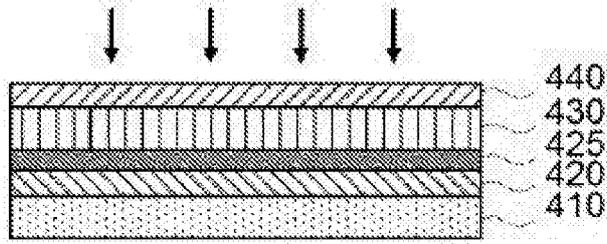


图4B

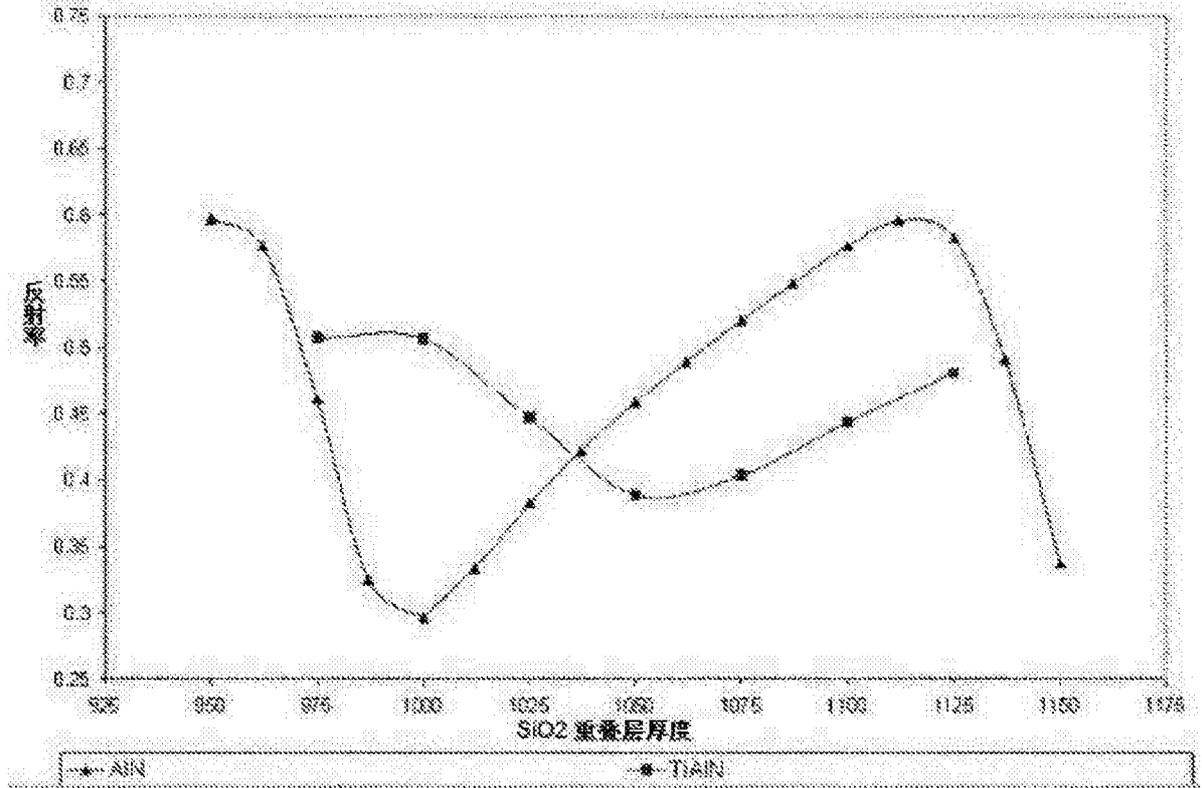


图5