

發明專利說明書 200405355

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92126015

※申請日期：92年09月19日

※IPC分類：G11C7/00

壹、發明名稱：

(中) 非揮發性半導體記憶裝置

(外) 不揮發性半導體記憶裝置

貳、申請人：(共 2 人)

1. 姓名：(中) 瑞薩科技股份有限公司

(英) 株式会社ルネサステクノロジ

代表人：(中) 1. 伊藤達

(英)

地 址：(中) 日本國東京都千代田區丸之內二丁目四番一號

(英) 日本国東京都千代田区丸の内二丁目4番1号

國籍：(中英) 日本 JAPAN

2. 姓名：(中) 日立超愛爾 愛斯 愛 系統股份有限公司

(英) 株式会社日立超エル・エス・アイ・システムズ

代表人：(中) 1. 小切間正彦

(英)

地 址：(中) 日本國東京都小平市上水本町五丁目二番一號

(英)

國籍：(中英) 日本 JAPAN

參、發明人：(共 4 人)

1. 姓名：(中) 櫻井良多郎

(英) 櫻井良多郎

地 址：(中) 日本國東京都千代田區丸之內二丁目四番一號瑞薩股份有限公司知的財產權統括部內

(英) 日本国東京都千代田区丸の内二丁目4番1号株式会社
ルネサstekノロジ知的財產權統括部內

2. 姓名：(中) 田中均

(英) 田中均

地 址：(中) 日本國東京都小平市上水本町五丁目二番一號日立超愛爾・愛斯

・愛・系統（股）内
 (英) 日本国東京都小平市上水本町五丁目2番1号(株)日立超
 エル・エス・アイ・システムズ内

3. 姓 名：(中) 野田敏史
 (英) 野田敏史
 地 址：(中) 日本国東京都千代田区丸之内二丁目四番一號瑞薩股份有限公司知
 的財産權統括部内
 (英) 日本国東京都千代田区丸の内二丁目4番1号株式会社
 ルネサスクロジ知的財産權統括部内

4. 姓 名：(中) 重松孝次
 (英) 重松孝次
 地 址：(中) 日本国東京都千代田区丸之内二丁目四番一號瑞薩股份有限公司知
 的財産權統括部内
 (英) 日本国東京都千代田区丸の内二丁目4番1号株式会社
 ルネサスクロジ知的財産權統括部内

肆、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2002/09/25 ; 2002-278905 ☒ 有主張優先權

(1)

玖、發明說明

【發明所屬之技術領域】

本發明係關於在可以電氣方式寫入、抹除記憶資訊之非揮發性半導體記憶裝置中，在寫入或抹除之動作中產生電源切斷的情形時之對策技術，例如係關於利用資料可以預定單位一次抹除之快閃記憶體之有效技術。

【先前技術】

快閃記憶體係由使用具有控制閘及漂浮閘之 2 重閘構造的金氧半導體場效應電晶體 (MOSFET) 所製成之非揮發性半導體記憶裝置做為記憶體單元，在變化漂浮閘之蓄積電荷量之下，可變化 MOSFET 之閾電壓 (threshold voltage) 以記憶資訊。

在相關快閃記憶體中，在對記憶體單元寫入、抹除動作之時，會有閾電壓變成低之狀態。此情形時，閾電壓的變化方式會受到記憶體單元之特性誤差所影響而波動，閾電壓會有降低到 0V 以下 (下面稱為空乏之狀態) 的情形。通常，如此之閾電壓過度降低的記憶體單元係以稱為修復 (restore) 的動作而將閾電壓進入預定範圍內。

〔本發明所欲解決的課題〕

但是，記憶卡等使用的快閃記憶體在發生停電或使用者將卡從卡槽中拉出時，在寫入或抹除動作之途中會有電源被切斷之情形。因此，電源切斷恐會使記憶體陣列內之

(2)

一部分的記憶體單元變成空乏狀態。產生該空乏狀態之記憶體單元之時，如第 3 圖所示複數個記憶體單元 MC 並列於位元線 BL 與源線 SL 之間而連接，即所謂 AND 型或 NOR 型之快閃記憶體上，電流會經由未選擇的空乏狀態之記憶體單元而流動，因而發生選擇記憶體單元之記憶資料無法正確地讀出之空乏不良情況。

然後，含有產生空乏不良記憶體單元的區塊(block)，對管理記憶體上之檔案位置的列表資料或格式資訊等系統在使用做為記憶重要資料之系統領域之情形中，恐有無法認識記憶體、系統之正常動作無法進行之虞。

【發明內容】

本發明之一個目的，在如快閃記憶體之可實行電氣地寫入、抹除之非揮發性半導體記憶裝置中，即使在寫入或抹除之動作中產生電源切斷的情形時，亦不會發生空乏狀態之記憶體單元。

本發明之另一個目的，在如快閃記憶體之可實行電氣地寫入、抹除之非揮發性半導體記憶裝置中，在寫入或抹除之動作中產生電源切斷的情形時，外部裝置可認知發生電源切斷的事。

本發明之更另一個目的，在如快閃記憶體之可實行電氣地寫入、抹除之非揮發性半導體記憶裝置中，可避免由於在寫入或抹除之動作中產生電源切斷而無法認識記憶體、系統之正常動作無法進行之事。

(3)

本發明之上述及其他目的及新穎特徵，可從本說明書之敘述及附圖而了解。

〔解決課題之手段〕

本申請案中揭示的發明之中舉其代表性者之概要簡單地說明如下。

即，本申請案之第 1 發明係，在如快閃記憶體之非揮發性半導體記憶裝置中，在寫入或抹除之動作中產生電源切斷的情形時，將實行中之動作中斷，並實行使閾電壓朝向高的方向變化之修復處理所構成者。

依照上述手段時，即使在寫入或抹除之動作完全結束之前產生電源切斷，而發生空乏狀態之記憶體單元之時，以其後之修復處理亦可使記憶體單元之閾電壓提高，因此可避免區塊全體之資料變成無法正確地讀出之地步。

並且，本申請案之另一發明係，在如快閃記憶體之非揮發性半導體記憶裝置中，至少在寫入或抹除之動作中產生電源切斷的情形時，設置有可將發生電源切斷的事通知外部的旗標(flag)。並且，最好設置有在電源切斷時，將存取之位址輸出之功能。因而，主 CPU 等之外部裝置可將電源切斷所破壞的記憶體內之資料進行修復。

本申請案之另一發明係，在如快閃記憶體之非揮發性半導體記憶裝置中，在寫入或抹除之動作中產生電源切斷的情形時，將實施中之動作中斷、並實行使閾電壓朝向高的方向變化之修復處理，同時，將內部電源電路(充電泵

(4)

之段數)可因應於電源電壓之位準而實行切換，因而可實行該修復處理者所構成。因而，即使電源切斷使電源電壓降低之時，內部電源電路可因應於此而產生動作電壓，使修復處理可確實地實行。

【實施方式】

本發明之一個實施例將使用附圖而說明。

第 1 圖係顯示適用本發明之有效的非揮發性半導體記憶裝置之一例的快閃記憶體之實施例的方塊圖。快閃記憶體雖然為 1 個記憶體單元上可記憶 1 位元資料的 2 值記憶體，但是本實施例之快閃記憶體係由 1 個記憶體單元上可記憶 2 位元資料的 4 值記憶體所構成，其被形成於如單結晶矽之 1 個半導體晶片上。

第 1 圖中，符號 10 係複數個非揮發性記憶元件(記憶體單元)配置成矩陣狀之記憶體陣列，符號 11 係將位址(X 位址)信號解碼而將該記憶體陣列 10 內之對應的字線 WL 做成選擇位準的位址解碼器，該位址解碼器 11 中含有將字線 WL 驅動到選擇位準之字元驅動電路。構成記憶體陣列 10 之記憶體單元係由具有控制閘及漂浮閘之金氧半導體場效應電晶體(MOSFET)所製成，因應於注入到漂浮閘之電荷量，閾電壓如第 2 圖所示被設定於 4 階段中之任何一個而記憶 2 位元之資訊。

並無特別的限制，本實施例中閾電壓最高之狀態係對應到資料"01"，閾電壓第 2 高之狀態係對應到資料"00"，

(5)

閾電壓第 3 高之狀態係對應到資料"10"， 閾電壓最低之狀態係對應到資料"11"。而本說明書中， 閾電壓最低之狀態被稱為抹除狀態。亦即， 閾電壓降低的動作被稱為抹除， 閾電壓提高的動作被稱為寫入或修復(書込み若しくは書戻し)。本實施例之快閃記憶體之中， 將記憶體陣列 10 內之資料實行寫換之時， 一旦將記憶體單元做成抹除狀態之後， 實行寫入電壓之施加， 而變成相當於資料的閾電壓。

第 1 圖中， 符號 12 係將連接到記憶體陣列 10 內之位元線(BL)的寫入資料保持且讀出， 且實行信號之放大及鎖住的讀出放大器(sense amplifier)， 符號 13 係連接到 1 條字線之複數個記憶體單元之中以位元組(byte)為單位選擇寫入資料或讀出資料的 Y 閘(行開關)， 符號 14 係將使用讀出放大器 12 放大後之資料信號或從外部輸出之寫入資料放大的主放大器， 符號 15 係將主放大器 14 中之信號方向控制、 且根據來自外部的位址信號或在內部產生位址信號而選擇地控制 Y 閘 13 之存取控制電路。

並且， 符號 16 係根據從外部藉由輸出入端子 I/O0~ I/O7 輸入的指令碼而產生內部控制信號之控制邏輯部， 符號 17 係將控制邏輯部 16 之控制順序以微程式之形式記憶的唯讀記憶體 ROM。輸出入端子 I/O0~ I/O7 除了上述指令之輸入以外， 亦可利用寫入資料或位址之輸入、 讀出資料之輸出。寫入時從外部輸入輸出入端子 I/O0~ I/O7 的寫入資料經由上述主放大器 14 及讀出放大器 12 而供給到記憶體陣列 10， 一旦寫入位址進入控制邏輯部 16， 在

(6)

電壓變換電路 18 變換位準之後，被供給到位址解碼器 11。電壓變換電路 18 可將從控制邏輯部 16 供給到位址解碼器 11 的寫入脈衝寬度(=施加寫入電壓的時間)，或將指定寫入電壓位準的控制信號實行位準變換。

再者，控制邏輯部 16 係構成具備有：具有可顯示寫入或抹除係成功或失敗的位元等之狀態暫存器 STR 或保持存取中之位址的位址暫存器 ADR，狀態暫存器 STR 或位址暫存器 ADR 之內容可從輸出入端子 I/O0~ I/O7 向晶片外部輸出。狀態暫存器 STR 上除了設置有顯示抹除結果之位元(抹除檢查位元)、顯示寫入結果之位元(寫入檢查位元)之外，尚設置有顯示晶片內部控制狀態之位元(下面稱為 R/B 位元)、或做為後述之動作檢查旗標而使用之位元。R/B 位元係顯示，在邏輯"0"之時，晶片係在動作狀態，無法從外部進行存取，或者"1"之時，晶片內部在待機狀態，可從外部進行存取。

並無特別的限制，本實施例之快閃記憶體中具備有：重置控制部 20，其係根據檢測電源電壓 VCC 之位準的電源電壓檢測電路 19 或利用該電源電壓檢測電路 19 產生的電源電壓之上升檢測信號、及從外部之控制器輸入之重置信號 /RES，而對控制邏輯部 16 產生電源 ON 重置信號或電源切斷重置信號等之內部重置信號，由環振盪器所形成之時脈產生部 21，將產生的時脈信號進行分頻之時脈分頻部 22，內部電源電路 23，其可產生由充電泵或電壓調節器等所形成、且在位址解碼器 11 所需之寫入電壓 V_w

(7)

或抹除電壓 V_e 、如驗證電壓 V_{wv}, V_{ev} 一樣之高電壓、或參考電壓 V_{ref} 一樣之低電壓。

並且，本實施例之快閃記憶體係構成爲：在寫入或抹除動作之途中，重置控制部 20 根據從外部之控制器輸入的重置信號 /RES 而對控制邏輯部 16 供給通知電源切斷的信號之時，控制邏輯部 16 將實施中的動作中斷，因而使寫入或抹除對象的記憶體單元之閾電壓提高而實行修復處理。

並且，本實施例之快閃記憶體中設置有將：從外部之控制器輸入的例如晶片選擇信號 /CE、寫入控制信號 /WE、輸出控制信號 /OE、讀出控制信號 /RE 等輸入之控制插銷 $C_1 \sim C_n$ 。輸入該等控制插銷中之控制信號被供給到控制邏輯部 16。在此並無特別的限制，符號之前面附加有「/」之信號係指低位準爲有效位準之意。並且，顯示是否可將指令從控制邏輯部 16 輸入晶片之狀態的準備就緒/忙碌中 (ready/busy) 信號 R/B 做成朝向晶片外部輸出。

本實施例之快閃記憶體的記憶體陣列，如第 3 圖所示，係 128 個之記憶體單元 $MC_0 \sim MC_{127}$ 在位元線 $BL_1, BL_2, \dots$ 與源線 $SL_1, SL_2, \dots$ 之間並列地連接之記憶體列、其等在例如 8512 個字線方向上並設著。本說明書中該等記憶體列被稱爲記憶體區塊。橫方向、即同一行之記憶體單元分別被連接到共同的字線 $WL_0, WL_1, \dots, WL_{127}$ 。本說明書中，連接到同一字線的記憶體單元群被稱爲磁區 (sector)。本實施例之快閃記

(8)

記憶體係被構成以該磁區為單位而實行寫入及抹除。

其次，上述實施例之快閃記憶體使用於記憶卡之情形的構成例將使用第 4 圖說明。

如第 4 圖所示，記憶卡係由快閃記憶體 100、及將指令或位址供給快閃記憶體 100 之微處理器等所形成的控制器 LSI200 被密封於封裝體 300 上所構成。

封裝體 300 上設置有施加電源電壓 VCC 及 VSS 之電源端子 T1, Tn 或與外部裝置連接之外部端子 T2...、電源端子 T1, Tn 藉由接合線或形成於印刷配線基板上的配線等而連接到控制器 LSI200 及快閃記憶體 100 的電源端子，外部端子 T2... 與控制器 LSI200 之對應輸入端子連接。快閃記憶體 100 之控制插銷或 I/O 插銷與控制器 LSI200 之對應端子之間也藉由形成於印刷配線基板上的配線等而連接，重置信號 /RES 從控制器 LSI200 而輸入快閃記憶體 100 中。

本實施例之記憶卡之中，快閃記憶體 100 及控制器 LSI200 同時有數 $10\mu\text{F}$ 左右之電源電容器 400 被內藏於封裝體 300 中。該電源電容器 400 連接到電源端子 VCC 與 VSS 之間，即使來自外部的電源供給被切斷之瞬間，亦可供給電源到快閃記憶體 100。或者，電源電容器 400 亦可被構成於快閃記憶體 100 及控制器 LSI200 之一方或兩方之內部，再者，亦可被構成於快閃記憶體 100 及控制器 LSI200 之各個之半導體基板上。

其次，本實施例之快閃記憶體中之抹除及寫入動作之

(9)

順序，及抹除或寫入動作中電源被切斷之情況的處理順序之一例，將使用第 5 圖之時序圖、及第 6 圖及第 7 圖之流程圖說明。

控制邏輯部 16 在接受來自控制器之指示抹除的第 1 指令(1stCMD)，及伴隨之上位磁區位址 SA1 及下位磁區位址 SA2 之信號時，會產生對內部電源電路 23 之啟動信號、或對電壓變換電路 18 之電壓的指定信號等，以實行抹除之準備(步驟 S1~S3)。然後，從控制器指示開始的第 2 指令(2ndCMD)受信之時，預定電壓被施加到記憶體單元上而開始抹除(步驟 S4,S5)。其後，實行抹除之驗證，閾電壓若未充分下降的話，再度施加抹除電壓(步驟 S6)。

在輸入位址上指示所有記憶體單元的閾電壓下降到預定之電壓以下之時，移動到步驟 S7，實行空乏狀態、即是否為閾電壓 0V 以下之記憶體單元的判斷。在此，若非空乏狀態之記憶體單元的話，將抹除動作結束，若為空乏狀態之記憶體單元的話，則移動到步驟 S8，對閾電壓下降太低之記憶體單元施加偏電壓，閾電壓可稍微上升。

其後，在步驟 S9 實行驗證，在判斷空乏狀態之記憶體單元已消失之時，一直到空乏充電狀態之記憶體單元消失為止反覆地施加偏電壓。空乏不良的位元消失之時，在步驟 S10 中判斷是否為混亂狀態、即是否變成閾電壓上升太高之狀態。然後，若有閾電壓上升太高者的話，則回到步驟 S5，施加將閾電壓朝向降低方向的電壓。在確認所有的記憶體單元之閾電壓進入預定範圍內之時，將抹除動

(10)

作結束。

本實施例之快閃記憶體，在從上述步驟 S1~S4 之第 1 指令受信到第 2 指令受信為止之間產生電源切斷①而從控制器輸入重置信號 /RES 時，立刻將抹除動作結束。另一方面，在實行步驟 S5,S6 抹除之偏電壓的施加及驗證之間，產生電源切斷②而從控制器輸入重置信號 /RES 時，實行修復處理而施加寫入電壓，使抹除對象之記憶體單元的閾電壓上升到對應於最高資料 "01" 的閾電壓為止。

並且，在實行步驟 S7~S9 之空乏檢測狀態之記憶體單元的修復處理之中產生電源切斷③而從控制器輸入重置信號 /RES 時，將動作中斷，檢查是否已無空乏狀態的記憶體單元，若沒有的話將抹除動作結束，若有空乏狀態的記憶體單元的話，對該記憶體單元實行修復處理，使其上升到對應於資料 "01" 的閾電壓為止。而，若無空乏狀態的記憶體單元之時，如虛線所示者，亦可移動到步驟 S10。因為移到步驟 S10 之處理可在較短時間內結束。

再者，在實行步驟 S10 之混亂判斷時，產生電源切斷④而從控制器輸入重置信號 /RES 之時，立刻將動作結束。

在電源切斷後所實行的上述修復處理係被構成，在蓄積於電源電容器 400 內的電荷消失之前結束。換言之，電源電容器 400 的電容量值被設定在電源切斷後可實行上述修復處理的程度內。

以上雖然已說明抹除動作，但寫入動作也與第 6 圖之流程圖大致相同。寫入動作與抹除動作相異之點在於，於

(11)

步驟 S1 中接受寫入指令之信號之點，及在步驟 S9 之後、爲了因應於寫入資料而將閾電壓提高到所需要位準而施加偏電壓及實行驗證動作之點。

然而，第 6 圖之流程圖係在產生電源切斷而從控制器輸入重置信號 /RES 之時，以控制邏輯部 16 判斷快閃記憶體內部處於何種之狀態做爲前提而做成者。

第 7 圖中顯示，控制邏輯部 16 可容易地判斷快閃記憶體內部處於何種狀態之實施例。此實施例中設定成，在第 1 指令受信後進行的準備動作(初期設定 S11)結束之時點將動作檢查旗標建立(步驟 S12)，同時施加寫入或抹除用之偏電壓(步驟 S13)，在最後之驗證動作(步驟 S14)結束之時點設置有將動作檢查旗標下檔之處理(步驟 S15)。

如此地，預先設定將動作檢查旗標上檔及下檔之處理的話，在產生電源切斷而從控制器輸入重置信號 /RES 之時，容易地判斷快閃記憶體內部處於何種狀態，因此可因應於該狀態而實行處理。具體上，在動作檢查旗標建立之前或動作檢查旗標下檔之後，產生電源切斷而從控制器輸入重置信號 /RES 之情況時，立刻將寫入或抹除的動作結束，在動作檢查旗標建立之間，產生電源切斷而從控制器輸入重置信號 /RES 之情況時，將寫入或抹除的動作中斷(步驟 S16)，而實行閾電壓提高的修復處理(步驟 S17)且結束。

而，第 7 圖中顯示第 6 圖之一部分的處理順序被簡化。具體上，第 7 圖之步驟 S11 係相當於第 6 圖之步驟

(12)

S1~S4，步驟 S13 相當於步驟 S5,S8，並且步驟 S14 相當於步驟 S6,S7,S9。上述動作檢查旗標例如可利用狀態暫存器 STR 之空位元而設定。並且，上述動作檢查旗標係利用非揮發性記憶元件，在電源完全被切斷後亦可保持其狀態之構成。再者，在上述動作檢查旗標之外，亦可如下面所述、設置電源切斷旗標，其在電源切斷後亦可記憶在寫入或抹除動作中是否發生電源切斷之事。

其次，上述非揮發性記憶裝置之電源切斷旗標的構成例，將使用第 8~11 圖說明之。其中，第 8 圖係為在每條字線上設置電源切斷旗標，其係於電源切斷時可識別寫入、抹除中之磁區者。第 8 圖中，MC 係非揮發性之記憶體單元，WL 係字線，WDR 係設置於第 1 圖之位址解碼器 11 內、將對應字線朝向選擇位準驅動之字元驅動器。如第 8 圖所示，本實施例中設置有，由連接控制閘端子到字線 WL 上的非揮發性記憶元件所形成之旗標記憶體 FM，及連接到該旗標記憶體 FM 之汲極端子之讀出放大器 SA，同時開關 MOSFET Qs1,Qs2 被設置於字線 WL 上。

上述旗標記憶體 FM 例如在初期設定時，閾電壓被預先設定為低之抹除狀態上，在電源切斷時讀出放大器 SA 上設定為 "1"，將高電壓施加到字線 WL 上而提高閾電壓，因而可將旗標做成設定之狀態。並且，在該旗標記憶體 FM 寫入之時，可將開關 MOSFET Qs1 做成 OFF 狀態、並且 Qs2 做成 ON 狀態，因而不會對記憶體陣列內之記憶體單元產生影響之下實行旗標之設定。

(13)

上述旗標記憶體 FM 之讀出，係與構成記憶體陣列之記憶元件同樣地，可使用預先充電的方式進行。但是，爲了將構成記憶體陣列之記憶元件的閾電壓設定成 4 階段，以記憶 2 位元的資訊，讀出係將 3 階段的讀出位準設定在字線上而實行，但是旗標記憶體 FM 之讀出可做成將 1 個讀出位準設定在字線上，而判斷電流是否流動之簡單判斷方式。

此實施例中，雖然旗標之數目變多，但是在電源切斷時寫入或抹除中有容易判斷磁區之優點。旗標之下檔、即抹除，在記憶體陣列內之記憶體單元實行抹除之時，可以區塊爲單位而同時地實行。

第 9 圖係做成，在位址之解碼處理係以階層的解碼方式之情形時，設置有對應於記憶體陣列內之各區塊的電源切斷旗標 BFM、及對應於複數個區塊之同一字線的共同電源切斷旗標 CFM，其可識別在電源切斷時寫入或抹除中之磁區者。第 9 圖中，BLK 係將位元線及源線做成共同之並列形態的記憶體單元列在字線方向以預定數（例如 8512 個）配置排列之記憶體區塊，WL 係字線，WDR 係將字線朝向選擇位準驅動之字元驅動器，W-DEC 係選擇區塊內之 1 條字線之字元解碼器，B-DEC 係選擇含有成爲寫入或抹除對象之記憶體單元的區塊之區塊解碼器。雖然第 9 圖中未顯示，讀出放大器連接到電源切斷旗標 BFM 及 CFM 之汲極端子上，而可做寫入及讀出。

本實施例中，參照電源切斷旗標 BFM 及 CFM 之時，

(14)

可識別電源切斷時寫入或抹除中之磁區，同時比第 8 圖之實施例有旗標記憶體之數量少即可的優點。

第 10 圖係設置有可保持電源切斷時寫入或抹除中之磁區的位址之旗標記憶體 AFM。第 10 圖中，ACT 係設置於第 1 圖之控制邏輯部 16 內的位址記數器，11 係將位址解碼而選擇記憶體陣列內之字線之位址解碼器。本實施例中設置有，記憶位址用的旗標記憶體 AFM1,AFM2·····，及產生施加在該旗標記憶體之閘端子上的電壓之驅動器 DRV1,DRV2·····，及連接到各旗標記憶體之汲極端子的讀出放大器 SA1,SA2·····，及因應於動作模式而將寫入電壓或抹除電壓、讀出電壓之任何一個供給到上述驅動器之選擇器 SEL。旗標記憶體 AFM 及驅動器 DRV 及讀出放大器 SA 僅被設置位址之位元數之部份。

本實施例與第 8 圖或第 9 圖之實施例比較時，具有旗標記憶體之數量可大幅地減少之優點。雖然旗標記憶體 AFM 亦可在寫入動作或抹除動作發生之時實行設定，但是亦可僅在產生電源切斷之時實行設定。

第 11 圖係設置有，在寫入、抹除中產生電源切斷之情形時，將電源切斷時之動作模式究竟係為寫入模式亦或抹除模式實行記憶之模式旗標記憶體 MFM1,MFM2。本實施例中設置有，顯示來自控制邏輯部 16 之動作模式的模式信號被輸出、同時將模式信號做為輸入，以產生施加在該旗標記憶體 MFM1,MFM2 之閘端子上的電壓之驅動器

(15)

DRV1, DRV2, 及連接到各旗標記憶體 MFM1,MFM2 之汲極端子的讀出放大器 SA1,SA2, 及因應於動作模式而將寫入電壓或抹除電壓、讀出電壓之任何一個供給到上述驅動器 DRV1,DRV2 之選擇器 SEL。

本實施例具有旗標記憶體之數量比第 10 圖之實施例更少之優點。雖然旗標記憶體 MFM1,MFM2 可在寫入動作或抹除動作發生之時實行設定，但是亦可僅在產生電源切斷之時實行設定。並且，第 11 圖之實施例與第 8 圖~第 10 圖之實施例組合而應用之時，可獲得更佳之優點。

其次，第 8 圖或第 9 圖之實施例與第 11 圖之實施例組合之情形中，旗標之讀出方式之一例，將使用第 12 圖之流程圖說明。

電源被投入之時，控制邏輯部 16 實行晶片內部之各種暫存器之初始化(步驟 S21)。接著進行微調或電源設定等用之保險絲狀態的讀出之後，將啓動信號送到內部電源電路 23 而使內部電源建立(步驟 S22,S23)。到此為止係為與習知之快閃記憶體同樣的動作。

本實施例中，在內部電源建立之後，控制邏輯部 16 將旗標尋找處理開始，首先在步驟 S24 中判斷抹除切斷旗標 MFM2 是否建立，未建立之時移動到步驟 S26 中而判斷寫入切斷旗標 MFM1 是否建立，其中任何一個旗標未建立之時，原樣地將旗標尋找處理結束。抹除切斷旗標 MFM2 或寫入切斷旗標 MFM1 被建立之時，在步驟 S25,S27 中分別將顯示有抹除中之電源切斷或寫入中之電源切斷之位元

(16)

設定在狀態暫存器 STR 中。

其後，將位址記數器初始化成均為 0，將前頭之位址供給到位址解碼器而進行旗標記憶體 FM 之讀出(步驟 S28, S29)。其次，判斷讀出之旗標是否建立(步驟 S30)，被建立之時，將該時候之位址記數器的值做為切斷位址而設定到位址暫存器 ADR 上並結束(步驟 S31)。另一方面，在步驟 S30 中判斷旗標未建立之時，在步驟 S32 中將位址記數器進行增量(+1)而回到步驟 S28，以進行次一個位址(磁區)之旗標記憶體的讀出，一直到建立的旗標被找到為止均反覆地重複進行上述動作。

在第 13 圖及第 14 圖中顯示有快閃記憶體之讀出時序之例，其係根據上述流程圖而將設定在位址暫存器 ADR 上之切斷位址做成可從外部之控制器讀出。

第 13 圖係構成爲，控制器對快閃記憶體送出預定的指令而讀出之時的時序圖。

旗標記憶體在電源建立之時進行初期設定及旗標尋找，結束之時將準備就緒/忙碌中(ready/busy)信號 R/B 變化成顯示準備就緒之高位準狀態(時序 t1)。控制器檢測到此之時，將晶片賦能(chip enable)信號 /CE、輸出賦能(output enable)信號 /OE 變化成低位準(時序 t2,t3)。此時，從輸出入端子 I/O0~ I/O7 將狀態暫存器 STR 之內容輸出(時序 t4)。其後，控制器將指令賦能信號 /CMD 變化成低位準，同時從輸出入端子 I/O0~ I/O7 將切斷位址讀出指令輸入(時序 t5)。然後，將讀出賦能信號 /RE 在低位

(17)

準與高位準交互地變化之時，保持於位址暫存器 ADR 上之例如 16 位元的切斷位址以每次 8 位元從輸出入端子 I/O0~ I/O7 輸出(時序 t6,t7)。

第 14 圖係被構成，控制器將控制信號輸入到設於快閃記憶體上之預定端子上，使保持於位址暫存器 ADR 上之切斷位址被讀出之時的時序圖。

快閃記憶體在電源升起之時實行初期設定及旗標尋找，結束之時將準備就緒/忙碌中信號 R/B 變化成顯示準備就緒之高位準狀態(時序 t11)。控制器在電源建立之同時，將旗標記憶體之預定外部端子(自動讀取)固定在高位準上，同時檢測到準備就緒/忙碌中信號 R/B 之變化，而變化成晶片賦能(chip enable)信號 /CE(時序 t12)。然後，將讀取賦能信號 /RE 在低位準與高位準交互地變化之時，將狀態暫存器 STR 之內容及保持於位址暫存器 ADR 上之切斷位址從輸出入端子 I/O0~ I/O7 輸出(時序 t13,t14,t15)。因而，在電源 ON 之時，可實行切斷位址之讀出。

再者，本實施例之快閃記憶體係被構成，可因應於從外部供給之電源電壓而將內部電源電路 23 動作。

第 15 圖係顯示構成內部電源電路 23 之電荷泵(charge pump)之一個實施例。本實施例之充電泵具有：串聯於電源電壓端子 VCC 與時脈輸入端子 CKin 之間的開關 SW1 及電容 CB1，及串聯於開關 SW1 與電容 CB1 之連接節點 N1、與輸出端子 OUT 之間的 n-1 個開關

(18)

SW2~SWn，及與電容 CB1 並聯於開關 SW2~SWn 之連接節點 N2~Nn 上之電容 CB2~CBn，時脈信號 ϕ_1 或與其同相位的時脈信號 ϕ_2 ， ϕ_3 被施加到連接於奇數號之節點上的電容 CB1, CB3, $\dots$ CBn-2 之另一端上，與時脈信號 ϕ_1, ϕ_2, ϕ_3 逆相位之時脈信號 $\neg\phi_1, \neg\phi_2, \neg\phi_3$ 被施加到連接於偶數號之節點上的 CB2, CB4, $\dots$ CBn-1 之另一端上。

並且，奇數號之開關 SW1, SW3, $\dots$ SWn-1 被時脈信號 ϕ_1 所 ON 或 OFF，偶數號之開關 SW2, SW4, $\dots$ SWn 被逆相位之時脈信號 $\neg\phi_1$ 所 ON 或 OFF。因而，利用 SW1 充電到電容 CB1 上的電荷在電容 CB2~CBn-1 上依序地從左到右轉送而進行升壓。相關構成之充電泵係大致與習知的充電泵有同樣的構成。

本實施例之充電泵在上述構成之外加上，在電容 CBn-2 與開關 SWn-1 之連接節點 Nn-1 與輸出端子 OUT 之間，及電容 CBn-4 與開關 SWn-3 之連接節點 Nn-3 與輸出端子 OUT 之間分別設置有段數切換用之開關 SW11, SW12。這些開關 SW11, SW12 分別由從控制邏輯部 16 供給的切換信號 EX1, EX2 而作用成 ON 狀態或 OFF 狀態。

開關 SW11 及 SW12 一起作用成 OFF 狀態之時，與沒有開關 SW11 及 SW12 之情形同樣地動作下，將第 15 圖之電路做為 (n-1) 段之充電泵而動作，將開關 SW11 做成 ON、開關 SW12 做成 OFF 的狀態時，藉由開關 SW11 將

(19)

節點 N_{n-1} 之電荷朝向輸出端子 OUT 供給，將第 15 圖之電路做為 $(n-3)$ 段之充電泵而動作，將開關 SW11 做成 OFF、開關 SW12 做成 ON 的狀態時，藉由開關 SW12 將節點 N_{n-3} 之電荷朝向輸出端子 OUT 供給，將第 15 圖之電路做為 $(n-5)$ 段之充電泵而動作。亦即，第 15 圖之充電泵被構成其升壓段數為可變更。

第 16(a)圖中係顯示將第 15 圖之電路做為充電泵而動作之情況時所施加的時脈 $\phi_1 \sim \phi_3, / \phi_1 \sim / \phi_3$ 之時序。如圖中所示， ϕ_1, ϕ_2, ϕ_3 彼此為同一時序， $/ \phi_1, / \phi_2, / \phi_3$ 彼此為同一時序即可。為了防止電荷朝逆方向轉送，將彼此的高位準之期間做成不互相重疊的逆相之時脈。第 16(b)圖中顯示，將第 15 圖之電路做為 $(n-3)$ 段之充電泵而動作之情況時所施加的時脈 $\phi_1, \phi_2, / \phi_1, / \phi_2$ 之時序圖。如圖中所示， ϕ_1, ϕ_2 彼此做成為同一時序， $/ \phi_1, / \phi_2, / \phi_3$ 彼此做成為同一時序即可。 ϕ_3 及 $/ \phi_3$ 被固定在低位準。第 16(c)圖中顯示，將第 15 圖之電路做為 $(n-5)$ 段之充電泵而動作之情況時所施加的時脈 $\phi_1, / \phi_1$ 之時序圖。 ϕ_2 與 $/ \phi_2$ 及 ϕ_3 與 $/ \phi_3$ 被固定在低位準。

但是，第 15 圖之充電泵在將開關 SW11 被 ON 的 $(n-1)$ 段動作時，電荷轉送用之開關 SW_{n-1} 被時脈 ϕ_3 、並且開關 SW_n 被時脈 $/ \phi_3$ 作用成 OFF 狀態之時，均做升壓動作。相對於此，如圖中所示，在開關 SW11 被 ON 之時，開關 SW_{n-1} 被時脈 ϕ_1 、並且開關 SW_n 被時脈 $/ \phi_1$ 作用

(20)

成 ON、OFF，因而可利用升壓用電容 CB_{n-2} , CB_{n-1} 做為平流電容。亦即，平流電容 CD 之外表上之電容值可被增加。而在將開關 SW_{12} 被 ON 的 $(n-5)$ 段動作時之方面也同樣地，亦可利用升壓用電容 CB_{n-4} , CB_{n-3} , CB_{n-2} , CB_{n-1} 做為平流電容。

本實施例之快閃記憶體係因應於電源電壓 VCC 之位準而將上述充電泵之段數實行控制而可變更。具體上係構成，在電源電壓 VCC 之位準為高之時，將在段數為少的 $(n-5)$ 段動作，於電源電壓 VCC 之位準降低少許之時，將在段數減少的 $(n-3)$ 段動作，於電源電壓 VCC 之位準更降低之時，則將在 $(n-1)$ 段動作。因而，無論在電源電壓 VCC 高時或低時均可獲得所需之升壓電壓，同時可使輸出的波動變小。即，電源電壓 VCC 高之時段數少，因此其輸出比段數為多的情況時之波動較大，如上述實施例所述，段數少時將平流電容 CD 的電容值做成大之時，可將波動抑制。

對本發明者等所開發的 128M 之快閃記憶體中進行估算之時，不利用電容 CB_{n-4} , CB_{n-3} , CB_{n-2} , CB_{n-1} 做為平流電容，而將該部分以平流電容 CD 的電容值做成大之時，必需將平流電容 CD 的佔有面積做成大 0.18 平方毫米，其對晶片尺寸之比率約為 0.4%，對內部電源電路 23 之佔有面積的比率做成約 5%。從而，適用本實施例之情形，晶片尺寸約可做成小 0.4%。

第 17 圖係顯示構成內部電源電路 23 之充電泵的另一

(21)

實施例。本實施例之充電泵係構成爲可由開關 SW11 及 SW12 之 ON、OFF 而將充電泵以 4 段及 8 段兩個階段進行切換。並且，使用 MOSFET QT1~QT8 做爲電荷轉送用之開關(第 15 圖之開關 SW2~SW_n)，同時設置有升壓用電容 CG，其可將該 MOSFET QT1~QT8 充分地 ON，以提高轉送效率。

再者，並非做爲特別的限制者，本實施例被構成爲，在各節點 N0~N7 與電源電壓端子 VCC 之間設置有做爲二極體而動作之 MOSFET QB，其可在升壓開始時將電荷直接注入於各節點上，而使到達時間短縮。而 LSF 係將段數切換開關 SW11 做 ON、OFF，而將切換信號 EXC 移動到靠近升壓電壓 VPP 之位準之位準移動電路。第 17 圖之實施例中，雖然段數切換開關 SW11 上使用 N 通路之 MOSFET，但是亦可使用 P 通道之 MOSFET。

第 18(a)圖中係顯示將第 17 圖之電路做爲 8 段之充電泵而動作之情況時所施加的時脈之時序圖，並且第 18(b)圖中係顯示將第 17 圖之電路做爲 4 段之充電泵而動作之情況時所施加的時脈之時序圖。圖中，FB01,FB02,FB11,FB12 係升壓動作用的時脈，FC1,FC2 係拍擊升壓用電容 CG 而使電荷轉送用之 MOSFET QT1~QT8 之閘電壓提高之時脈。做爲 4 段之充電泵而動作之情況時，開關 SW11 爲被 ON 之狀態，時脈 FB11,FB12 被固定於低位準(0V)上。本實施例中，在做爲 4 段之充電泵而動作之時，亦可控制電荷轉送用之 MOSFET QT5~QT8 而利

(22)

用後段之升壓用電容 CB 做為平流電容。

第 19 圖係顯示構成內部電源電路 23 之充電泵的另一實施例。本實施例之充電泵係將在第 17 圖之充電泵中前段及後段共同使用升壓用之時脈、做成以個別之升壓用時脈 FC01,FC02; FC11,FC12 而實行動作者。第 20(a)圖係顯示將第 19 圖之電路做為 8 段之充電泵而動作之情況時所施加的時脈之時序圖，並且第 20(b)圖係顯示將第 18 圖之電路做為 4 段之充電泵而動作之情況時所施加的時脈之時序圖。利用第 20 圖之時脈將充電泵動作時，比第 18 圖之充電泵在 4 段動作中，其平流電容 CD 之效率可更向上提高。

其次，將說明本發明之變形例。此變形例如第 21 圖所示，設置有：由含有保險絲元件之電路等所形成、且因應於使用電源電壓而設定電源之電源設定電路 24，同時設置有做為電源電壓檢測電路 19、且將電源電壓 VCC 之位準區分 3 階段以上並且檢測出、因應於電源設定狀態而可檢出電源切斷之電源切斷檢測電路 25。上述可做段數切換的充電泵之構成，亦可因應於上述電源設定電路 24 之電源設定而設定段數。

電源切斷檢測電路 25 係由：將來自上述電源電壓檢測電路 19 之檢測信號 DTC1, DTC2, DTC3... 因應於電源設定電路 24 之電源設定狀態而選擇地通過之閘 G1~G5，及將上述檢測信號 DTC1, DTC2, DTC3... 之任何一個做為啟動信號及停止信號而記數動作時脈 CLK

(23)

之記數器 CNT，及設定該記數器 CNT 所計時之時間之定時器設定暫存器 TMR，及將記數器 CNT 之計數值及定時器設定暫存器 TMR 之計數值做比較之比較器 CMP 所構成。定時器設定暫存器 TMR 之設定值係做成因應於電源設定電路 24 之電源設定狀態之不同值。

電源設定電路 24 之電源設定狀態被設定於最高狀態 1 之時，閘 G1 及 G2 打開，將來自電源電壓檢測電路 19 之檢測信號 DTC1 做為啓動信號、並且將檢測信號 DTC2 做為停止信號而供給到記數器 CNT。電源設定電路 24 之電源設定狀態被設定於第二高之狀態 2 之時，閘 G3 及 G5 打開，將來自電源電壓檢測電路 19 之檢測信號 DTC2 做為啓動信號、並且將檢測信號 DTC3 做為停止信號而供給到記數器 CNT。

第 22 圖中顯示有電源設定電路 24 之中，電源設定狀態被設定之情形的動作波形。電源電壓 VCC 降低而到達檢測位準 1 之時，檢測信號 DTC1 從高位準變化到低位準，記數器 CNT 因應於此情形而開始時脈之計數。然後，電源電壓 VCC 更降低而到達檢測位準 2 之時，檢測信號 DTC2 從高位準變化到低位準，記數器 CNT 因應於此情形而停止時脈之計數動作。此時，在記數器 CNT 計數之值比設定值更大之時，為比較器 CMP 之輸出信號之電源切斷檢測信號 VCD 從低位準變化到高位準。因而，控制邏輯部 16 可獲知電源切斷已經發生。

雖然以上係本發明人所發展出之發明根據實施例而具

(24)

體地說明，但是本發明並不限定於上述實施例，當然在不違離其主旨的範圍內可從事種種變更。例如，實施例中，雖然係以在 1 個記憶元件(記憶體單元)上可記憶 2 位元之資料的 4 值的快閃記憶體而說明，但是本發明亦可適用於 1 個記憶元件上可記憶 1 位元之資料的快閃記憶體、或可記憶 3 位元以上之資料的快閃記憶體。

並且，實施例中，雖然記憶體單元之閾電壓係將低狀態稱為抹除狀態，閾電壓之高狀態稱為寫入狀態，但是本發明對於將記憶體單元之閾電壓的高狀態對應於抹除狀態，而將閾電壓之低狀態對應於寫入狀態的快閃記憶體亦可適用。

再者，前述實施例中，雖然係以複數個記憶元件並聯於位元線與源線之間的所謂 AND 型或 NOR 型之快閃記憶體而說明，但是本發明對於將記憶元件串聯之所謂 NAND 型之快閃記憶體、或具有 MONOS 構造之記憶體單元的非揮發性記憶體亦可適用。NAND 型等之快閃記憶體中，雖然沒有由於空乏狀態之記憶體單元的存在而使區塊內之資料完全變成不正確之事，但是即使有由於電源切斷而殘留空乏狀態的記憶體單元之時，由於適用本發明，因而使修復變成可能。

即，從第 8 圖到第 14 圖之中所說明的技術適合使用，在寫入或抹除途中產生電源切斷，使儲存於該記憶體單元的資料不正確因而無法使用之事可被告知。因而，可防止儲存於該記憶體單元的資料被誤用而產生非所要之結

(25)

果。另外的例子方面，由從控制器讀出動作的需求之時，參照該字線之電源切斷旗標，而判斷寫入或抹除中電源切斷是否發生。電源切斷產生之情況時，控制器將讀出錯誤對外部通知，詳細資訊方面，亦可將電源切斷產生之事通知。並且，AND 型或 NOR 型之快閃記憶體中存在有空乏狀態的記憶體單元之時，會有系統全體無法動作之虞，因此雖然前述實施例中已說明在寫入或抹除途中確認電源切斷是否發生之動作，但是若為 NAND 型之快閃記憶體等的話，即使空乏狀態之記憶體單元的存在之時，系統全體的動作係為可能之故，在進行寫入或抹除之時，亦可進行確認的動作。

雖然以上的說明中主要係將本發明人所發展出之發明適用於成為其背景之利用領域的快閃記憶體之情況加以說明，但是本發明並不限定於此，本發明對具有施加電壓而將閾電壓變化、因而可進行資訊記憶之非揮發性記憶元件的半導體記憶體亦可廣泛地利用。

〔發明之效果〕

本申請案中所揭示的發明之中，利用其代表性者所獲得的效果將簡單說明如下。

即，依照本發明時，即使在寫入或抹除之動作完全結束之前發生電源切斷而產生空乏狀態之記憶體單元之時，閾電壓在其後之修復處理被做成高之故，因而可避免區塊全體之資料到達無法正確地讀出之地步。

(26)

並且，設置有將在寫入或抹除之途中發生電源切斷之事通知外部之旗標，使主 CPU 等之外部裝置可實行被電源切斷所造成的破壞的記憶體內之資料修復。因而，即使在電源切斷時系統之資料被破壞而實行修復之時，亦可避免無法認識記憶體、系統之正常動作無法進行之事。

再者，本發明被構成可因應於電源電壓之位準而將內部電源(充電泵之段數)切換，因此即使電源切斷使電源電壓降低之時，內部電源因應於此而動作，而產生所需要的電壓，可使修復處理確實地被實行，因而可提高記憶體之可靠度。

【圖式簡單說明】

第 1 圖係適用於本發明之有效的非揮發性半導體記憶裝置之一例的快閃記憶體之實施例的方塊圖。

第 2 圖係顯示實施例之快閃記憶體的記憶體單元之閾電壓分布之說明圖。

第 3 圖係顯示實施例之快閃記憶體的記憶體陣列之構成例的電路說明圖。

第 4 圖係顯示利用實施例之快閃記憶體的記憶卡之一個構成例的方塊圖。

第 5 圖係顯示實施例之快閃記憶體中抹除及寫入動作，及抹除或寫入動作中，電源被切斷時之情況的處理之動作計時之一例的計時圖。

第 6 圖係顯示實施例之快閃記憶體中抹除及寫入動作

(27)

之順序，及抹除或寫入動作中、電源被切斷時之情況的處理之順序的一例之流程圖。

第 7 圖係顯示實施例之快閃記憶體中抹除及寫入動作之順序，及抹除或寫入動作中、電源被切斷時之情況時的處理之順序的另一例之流程圖。

第 8 圖係顯示實施例之快閃記憶體中電源切斷旗標之構成例的說明圖。

第 9 圖係顯示實施例之快閃記憶體中電源切斷旗標之另一構成例的說明圖。

第 10 圖係顯示實施例之快閃記憶體中保持電源切斷時之位址的旗標之構成例的說明圖。

第 11 圖係顯示實施例之快閃記憶體中保持電源切斷時之動作狀態的旗標之構成例的說明圖。

第 12 圖係顯示實施例之快閃記憶體中、電源投入時之中旗標尋找處理之順序的一例之流程圖。

第 13 圖係顯示實施例之快閃記憶體中、電源投入時之中切斷位址之外部讀出之時序的一例之時序圖。

第 14 圖係顯示實施例之快閃記憶體中、電源投入時之中切斷位址之外部讀出之時序的另一例之時序圖。

第 15 圖係顯示構成內部電源電路之充電泵之一個實施例之電路圖。

第 16(a)圖中係顯示將第 15 圖之電路做為(n-1)段之充電泵而動作之情況時所施加的時脈之時脈的時序圖、第 16(b)圖中係顯示將第 15 圖之電路做為(n-3)段之充電泵而

(28)

動作之情況時所施加的時脈之時脈的時序圖、第 16(c)圖中係顯示將第 15 圖之電路做為 (n-5) 段之充電泵而動作之情況時所施加的時脈之時脈的時序圖。

第 17 圖係顯示構成內部電源電路之充電泵之另一個實施例之電路圖。

第 18(a)圖中係顯示將第 17 圖之電路做為 8 段之充電泵而動作之情況時所施加的時脈之計時圖，並且第 18(b)圖中係顯示將第 17 圖之電路做為 4 段之充電泵而動作之情況時所施加的時脈之時序圖。

第 19 圖係顯示第 17 圖之充電泵的變形例之電路圖。

第 20(a)圖係顯示將第 19 圖之電路做為 8 段之充電泵而動作之情況時所施加的時脈之時序圖、第 20(b)圖係顯示將第 18 圖之電路做為 4 段之充電泵而動作之情況時所施加的時脈之時序圖。

第 21 圖係顯示具備有本發明之變形例的電源切斷檢測電路的快閃記憶體之電源切斷檢測部之構成例的方塊圖。

第 22 圖係顯示第 21 圖之電源切斷檢測部的動作波形例之波形圖。

[符號之簡單說明]

10 記憶體陣列

11 位址解碼器

16 控制邏輯部

(29)

19 電源電壓檢測電路

23 內部電源電路

25 電源切斷檢測電路

MC 記憶體單元

WL 字線

BL 位元線

SL 源線

STR 狀態暫存器

ADR 位址暫存器

WDR 字元驅動器

CFM 標記記憶體

伍、中文發明摘要

發明之名稱：非揮發性半導體記憶裝置

本發明係以在如快閃記憶體之可實行電氣地寫入、抹除之非揮發性半導體記憶裝置中，即使在寫入或抹除之動作中產生電源切斷的情形時，亦不會發生空乏狀態之記憶體單元做為技術課題。

本發明之解決手段方面係被構成，在如快閃記憶體之非揮發性半導體記憶裝置中，在寫入或抹除之動作中產生電源切斷的情形時，將實施中之動作中斷，並且將閾電壓朝向逆方向變化，以實行修復處理。並且，將內部電源電路(充電泵之段數)構成可因應於電源電壓之位準而切換，以實行該修復處理。

陸、英文發明摘要

發明之名稱：

(1)

拾、申請專利範圍

1.一種非揮發性半導體記憶裝置，其係具備含有一個可將記憶資訊實施電氣地寫入、抹除，並記憶對應於閾電壓之資訊的複數個非揮發性記憶元件之記憶體陣列，而以預定之單位實行寫入及抹除之非揮發性半導體記憶裝置，其特徵為：

其係在寫入或抹除之動作中產生電源切斷的情形時，將實施中之動作中斷，並實行將寫入或抹除對象之記憶元件的閾電壓朝向高的方向變化之修復處理所構成者。

2.如申請專利範圍第 1 項所述之非揮發性半導體記憶裝置，其中其係具備有輸入預定之控制信號的外部端子，因應於輸入於該外部端子之控制信號的變化而認知電源切斷的發生，因而實行上述修復處理所構成。

3.如申請專利範圍第 2 項所述之非揮發性半導體記憶裝置，其中上述記憶元件係被構成：根據寫入動作而將閾電壓做成高的狀態，根據抹除動作而將閾電壓做成低的狀態，在寫入或抹除動作中發生電源切斷之情形時，判斷寫入或抹除對象之記憶元件的閾電壓是否變成預定位準以下，將閾電壓在預定位準以下之記憶元件朝向閾電壓提高的方面施加偏電壓。

4.如申請專利範圍第 3 項所述之非揮發性半導體記憶裝置，其中在記憶資訊進行寫換之時，一旦將選擇之記憶元件之閾電壓做成低的狀態之後，將其變化成高的狀態。

5.如申請專利範圍第 4 項所述之非揮發性半導體記憶

(2)

裝置，其中上述記憶體陣列係具有複數個由複數個記憶元件形成並聯形態連接之記憶體列。

6.如申請專利範圍第 5 項所述之非揮發性半導體記憶裝置，其中具有由在寫入或抹除動作中發生電源切斷之事記憶起來之非揮發性記憶元件所形成之旗標。

7.如申請專利範圍第 6 項所述之非揮發性半導體記憶裝置，其中上述旗標係被設置於每個寫入單位上。

8.如申請專利範圍第 6 項所述之非揮發性半導體記憶裝置，其中位址之解碼係構成以階層的方式進行，具有個別對應於上位之位址解碼而選擇的第 1 記憶元件群內之各個旗標所形成之第 1 旗標群，及個別對應於與第 1 記憶元件群內之下位位址共用之第 2 記憶元件群之旗標所形成的第 2 旗標群，在實行寫入或抹除之際發生電源切斷之情況時，上述第 1 旗標群之旗標及第 2 旗標群之旗標將個別所對應之第 1 記憶元件群及第 2 記憶元件群做成設定狀態。

9.如申請專利範圍第 5 項所述之非揮發性半導體記憶裝置，其中具有將電源切斷發生時點的寫入或抹除對象之記憶元件記憶到指定的位址上之非揮發性記憶電路。

10.如申請專利範圍第 9 項所述之非揮發性半導體記憶裝置，其中又具有在電源切斷發生時點之動作係為寫入動作模式或抹除動作模式之情況之時，記憶該動作模式之旗標。

11.如申請專利範圍第 9 項所述之非揮發性半導體記憶裝置，其中電源在升起之時，記憶於上述非揮發性記憶

(3)

電路之位址被讀出到預定的暫存器上。

12.如申請專利範圍第 11 項所述之非揮發性半導體記憶裝置，其中其係被構成爲因應於來自外部之預定指令碼或者控制信號之輸入而將保持於上述暫存器中的位址朝向外部輸出。

13.一種非揮發性半導體記憶裝置，其係具備含有一個可將記憶資訊實施行電氣地寫入、抹除，並記憶對應於閾電壓之資訊的複數個非揮發性記憶元件之記憶體陣列，及根據從外部所供給之外部電源電壓而產生內部動作所需的內部電源電壓之內部電源電路，且以預定之單位實行寫入及抹除之非揮發性半導體記憶裝置，其特徵爲：

上述內部電源電路被構成可切換，以因應於上述外部電源電壓之位準而產生不同的內部電源電壓，在寫入或抹除動作中發生電源切斷之情況時，將實施中的動作中斷，且將寫入或抹除對象之記憶元件之閾電壓朝向提高的方向變化而實行修復處理。

14.如申請專利範圍第 13 項所述之非揮發性半導體記憶裝置，其中上述內部電源電路係被構成具備有可將段數切換之充電泵電路，該充電泵電路在段數做成少的狀態中，係以和升壓動作無關的升壓段之升壓用電容器做爲平流電容器之功能。

15.如申請專利範圍第 14 項所述之非揮發性半導體記憶裝置，其中其被構成具備有可檢測來自外部所供給之電源電壓之位準的電源電壓檢測電路，上述內部電源電路因

(4)

應於由該電源電壓所檢測之位準，而將上述充電泵電路之段數切換。

16.一種非揮發性半導體記憶裝置，其特徵為：

具有 1 以上之非揮發性記憶體、及控制器，被供給來自外部之第 1 位準的電源電壓，

上述控制器對上述非揮發性記憶體分別實行讀出動作、寫入動作、抹除動作之動作指示，

上述非揮發性記憶體具有複數個記憶體單元，其因應於來自控制器的動作指示而進行處理，

上述讀出動作中，上述非揮發性記憶體從含有上述複數個記憶體單元之第 1 群之記憶體單元中實形資料之讀出，並將該資料輸出到控制器，

上述寫入動作中，上述非揮發性記憶體從上述控制器接受資料，並將該資料實行寫入到第 1 群之記憶體單元中，

上述抹除動作中，上述非揮發性記憶體將儲存於上述第 1 群之記憶體單元中之資料實行抹除，

在上述寫入動作或上述抹除動作之任何一個動作途中，當檢測到上述電源電壓降低到比上述第 1 位準更低之第 2 位準之情況時，上述非揮發性記憶體將動作途中之上述寫入動作或上述抹除動作中止，而實行第 1 動作。

17.如申請專利範圍第 16 項所述之非揮發性半導體記憶裝置，其中上述複數個記憶體單元分別具有閾電壓，利用寫入動作或抹除動作將記憶體單元之閾電壓遷移，而包

(5)

含在複數個閾電壓分布之任一個的分布範圍內，

上述抹除動作中，將該第 1 群之記憶體單元的閾電壓遷移到上述複數個閾電壓分布之內，而包含於顯示抹除狀態之閾電壓分布內，

在上述記憶體單元之閾電壓遷移之途中，超過顯示上述抹除狀態之閾電壓分布，而成爲 1 或 1 以上之記憶體單元的閾電壓之被遷移狀態，

上述第 1 動作係將上述 1 或 1 以上之記憶體單元的閾電壓遷移的動作，以使其可被包含於顯示上述抹除狀態的閾電壓分布內。

18.如申請專利範圍第 17 項所述之非揮發性半導體記憶裝置，其中上述寫入動作中，上述抹除動作被實行之後，將上述複數個記憶體單元之中一群的各個記憶體單元之閾電壓，分別因應於儲存在個別記憶體單元之資料而遷移，而被包含在複數個閾電壓分布之任一個的分布範圍內。

19.如申請專利範圍第 16 項所述之非揮發性半導體記憶裝置，其中：

上述非揮發性記憶體具有複數個字線，

上述第 1 群之記憶體單元連接到 1 條字線上，該 1 條字線又被第 2 群之記憶體單元所連接，

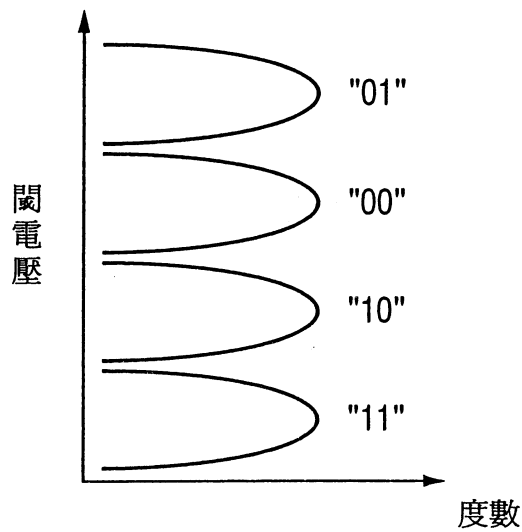
上述第 1 動作將顯示電源電壓降低到第 2 位準之事儲存到上述第 2 群之記憶體單元內。

20.如申請專利範圍第 19 項所述之非揮發性半導體記

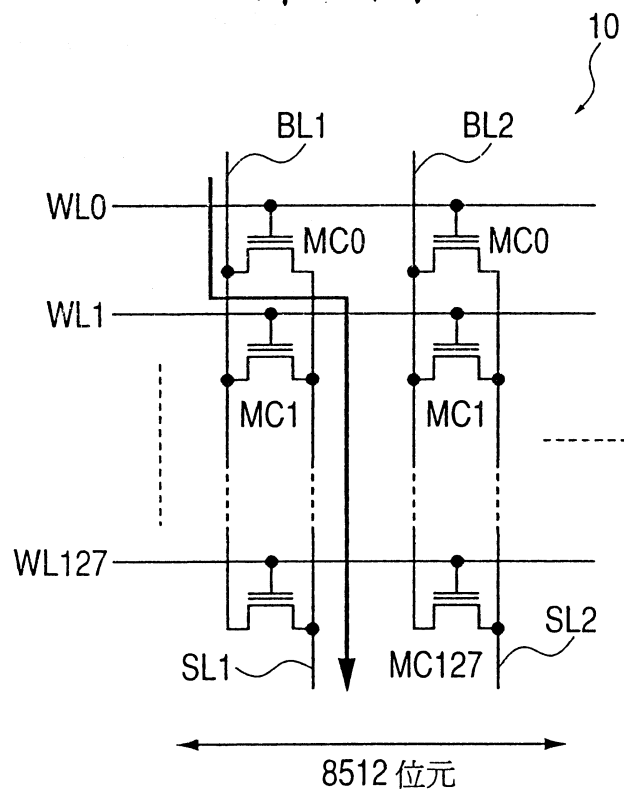
(6)

憶裝置，其中在上述讀出動作中，將顯示電源電壓降低到第 2 位準之事儲存到上述第 2 群之記憶體單元內之時，將讀出錯誤通知上述控制器。

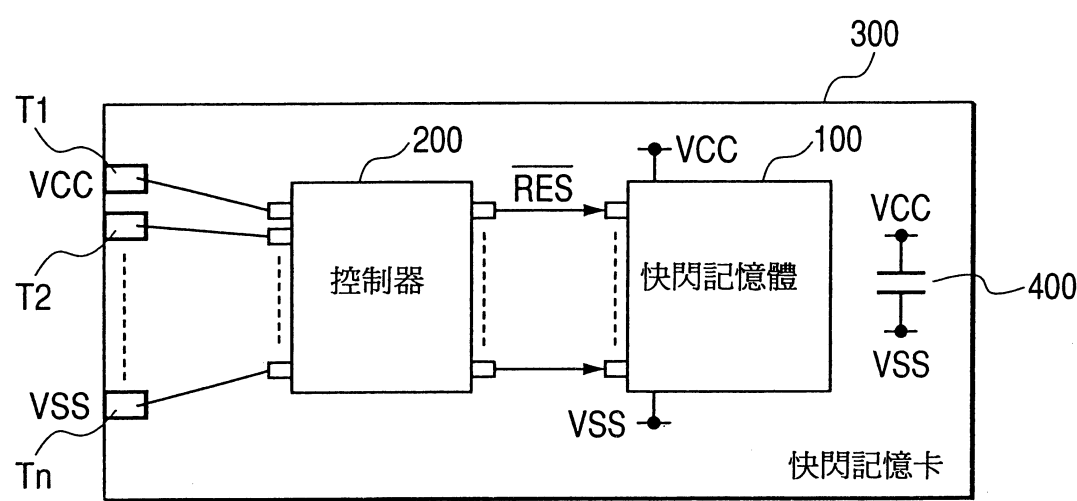
第2圖



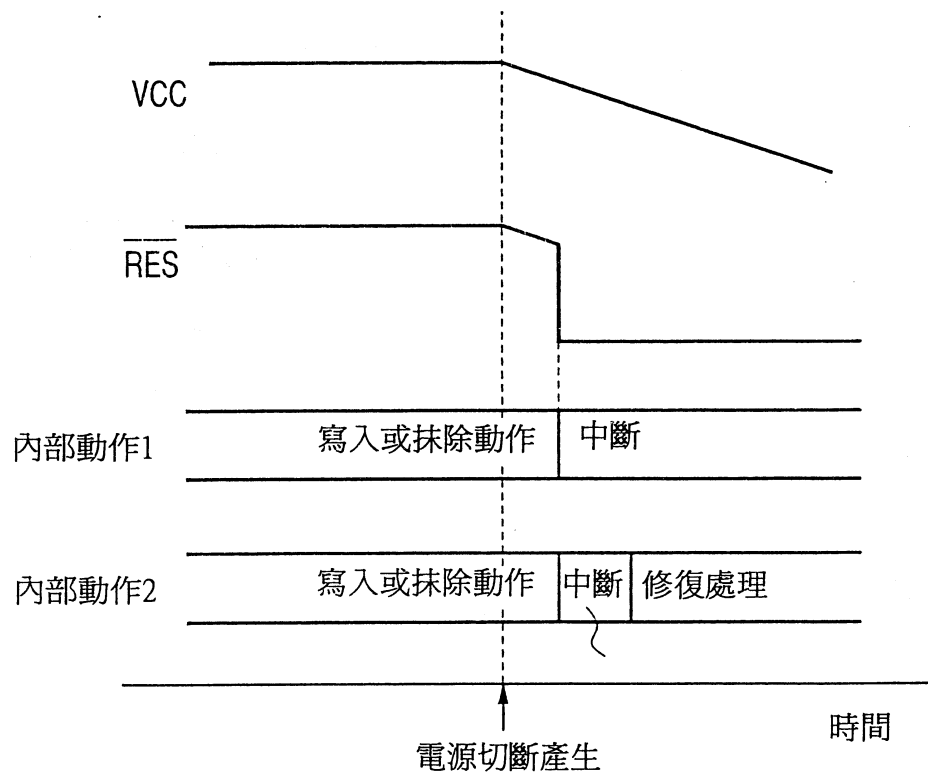
第3圖



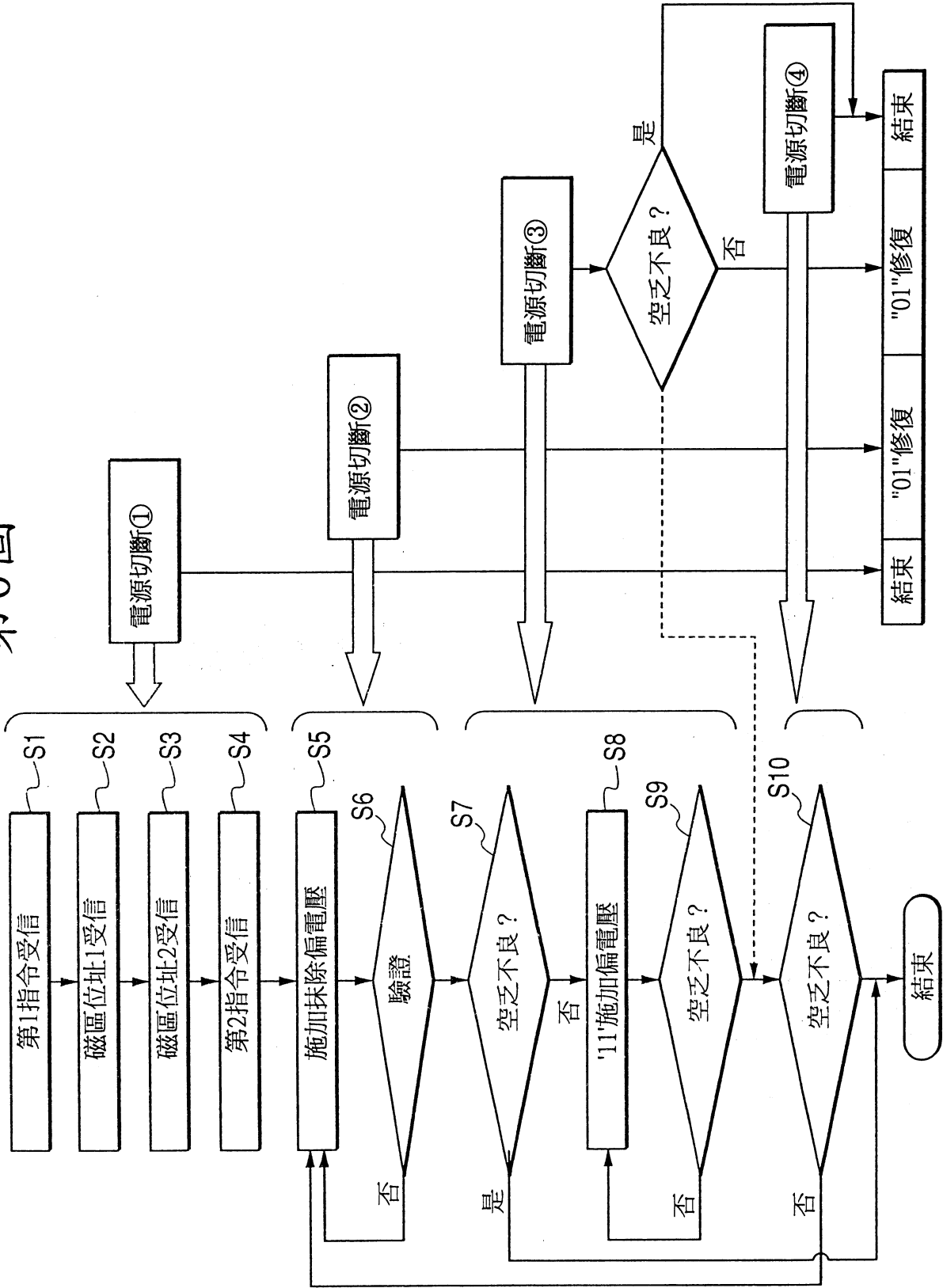
第4圖



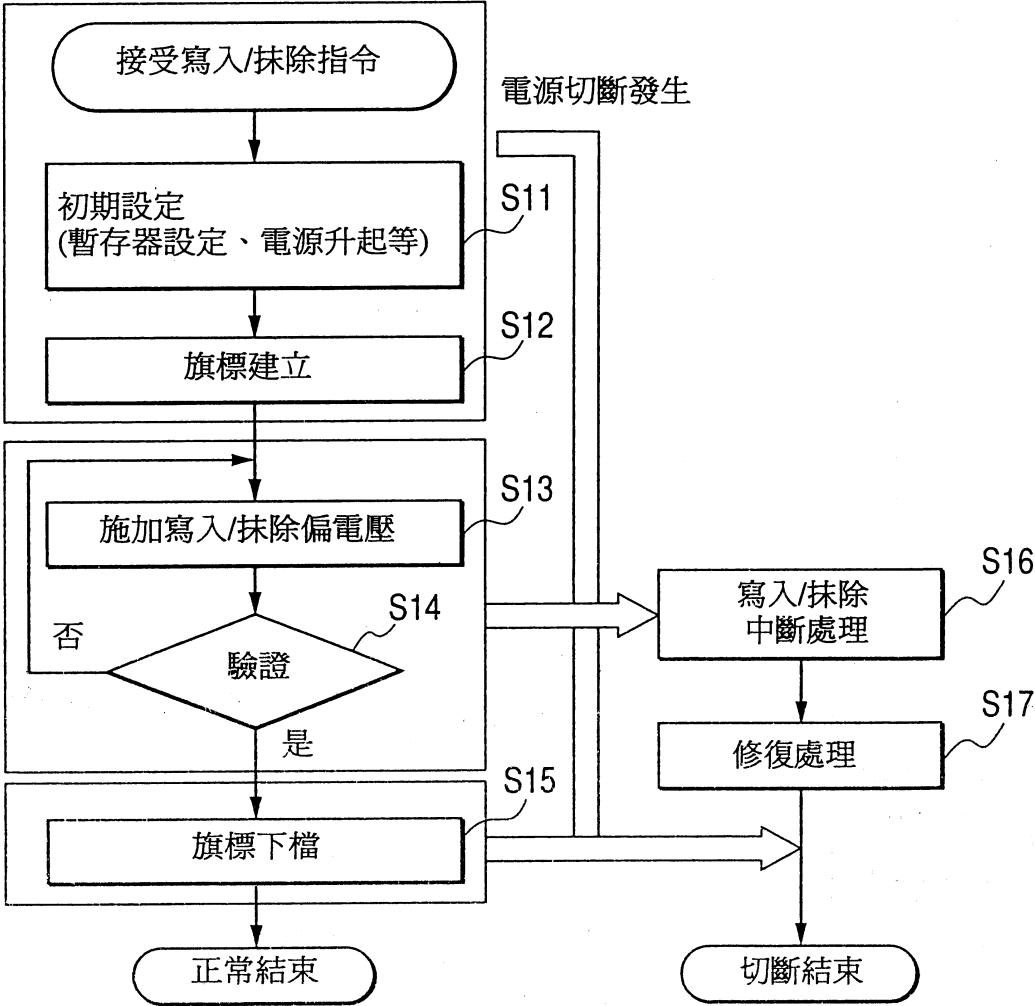
第5圖



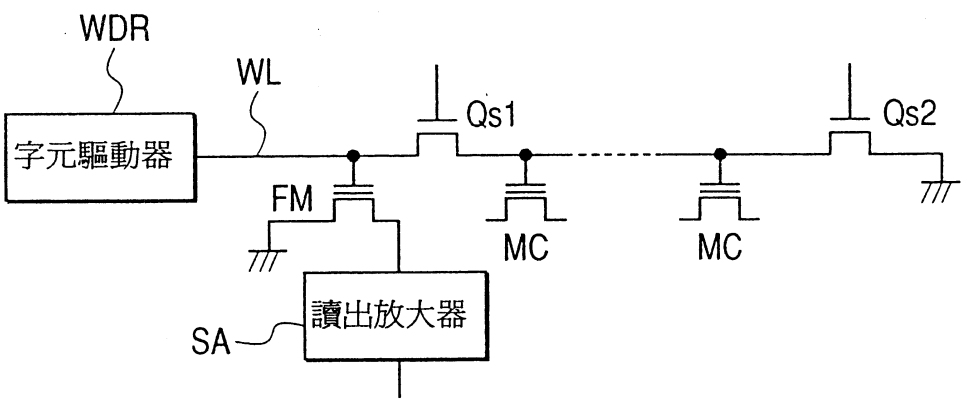
第6圖



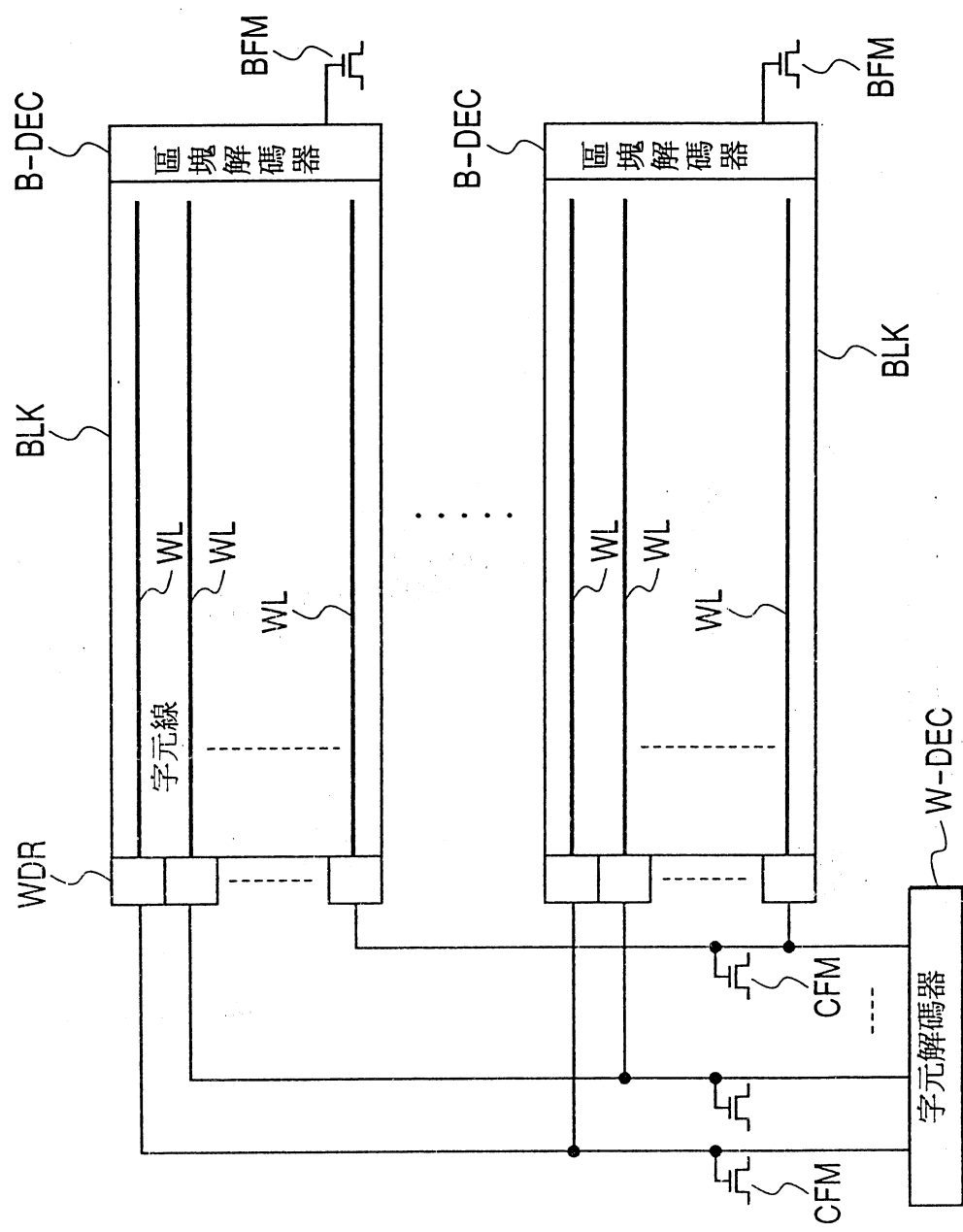
第7圖



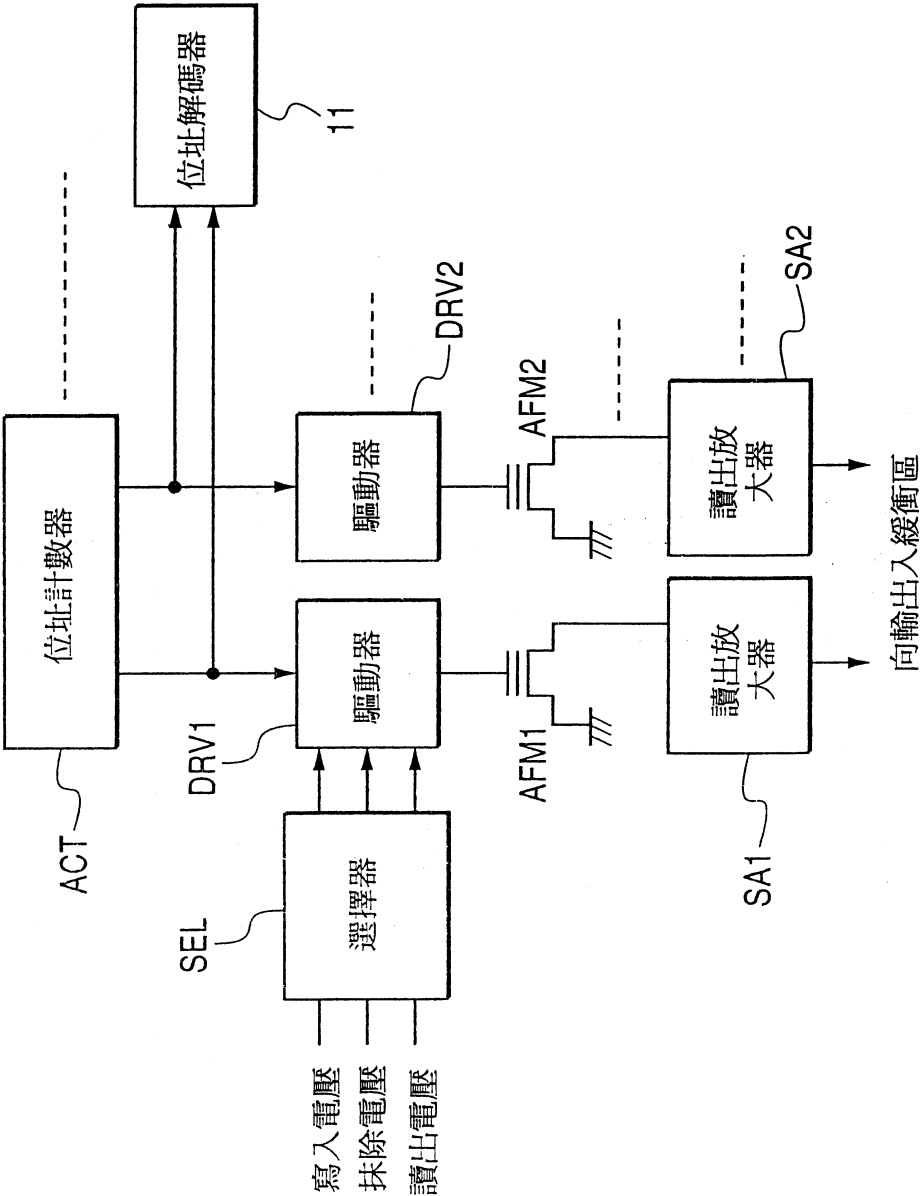
第8圖



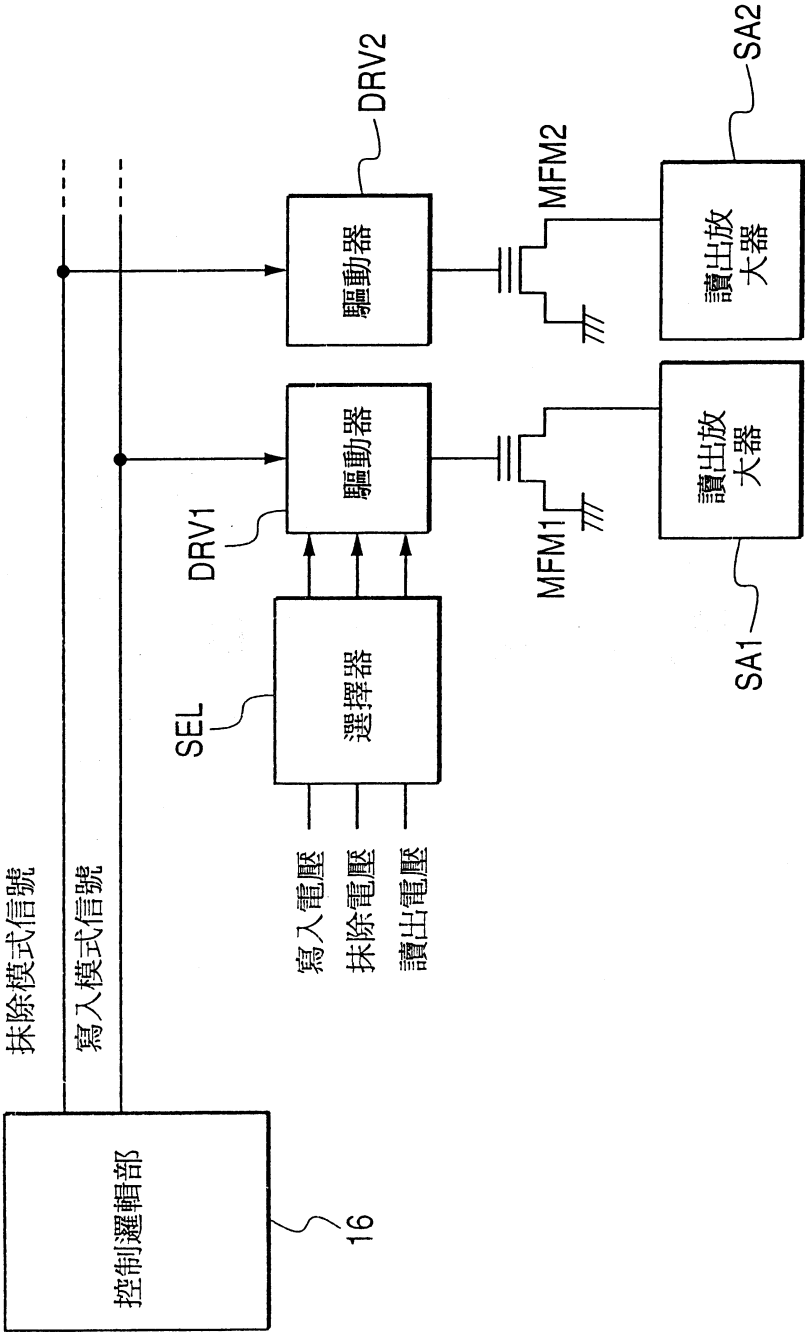
第9圖



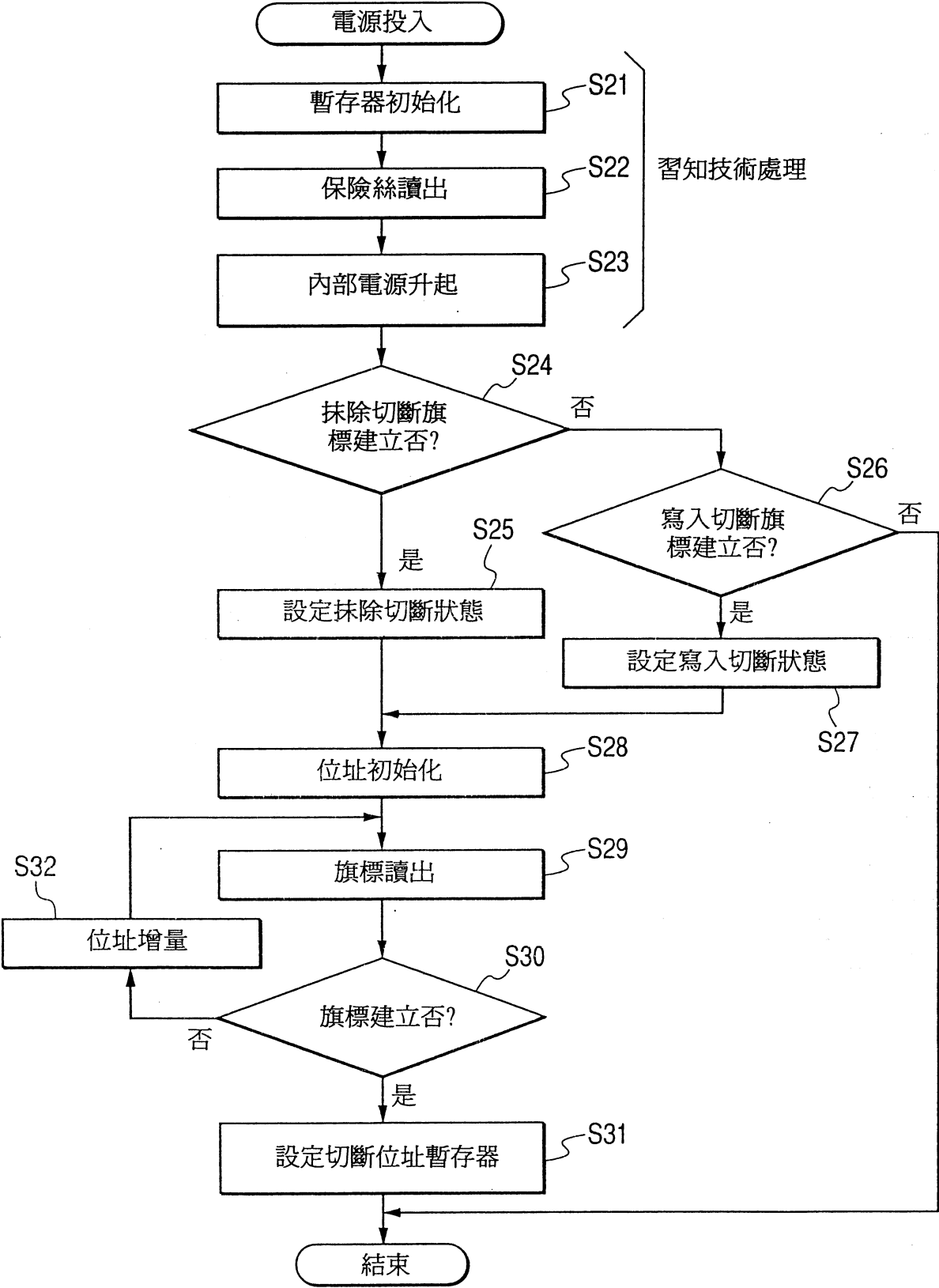
第10圖



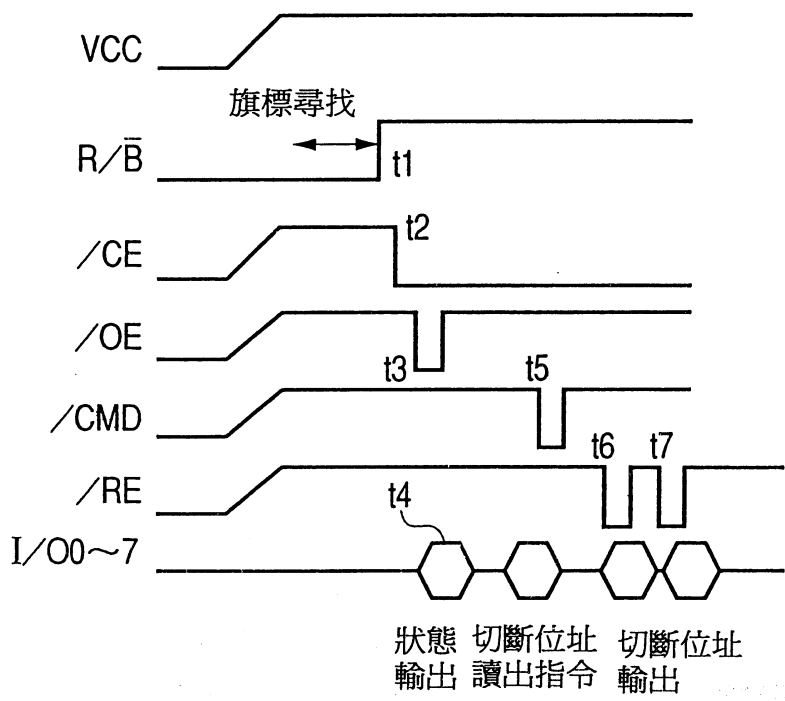
第11圖



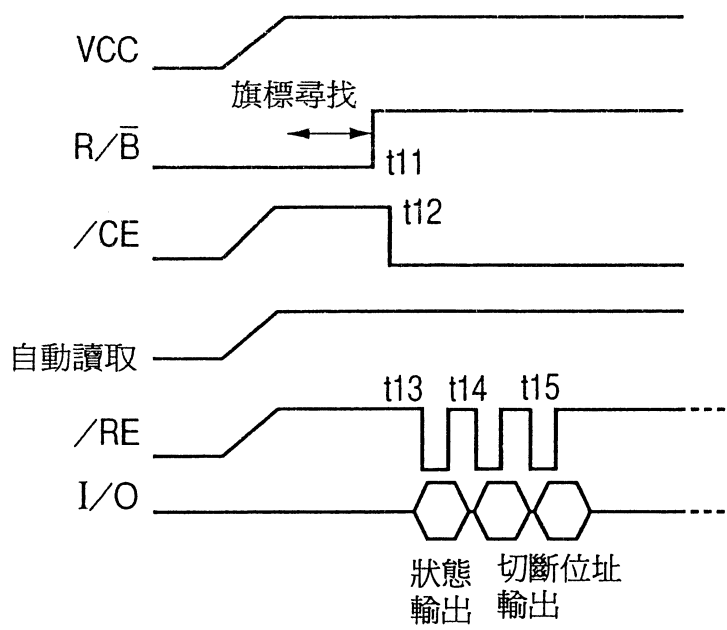
第12圖



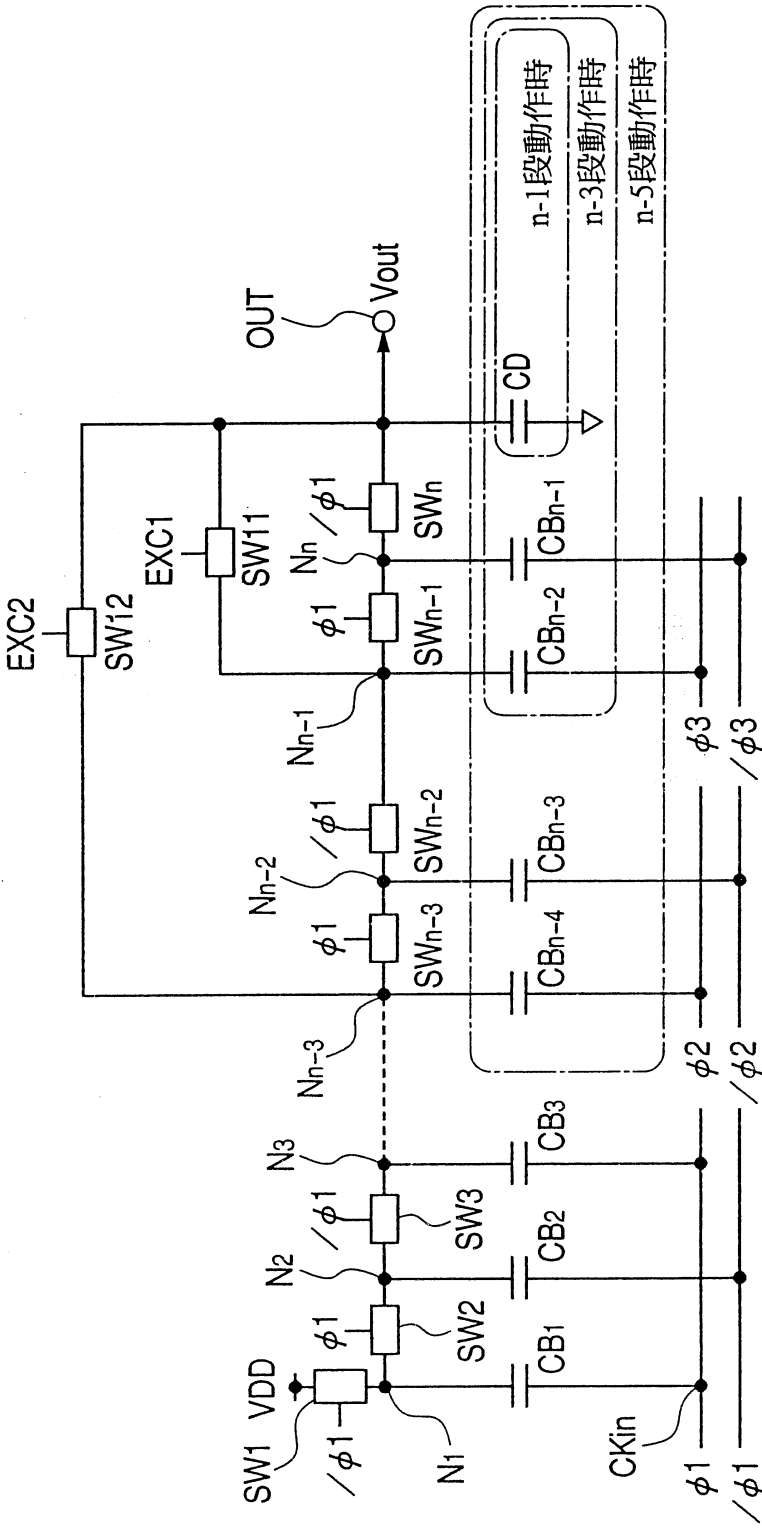
第13圖



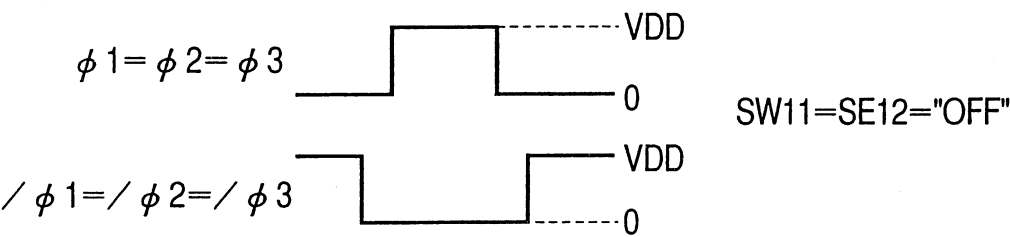
第14圖



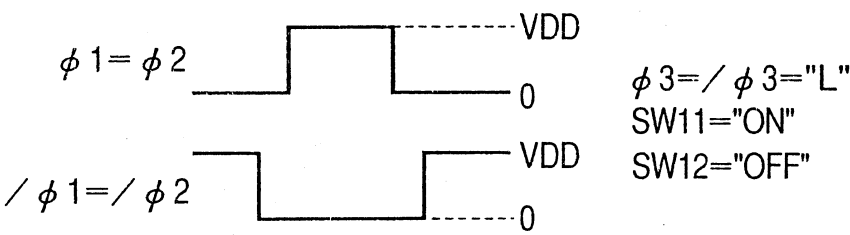
第15圖



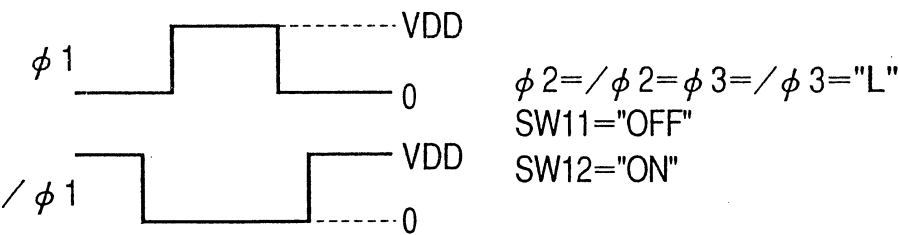
第16(a)圖



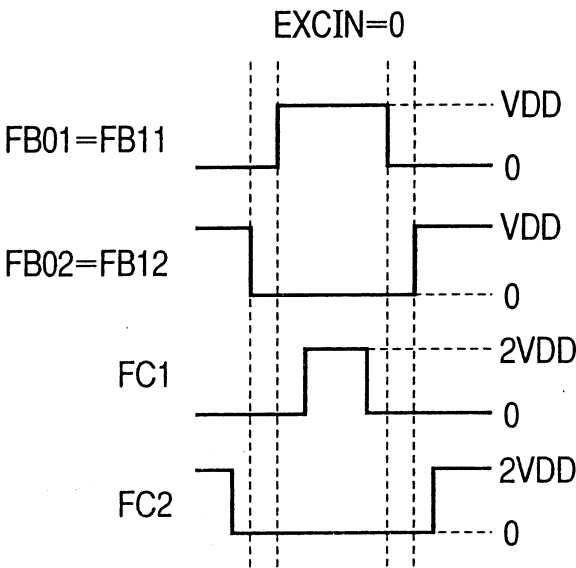
第16(b)圖



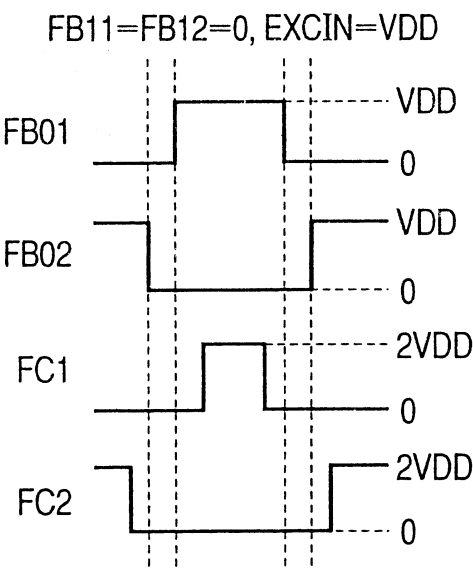
第16(c)圖



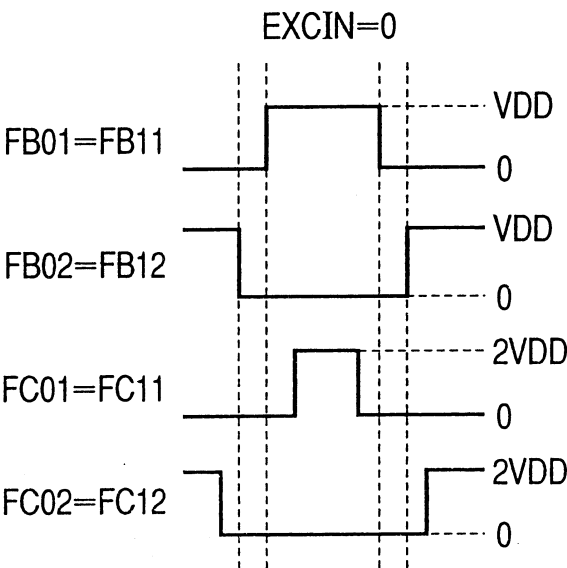
第18(a)圖



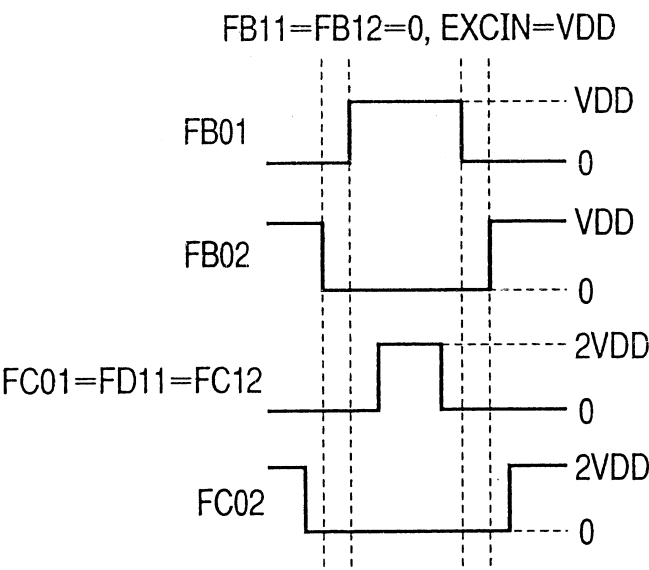
第18(b)圖



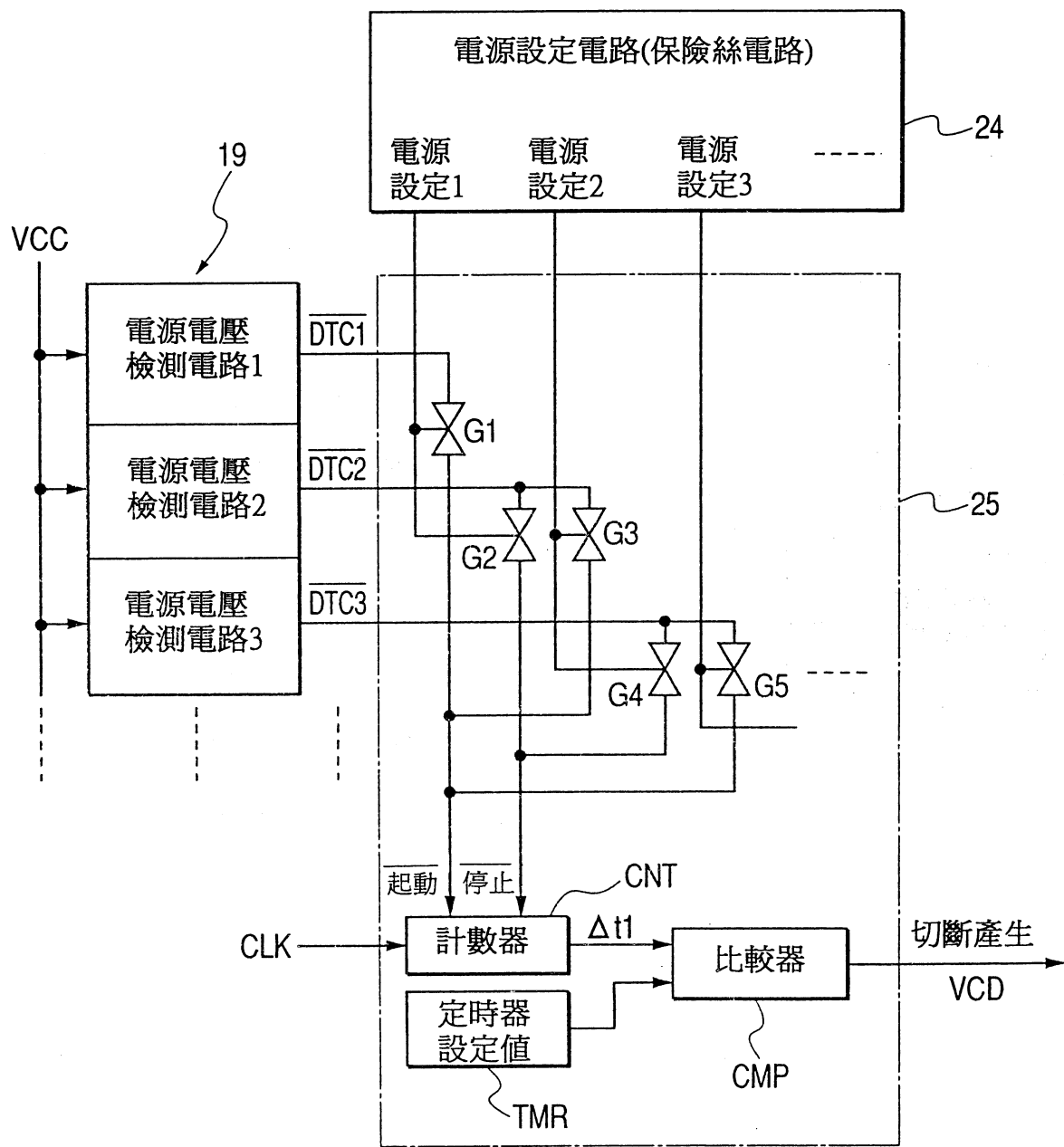
第20(a)圖



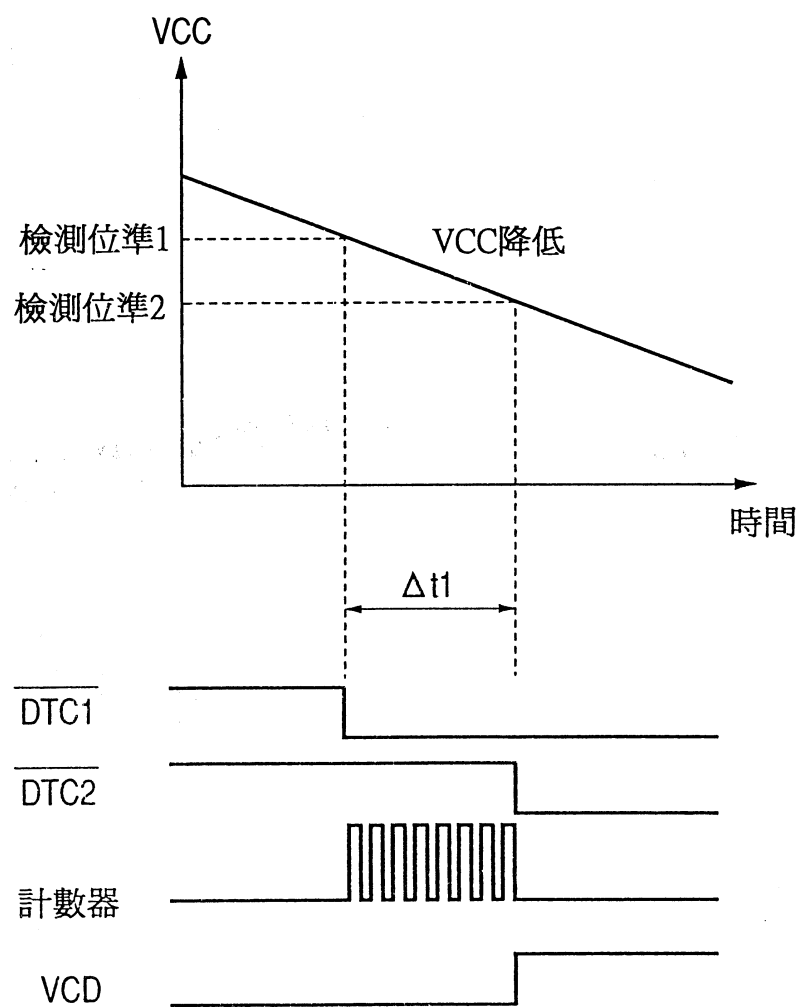
第20(b)圖



第21圖



第22圖



柒、（一）、本案指定代表圖為：第 7 圖

（二）、本代表圖之元件代表符號簡單說明：無

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：