(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[5]
H01L 23/48

(11) 공개번호 특1991-0020866
(43) 공개일자 1991년12월20일

(21) 출원번호 특1991-0007181
(22) 출원일자 1991년05월03일
(30) 우선권주장 118427 1990년05월08일 일본(JP)
126140 1990년05월16일 일본(JP)
51113 1990년05월16일 일본(JP)
80068 1991년04월12일 일본(JP)
(71) 출원인 세이꼬 엡슨 가부시끼가이샤 야마무라 가쯔미
일본국 도오꾜도 신쥬꾸꾸 니시신쥬꾸 2죠메 4반 1고
(72) 발명자 가사하라 요시히꼬
일본국 나가노껜 스와시 오와 3죠메 3반 5고 세이꼬 엡슨 가부시끼가이샤 나이
이또 다쯔로
일본국 나가노껜 스와시 오와 3죠메 3반 5고 세이꼬 엡슨 가부시끼가이샤 나이
(74) 대리인 이병호, 최달용

심사청구 : 없음

(54) 반도체 장치

요약

내용 없음

대표도

도1

명세서

[발명의 명칭]

반도체 장치

[도면의 간단한 설명]

제1도는 본 발명의 한 실시예의 상태를 밀봉 처리 이전에 도시한 평면도, 제2도는 본 발명의 한 실시예의 상태를 밀봉 처리 이전에 도시한 횡단면도, 제3도는 본 발명의 한 다른 실시예의 상태를 밀봉 처리 이전에 도시한 평면도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

막 캐리어의 디바이스 홀 내측에 반도체 칩을 설치하고, 상기 반도체 칩에 제공된 다수의 전극에 상기 막 캐리어 각각에 형성된 디바이스 홀 내측에 돌출된 다수의 전도성 패턴의 내부 리드를 접속시키고, 밀봉 수지로 상기 반도체 칩 혹은 반도체 칩 및 전도성 패턴의 일부를 밀봉하는 반도체 장치에 있어서, 상기 디바이스 홀을 구성하는 개구의 엣지와 디바이스 홀 내측에 설치된 반도체 칩의 외부 주변 엣지에 형성된 간격은 0.4㎜ 내지 0.8㎜로 설정되는 것을 특징으로 하는 반도체 장치.

청구항 2

막 캐리어의 디바이스 홀 내측에 반도체 칩을 설치하고, 상기 반도체 칩에 제공된 다수의 전극에 상기 막 캐리어 각각에 형성된 디바이스 홀 내측에 돌출된 다수의 전도성 패턴의 내부 리드를 접속시키고, 밀봉 수지로 상기 반도체 칩 혹은 반도체 칩 및 전도성 패턴의 일부를 밀봉하는 반도체 장치에 있어서, 상

기 내부 리드상의 거의 중간 위치에 굴곡부를 제공하는 을 특징으로 하는 반도체 장치.

청구항 3

막 캐리어의 디바이스 홀 내측에 반도체 칩을 설치하고, 상기 반도체 칩에 제공된 다수의 전극에 상기 막 캐리어 각각에 형성된 디바이스 홀 내측에 돌출된 다수의 전도성 패턴의 내부 리드를 접속시키고, 밀봉 수지로 상기 반도체 칩 혹은 반도체 칩 및 전도성 패턴의 일부를 밀봉하는 반도체 장치에 있어서, 상기 막 캐리어의 디바이스 홀을 구성하는 개구의 엣지상에 각각의 전도성 패턴 근처에 절단부를 제공하는 것을 특징으로 하는 반도체 장치.

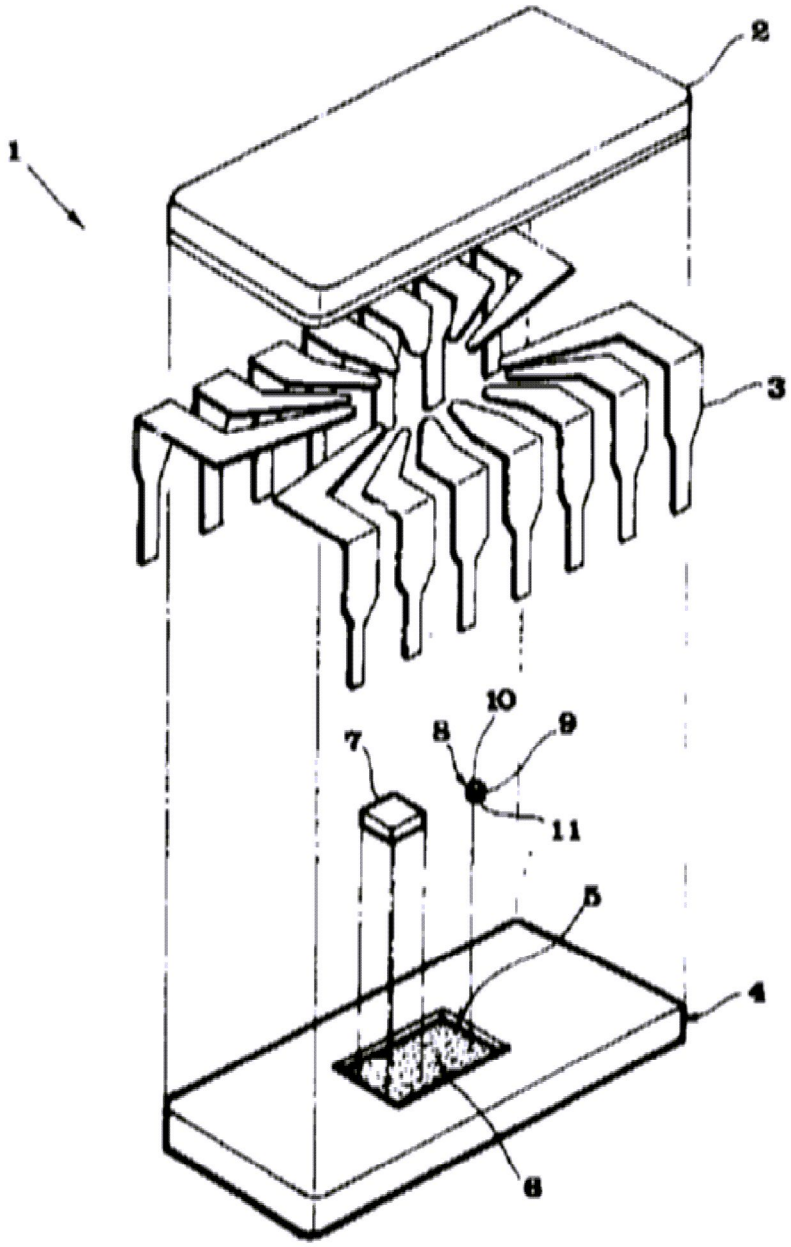
청구항 4

제3항에 있어서, 상기 절단부는 길고 좁은 정방형으로 된 것을 특징으로 하는 반도체 장치.

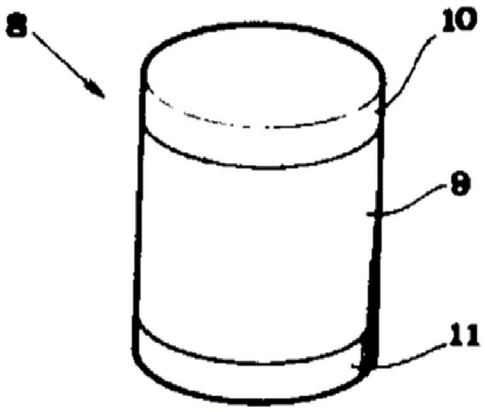
※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

도면1



도면2



도면3

