

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4494337号  
(P4494337)

(45) 発行日 平成22年6月30日(2010.6.30)

(24) 登録日 平成22年4月16日(2010.4.16)

(51) Int.Cl.

F I

G 1 1 B 9/14 (2006.01)

G 1 1 B 9/14

C

G 1 1 B 9/14

G

請求項の数 19 (全 15 頁)

(21) 出願番号 特願2005-500037 (P2005-500037)  
 (86) (22) 出願日 平成15年10月1日(2003.10.1)  
 (65) 公表番号 特表2006-502523 (P2006-502523A)  
 (43) 公表日 平成18年1月19日(2006.1.19)  
 (86) 国際出願番号 PCT/FR2003/002879  
 (87) 国際公開番号 W02004/032132  
 (87) 国際公開日 平成16年4月15日(2004.4.15)  
 審査請求日 平成18年9月22日(2006.9.22)  
 (31) 優先権主張番号 02/12275  
 (32) 優先日 平成14年10月3日(2002.10.3)  
 (33) 優先権主張国 フランス (FR)  
 (31) 優先権主張番号 03/07965  
 (32) 優先日 平成15年7月1日(2003.7.1)  
 (33) 優先権主張国 フランス (FR)

(73) 特許権者 502142323  
 コミサリア、ア、レネルジ、アトミクーセ  
 ーエーアー  
 COMMISSARIAT A L' EN  
 ERGIE ATOMIQUE  
 フランス国 75015 パリ、パティモ  
 ン “ル ポナン デ”, リュ ルブラン  
 , 25  
 (74) 代理人 100075812  
 弁理士 吉武 賢次  
 (74) 代理人 100088889  
 弁理士 橘谷 英俊  
 (74) 代理人 100082991  
 弁理士 佐藤 泰和

最終頁に続く

(54) 【発明の名称】 ダイヤフラム型支持体を有するデータ記録装置

(57) 【特許請求の範囲】

【請求項 1】

記憶媒体に向けた平面内に配置され、高さのばらつきのあるマイクロチップ(3)の2次元アレイ、及び前記記憶媒体上へのデータの記録を可能にするよう前記マイクロチップをアドレス指定して前記マイクロチップを制御する電子的手段を有するデータ記録装置において、前記記憶媒体は、複数のセルを形成するフレーム(1)によって支持された可撓性ダイヤフラム(2)を有し、少なくとも1つのマイクロチップ(3)は、前記セルの1つ以上と対向し、前記可撓性ダイヤフラムは前記マイクロチップの高さのばらつきを補償するように局所的に変形可能であることを特徴とする装置。

【請求項 2】

前記マイクロチップは、ナノメートル台の寸法の頂点を有していることを特徴とする請求項1記載の装置。

【請求項 3】

前記セルは、矩形であることを特徴とする請求項1又は2記載の装置。

【請求項 4】

前記セルは、六角形であることを特徴とする請求項1又は2記載の装置。

【請求項 5】

前記記憶媒体の各側に設けられたマイクロチップ(3a, 3b)の2つのアレイを有していることを特徴とする請求項1～4のうちいずれか一に記載の装置。

【請求項 6】

10

20

前記マイクロチップの2つのアレイは、フレーム(1)のいずれか1つのセルと関連したマイクロチップ(3a, 3b)が互いに正確に対向して配置されることはないように側方にずらされていることを特徴とする請求項5記載の装置。

【請求項7】

前記フレーム(1)は、内部にセルを形成するシリコン層で形成されていることを特徴とする請求項1～6のうちいずれか一に記載の装置。

【請求項8】

前記可撓性ダイヤフラム(2)は少なくとも、メモリの機能を実行する第1の層(10)及び前記可撓性ダイヤフラムの剛性を増加させるよう設計された第2の層(6)を有していることを特徴とする請求項1～7のうちいずれか一に記載の装置。

10

【請求項9】

前記第2の層(6)は、セルの形成を前記シリコン層(7)の反対面に行う前に前記シリコン層(7)に被着された非晶質炭素又はダイヤモンド様炭素の層であることを特徴とする請求項8記載の装置。

【請求項10】

前記第2の層(6)には硼素又は銀がドーピングされていることを特徴とする請求項9記載の装置。

【請求項11】

前記可撓性ダイヤフラムは、前記フレーム(1)に対し側方にずらされたスペーサ要素(12, 12a, 12b)のアレイによって分離された第1の基本ダイヤフラム(2a)及び第2の基本ダイヤフラム(2b)から成ることを特徴とする請求項1～10のうちいずれか一に記載の装置。

20

【請求項12】

前記スペーサ要素(12)のアレイは、中間フレーム(12b)を構成していることを特徴とする請求項11記載の装置。

【請求項13】

前記スペーサ要素は、スタッド(12a)によって形成されていることを特徴とする請求項11記載の装置。

【請求項14】

スペーサスタッド(12a)の2次元アレイによって前記ダイヤフラム(2)から分離されていて、各セルを各々が少なくとも1つのマイクロチップ(3)と関連した複数の基本セルに細分する可撓性プレート(13)のアレイを有していることを特徴とする請求項1～10のうちいずれか一に記載の装置。

30

【請求項15】

前記アレイを構成するマイクロチップ(3)の数は、約10,000個であり、セルが細分されて形成された基本セルの数は、約100個であることを特徴とする請求項14記載の装置。

【請求項16】

マイクロチップ(3)のアレイは、前記スペーサスタッド(12a)のアレイのピッチ(P2)とは僅かに異なるピッチ(P1)を有していることを特徴とする請求項14又は15記載の装置。

40

【請求項17】

前記フレーム(1)及びプレート(13)は、厚さが100μm～500μmのシリコン層(14)中に形成されることを特徴とする請求項14～16のうちいずれか一に記載の装置。

【請求項18】

前記スペーサ要素又はスタッド(12, 12a, 12b)は、厚さ50nm～500nmの2酸化シリコン、窒化珪素又は炭素で作られていることを特徴とする請求項11～17のうちいずれか一に記載の装置。

【請求項19】

50

前記平面に平行な方向における記憶媒体とマイクロチップアレイの相対運動を可能にする手段を有していることを特徴とする請求項 1 ~ 18 のうちいずれかーに記載の装置。

【発明の詳細な説明】

【発明の詳細な説明】

【0001】

〔発明の背景〕

本発明は、記憶媒体に向けた平面内に配置されていて頂点がナノメートル台の寸法のものであるマイクロティップ(Microtip)の2次元アレイ及び記憶媒体上へのデータの記録を可能にするようマイクロティップをアドレス指定してこれを制御する電子的手段を有するデータ記録装置に関する。

【0002】

〔技術の現状〕

コンピュータ分野とマルチメディア分野の両方におけるデータ記録は、容量に関する要望の高まりに応えなければならない。光学素子及び相変化材料を用いて磁気ハードディスクからDVDまでの範囲にわたる種々の技術が開発された。用いられる記録技術が何であれ、メモリポイント(ビット)のサイズを減少させ、記憶密度を増大させる記録容量手段を増加させることが求められていることに変わりはない。

【0003】

最近、ティップ効果型顕微鏡で用いられる形式のマイクロティップを実現することにより約1テラビット/cm<sup>2</sup>の極めて大きな記憶容量が得られた(2000年5月発行のP. ベチガー(P. Vettiger)他著,「1000の足-将来のAFMデータ記憶用の1000以上のティップ(The Millipede-More than one thousand tips for future AFM data storage)」,アイビーエム・ジャーナル・リサーチ・ディベロップメント(IBM J. RES. Develop.),第44巻,第3号,P323~340及び2001年発行のドンウェオン・リー(Dong-Weon Lee)他著,「ナノメートル台の熱的画像取得およびデータ記憶用サブ100nmナノヒータのマイクロプローブアレイの製造(Fabrication of microprobe array with sub-100nm nano-heater for nanometric thermal imaging and data storage)」,テクニカル・ダイジェスト(Technical Digest),メムス2001(MEMS 2001),第14回・IEEE・インターナショナル・カンフェレンス・オン・マイクロ・エレクトロ・メカニカル・システムズ(14<sup>th</sup> IEEE International Conference on Micro Electro Mechanical Systems)(Cat. N° 01CH37090)PIEEE Pピスカッタウェイ,ニュー・ジャージー州,米国,P204~207)。高密度は、マイクロティップによりビットを局所化することにより得られ、マイクロティップの頂点は、ナノメートル台の寸法のものである。マイクロティップは好ましくは、データに対して並列アクセス方式でアレイ状に配列され、それにより速度に関する限り優れた性能を達成することができる。単一のアクチュエータ(これは、電気機械的なものであるのがよい)により、記憶媒体の表面に対するマイクロティップのアレイ全体の相対的一体運動が可能になる。

【0004】

かかるティップ効果方式のデータ記録装置では、全てのティップと記憶媒体を完全に接触させることが必要である。システムの複雑さのために、各マイクロティップの位置を個々に制御することは期待できない。しかしながら、マイクロティップは、マイクロエレクトロニクスの技術に由来する技術によってひとまとめに製作され、マイクロティップの高さのばらつきは、製作に起因して常に存在したままである。このばらつきは非常に小さく、典型的には約100nmであるが、アレイを構成するマイクロティップのうち最も長いものが、他のマイクロティップよりも一層強く記憶媒体に押し当たる。

【0005】

この問題を解決するため、各マイクロティップは、局所プローブ顕微鏡で用いられるマイクロティップアレイと類似したやり方でカンチレバーの一端部によりオーバーハングした状態で支持される。この場合、カンチレバーの可撓性により、支承体の歪みを吸収することができる。

10

20

30

40

50

## 【 0 0 0 6 】

しかしながら、記憶媒体に加わるマイクロチップの支承力は、記憶媒体を損傷させないよう約 1 0 0 n N の値を超えてはならない。さらに言えば、記憶媒体とのマイクロチップの接触面が微小なので、圧力が高い。したがって、カンチレバーは、マイクロチップの高さのばらつきを吸収するよう可撓性が非常に高くなければならない。例えば、剛性が約 1 N / m、長さが約 1 0 0 μ m、幅が数十 μ m、厚さが数 μ m のカンチレバーが開発された。これ以上可撓性の高いカンチレバーを計画することは困難である。これらの寸法形状は事実、これらの小さな幅及び（又は）高さと比較して長さが大きいので使いこなすのが困難である。加うるに、記憶媒体の表面に向けたチップの位置決め精度に悪影響が生じ、かくして記憶密度が制限される。

10

## 【 0 0 0 7 】

〔 発明の目的 〕

本発明の目的は、上述の欠点がなく、特にマイクロチップの高さ方向のばらつきを無視できるようにするデータ記録装置を提供することにある。

## 【 0 0 0 8 】

本発明によれば、この目的は、記憶媒体が複数のセルを形成するフレームによって支持された可撓性ダイヤフラムを有し、少なくとも 1 つのマイクロチップが各セルと関連していることによって達成される。このフレームにより、ダイヤフラムの剛性を確保でき、しかも各セル内部でのその運動の自由度を確保することができる。

20

## 【 0 0 0 9 】

本発明の開発例によれば、マイクロチップの 2 つのアレイは、記憶媒体の各側に設けられる。

## 【 0 0 1 0 】

マイクロチップの 2 つのアレイは好ましくは、フレームのいずれか 1 つのセルと関連したマイクロチップが互いに正確に対向して配置されることはないように側方にずらされる。

## 【 0 0 1 1 】

好ましい実施形態によれば、可撓性ダイヤフラムは少なくとも、メモリの機能を実行する第 1 の層及び或る程度の剛性を確保するよう設計された第 2 の層を有する。

## 【 0 0 1 2 】

本発明の別の開発例によれば、可撓性ダイヤフラムは、フレームに対し側方にずらされたスペース要素のアレイによって分離された第 1 の基本ダイヤフラム及び第 2 の基本ダイヤフラムから成る。これにより、望ましくないエッジ効果を無くすることができる。

30

## 【 0 0 1 3 】

これ又エッジ効果を制限することができる別の変形実施形態では、データ記録装置は、スペーススタッドの 2 次元アレイによってダイヤフラムから分離されていて、各セルを各々が少なくとも 1 つのマイクロチップと関連した複数の基本セルに細分する可撓性プレートのアレイを有する。

## 【 0 0 1 4 】

データ記録装置は好ましくは、上述の平面に平行に、場合によってはこれに垂直に記憶媒体とマイクロチップアレイの相対運動を可能にする手段を有する。

40

## 【 0 0 1 5 】

他の利点及び特徴は、非限定的な例として与えられているに過ぎず、添付の図面に記載された本発明の特定の実施形態についての詳細な説明から明らかになるう。

## 【 0 0 1 6 】

〔 特定の実施形態の説明 〕

図 1 に示すように、データ記録装置の基本要素は、フレーム 1 を含み、このフレーム 1 は、そのフェースのうち的一方に、記憶媒体を構成するフレキシブル又は可撓性ダイヤフラム 2 を支持している。各基本要素は、マイクロチップ 3 と関連したセルを形成しており、このマイクロチップ 3 は、記憶媒体に平行に記憶媒体に向けた状態で配置されたべ

50

ース4上に形成されている。

【0017】

データ記録装置は、マイクロチップの2次元アレイ(図3~図5)と関連した複数の隣り合うセルを有する。図4及び図5は、用いることができる2つの特定の形態を示しており、セルの形状はそれぞれ、矩形(図2及び図4)及び六角形(図5)である。

【0018】

休止位置では、マイクロチップ3は、可撓性ダイヤフラム2と接触状態にあるか又は可撓性ダイヤフラムに対して引っ込められているかのいずれかであるのがよい。後者の場合、読取り又は書き込み位置では、記憶媒体をベース4に垂直に動かしてマイクロチップ3を可撓性ダイヤフラム2によって形成された記憶媒体に接触させる。記憶媒体とマイクロチップのこれら平面に垂直な相対運動は好ましくは、ダイヤフラムの支持フレーム1の運動によって達成され、マイクロチップ3は、ベース4上に固定されたままの状態

10

【0019】

可撓性ダイヤフラムと接触しているかどうかにかかわらず、可撓性ダイヤフラムの平面に平行な方向におけるマイクロチップ3と記憶媒体の相対運動は又、それ自体マイクロコンピュータにより制御されるアクチュエータ(図示せず)によりダイヤフラム及び(又は)マイクロチップに伝達できる。

【0020】

読取り又は書き込み位置でのマイクロチップ3の制御及びアドレス指定又は多重化は、任意適当な手段、好ましくは、ベース4内に設けられた集積技術によって達成される電子回路により行われる。この場合、固定状態のマイクロチップ3は、シリコンに搭載されるマイクロエレクトロニクス技術によって達成できる。記憶媒体に向けた状態で配置されるベース4の表面全体は実際に、多くの先行技術の装置の場合とは異なり、記憶を目的として取り外す必要はないマイクロチップの電子アドレス指定及び制御回路に利用できる。これにより、用いられるシリコン表面を最適化することができる。電気的メモリの場合、電流は、マイクロチップから導電性ダイヤフラムに流れなければならない、このダイヤフラムはこの場合、電気的接続部(図示せず)によってベース4内に設けられた電子回路に接続される。

20

【0021】

可撓性ダイヤフラム2は、厚さが極めて小さく、即ち、約数ナノメートルから数マイクロメートルであり、導電性であるのがよい層によって形成される。したがって、可撓性ダイヤフラムは、その表面に垂直な局所的力の作用を受けて変形する。例えば、100nNの一点集中力の作用を受けた場合、約100 $\mu$ mの寸法(辺、直径等)のフレームにぴんと張った状態で被着された厚さ10nmのダイヤモンド様炭素層は、変形して約12 $\mu$ mのたるみを生じるが、これは、ほんの8.3nN/ $\mu$ mの等価剛性に相当し、即ち、従来型カンチレバーのたるみの1/100以下である。これよりも多少大きな厚さの層を選択することによりこの剛性定数を調節することは容易であり、剛性は、ダイヤフラムの厚さの3乗に比例する。

30

【0022】

剛性定数のこの低い値により、結果的に大きな支承力を生じさせることなくマイクロチップ3の大きな高さのばらつきが許容される。上述の例では、100nmのマイクロチップの高さのばらつきは、0.83nNの支承力、即ち100nNの公称支承力の1%未満のばらつきを示すに過ぎない。この場合、製作技術に起因するマイクロチップの高さのばらつきは全て、ダイヤフラムについて生じる平均変形度の大きさ、即ち、上述の例では12 $\mu$ mと比較して影響力をもつことはない。

40

【0023】

図4及び図5では、フレーム1のカプセルと関連したマイクロチップ3の可撓性ダイヤフラム2の支承点は、符号5で示されている。これら衝撃点は、セルの各々の中心のところに位置しておらず、オフセンタ状態にあり、フレーム及びダイヤフラムは読取り及び

50

(又は)書き込み中、マイクロチップアレイに対しダイヤフラム平面に平行に動く。

【0024】

フレーム1の平坦度は、マイクロチップ3の支承力に関する許容誤差と適合性が無ければならず、即ち、上述したように比較的大きい場合のあるマイクロチップの高さのばらつきに関する許容誤差と同一でなければならない。同じ理由で、記憶媒体について並外れた平坦度をもたらす必要はない。

【0025】

ダイヤフラム2は、その平面に垂直な寸法方向における剛性が低い、接線方向又は側方の変形について示す剛性が高く、このことは、たとえ3角形の形状により最適化されても記憶密度を制限する恐れのある大きな側方可撓性を示すという欠点のあるカンチレバー構造体とは異なっている。この良好な幾何学的剛性により、ダイヤフラムの表面に対するマイクロチップの端部の正確な位置決めが可能になる。

【0026】

カンチレバーアレイを用いるメモリとは異なり、上記メモリのサイズは、大きなデータ記録容量をもたらすよう大きく、即ち、 $1\text{ cm}^2$ 以上であるのがよい。

【0027】

ダイヤフラム2の可撓性に起因して、記憶媒体を構成するダイヤフラム2を支持するフレーム1を移動させるアクチュエータ(図示せず)は、ダイヤフラムの平面に垂直な寸法方向においてカンチレバーアレイを用いる装置の場合のように上述のように求められる精度を保証することは必要ではない。約数マイクロメートルの精度で十分であり、これに対し、先行技術では、約1ナノメートルの精度が必要である。この許容誤差により、アクチュエータの設計が桁外れに単純化される。

【0028】

データ記録装置は又、粗さに関する限り良好な許容誤差をもたらし、ダイヤフラムの固有の可撓性により、ダイヤフラムの粗さ(故意であるにせよそうでないにせよ)、例えばダイヤフラムのパターン付けにより又はラインによって構成される粗さを吸収することができる。

【0029】

本発明の装置は、高密度のマイクロチップ3を有するのがよい。かくして、先行技術においては、想定されていたマイクロチップアレイは、ピッチが $100\text{ }\mu\text{m}$ の $100\times 100$ 個の要素から成り、カンチレバーのサイズ及びチップアドレス指定ラインの存在は、最小ピッチを定める。本発明の装置では、セルは、カンチレバーが無いこと及び記憶媒体に対するアドレス指定回路の配置状態に起因して非常に小さい(例えば $100\text{ }\mu\text{m}$ )。かくして、メモリのアクセス時間を短縮するよう高い並行処理能力を持つメモリを得ることが可能である。

【0030】

図6に示された特定の実施形態では、記憶容量が、両面(両フェース)型記憶媒体を用いることにより2倍になっている。この場合、データ記録装置は、記憶媒体2の各側に設けられた2つのマイクロチップアレイ(3a, 3b)を有している。2つのマイクロチップアレイ3a, 3bは好ましくは、フレームの任意の1つのセルと関連したマイクロチップ3a, 3bが互いに正確に対向した状態で配置されることはないように側方にずらされている。

【0031】

図6では、第1のマイクロチップアレイのマイクロチップ3aは、ベース4a中に組み込まれた対応関係をなす電子回路の制御下で読取り又は書き込みを可能にするダイヤフラム2のフェースと接触状態にあり、これに対し、ダイヤフラム2の反対側のフェースと接触状態にある第2のマイクロチップアレイのマイクロチップ3bは、ベース4b中に組み込まれた対応関係にある電子回路の制御下で読取り又は書き込みを可能にする。好ましくは、フレーム1又はベース4a, 4bを相互に接合する連結部11により互いにしっかりと固定された2つのマイクロチップアレイをベース4a, 4b中に組み込まれ

10

20

30

40

50

た対応関係にある電子回路の制御下で読取り又は書き込み操作中、ダイヤフラムの平面に平行な平面内で移動させることができる。

【 0 0 3 2 】

代替実施形態では、第1のマイクロチップアレイのマイクロチップ3aは、ダイヤフラム2と接触状態にあり、ベース4a中に組み込まれた対応関係にある電子回路の制御下で読取り又は書き込みを可能にし、これに対し第2のマイクロチップアレイのマイクロチップ3bは、ダイヤフラムから僅かな距離を置いたところに位置する。ダイヤフラム支持フレーム1を第2のマイクロチップアレイ3bの方向でダイヤフラムの平面に垂直に動かすことにより、第1のアレイのマイクロチップ3aはダイヤフラムから遠ざけられ、これに対し、第2のアレイのマイクロチップ3bは、ダイヤフラムと接触してベース4b中に組み込まれた対応関係にある電子回路の制御下で読取り又は書き込みを可能にする。ベース4a、4b相互間の距離は、中央休止位置でダイヤフラムと接触するマイクロチップが存在しないよう選択されたものであるのがよい。フレームの運動に代えて、好ましくはベース4a、4b(連結部11)により互いに固定された2つのマイクロチップアレイを同時に動かしてもよい。

10

【 0 0 3 3 】

別の代替実施形態では、2つのマイクロチップアレイのベース4a、4bは、互いに固定されない。これらマイクロチップアレイを同時に且つ記憶媒体に対し互いに逆方向に動かすのがよい。第1の位置、即ち休止位置では、2つのベース4a、4bは、フレーム1の平面から分離され、ダイヤフラム2に接触するマイクロチップは存在しない。第2の位置、即ち読取り又は書き込み位置では、2つのベース4a、4bを記憶媒体の方向に動かし、全てのマイクロチップ3a、3bは、ダイヤフラムの両側でダイヤフラムに接触する。この場合、記憶媒体のフェースの各々の読取り及び書き込みは、図6の場合のように、ベース4a、4bにそれぞれ組み込まれた電子回路により制御される。

20

【 0 0 3 4 】

ベース4内に設けられた電子制御及びアドレス指定回路は、シリコン上に施される任意の技術により達成でき、この場合、マイクロチップ3は、シリコン上に施されるマイクロエレクトロニクス技術により達成される。マイクロチップは例えば、シリコンから作られ、場合によっては、1996年10～11月発行のD・モロー(D. Moreau)他著、「シリコンマイクロチップの製造プロセス(Procédes de fabrication de micropointes en silicium)」, ル・ビド(Le Vide), 282号, P463～477ページ, ISSN1266-0167又は1998年発行のE・オスターシュルツ(E. Oesterschulze)著、「スキヤニング・プローブ・マイクロコピー用の新規なプローブ(Novel probes for scanning probe microscopy)」, アプライド・フィジクス・エイ・66(Applied Physics A66), S3～S9に記載されているように、導電性及び(又は)硬質材料、例えば窒化チタン(TiN)、炭化タングステン(W<sub>2</sub>C)又は非晶質ダイヤモンド様炭素(場合によっては導電性であるようドーピングを行ったダイヤモンド様炭素)で覆われる。

30

【 0 0 3 5 】

マイクロチップが摩耗しないようにするため、マイクロチップを1998年発行のC・ミハルシア(C. Mihalcea)他著、「スキヤニング・プローブ・マイクロコピー応用モノリシックプローブの製造(Fabrication of monolithic probes for scanning probe microscopy applications)」, アプライド・フィジクス・A・66(Applied Physics A66), S87～S90に記載された方法に従って中実ダイヤモンドで作ることも計画できる。

40

【 0 0 3 6 】

記憶媒体は、可撓性ダイヤフラム2を構成する層のスタックによって形成される。層のスタックは主として、2つの層、即ち、メモリとして働く第1の層及び可撓性ダイヤフラムに或る程度の剛性を与えるよう設計された機械的層と呼ばれる第2の層を含む。メモリの役目を果たす第1の層は、実施される記録技術で決まる材料、例えば、熱可塑性材料、相変化材料、磁性材料等で作られる。他の層は、必要ならば熱的又は電氣的機能を実行す

50

ることができ、或る層は、幾つかの機能に同時に寄与することができる。

【0037】

図7及び図8は、シリコンフレーム1及びフレーム1により支持されたダイヤフラムの機械的層の2つの連続した製作工程を示している。第1の工程では(図7)、機械的層6を厚さ100~500 $\mu$ mのシリコン層7に100の配向状態で被着させる。機械的層6は例えば、任意公知の方法、例えば、化学的気相成長法(CVD)又は物理気相成長法(PVD)によりシリコン層7上に被着された非晶質炭素又はダイヤモンド様炭素(DLC)被膜により形成される。次に、セルのパターンを機械的層6と反対側のシリコン層7のフェース上にフォトリソ法により達成してレジンマスク8を形成する。

【0038】

次に、シリコン層7を例えばレジンマスク8を介する水酸化カリウム(KOH)エッチング法により化学的にエッチングする。好ましい結晶面111に従って行われるエッチングは、選択性があり、ダイヤフラムの機械的層6で止まる。かくして、シリコン層の残りの部分は、内部にセルが生じたフレーム1を形成し、その底部は、このようにしてフレームにより支持されたダイヤフラムの機械的層6によって構成される。

【0039】

図8に示す特定の実施形態では、シリコンの残留層をダイヤフラムの機械的層6と接触した状態に保つ。シリコン9のこの残留層により、ダイヤフラムの剛性を増大させることができ、又は特定の機械的接触を達成することができる。

【0040】

次に、ダイヤフラムの他の層、即ち、メモリの役目を果たす層及び相補形状の包装層を機械的層6上に達成するのがよい。これら層は場合によっては、シリコン層7のエッチング前に得てもよい。それにもかかわらず、この場合、これら層を例えばシリコン層7上にぴったりと固定されたエンクロージャにより化学的エッチングから保護することが必要である。

【0041】

図9に示す変形実施形態では、ダイヤフラムの第1及び第2の層(メモリの機能を実行する層10及び機械的層6)が示され、マイクロチップ3は、機械的層と接触する。これにより、或る場合には相当大的な支承力をマイクロチップと記憶媒体との間に働かせることができるものの、この場合、メモリの役割を果たす層10に応力が加わることはない。かかる支承力は、特に相変化材料上への電氣的記録の場合、興味を引くものであることが分かる。機械的層6の厚さにより、マイクロチップ3と接触状態にあるダイヤフラムのフェースと反対側の機械的層のフェースに被着されたメモリの役目を果たす層10に応力を及ぼすことなく、適用可能な力を求めることができる。

【0042】

かくして、本発明の装置により、用いられる記録技術に応じて弱い支承力と強い支承力の選択を行うことができ、これは、カンチレバーを用いる装置にはできないことである。

【0043】

上述の記録装置では、エッジ効果は、マイクロチップ3がフレーム1の近くで可撓性ダイヤフラム2に当接する場合に発生する場合がある。各セル内では、記憶媒体の可撓性は実際に、可撓性ダイヤフラムの中心から縁部まで減少している。走査対象の表面を各セルのダイヤフラムの表面の一部に限定することによりこの効果を制限することができる。しかしながら、かかる制限は、記憶媒体の利用の観点からは最適ではない。

【0044】

図10に示す特定の実施形態により、このエッジ効果に関する問題を解決することができる。この装置では、可撓性ダイヤフラムは、第1の場合のようなフレーム1に関連した第1の基本ダイヤフラム2aと、第2の基本ダイヤフラム2bとから成っている。2つの基本ダイヤフラム2a, 2bは、フレーム1に対してずらされたスペーサ要素12のアレイによって互いに分離されている。スペーサ要素のアレイを複数の個々のスペーサスタッド12a(図11)によって形成するのがよく、又はかかるスペーサ要素のアレイは、中

10

20

30

40

50



間フレーム 1 2 b ( 図 1 2 ) を形成してもよい。スペーサ要素 1 2 は、2 つの基本ダイヤフラムの変形が生じた場合にこれら 2 つの基本ダイヤフラム相互間の接触を阻止するのに十分な厚さを有している。

【 0 0 4 5 】

かくして、マイクロチップ 3 は、セルの縁部を境界付けるフレームに向かって移動すると、第 2 の基本ダイヤフラム 2 b だけが変形し、支承力は小さいままである。マイクロチップ 3 がスペーサ要素 1 2 の高さ位置で第 2 の基本ダイヤフラム 2 b に当接すると、変形は、フレーム 1 から遠ざかって位置する場所で第 1 の基本ダイヤフラム 2 a に伝えられ、その結果、十分な可撓性が得られる。全ての場合において、基本ダイヤフラムのうち少なくとも一方は、マイクロチップの高さのばらつきのために求められる可撓性を保証すると共にかかる高さのばらつきを補償する。かくして、第 2 の基本ダイヤフラム 2 b を追加し、これをフレームに対し側方にずらされた場所でのみスペーサ要素 1 2 によって第 1 の基本ダイヤフラム 2 a に連結することにより形成される二重ダイヤフラムを嵌合フレームと共に用いることによりエッジ効果を無くすることができる。

【 0 0 4 6 】

この二重ダイヤフラム ( 2 a , 1 2 , 2 b ) は、フレーム 1 及びスペーサ要素 1 2 を形成するよう設計されたシリコン層及び基本ダイヤフラム 2 a , 2 b を形成するよう設計された上述した形式の薄い材料層を交互に配置することから成る積重ねにより達成できる。かかる積重ねは、任意公知の方法、特に Smart Cut ( 登録商標 ) タイプの方法によりシリコンウェーハの連続した切断及び貼り付けによって得ることができる。シリコンは、単一のダイヤフラムの製作に関して図 7 及び図 8 を参照して説明した方法と同等の方法により化学的エッチングにより除去できる。このために、スペーサ要素 1 2 を形成するよう設計されたシリコン層の等方性エッチングを化学的手段により可能にするようフォトマスクングにより開口部が第 1 のダイヤフラム 2 a に設けられる。次に、第 1 のダイヤフラム 2 a を部分的に穿孔する。

【 0 0 4 7 】

図 1 3 及び図 1 4 に示す別の特定の実施形態により、マイクロチップ 3 がフレーム 1 の近くで可撓性ダイヤフラム 2 に当接したときに生じるエッジ効果を減少させることができる。スペーサスタッド 1 2 a の 2 次元アレイによりダイヤフラム 2 から分離された薄い可撓性プレート 1 3 のアレイは、各セルを各々が少なくとも 1 つのマイクロチップと関連した複数の基本セルに細分する。この場合、各セルは、マイクロチップアレイのピッチ P 1 ( 典型的には、100  $\mu$ m 未満 ) よりも非常に大きな寸法を有するのがよく、その側部の寸法は、例えば最高 1 cm までであるのがよい。図 1 3 及び図 1 4 では、フレーム 1 によって境界付けられた実質的に正方形のセルは、3 つの互いに平行なプレート 1 3 の 2 つの互いに垂直な十文字形の連続体により 16 個の基本セルに細分されている。実際には、アレイのマイクロチップの数は、約 10,000 個であり、セルを細分する基本ダイヤフラムの数は、例えば、約 100 個 ( 10  $\times$  10 ) であるのがよい。プレート 1 3 の厚さは、大きな寸法の各セルの内部における記憶媒体の高い可撓性を保証するようフレーム 1 の厚さ ( 100  $\mu$ m ~ 500  $\mu$ m ) よりも非常に小さい。したがって、上述のエッジ効果は、フレーム 1 の近くでのみ、即ち、非常に限られた数のマイクロチップ 3 について生じる場合がある。

【 0 0 4 8 】

プレート 1 3 の可撓性は、これらの厚さの 3 乗の関数であり、これらの幅に比例する。これは又、2 つの固定箇所相互間のこれらの長さ、即ち 2 つのスペーサスタッド 1 2 a 相互間のこれらの長さで決まる。スペーサスタッドの寸法は、マイクロチップアレイのピッチ P 1 の関数である。プレート 1 3 の可撓性を高めるため、幾つかのマイクロチップを各基本セルに関連させることが可能である。組立体の可撓性も又、スペーサスタッドのアレイについて図 1 3 及び図 1 4 に示すように記憶媒体の平面の 2 つの寸法方向においてマイクロチップアレイのピッチ P 1 とは僅かに異なるピッチ P 2 を選択することにより高めることができる。この場合、マイクロチップ 3 がスペーサスタッド 1 2 a に向いて

10

20

30

40

50

配置されている場合、最も近いマイクロチップは、隣のスペーサスタッドに対してずらされる。この場合、マイクロチップ3の高さの相違を吸収するのはダイヤフラム2に固有の可撓性である。

【0049】

図13及び図14に示すプレートを備えた装置の図15～図18に示す製作方法によれば、フレーム1及びプレート13は、スペーサスタッド12aの形成のために設計され、それ自体ダイヤフラム2に被着された厚さ100 $\mu$ m～500 $\mu$ mのシリコンの単一層14中で、厚さ50nm～500nmの2酸化シリコン層15上に形成される。層15も又、窒化シリコン又は炭素で作られたものであるとよい。

【0050】

図15及び図16に示す第1の工程では、シリコン層14を、フレーム1及びプレート13の配置場所を保護するマスク16を介して異方性エッチングする。図17に示す第2の工程では、フレーム1だけを保護するマスク17を介してシリコン層14の選択的等方性エッチングによりプレート13を薄くする。図18に示す最後の工程では、マスク(図示せず)を介してスペーサスタッド12aを層15の選択的等方性エッチングにより離脱させ、スペーサスタッドに向いて位置するその領域は、第1の工程の実施中に用いられる図15のマスク16の対応の領域に対して拡大されている。これにより、オーバーエッチング効果を無くすことができ、これは、スペーサスタッド12aにより構成されるアイランド(島状部)の形成を軽減させる。

【0051】

先の実施形態の場合と同様、例えば、非晶質ダイヤモンド様炭素(DLC)により作られた機械的に剛性な層とメモリ機能を実行する層(プラスチック、相変化材料等)の積重ねによりダイヤフラム2を形成するのがよい。メモリ機能を実行する層を、図18の第3の工程後に被着させるのがよく、この場合、図15の最初の積重ねは、ダイヤフラムの例えば厚さ100nmの剛性機械的層を構成するに過ぎない。

【0052】

本発明は、上述の特定の実施形態には限定されない。特に、可撓性ダイヤフラム2は、ダイヤモンド様炭素、シリコン、酸化シリコン( $\text{SiO}_2$ )又は同等な金属から作られた層から成るものであってもよい。ダイヤフラム2の電氣的導通が必要な場合、ダイヤフラム2の機械的層6に例えば硼素又は銀をドーピングするのがよい。

【図面の簡単な説明】

【0053】

【図1】本発明の装置の基本要素の断面図である。

【図2】図1に記載された基本要素のダイヤフラムの支持フレームの特定の実施形態を示す斜視図である。

【図3】本発明の装置の2つの隣り合うセルの断面図である。

【図4】本発明の装置の代替実施形態の正面図である。

【図5】本発明の装置の別の代替実施形態の正面図である。

【図6】二重のアレイの状態に配列されたマイクロチップを有する装置の断面図である。

【図7】本発明の装置のフレーム及びダイヤフラムの一部の2つの連続した製作工程のうちの一方を示す断面図である。

【図8】本発明の装置のフレーム及びダイヤフラムの一部の2つの連続した製作工程の他方を示す断面図である。

【図9】図1の代替実施形態の断面図である。

【図10】本発明の装置の別の特定の実施形態を示す図である。

【図11】図10に記載された装置の変形実施形態の互いに異なる要素のそれぞれの位置を示す図である。

【図12】図10に記載された装置の別の変形実施形態の互いに異なる要素のそれぞれの位置を示す図である。

10

20

30

40

50

【図 1 3】本発明の装置の別の特定の実施形態を示す図である。

【図 1 4】図 1 3 に記載された装置の代替実施形態の互いに異なる要素のそれぞれの位置を示す図である。

【図 1 5】図 1 3 及び図 1 4 に記載された装置を得る方法の連続した工程のうちの一つを示す図である。

【図 1 6】図 1 3 及び図 1 4 に記載された装置を得る方法の連続した工程のうちの一つを示す図である。

【図 1 7】図 1 3 及び図 1 4 に記載された装置を得る方法の連続した工程のうちの一つを示す図である。

【図 1 8】図 1 3 及び図 1 4 に記載された装置を得る方法の連続した工程のうちの一つを示す図である。

10

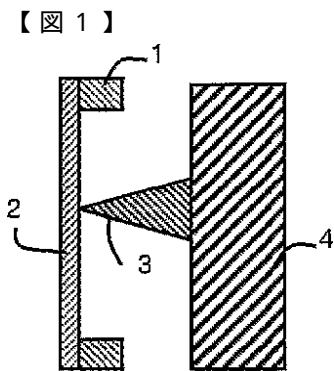


Figure 1

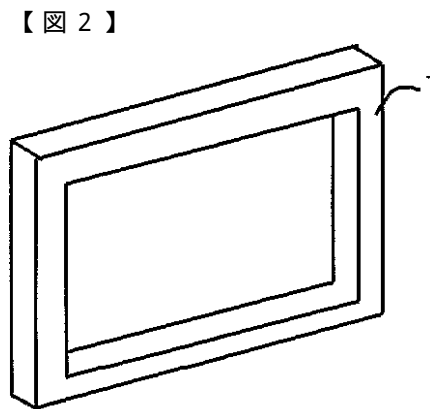


Figure 2

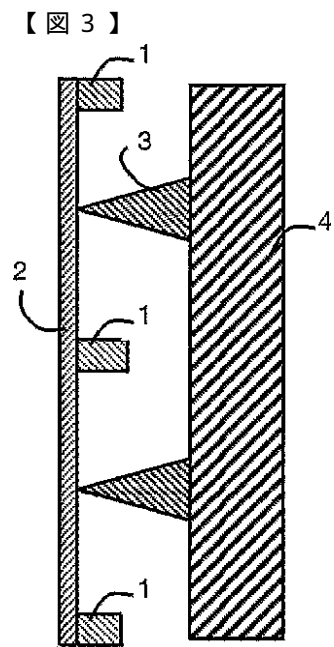


Figure 3

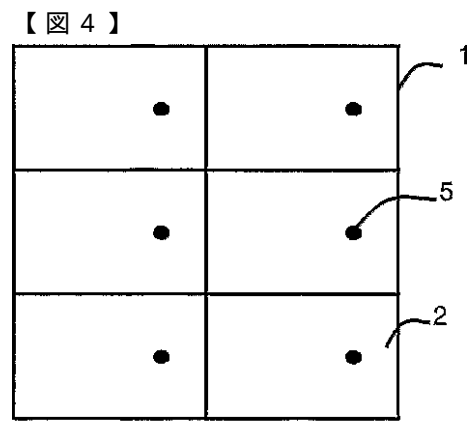


Figure 4

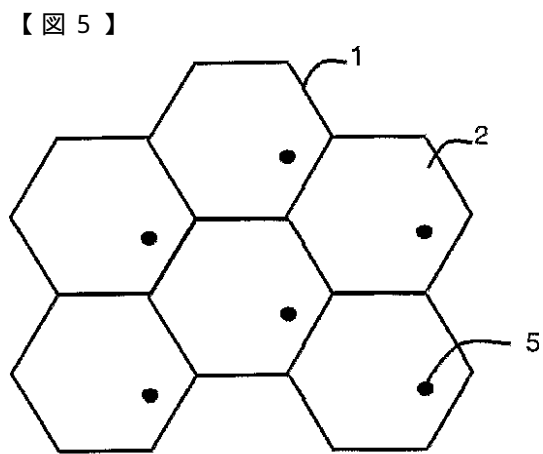


Figure 5

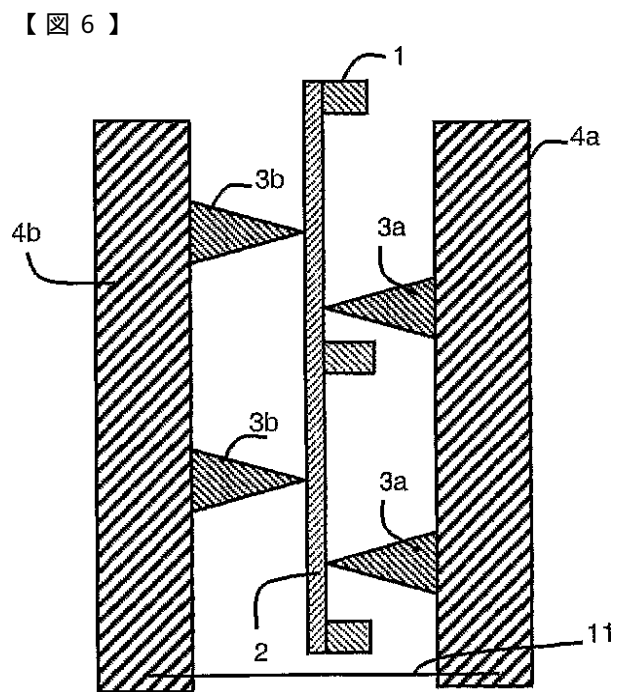


Figure 6

【図 7】

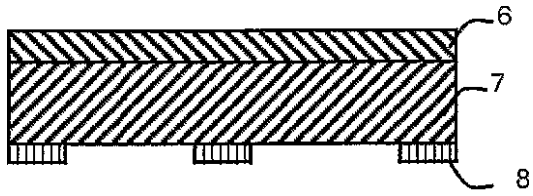


Figure 7

【図 8】

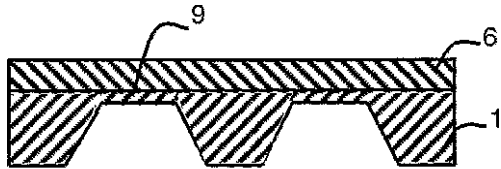


Figure 8

【図 9】

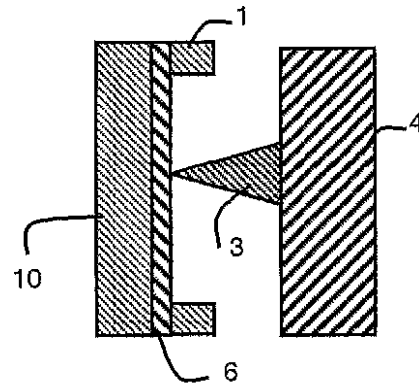


Figure 9

【図 10】

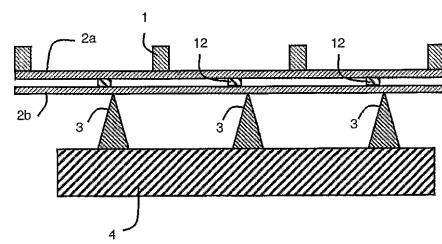


Figure 10

【図 11】

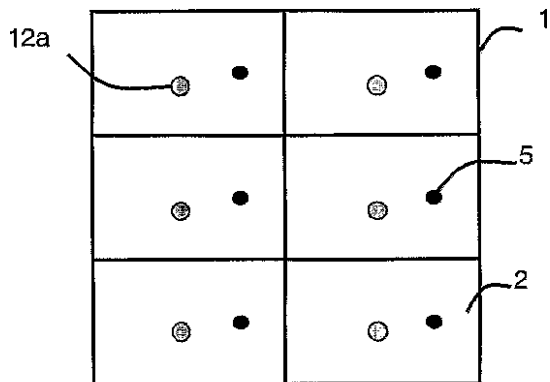


Figure 11

【図 12】

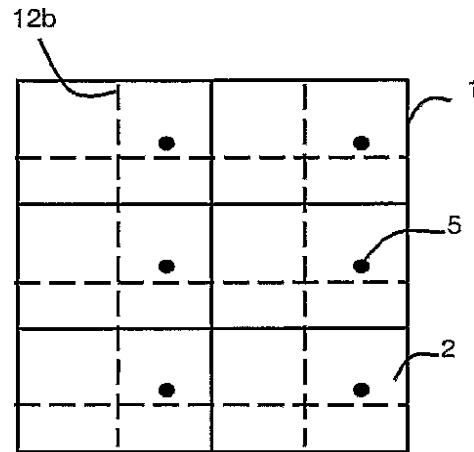


Figure 12

【図 13】

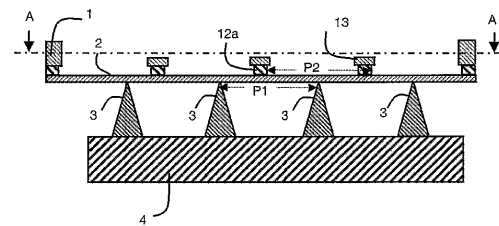


Figure 13

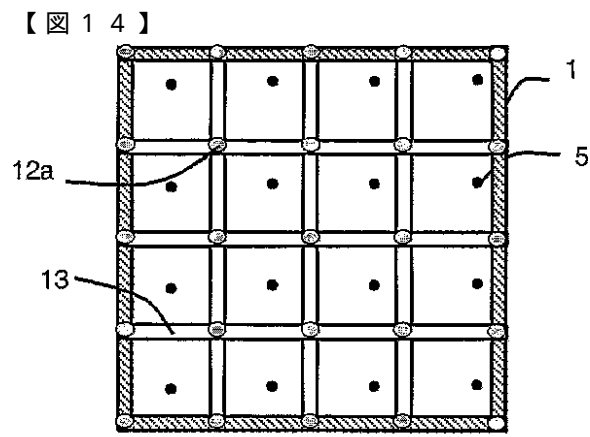


Figure 14

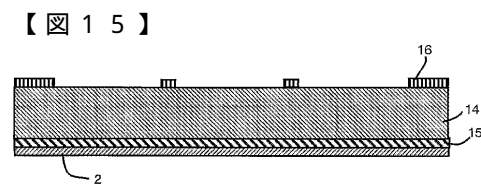


Figure 15

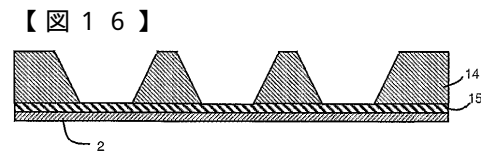


Figure 16

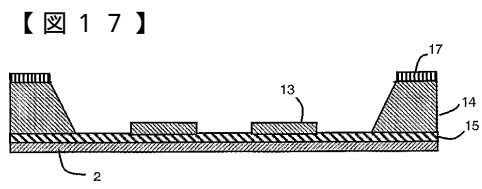


Figure 17

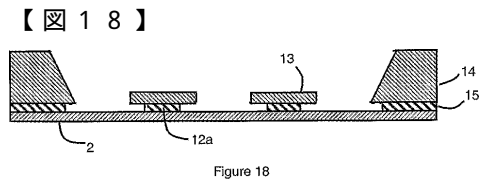


Figure 18

---

フロントページの続き

(74)代理人 100096921

弁理士 吉元 弘

(74)代理人 100103263

弁理士 川崎 康

(72)発明者 セルジュ、ジドン

フランス国ラ、ミュレト、ル、プティ、ボワ、8

審査官 ゆずりは 広行

(56)参考文献 特開平08-241835(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11B 9/00 - 9/14