



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2014년09월18일
 (11) 등록번호 10-1441941
 (24) 등록일자 2014년09월12일

- (51) 국제특허분류(Int. Cl.)
H01L 21/20 (2006.01)
- (21) 출원번호 10-2008-0023648
- (22) 출원일자 2008년03월14일
 심사청구일자 2013년03월14일
- (65) 공개번호 10-2008-0084699
- (43) 공개일자 2008년09월19일
- (30) 우선권주장
 JP-P-2007-00068086 2007년03월16일 일본(JP)
 JP-P-2007-00133138 2007년05월18일 일본(JP)
- (56) 선행기술조사문현
 JP05090117 A*
 JP2006012995 A*
 US20070281446 A1
 KR1020050083687 A

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 12 항

심사관 : 강병섭

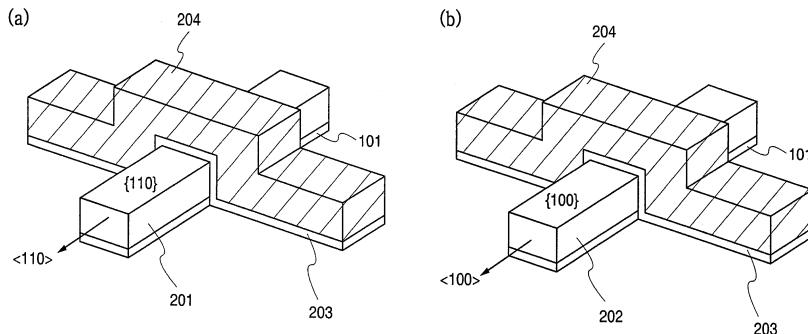
- (54) 발명의 명칭 반도체 장치, 반도체 표시 장치 및 반도체 장치의 제작방법

(57) 요약

본 발명은 미세 가공 기술에 의거할 뿐만 아니라, 반도체 집적회로의 고성능화를 도모하는 것을 목적으로 한다. 또한, 반도체 집적회로의 저소비 전력화를 도모하는 것을 목적으로 한다.

제 1 도전형의 MISFET와 제 2 도전형의 MISFET에서 단결정 반도체층의 결정면 및/또는 결정축이 다른 반도체 장치를 제공한다. 상기 결정면 및/또는 결정축은, 각각의 MISFET에 있어서 채널 길이 방향으로 주행하는 캐리어의 이동도가 높아지도록 배치된다. 이러한 구성으로 함으로써, MISFET의 채널을 흐르는 캐리어에 있어서 이동도가 높아져서, 반도체 집적회로의 동작의 고속화를 도모할 수 있다. 또한, 저전압으로 구동하는 것이 가능해져, 저소비 전력화를 도모할 수 있다.

대 표 도



특허청구의 범위

청구항 1

절연 기판의 동일 표면 위에 제공된 제 1 단결정 반도체층과 제 2 단결정 반도체층을 적어도 포함하고,

상기 제 1 단결정 반도체층은 n-형 불순물 영역을 포함하고, 상기 제 2 단결정 반도체층은 p-형 불순물 영역을 포함하고,

상기 제 1 단결정 반도체층의 결정면과 상기 제 2 단결정 반도체층의 결정면은 서로 다른 것인, 반도체 장치.

청구항 2

절연 기판의 동일 표면 위에 제공된 제 1 단결정 반도체층과 제 2 단결정 반도체층을 적어도 포함하고,

상기 제 1 단결정 반도체층 및 상기 제 2 단결정 반도체층 각각은 적층 구조의 게이트 전극을 갖고,

상기 제 1 단결정 반도체층은 n-형 불순물 영역을 포함하고, 상기 제 2 단결정 반도체층은 p-형 불순물 영역을 포함하고,

상기 제 1 단결정 반도체층의 결정면과 상기 제 2 단결정 반도체층의 결정면은 동일하고,

상기 제 1 단결정 반도체층의 채널 길이 방향의 결정축은 상기 제 2 단결정 반도체층의 채널 길이 방향의 결정축과 다른 것인, 반도체 장치.

청구항 3

절연 기판의 동일 표면 위에 제공된 제 1 단결정 반도체층과 제 2 단결정 반도체층을 적어도 포함하고,

상기 제 1 단결정 반도체층은 n-형 불순물 영역을 포함하고, 상기 제 2 단결정 반도체층은 p-형 불순물 영역을 포함하고,

상기 제 1 단결정 반도체층의 결정면과 상기 제 2 단결정 반도체층의 결정면은 서로 다르고,

상기 절연 기판은 투광성을 갖는, 반도체 장치.

청구항 4

절연 기판의 동일 표면 위에 제공된 제 1 단결정 반도체층과 제 2 단결정 반도체층을 적어도 포함하고,

상기 제 1 단결정 반도체층 및 상기 제 2 단결정 반도체층 각각은 적층 구조의 게이트 전극을 갖고,

상기 제 1 단결정 반도체층은 n-형 불순물 영역을 포함하고, 상기 제 2 단결정 반도체층은 p-형 불순물 영역을 포함하고,

상기 제 1 단결정 반도체층의 결정면과 상기 제 2 단결정 반도체층의 결정면은 동일하고,

상기 제 1 단결정 반도체층의 채널 길이 방향의 결정축은 상기 제 2 단결정 반도체층의 채널 길이 방향의 결정축과 다르고,

상기 절연 기판은 투광성을 갖는, 반도체 장치.

청구항 5

제 1 항 또는 제 3 항에 있어서,

상기 제 1 단결정 반도체층의 상기 결정면은 {100}이고, 상기 제 2 단결정 반도체층의 상기 결정면은 {110}이고,

상기 제 1 단결정 반도체층의 채널 길이 방향은 <100> 방향으로 향해 있고, 상기 제 2 단결정 반도체층의 채널 길이 방향은 <110> 방향으로 향해 있는, 반도체 장치.

청구항 6

제 2 항 또는 제 4 항에 있어서,

상기 제 1 단결정 반도체층 및 상기 제 2 단결정 반도체층의 상기 결정면들은 {110}이고,

상기 제 1 단결정 반도체층의 상기 채널 길이 방향은 <100> 방향으로 향해 있고, 상기 제 2 단결정 반도체층의 상기 채널 길이 방향은 <110> 방향으로 향해 있는, 반도체 장치.

청구항 7

제 1 단결정 반도체 기판에 제 1 취화층(脆化層: fragile layer)을 형성하기 위해, 이온 도핑법과 이온 주입법 중 하나에 의해서 수소 이온들과 할로겐 이온들 중 하나를 상기 제 1 단결정 반도체 기판에 첨가하고;

상기 제 1 단결정 반도체 기판 위에, 유기 실란 가스(organic silane gas)를 사용한 화학 기상 성장에 의해 제 1 산화실리콘막을 형성하고;

위에 상기 제 1 산화실리콘막이 형성된 제 1 단결정 반도체층을 형성하기 위해, 마스크를 사용하여 상기 제 1 단결정 반도체 기판 및 상기 제 1 산화실리콘막을 에칭(etching)하고;

상기 제 1 단결정 반도체층과 절연 기판을 그들 사이에 상기 제 1 산화실리콘막을 개재하여 서로 겹치고;

상기 제 1 취화층에 균열을 발생시키기 위해, 제 1 가열 처리를 행하고;

상기 제 1 단결정 반도체층이 상기 절연 기판에 접합된 상태에서, 상기 제 1 단결정 반도체 기판을 분리하는 제 1 단계와,

제 2 단결정 반도체 기판에 제 2 취화층을 형성하기 위해, 이온 도핑법과 이온 주입법 중 하나에 의해서 수소 이온들과 할로겐 이온들 중 하나를 상기 제 2 단결정 반도체 기판에 첨가하고;

상기 제 2 단결정 반도체 기판 위에, 유기 실란 가스를 사용한 화학 기상 성장에 의해 제 2 산화실리콘막을 형성하고;

위에 상기 제 2 산화실리콘막이 형성된 제 2 단결정 반도체층을 형성하기 위해, 마스크를 사용하여 상기 제 2 단결정 반도체 기판 및 상기 제 2 산화실리콘막을 에칭하고;

상기 제 2 단결정 반도체층과 상기 절연 기판을 그들 사이에 상기 제 2 산화실리콘막을 개재하여 서로 겹치고;

상기 제 2 취화층에 균열을 발생시키기 위해, 제 2 가열 처리를 행하고;

상기 제 2 단결정 반도체층이 상기 절연 기판에 접합된 상태에서, 상기 제 2 단결정 반도체 기판을 분리하는 제 2 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 8

제 1 단결정 반도체 기판에 제 1 취화층을 형성하기 위해, 이온 도핑법과 이온 주입법 중 하나에 의해서 수소 이온들과 할로겐 이온들 중 하나를 상기 제 1 단결정 반도체 기판에 첨가하고;

상기 제 1 단결정 반도체 기판 위에, 유기 실란 가스를 사용한 화학 기상 성장에 의해 형성된 제 1 산화실리콘막을 포함하는 접착층을 형성하고;

위에 상기 접착층이 형성된 제 1 단결정 반도체층을 형성하기 위해, 마스크를 사용하여 상기 제 1 단결정 반도체 기판 및 상기 접착층을 에칭하고;

상기 제 1 단결정 반도체층과 투광성을 갖는 절연 기판을 그들 사이에 상기 접착층을 개재하여 서로 겹치고;

상기 제 1 취화층에 균열을 발생시키기 위해, 제 1 가열 처리를 행하고;

상기 제 1 단결정 반도체층이 상기 절연 기판에 접합된 상태에서, 상기 제 1 단결정 반도체 기판을 분리하는 제 1 단계와,

제 2 단결정 반도체 기판에 제 2 취화층을 형성하기 위해, 이온 도핑법과 이온 주입법 중 하나에 의해서 수소 이온들과 할로겐 이온들 중 하나를 상기 제 2 단결정 반도체 기판에 첨가하고;

상기 제 2 단결정 반도체 기판 위에, 유기 실란 가스를 사용한 화학 기상 성장에 의해 형성된 제 2 산화실리콘막을 포함하는 접착층을 형성하고;

위에 상기 접착층이 형성된 제 2 단결정 반도체층을 형성하기 위해, 마스크를 사용하여 상기 제 2 단결정 반도체 기판 및 상기 접착층을 에칭하고;

상기 제 2 단결정 반도체층과 상기 절연 기판을 그들 사이에 상기 접착층을 개재하여 서로 겹치고;

상기 제 2 취화층에 균열을 발생시키기 위해, 제 2 가열 처리를 행하고;

상기 제 2 단결정 반도체층이 상기 절연 기판에 접합된 상태에서, 상기 제 2 단결정 반도체 기판을 분리하는 제 2 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 9

제 7 항 또는 제 8 항에 있어서,

상기 제 1 단결정 반도체층과 상기 제 2 단결정 반도체층에 레이저 광을 조사하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

청구항 10

제 7 항 또는 제 8 항에 있어서,

상기 제 1 단결정 반도체층과 상기 제 2 단결정 반도체층에 제 3 가열 처리를 행하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

청구항 11

제 7 항 또는 제 8 항에 있어서,

상기 제 1 단결정 반도체층과 상기 제 2 단결정 반도체층에 화학적 기계적 연마를 행하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

청구항 12

제 7 항 또는 제 8 항에 있어서,

상기 제 1 단결정 반도체층과 상기 제 2 단결정 반도체층에 화학적 기계적 연마를 행하는 단계를 더 포함하고,

상기 제 1 단결정 반도체층과 상기 제 2 단결정 반도체층의 두께는 동일한, 반도체 장치의 제작 방법.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 절연 표면에 반도체층이 형성된 소위 SOI(Silicon on Insulator)구조를 갖는 반도체 장치에 관한 것이다. 또한 본 발명은 유리기판 등의 투광성을 갖는 절연 기판에 SOI 구조를 갖는 반도체 표시 장치 및 그 제작 방법에 관한 것이다.

배경기술

[0002] 단결정 반도체의 잉곳을 얇게 슬라이스하여 제작되는 실리콘 웨이퍼 대신에, 절연 표면에 얇은 단결정 반도체층을 형성한 실리콘·온·인슐레이터(이하, 「SOI」라고도 함)라고 불리는 반도체 기판을 사용한 집적회로가 개발되어 있다. SOI 기판을 사용한 집적회로는 트랜지스터의 드레인과 기판 간에서의 기생 용량을 저감하고, 반도체 집적회로의 성능을 향상시키는 것으로서 주목을 모으고 있다.

[0003] SOI 기판의 제조 방법은 여러 가지가 있지만, SOI층의 품질과 생산의 편이성(스루풋)을 양립시킨 것으로서, 스마트 컷(등록 상표)이라고 불리는 방법을 사용하여 형성되는 SOI 기판이 알려져 있다. 이 SOI 기판은 실리콘층이 되는 본드 웨이퍼에 수소 이온을 첨가하고, 별도의 웨이퍼(베이스 웨이퍼)와 실온에서 접합한다. 접합은 반·데르·발스힘(van der waals' force)을 이용하여 실온에서 강고한 접합을 형성한다. 그리고, 베이스 웨이퍼와 본드 웨이퍼를 접합한 후에 500°C 정도의 온도에서 열처리함으로써, 수소 이온이 첨가된 층으로부터 분리하고, 베이스 웨이퍼 위에 실리콘층이 형성된다.

[0004] 이러한 SOI 기판을 사용한 반도체 장치의 일례로서, 본 출원의 발명자들의 1명에 의한 것이 알려져 있다(특허문현 1 참조).

[0005] 또한 고내열성 유리인 결정화 유리 위에, 스마트 컷법을 이용하여 얻어진 단결정 실리콘 박막을 형성하는 방법으로서, 본 출원의 발명자들의 1명에 의한 것이 알려져 있다(특허문현 2 참조).

[0006] 또한 실리콘 웨이퍼에 형성된 CMOSFET에 대하여, N 채널형 MOSFET의 전자 이동도와, P 채널형 MOSFET의 정공 이동도를 양립시키기 위해서, (110)면을 갖는 실리콘 웨이퍼 위에 형성된 PMOS와, (100)면 SOI층 위에 형성된 NMOS를 구비한 반도체 장치가 알려져 있다(특허문현 3 참조).

[0007] [특허문현 1] 일본 공개특허공보 2000-012864호

[0008] [특허문현 2] 일본 공개특허공보 제(평)11-163363호

[0009] [특허문현 3] 일본 공개특허공보 2006-229047호

발명의 내용

해결 하고자하는 과제

[0010] 반도체 집적회로의 기술분야에서는 미세화가 기술 개발의 로드맵이 되어, 진전되어 오는 역사가 있다. 지금까지는 반도체 집적회로가 미세화됨에 따라서, 고속 동작이 가능해지고, 저소비 전력화가 도모되어 왔다. 그리고, 최근에는 100nm 이하의 디자인 룰로 반도체 집적회로를 제조하는 기술이 실용 단계로 이행하고 있다. 그렇지만, 미세화에 의한 반도체 집적회로의 성능 향상에는 한계가 있다고 일컬어지고 있다. 디자인 룰의 미세화가 진행함에 따라서 초고정밀도의 제조장치가 필요해져, 점점 설비 투자액이 증대하기 때문에, 경제적 관점에서도 한계가 있다.

[0011] 그래서 본 발명은 미세 가공 기술에만 의거할 뿐만 아니라, 고성능화가 도모된 반도체 장치를 제공하는 것을 목

적으로 한다. 또한, 저소비 전력화가 도모된 반도체 장치를 제공하는 것을 목적으로 한다.

[0012] 또한 특허문헌 2에 기재된 기술에서는 그 도 1에 도시하는 바와 같이, 얻어진 단결정 실리콘막을 패터닝하고, CMOS 회로의 PTFT의 활성층, TFT의 활성층, 화소 매트릭스 회로의 활성층을 형성하고 있다. 따라서, 어떤 활성층도 1개의 단결정 실리콘막으로부터 얻게 된다.

[0013] 또한 특허문헌 3에 기재된 기술에서는 (110)면을 갖는 실리콘 웨이퍼 위에, (100)면 SOI층 위에 형성된 NMOS를 구비하고 있기 때문에, 평탄성이 나쁘고, CMOS 구조를 구성하는 데에 있어서의 콘택트 접속에 불량이 생기는 것이 우려되었다. 또한, 실리콘 웨이퍼 위에 형성하고 있기 때문에, 투광성이 낮고, 반도체 소자를 사용한 표시 장치(반도체 표시 장치) 등의 투광성이 필요로 되는 디바이스에는 적합하지 않았다.

[0014] 그래서 본 발명은 투광성을 확보하면서, n형 MISFET(Metal Insulator Semiconductor형 전계 효과 트랜지스터, 이하 「MISFET」라고도 함)와, p형의 MISFET의 이동도가 높여진 CMOS 회로(반도체 소자) 및 그 제작 방법을 제공하면서, 상기 CMOS 회로를 갖는 반도체 표시 장치 및 그 제작 방법도 제공하는 것을 목적으로 한다.

과제 해결수단

[0015] 본 발명의 하나는 MISFET를 구성하는 단결정 반도체층의 결정면이, 제 1 도전형의 MISFET와 제 2 도전형의 MISFET에서 다른 반도체 장치이다. 상기 결정면은, 각각의 MISFET에서 채널 길이 방향으로 주행하는 캐리어의 이동도가 높아지는 결정면이다.

[0016] 본 발명의 하나는 MISFET를 구성하는 단결정 반도체층의 결정면과 채널 길이 방향의 결정축이, 제 1 도전형의 MISFET와 제 2 도전형의 MISFET에서 다른 반도체 장치이다.

[0017] 본 발명의 하나는 MISFET를 구성하는 단결정 반도체층의 결정면이 같고, 상기 단결정 반도체층의 채널 길이 방향의 결정축이 제 1 도전형의 MISFET와 제 2 도전형의 MISFET에서 다른 반도체 장치이다.

[0018] 상기 구성의 바람직한 형태로서, 동일 면에 형성되는 제 1 단결정 반도체층 및 제 2 단결정 반도체층은 각각, 제 1 산화실리콘막과 제 2 산화실리콘막이 접합함으로써 고정되는 소위 SOI 구조를 갖는 반도체 장치이다.

[0019] 본 발명의 하나는 유리기판 등의 투광성을 갖는 절연 기판의 동일 면에 복수의 단결정 반도체를 형성하고, 상기 단결정 반도체는 n형의 불순물 영역을 갖는 제 1 SOI층과, p형의 불순물 영역을 갖는 제 2 SOI층을 포함하고, 제 1 SOI층의 결정면과, 제 2 SOI층의 결정면을 다르게 한 반도체 소자 및 반도체 소자를 갖는 표시 장치(반도체 표시 장치)이다. 예를 들면, 제 1 SOI층의 결정면을 {100}으로 하고, 제 2 SOI층의 결정면을 {110}으로 한다. 또, SOI층은 단결정 반도체층, 활성층이라고도 표기할 수 있다.

[0020] 본 발명에 있어서, 이온 주입층이란, 단결정 반도체 기판으로 이온을 조사하고, 이온에 의해 미소한 공洞(空洞)을 갖도록 취약화된 영역이며, 이하, 「이온 주입층」을 「취화층(脆化層)」라고도 한다. 이 취화층을, 나중의 열처리에 의해서 균열을 발생시키는 등에 의해 분단함으로써, 단결정 반도체 기판으로부터 단결정 반도체층을 분리할 수 있다.

[0021] 취화층은 이온을 이온 도핑법이나 이온 주입법에 의해서 조사하여 형성하면 좋다.

[0022] 이온 도프법은 질량 분리하지 않고서 이온화한 가스를 전계에서 가속하여 단결정 반도체 기판에 조사하는 방식을 말한다. 이온 도핑법은 이온 도핑장치를 사용하여 행하면 좋다.

[0023] 또, 이온 주입법이란, 이온 주입장치에 의해서 이온화한 가스를 질량 분리하여 단결정 반도체 기판에 조사하는 방식을 말한다. 이온 주입법을 사용하여, 이온화한 수소가스를 질량 분리하고, 선택적으로 가속하여 조사할 수 있다.

[0024] 본 발명의 하나의 반도체 소자는 다음 공정에 의해 제작할 수 있다.

[0025] 수소 또는 할로겐으로부터 선택된 이온종을 제 1 단결정 반도체 기판에 첨가하고, 상기 제 1 단결정 반도체 기판의 표면으로부터 소정 깊이의 영역에 제 1 취화층을 형성하고, 상기 제 1 단결정 반도체 기판 위에, 유기실란 가스를 사용한 화학기상 성장법에 의해 제 1 산화실리콘막을 형성하고, 상기 제 1 단결정 반도체 기판 및 상기 제 1 산화실리콘막에 대하여, 마스크를 사용한 에칭을 하고, 상기 제 1 산화실리콘막이 상면에 형성된 제 1 단결정 반도체층을 형성하고, 상기 제 1 단결정 반도체층과, 투광성을 갖는 절연 기판을, 상기 제 1 산화실리콘막을 개재하여 겹치고, 상기 겹쳐진 상태로 가열 처리를 하여 상기 제 1 취화층에 균열을 발생시키고, 상기 절연 기판 위에 상기 제 1 단결정 반도체층을 잔존시킨 채로 상기 제 1 단결정 반도체 기판을 분리하는 제 1 공정과,

- [0026] 수소 또는 할로젠으로부터 선택된 이온종을 제 2 단결정 반도체 기판에 첨가하고, 상기 제 2 단결정 반도체 기판의 표면으로부터 소정 깊이의 영역에 제 2 취화층을 형성하고, 상기 제 2 단결정 반도체 기판 위에, 유기실란 가스를 사용한 화학기상 성장법에 의해 제 2 산화실리콘막을 형성하고, 상기 제 2 단결정 반도체 기판 및 상기 제 2 산화실리콘막에 대하여, 마스크를 사용한 에칭을 하고, 상기 제 2 산화실리콘막이 상면에 형성된 제 2 단결정 반도체층을 형성하고, 상기 제 2 단결정 반도체층과, 상기 절연 기판을, 상기 제 2 산화실리콘막을 개재하여 겹치고, 상기 겹쳐진 상태로 가열 처리를 하여 상기 제 2 취화층에 균열을 발생시키고, 상기 절연 기판 위에 상기 제 2 단결정 반도체층을 잔존시킨 채로 상기 제 2 단결정 반도체 기판을 분리하는 제 2 공정이다.
- [0027] 이러한 절연 기판 위에 단결정 반도체층을 잔존시킨 채로 단결정 반도체 기판을 분리하는 것을 전치라고도 부른다. 또, 제 1 공정과, 제 2 공정은 어느 쪽을 먼저 행하여도 좋다. 요컨대 n 형의 단결정 반도체층과, p 형의 단결정 반도체층의 절연 기판으로의 전치는 어느 쪽을 먼저 행하여도 좋다.
- [0028] 유기실란가스를 사용하여 형성된 산화실리콘막은, 접착층을 최상층으로서 갖는다. 이러한 산화실리콘막에 의해서, 단결정 반도체 기판과, 절연 기판과의 강고한 접착을 도모할 수 있다.
- [0029] 단결정 반도체층을 분리한 후에는 단결정 반도체층의 표면에 대하여, 레이저를 조사, 가열 처리, 및 CMP의 어느 하나 또는 복수 조합한 방법에 의한 평탄화 처리를 하여도 좋다.
- [0030] 또한 단결정 반도체층을 CMP 등에 의해서 연마하고, 박막화하여도 좋다. 이 때의 막 두께는 바람직하게는 5nm 내지 25nm이 되도록 하면 좋다. 단결정 반도체층이 박막화되면, 이동도의 향상, S치의 향상, 단채널 효과 억제를 도모할 수 있다. 박막화함에 따라서, 단결정 반도체막의 S치가 일치하기 때문에 바람직하다.
- [0031] 전치 시에, 먼저 전치한 단결정 반도체층의 막 두께를, 나중에 전치하는 단결정 반도체층의 막 두께보다 얇게 하면 좋다. 산화실리콘막을 개재한 겹침 시, 불필요한 영역에서 접착하는 것을 방지할 수 있기 때문이다.
- [0032] 그 후, 양 단결정 반도체층의 표면의 높이를 일치시키기 위해서, 레이저를 조사, 가열 처리 및 CMP 연마의 어느 하나 또는 이들을 복수 조합한 평탄화 처리를 하여도 좋다. 바람직하게는 CMP 연마를 사용하면 좋다.

효과

- [0033] 본 발명에 의하면, MISFET의 채널을 흐르는 캐리어에 있어서 이동도가 높아지는 결정면 및/또는 결정축을 적용함으로써, 캐리어의 유효 질량을 가장 가볍게 할 수 있고, 그것에 의해서 캐리어의 실효 이동도를 가장 크게 할 수 있다. 그 결과, 반도체 장치의 동작의 고속화를 도모할 수 있고, 또, 반도체 장치를 저전압으로 구동하는 것이 가능해져, 저소비 전력화를 도모할 수 있다.
- [0034] 또한 n 형 MISFET와, p 형 MISFET에서, 적어도 결정면 또는 결정축을 다르게 한 것에 의해서, 이동도가 높여진 반도체 소자 등을 제공할 수 있다. 또한, 투광성도 확보되어 있기 때문에, 상기 반도체 소자를 반도체 표시 장치, 특히 그 표시부나 구동회로(반도체 집적회로)에 사용하면 적합하다. 본 발명의 반도체 소자 등은 이동도가 높기 때문에 동작의 고속화를 도모할 수 있고, 또한 저전압으로 구동하는 것이 가능해져, 반도체 표시 장치의 저소비 전력화를 도모할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0035] 본 발명의 실시 형태에 대해서, 도면을 사용하여 이하에 설명한다. 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 벗어나지 않고 그 형태 및 상세를 여러 가지로 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시 형태의 기재 내용에 한정하여 해석되지 않는다. 또, 이하에 설명하는 본 발명의 구성에 있어서, 동일한 것을 가리키는 부호는 다른 도면 간에서 공통적으로 사용하기로 한다.
- [0036] (제 1 실시 형태)
- [0037] 본 실시 형태는 n 형 MISFET와 p 형 MISFET를 구성하는 반도체층을, 결정면이 다른 단결정 반도체 기판(이하, 「본드 웨이퍼」라고도 함)으로부터, 별도 기판인 절연 표면을 갖는 기판(이하, 「베이스 기판」라고도 함)의 동일 표면으로 전치하는 형태에 대해서 설명한다. 이하의 설명에서는 n 형 MISFET 및 p 형 MISFET의 각각에 대하여, 채널 길이 방향으로 주행하는 캐리어의 이동도가 높아지는 결정면으로 한 형태, n 형 MISFET에 대해서는 결정면 {100}의 반도체층을 적용하고, p 형 MISFET에 대해서는 결정면 {110}의 반도체층으로 한 형태에 대해서

나타낸다.

[0038] n 형 MISFET에서는 채널 형성 영역, 소스 영역 및 드레인 영역을 형성하기 위한 단결정 반도체층을 얻기 위해서, 결정면 {100}의 본드 웨이퍼를 사용한다. p 형 MISFET에서는 채널 형성 영역, 소스 영역 및 드레인 영역을 형성하기 위한 단결정 반도체층을 얻기 위해서, 결정면 {110}의 본드 웨이퍼를 사용한다. 이와 같이 결정면이 서로 다른 본드 웨이퍼로부터, 각 결정면의 단결정 반도체층을 꺼내고, 동일한 베이스 기판에 고정한다. 고정하기 위해서, 적합하게는 이하에 나타내는 공정을 한다.

[0039] 도 1a에 있어서, 제 1 본드 웨이퍼(100) 위에 산화실리콘막(101)과 질화실리콘막(102)이 형성된 상태를 도시하였다. 제 1 본드 웨이퍼(100)는 결정면이 {100}의 단결정 반도체 기판이다. 제 1 본드 웨이퍼(100)로부터 단결정 반도체층을 꺼내기 위해서, 제 1 본드 웨이퍼(100)에는 수소 이온을 고도즈 조건으로 첨가한다. 그 결과, 제 1 본드 웨이퍼(100)의 표면이 거칠게 되어 버리는 문제가 있다. 그렇게 되면, 그 후의 접합 공정에서 접합을 잘 할 수 없는 경우가 있다. 그래서 제 1 본드 웨이퍼(100)의 표면을 보호하기 위해서, 산화실리콘막(101)을 형성해 두면 바람직하다. 산화실리콘막(101)은 열산화에 의해 형성하는 것이 바람직하고, 예를 들면, 수증기 분위기하에서 900 내지 1100°C의 열처리에 의해 형성하면 좋다. 산화실리콘막(101)의 그 밖의 제법으로서, 산소 플라즈마 처리에 의해 실리콘을 산화하여 형성하여도 좋고, 열산화와 비교하여 저온에서 치밀한 산화실리콘막을 제작할 수 있다. 또는 산화실리콘막(101)으로서, 기상 성장법으로 산화실리콘막을 퇴적하고, 그 표면을 산소 플라즈마 처리로 치밀화하여도 좋고, 열산화에 비하여 저온에서 제작할 수 있다.

[0040] 산화실리콘막(101)의 위에는 질화실리콘막(102)을 형성한다. 질화실리콘막(102)은, 실란과 암모니아를 사용하여 기상 성장법에 의해 퇴적시킴으로써 형성하면 좋다. 질화실리콘막(102)은 제 1 본드 웨이퍼(100)를 홈 가공할 때의 하드마스크로서 사용한다. 홈 가공은 MISFET의 반도체층의 형상을 고려하여 행하여진다. 즉 MISFET의 반도체층이 베이스 기판에 전치할 수 있도록, 그 전치하는 부위가 볼록 형상부로서 잔존하도록 제 1 본드 웨이퍼(100)에 대하여 홈 가공을 한다. 도 1b에 도시하는 바와 같이, 포토레지스트로 마스크 패턴(103)을 형성하고, 질화실리콘막(102) 및 산화실리콘막(101)을 에칭한다.

[0041] 이어서, 도 1c에 도시하는 바와 같이, 질화실리콘막(102)을 하드마스크로 하여 제 1 본드 웨이퍼(100)를 에칭한다. 제 1 본드 웨이퍼(100)를 에칭하는 깊이는 베이스 기판에 전치하는 단결정 반도체층의 두께를 고려하여 결정된다. 상기 단결정 반도체층의 두께는 수소 이온을 첨가하는 깊이로 제어할 수 있다. 제 1 본드 웨이퍼(100)에 형성하는 홈의 깊이는 축화층보다도 깊어지도록 형성하는 것이 바람직하다.

[0042] 도 1d에 있어서 행하는 수소 이온의 첨가는 베이스 기판에 전치하는 단결정 반도체층의 두께를 고려하여 행하여진다. 상기 단결정 반도체층의 두께는 10nm 내지 200nm, 바람직하게는 10nm 내지 50nm의 두께로 한다. 단결정 반도체층의 두께가 얇으면, 이동도의 향상, S치의 향상, 단채널 효과 억제를 도모할 수 있다. 수소 이온을 첨가할 때의 가속 전압은 이러한 두께를 고려하여, 제 1 본드 웨이퍼(100)에 첨가되도록 한다. 이 처리에 의해서 제 1 본드 웨이퍼(100)의 표면으로부터 일정한 깊이의 영역에 축화층(104)이 형성된다. 이 축화층(104)은 수소뿐만 아니라 희가스를 사용하여도 좋고, 또는 양자를 혼합시켜 사용하여도 좋다. 이온 첨가 공정을 한 후, 표면의 질화실리콘막(102)을 제거한다.

[0043] 도 2a에 도시하는 바와 같이 제 1 본드 웨이퍼(100)에 있어서의 산화실리콘막(101)의 표면과 베이스 기판(105)을 접합시키는, 소위 접합 공정을 한다. 접합이 저온에서 가능하기 때문에, 베이스 기판(105)은 여러 가지가 적용 가능하고, 그 재질로서는 유리, 석영, 사파이어 등의 절연 기판, 실리콘, 갈륨비소, 인듐인 등의 반도체 기판 등을 적용할 수 있다.

[0044] 베이스 기판(105)의 표면에는 질화실리콘막(106)과 산화실리콘막(107)이 형성되어 있다. 질화실리콘막(106)은 베이스 기판(105)으로부터 나트륨이온 등의 불순물이 확산되어 단결정 반도체층을 오염시키지 않기 때문에 형성되어 있다. 이러한 목적을 위해서는 질화실리콘막 대신에, 질화산화실리콘막(그 조성으로서, 산소보다도 질소의 함유량이 많은 것이며, 러더퍼드 후방 산란법(RBS: Rutherford Back scattering Spectrometry) 및 수소 전방 산란법(HFS: Hydrogen Forward Scattering)을 사용하여 측정한 경우에, 농도 범위로서 산소가 5 내지 30원자%, 질소가 20 내지 55원자%, Si가 25 내지 35원자%, 수소가 10 내지 30원자%의 범위로 포함되는 것을 말함), 질화알루미늄, 질소산화알루미늄 등을 적용할 수 있다. 베이스 기판(105)으로부터 단결정 반도체층에 악영향을 주는 불순물의 확산이 없는 경우에는 질화실리콘막(106)을 생략하는 것도 가능하다. 한편, 산화실리콘막(107)은 산화실리콘막(101)과 접합을 형성하기 위해서 형성되어 있다. 이 경우, 산화실리콘막 대신에, 산화질화실리콘막(그 조성으로서, 질소보다도 산소의 함유량이 많은 것이며, RBS 및 HFS를 사용하여 측정한 경우에, 농도 범위로서 산소가 50 내지 70원자%, 질소가 0.5 내지 15원자%, Si가 25 내지 35원자%, 수소가 0.1 내지 10원자%의

범위로 포함되는 것을 말함)을 적용할 수 있다.

[0045] 접합은 표면이 청정된 제 1 본드 웨이퍼(100)측의 산화실리콘막(101)과, 베이스 기판측의 산화실리콘막(107)이 밀접함으로써 형성된다. 접합의 형성은 실온에서 행하는 것이 가능하다. 이 접합은 원자레벨로 행하여져, 반·데르·발스힘(van der waals' force)이 작용하여 실온에서 강고한 접합이 형성된다. 제 1 본드 웨이퍼(100)에는 홈 가공이 되어 있기 때문에, 단결정 반도체층을 형성하는 볼록 형상부가 베이스 기판(105)과 접한다.

[0046] 제 1 본드 웨이퍼(100)와 베이스 기판(105)의 사이에서 접합한 후, 도 2b에서 도시하는 바와 같이 제 1 본드 웨이퍼(100)로부터 단결정 반도체층을 박리하여 베이스 기판(105)에 고정한다. 단결정 반도체층의 박리는 취화층(104)에 형성된 미소한 공동의 체적 변화가 일어나고, 균열이 생기는 등으로, 취화층(104)을 따라서 파단면을 발생시킴으로써 행한다. 파단면을 발생시키고, 또한 접합을 강고한 것으로 하기 위해서, 400°C 내지 600 °C의 열처리를 하는 것이 바람직하다. 이렇게 하여, 절연 표면 위에 단결정 반도체층(이하, 「SOI층」라고도 함)이 형성된다. 도 2b에서는 제 1 SOI층(108)이 베이스 기판(105) 위에 접합된 상태를 도시한다.

[0047] 제 1 본드 웨이퍼(100)의 결정면이 {100}인 경우, 제 1 SOI층(108)의 결정면도 {100}이 된다. 다른 결정면의 SOI층을 베이스 기판(105)에 형성하기 위해서는 그 결정면을 갖는 본드 웨이퍼를 사용하면 좋다.

[0048] 도 3은 제 1 본드 웨이퍼(100)와는 결정면이 다른 제 2 본드 웨이퍼(109; 예를 들면, 결정면이 {110}의 웨이퍼)로부터 단결정 반도체층을 박리한 후를 도시한다. 제 2 본드 웨이퍼(109)에는 취화층(104)이 형성되어 있고, 제 1 본드 웨이퍼(100)와 동일하게 하여, 제 2 SOI층(110)을 베이스 기판(105) 위에 접합한다.

[0049] 이상의 공정에 의해, 서로 결정면이 다른 제 1 SOI층(108)과 제 2 SOI층(110)이 베이스 기판(105) 위에 형성된다. 상기 공정에서, 제 1 본드 웨이퍼(100)의 결정면이 {100}인 경우에는 제 1 SOI층(108)의 결정면도 {100}이 되고, 제 2 본드 웨이퍼(109)의 결정면이 {110}인 경우에는 제 2 SOI층(110)의 결정면도 {110}이 된다. 전치된 제 1 SOI층(108) 및 제 2 SOI층(110)에 대해서, 그 표면을 평탄화하기 위해서 화학적 기계적 연마(Chemical Mechanical Polishing: CMP)를 하는 것이 바람직하다. 제 1 SOI층(108) 및 제 2 SOI층(110)의 두께는 CMP에 의해서 더욱 박막화되어도 좋고, 바람직하게는 5nm 내지 25nm의 두께로 조제되어도 좋다. SOI층의 두께가 얇으면, 이동도의 향상, S치의 향상, 단채널 효과 억제를 도모할 수 있다. 박막화함에 따라서, 단결정 반도체막의 S치가 일치하기 때문에 바람직하다.

[0050] 본 실시 형태의 구성에서는 n 형 MISFET를 결정면이 {100}인 제 1 SOI층(108)으로 형성할 수 있다. 또한, p 형 MISFET는 결정면이 {110}인 제 2 SOI층(110)으로 형성할 수 있다. 즉, 각각의 MISFET에 대하여 전자, 홀의 전계 효과 이동도가 가장 높아지는 결정면인 층에 채널 형성 영역을 형성하는 것이 가능해진다.

[0051] 본 실시 형태에서는 수소 이온 등을 일정한 깊이로 첨가하여 단결정 반도체층을 본드 웨이퍼로부터 박리하는 방법에 대하여 나타내지만, 다른 SOI 기술을 사용하는 것도 가능하다. 예를 들면, 본드 웨이퍼의 표면을 양극화성함으로써 다공질 실리콘층을 형성하고, 그 위에 에피택셜 성장으로 형성한 단결정 실리콘층을, 본 실시 형태에서 나타내는 SOI층으로서 사용할 수 있다. 이 구성의 본드 웨이퍼를 사용하는 경우에는 워터젯법을 사용하여, 다공질 실리콘층과 에피택셜 성장한 단결정 실리콘층을 분리한다. 그것에 의해서, 도 2b 또는 도 3에 도시하는 바와 같은 SOI층이 형성된 베이스 기판을 얻을 수 있다.

[0052] 본 실시 형태에 따르면, 반도체 장치를 형성하는 베이스 기판에 다른 결정면의 단결정 반도체층(SOI층)을 형성 할 수 있다. 상기 결정면은 n 형 MISFET 및 p 형 MISFET의 각각에 대하여, 높은 전계 효과 이동도가 얻어지도록 결정하는 것이 가능하다. 캐리어에 있어서 이동도가 높아지는 결정면 및/또는 결정축을 적용함으로써, 캐리어의 유효 질량을 가장 가볍게 할 수 있고, 그것에 의해서 캐리어의 실효 이동도를 가장 크게 할 수 있다. 이러한 단결정 반도체층이 형성된 베이스 기판을 사용함으로써 반도체 장치의 고성능화를 도모할 수 있다.

[0053] (제 2 실시 형태)

[0054] 본 실시 형태는 도 1과는 다른 본드 웨이퍼의 제조 공정에 대해서 도 4를 참조하여 설명한다. 도 4a에 있어서, 제 1 본드 웨이퍼(100)의 표면에 산화실리콘막(101), 질화실리콘막(102)을 형성한다. 그 후, 수소 또는 희가스, 또는 수소와 희가스의 이온을 첨가하고, 제 1 본드 웨이퍼(100)에 취화층(104)을 형성한다. 그리고, 도 4b에 도시하는 바와 같이 홈 가공을 한다. 이 홈 가공에 있어서, 홈의 깊이를 취화층(104)보다도 깊게 가공함으로써, 취화층(104)을 박리해야 할 단결정 반도체층의 영역에만 남길 수 있다. 이러한 구성에 의해, 보다 용이하게 전치를 할 수 있다.

[0055] (제 3 실시 형태)

[0056] 본 실시 형태는 n 형 MISFET와 p 형 MISFET를 구성하는 SOI층을, 결정면이 다른 각 본드 웨이퍼로부터, 본드 웨이퍼와는 이종이며 투광성을 갖는 절연 기판으로 이루어지는 베이스 기판의 동일 표면으로 전치하는 반도체 소자 기판의 제작 방법에 대하여 설명한다. 본 실시 형태에서는 n 형 MISFET는, 결정면 {100}의 본드 웨이퍼를 사용하여, 채널 형성 영역, 소스 영역 및 드레인 영역을 형성한다. 또한 p 형 MISFET는, 결정면 {110}의 본드 웨이퍼를 사용하여, 채널 형성 영역, 소스 영역 및 드레인 영역을 형성한다. 또한 본 실시 형태에서는 n 형 MISFET의 SOI층을, 투광성을 갖는 절연 기판으로 전치 후에, p 형의 MISFET의 SOI층을 상기 절연 기판으로 전치하는 순서로 설명하지만, 어느 쪽을 먼저 전치하여도 상관없다.

[0057] 도 20a에 도시하는 바와 같이, 결정면을 {100}으로 하는 제 1 본드 웨이퍼(100)에 대하여, 수소, 또는 할로겐으로부터 선택된 이온종, 이들이 혼합된 이온종, 또는 수소 또는 할로겐에 희가스가 혼합된 이온종(111)을, 소정 깊이의 영역에 첨가하여, 취화층(104)을 형성한다. 이 때, 이온 주입법을 사용하면, 수소 또는 할로겐은, 질량 분리된 상태로 주입된다. 제 1 본드 웨이퍼(100)에는 수소 또는 할로겐으로부터 선택된 이온종을 고도즈 조건 ($1 \times 10^{15}/\text{cm}^2$ 내지 $1 \times 10^{17}/\text{cm}^2$)로 첨가하면 좋다. 추후 박리할 때, 제 1 본드 웨이퍼(100)로부터 MISFET의 SOI층이 추출되기 쉽기 때문이다. 또 취화층이 형성되는 소정의 깊이는 추후, 절연 기판에 전치되었을 때의 n 형 MISFET의 SOI층의 막 두께가 된다. 그 때문에, 이온종의 첨가 조건에 의해서, 전치되었을 때의 SOI층의 막 두께를 정할 수 있다. 상기 이온종의 첨가 시에, 직접 본드 웨이퍼(100)에 첨가하는 공정과, 본드 웨이퍼 위에 절연층 등을 형성한 상태로 첨가하는 공정의 어느 것이나 사용할 수 있다. 어느 공정에서도, 첨가 조건에 따라서, 전사 후의 SOI층의 막 두께와 동일한 깊이가 되도록 취화층을 형성할 수 있다.

[0058] 도 20b에 도시하는 바와 같이, 제 1 본드 웨이퍼(100) 위에, 접착층(112)을 형성한다. 접착층(112)은 산화실리콘막이 10nm 내지 200nm의 막 두께로, 최상층에 형성되어 있다. 산화실리콘막은, 유기실란가스를 사용한 화학 기상 성장법에 의해 형성한다. 유기실란가스를 사용한 화학기상 성장법에 의해 형성된 산화실리콘막은 평탄성이 높고, 접합 공정 시의 접합을 확실하게 할 수 있다. 또, 산화실리콘막은, 열산화법, 또는 플라즈마 CVD법에 의해서 형성할 수도 있고, 또한 어떠한 방법으로 형성된 산화실리콘막에 대해서도, 플라즈마 처리를 할 수 있고, 플라즈마 처리에 의해서 산화실리콘막의 치밀성을 높일 수 있다. 이러한 접착층(112)은 제 1 본드 웨이퍼(100)의 상면뿐만 아니라, 측면에 형성하거나, 이면에 형성하여도 좋다.

[0059] 접착층(112)의 최상층은 산화실리콘막이 좋지만, 상기 산화실리콘막에 더하여 그 밖의 막을 가져도 좋고, 본드 웨이퍼와 산화실리콘막의 사이에, 예를 들면, 산화실리콘막, 질화실리콘막, 산화질화실리콘막을 가져도 좋다. 예를 들면, 산화질화실리콘막을 갖는 경우, 질소와 산소의 농도를 다르게 한 산화질화실리콘막끼리를 적층시켜도 좋다. 산소 농도를 높인 산화질화실리콘(SiON)막은, 최상층에 형성되는 산화실리콘막과, 다른 층과의 접착성을 높이는 기능을 갖고, 질소농도를 높인 질화산화실리콘(SiNO)막은, 불순물 오염을 막는 기능을 갖는다. 그 때문에, 제 1 본드 웨이퍼 위에, SiNO막, SiON막, 산화실리콘막의 순차로 적층된 접착층(112)을 형성하면 좋다.

[0060] 또, 접착층(112)의 최상층에 형성된 산화실리콘막은, 고도즈 조건에서의 첨가의 결과, 표면이 거칠어지는 제 1 본드 웨이퍼(100)의 평탄성을 유지시키는 기능도 갖는다.

[0061] 도 20c에 도시하는 바와 같이, 제 1 본드 웨이퍼(100) 위에, 레지스트 등의 마스크(113)를 선택적으로 형성한다. 상기 마스크는 추후 전치되는 p 형의 MISFET의 SOI층의 배치를 고려하여 선택적으로 형성한다. n 형의 MISFET의 SOI층과, p 형의 MISFET의 SOI층이, 인접하도록 배치되면, CMOS 회로의 제작을 간편한 것으로 할 수 있다.

[0062] 도 20d에 도시하는 바와 같이, 마스크(113)를 사용하여, 제 1 본드 웨이퍼(100)와 접착층(112)에 대하여 에칭을 하고, n 형의 MISFET의 SOI층(108)을 형성하는 SOI층(108)은 그 위에는 접착층이 잔존한 상태이며, 직사각 형상으로 되어있다. 또, 마스크(113)를 사용하여 접착층(112)을 먼저 에칭하고, 접착층(112)을 마스크로 하여 제 1 본드 웨이퍼(100)를 에칭하여도 좋다. 어떠한 방법에 의한 에칭에 대해서도, 제 1 본드 웨이퍼(100)에 대하여, 적어도 취화층(104)이 노출될 때까지 에칭을 하면 좋다. 추후 SOI층(108)의 전치가 행하여질 때, 취화층을 경계로 하여 제 1 본드 웨이퍼(100)가 벗겨지기 때문이다.

[0063] 다음에, 투광성을 갖는 절연 기판(베이스 기판이 됨; 105)을 준비한다. 절연 기판(105)에는 유리, 석영, 플라스틱, 사파이어 등을 사용할 수 있고, 반도체 표시 장치에 적합하다. 또한 투광성이 필요로 되지 않는 장치를 제작하는 것이면, 절연 기판(105)으로서, 실리콘, 갈륨비소, 인듐인 등의 반도체 기판을 사용할 수 있다. 절연 기판(105) 위에, 실리콘을 갖는 막을 형성하여도 좋다. 실리콘을 갖는 막으로서, 산화실리콘막, 질화실리콘막,

산화질화실리콘막이 있다. 산화실리콘막은, 유기실란가스를 사용한 화학기상 성장법에 의해 형성할 수 있다. 유기실란가스를 사용한 화학기상 성장법에 의해 형성된 산화실리콘막은, 절연 기판(105)의 평탄성을 높일 수 있고, 접착층(112)과의 접착성을 높일 수 있다. 불순물 오염을 막는 기능을 높이기 위해서, 질소 농도를 높인 질화산화실리콘(SiNO)막으로 하여도 좋고, 그 밖의 불순물 오염 방지기능이 높은 질화알루미늄, 또는 질소산화알루미늄을 채용하여도 좋다. 산화질화실리콘막의 다른 층과의 접착성을 높이기 위해서, 산소 농도를 높인 산화질화실리콘(SiON)막으로 하여도 좋다. 이러한 실리콘을 갖는 막은 화학기상 성장법 이외에 열산화법, 또는 플라즈마 CVD법에 의해서 형성할 수도 있다.

[0064] 그리고 도 21a에 도시하는 바와 같이, 선택적으로 예정된 접착층을 개재하여, 투광성을 갖는 절연 기판(105)과, 제 1 본드 웨이퍼(100)를 겹친다. 이 때, 겹쳐지는 서로의 면에 대하여, 각각 세정을 하면 좋다. 선택적으로 예정된 접착층의 최상층에는 산화실리콘막이 형성되어 있고, 상기 산화실리콘막에 의해서 절연 기판(105)과의 접착성이 높아진다. 이 때 절연 기판(105) 위에도 산화실리콘막이 형성되어 있으면, 더욱 접착성을 높일 수 있다. 절연 기판(105), 또는 절연 기판 위의 산화실리콘막과 제 1 본드 웨이퍼(100)의 접합의 형성은 실온에서 행하는 것이 가능하다. 이 접합은 원자레벨로 행하여져, 반·데르·발스힘이 작용하여 실온에서 강고한 접합이 형성된다. 접착성을 높이기 위해서, 절연 기판(105)과, 제 1 본드 웨이퍼(100)를 겹친 상태에서, 가열 처리를 하여도 좋다. 가열 처리를 하면, 접착성의 향상에 더하여, 취화층(104)에 균열을 발생시킬 수 있기 때문에, MISFET의 SOI층의 추출, 요컨대 제 1 본드 웨이퍼(100)의 박리를 간편한 것으로 할 수 있다. 상기 균열은 취화층(104)에 형성된 미소한 공동의 체적 변화에 의해서 일어날 수 있다. 접합을 강고한 것으로 하면서, 취화층(104)을 따라서 파단면을 발생시키기 위해서, 가열 처리는 400°C 내지 600°C에서, 5분에서 30분 정도, 예를 들면 600°C에서 20분간 행하면 좋다. 또한 가열 처리에 더하여 가압처리를 하여도 좋고, 양 처리를 동시에 행하여도 좋다.

[0065] 도 21b에 도시하는 바와 같이, 절연 기판(105) 위에 SOI층(108)을 잔존시킨 채로, 취화층(104)을 경계로 하여, 제 1 본드 웨이퍼(100)를 박리할 수 있다. 제 1 본드 웨이퍼(100)의 결정면이 {100}이면, SOI층(108)의 결정면도 {100}이 되고 있고, 이동도가 높은 n형의 MISFET를 제공할 수 있다.

[0066] 다음에 도 22a에 도시하는 바와 같이, 결정면을 {110}으로 하는 제 2 본드 웨이퍼(109)에 대하여, 도 1 및 도 2에서 도시한 공정과 동일하게 하여, SOI층(110)을 형성한다. 동일한 공정이기는 하지만, 적절하게 재개하여 설명한다. 우선 수소 또는 할로겐으로부터 선택된 이온종을 이온 주입법 또는 이온 도핑법에 의해 첨가하여 취화층을 형성하고, 접착층(112)을 형성한다. 접착층(112)의 최상층은, 산화실리콘막을 갖기 때문에, 절연 기판(105)과의 접착성을 높일 수 있다. 산화실리콘막은, 유기실란가스를 사용한 화학기상 성장법 등에 의해 형성하면 좋은 것도 도 1 및 도 2와 같다. 또한 절연 기판(105) 위에도 실리콘을 갖는 막을 형성함으로써, 제 2 본드 웨이퍼(109)의 접착성을 높일 수 있는 것도 도 1 및 도 2와 같다. 절연 기판(105)과, 제 2 본드 웨이퍼(109)를 겹친 상태에서, 가열 처리를 하고, 접착성을 높여도 좋은 것도 도 1 및 도 2와 같다. 가열 처리를 하면, 취화층(104)에 균열이 발생시킬 수 있고, 또한 가열 처리에 더하여 가압처리를 하여도 좋고, 양 처리를 동시에 행하여도 좋은 것도 도 1 및 도 2와 같다. 또한 취화층(104)은 SOI층(110)이 형성되어 있지 않은 영역에서는 노출되도록 예치되는 것도 도 1 및 도 2와 같다. 그리고, 볼록부상의 SOI층(110)을 선택적으로 형성하고, 산화실리콘막이 SOI층(110)의 상면에 형성되어 있는 것도 도 1 및 도 2와 같다.

[0067] 도 22b에 도시하는 바와 같이, SOI층(108)이 전치된 절연 기판(105)과, SOI층(110)이 선택적으로 형성된 제 2 본드 웨이퍼(109)를 겹친다. SOI층(110)은 도 20d 및 도 21에서 도시한 SOI층(108)과 인접하도록 겹치면, CMOS 회로의 제작을 간편한 것으로 할 수 있다.

[0068] 겹칠 때, SOI층(108)을 SOI층(110)보다 얇게 해 두면, 불필요한 영역에서의 접착을 방지할 수 있다. 즉, SOI층(108)과 SOI층(110)이 같은 막 두께인 경우와 비교하면, SOI층(108)과, 제 2 본드 웨이퍼(109)의 접착을 적극적으로 막을 수 있다. 이와 같이 SOI층(108)을, SOI층(110)보다 얇게 하기 위해서는 제 1 본드 웨이퍼(100)에 있어서의 취화층(104)과, 제 2 본드 웨이퍼(109)에 있어서의 취화층(104)의 깊이를 다르게 하면 좋다. 즉, 각 취화층(104)을 형성할 때의 도즈량 등을 다르게 하면 좋다. 또한 본드 웨이퍼의 결정면이 다르기 때문에, 도즈량을 같게 한 상태에서도 본드 웨이퍼마다 이온종의 첨가 깊이가 변하는 경우도 있다. 이것을 이용하여 각 취화층의 깊이를 다르게 할 수도 있다.

[0069] 그 후 도 22c에 도시하는 바와 같이, 제 2 본드 웨이퍼(109)와, 절연 기판(105)의 박리를 한다. 그렇게 하면, SOI층(108)이 전치된 절연 기판(105) 위에, SOI층(110)을 잔존시킨 채 취화층(104)을 경계로 하여, 제 2 본드 웨이퍼(109)를 박리할 수 있다. 이 때, 상기 가열 처리에 의해 취화층(104)에 균열이 발생하고 있으면, 상기

박리를 간편하게 할 수 있다.

[0070] 절연 기판(105) 위에 전치된 SOI층(108)과, SOI층(110)에 대하여 평탄화 처리를 하여도 좋다. 평탄화 처리에는 레이저 조사, 가열 처리, 또는 CMP 연마의 어느 하나 또는 이들을 복수 조합한 방법을 사용할 수 있다. 또한 SOI층(108)과, SOI층(110)의 표면의 높이가 다른 경우, 다른 상태, 요컨대 SOI층(108)의 막 두께가, SOI층(110)의 막 두께보다 얇은 상태인 채라도 좋고, 높이를 일치시켜도 좋다. 높이를 일치시키기 위해서는 SOI층(110)만을 얇게 하면 되기 때문에, CMP 연마를 사용하면 좋다. 이 때 양 SOI 층을 더욱 박막화하여도 좋고, 바람직하게는 5nm 내지 25nm의 두께가 되도록 연마하여도 좋다. SOI층이 박막화되면, 이동도의 향상, S치의 향상, 단채널 효과 억제가 향상된다. 박막화함에 따라서, 단결정 반도체막의 S치가 일치하기 때문에 바람직하다.

[0071] 이와 같이 절연 기판의 동일 표면에, 결정면이 다른 n 형의 MISFET의 SOI층과, p 형의 MISFET의 SOI층을 전치함으로써, 상기 이동도 등이 높여진 반도체 소자 및 반도체 집적회로를 제공할 수 있다. 또한, 투광성도 확보되어 있기 때문에, 상기 반도체 집적회로 등을 반도체 표시 장치에 사용하면 적합하다. 본 발명의 반도체 표시 장치는 투광성을 갖는 절연 기판 위에, 이동도를 비롯한 전기 특성이 높은 MISFET를 전치하였기 때문에 동작의 고속화를 도모할 수 있고, 또한 저전압으로 구동하는 것이 가능해져, 저소비 전력화를 도모할 수 있다. 또한, 본 실시 형태에 따르면 소자 분리를 하기 위한 구조를 형성할 필요가 없기 때문에 제조 공정을 간략화할 수 있다.

[0072] 또한 본 실시 형태에서는 수소 이온 등을 일정한 깊이로 첨가하고, SOI층이 되는 단결정 반도체층을 본드 웨이퍼로부터 베이스 기판으로 전치하는 방법에 대하여 나타내었지만, 다른 SOI 기술을 사용하여 동일 베이스 기판을 제작하는 것도 가능하다. 예를 들면, 본드 웨이퍼의 표면을 양극화성함으로써 다공질 실리콘층을 형성하고, 그 위에 에피택셜 성장으로 형성한 단결정 실리콘층을, 본 실시 형태에서 나타내는 SOI층으로서 사용할 수 있다. 이 구성의 본드 웨이퍼를 사용하는 경우에는 워터젯법을 사용하여, 다공질 실리콘층과 에피택셜 성장한 단결정 실리콘층을 분리할 수도 있다.

[0073] (제 4 실시 형태)

[0074] 본 실시 형태에서는 도 23a에 도시하는 바와 같이, 최초에, 결정면을 {100}으로 하는 제 1 본드 웨이퍼를 선택적으로 에칭하고, 그 후 도 23b에 도시하는 바와 같이 취화층을 형성하고, 결정면이 다른 n 형의 MISFET의 SOI층과, p 형의 MISFET의 SOI층을, 동일 절연 기판 위에 전치하는 제작 공정을 설명한다.

[0075] 도 23a에 도시하는 바와 같이, 제 1 본드 웨이퍼(100) 위에 선택적으로 레지스트 등의 마스크(113)를 형성한다. 마스크(113)는 상기 실시 형태에서 나타낸 바와 같이 CMOS 회로의 제작을 간편한 것으로 하기 위해서, 추후 전 치되는 p 형의 MISFET의 SOI층의 배치를 고려하여 선택적으로 형성한다.

[0076] 도 23b에 도시하는 바와 같이, 마스크(113)를 사용하여, n 형의 MISFET의 SOI층(108)을 형성한다. 즉, 제 1 본드 웨이퍼(100)에 SOI층(108)이 되는 불록부가 형성된다. 그 후, 상기 실시 형태와 같은 이온층(111)을, 제 1 본드 웨이퍼(100)에 첨가하여 취화층(104)을 형성한다. 취화층(104)은 제 1 본드 웨이퍼(100)의 표면으로부터 소정의 깊이로 형성되기 때문에, SOI층(108)이 되는 영역에서의 취화층은, 그 밖의 영역의 취화층보다도, 제 1 본드 웨이퍼(100)의 표면측에 형성된다.

[0077] 도 23c에 도시하는 바와 같이, 상기 실시 형태와 같은 접착층(112)을 형성한다. 접착층(112)은 제 1 본드 웨이퍼(100)의 표면을 따르도록 형성된다. 요컨대 SOI층(108)을 덮도록 형성된다.

[0078] 도 23d에 도시하는 바와 같이, 상기 실시 형태와 동일한 절연 기판(105)을, 접착층(112)을 개재하여 제 1 본드 웨이퍼(100)에 겹친다. 접착층(112)의 최상층에는 산화실리콘막이 형성되어 있고, 상기 산화실리콘막에 의해서 절연 기판(105)과의 접착성이 높아지는 것, 절연 기판(105) 위에 산화실리콘막이 형성되어 있는 것에 의해 접착성이 높아지는 것은, 상기 실시 형태와 같다. 또 본 실시 형태에 있어서, 제 1 본드 웨이퍼(100)는 SOI층(108)의 불록부에서 절연 기판(105)과 적극적으로 접착한다. 절연 기판(105)과, 제 1 본드 웨이퍼(100)를 겹친 상태에서, 가열 처리를 하여, 접착성을 높여도 좋고, 가열 처리를 하면, 접착성의 향상에 더하여, 취화층(104)에 균열을 발생시킬 수 있는 것은, 상기 실시 형태와 같다. 또한 가열 처리에 더하여 가압처리를 하여도 좋고, 양 처리를 동시에 행하여도 좋은 것도, 상기 실시 형태와 같다.

[0079] 그 후, 상기 실시 형태와 마찬가지로, 제 1 본드 웨이퍼(100)와, 절연 기판(105)의 박리를 하여, SOI층(108)이 전치된 절연 기판(105)을 형성한다. 그리고, 상기 절연 기판 위에, p 형의 MISFET의 SOI층을 전치한다. 상기 SOI층은, 본 실시 형태와 같은 공정에 기초하여, 제 2 본드 웨이퍼를 선택적으로 에칭하고, 그 후, 취화층을 형

성하여 얻어진, p 형의 MISFET의 SOI층이다. 상기 SOI층을, SOI층(108)이 전치된 절연 기판(105)에 전치한다.

[0080] 이와 같이 적어도 결정면이 다른 n 형의 MISFET의 SOI층과, p 형의 MISFET의 SOI층을, 절연 기판의 동일 표면에 전치함으로써, 이동도가 높여진 반도체 접적회로 등을 제공할 수 있고, 투광성도 확보되어 있기 때문에, 상기 반도체 접적회로를 반도체 표시 장치에 사용할 수 있다. 본 발명의 반도체 표시 장치는 투광성을 갖는 절연 기판 위에, 이동도가 높은 MISFET를 전치하였기 때문에 동작의 고속화를 도모할 수 있고, 또한 저전압으로 구동하는 것이 가능해져, 저소비 전력화를 도모할 수 있다. 또한, 본 실시 형태에 따르면 소자 분리를 하기 위한 구조를 형성할 필요가 없기 때문에 제조 공정을 간략화할 수 있다.

[0081] 또 본 실시 형태에 있어서도, n 형 MISFET의 SOI층을, 투광성을 갖는 절연 기판으로 전치 후에, p 형의 MISFET의 SOI층을 상기 절연 기판에 전치하는 순서로 설명하였지만, 어느 쪽을 먼저 전치하여도 상관없다.

[0082] 또한 본 실시 형태에서는 수소 이온 등을 일정한 깊이로 첨가하여 단결정 반도체층을 본드 웨이퍼로부터 박리하는 방법에 대하여 나타내었지만, 다른 SOI 기술을 사용하여 동일 베이스 기판을 제작하는 것도 가능하다. 예를 들면, 본드 웨이퍼의 표면을 양극화성에 의해 다공질 실리콘층을 형성하고, 그 위에 에피택셜 성장으로 형성한 단결정 실리콘층을, 본 실시 형태에서 나타내는 SOI층으로서 사용할 수 있다. 이 구성의 본드 웨이퍼를 사용하는 경우에는 워터젯법을 사용하여, 다공질 실리콘층과 에피택셜 성장한 단결정 실리콘층을 분리할 수도 있다.

[0083] (제 5 실시 형태)

[0084] 본 실시 형태에서는 도 24와 도 26에서 도시하는 바와 같이, 본드 웨이퍼의 주위를 산화막으로 덮은 상태를 거친 제작 공정을 설명한다. 본 실시 형태는 산화막으로 덮는 이외의 공정, 예를 들면 상기 실시 형태와 같이 본드 웨이퍼에 취화층을 형성한 후에 선택적으로 에칭하는 공정이나 상기 실시 형태와 같이 본드 웨이퍼를 선택적으로 에칭한 후 취화층을 형성하는 공정과, 자유롭게 조합할 수 있다.

[0085] 도 24a에 있어서, 결정면을 {100}으로 하는 제 1 본드 웨이퍼(100)를, 황산과수(SPM), 암모니아과수(APM), 염산과수(HPM), 희불산(DHF) 등에 의해 세정한다. 그 후, 제 1 본드 웨이퍼(100)의 열산화를 한다. 열산화는 드라이산화로 형성할 수 있고, 산화분위기 중에 할로겐을 첨가한 산화를 하여 형성할 수도 있다. 할로겐을 포함하는 것으로서는 염소를 포함하는 HCl가 대표예이고, 그 외에도 HF, NF₃, HBr, Cl₂, ClF₃, BC₁₃, F₂, Br₂ 등으로부터 선택된 일종 또는 복수종을 적용할 수 있다. 이러한 열산화의 예로서는 산소에 대하여 HCl를 0.5 내지 10체적%(바람직하게는 3체적%)의 비율로 포함하는 분위기중에서, 900°C 내지 1150°C의 온도(대표적으로는 1000°C)에서 열산화를 하면 좋다.

[0086] 이러한 온도 범위에서 열처리를 함으로써, 제 1 본드 웨이퍼(100)내의 불순물 원소에 대한 할로겐원소에 의한 게터링 효과를 얻을 수 있다. 게터링 효과로서는 특히 금속불순물(외인성 불순물인 중금속)을 제거하는 효과가 얻어진다. 대표적인 중금속으로서는 Fe, Cr, Ni와 같은 금속이며, 또한 Mo가 포함되는 경우도 있다.

[0087] 그 때, 염소 등의 할로겐의 작용에 의해, 제 1 본드 웨이퍼(100)내의 금속 등의 불순물이 휘발성의 염화물이 되어 기상중으로 이탈하여 제거된다. 제 1 본드 웨이퍼(100)의 표면을 화학적 기계 연마(CMP) 처리한 것에 대해서는 불순물을 효율적으로 제거할 수 있다. 이와 같이 산화막(120)에 할로겐이 포함됨으로써, 외인성 불순물인 중금속을 포집(捕集)하여 제 1 본드 웨이퍼(100)가 오염되는 것을 방지하는 효과를 나타낼 수 있다. 또한, HCl의 수소는 제 1 본드 웨이퍼(100)와 산화막(120)의 계면의 결함을 보상하여 계면의 국재 준위 밀도를 저감하는 작용을 나타낸다. 열산화의 처리시간은 0.1 내지 6시간, 바람직하게는 0.5 내지 1시간으로 하면 좋다. 이렇게 하여 형성되는 산화막은, 10nm 내지 1000nm(바람직하게는 50nm 내지 200nm), 예를 들면 100nm의 두께로 한다.

[0088] 도 24b는 상기 실시 형태와 같은 수소 또는 할로겐 등의 이온층을 첨가하여 취화층(104)을 형성하는 공정을 도시한다. 이온층의 첨가는 제 1 본드 웨이퍼(100)에 대하여 경사 방향으로부터 행할 수도 있다. 또, 중금속은 제 1 본드 웨이퍼(100)에 대하여, 질량 분리되지 않는 이온을 도핑하여 취화층(104)을 형성하는 과정에서 도입된다.

[0089] 도 25는 제 1 본드 웨이퍼(100)에 첨가한 수소 또는 할로겐이온의 분포를 곡선 H로서 나타낸다. 제 1 본드 웨이퍼(100)에 첨가된 수소 또는 할로겐이온은 가우스 분포한다. 물론, 이온을 전계에서 가속하여 본드 웨이퍼에 첨가하는 경우에는 이온은 일정 깊이를 피크로 하여 거의 가우스 분포하게 되고, 여기에서 그 피크 위치를 목표

로 하여 취화층(104)을 나타내고 있다. 제 1 본드 웨이퍼(100)의 표면으로부터 이온의 평균 진입 깊이에 가까운 깊이 영역에 취화층(104)이 형성된다. 예를 들면, 취화층(104)은 SOI층의 두께 5nm 내지 500nm, 바람직하게는 10nm 내지 200nm에 맞춘 깊이로 형성하는 것이 바람직하고, 이온을 첨가할 때의 가속 전압이나 도즈량은 이러한 두께를 고려하여 행한다.

[0090] 또, 중금속의 이온은 질량수가 크기 때문에, 제 1 본드 웨이퍼중 이온이 첨가되는 측의 극히 표면에 많이 분포 한다. 제 1 본드 웨이퍼(100)의 표면에 산화막(120)이 형성되어 있기 때문에, 이 산화막(120)의 막 두께를 금 속이온의 첨가 깊이보다도 두껍게 형성함으로써, 상기 금속의 분포를 산화막(120)중에 멈추어 놓을 수 있다(도 25에 있어서 나타내는 곡선 M). 막중에 할로겐을 포함한 산화막(120)은 HC1 산화등에 의해서, 산화막(120)중에 포집한 상기 중금속을 고정하여 제 1 본드 웨이퍼(100)의 오염을 막을 수 있다.

[0091] 또한 산화막(120)을 형성한 후에 행하여지는 열처리에 의해, 제 1 본드 웨이퍼(100)에 포함되는 불순물로서의 다른 금속이 산화막(120)에 석출되고, 할로겐(예를 들면 염소)과 반응하여 포획(捕獲)된다. 그것에 의해서 산화막(120)중에 포집한 상기 불순물을 고정하여 제 1 본드 웨이퍼(100)의 오염을 막을 수 있다.

[0092] 이와 같이 본 실시 형태의 산화막(120)은 중금속이나 불순물을 포획하여 재획산시키지 않음으로써, MISFET의 고 성능화를 도모할 수 있다.

[0093] 또, 취화층(104)은 이온종을 질량 분리한 후에, 제 1 본드 웨이퍼(100)에 첨가하여도 마찬가지로 형성할 수 있다. 이 경우에도, 질량이 큰 이온(예를 들면 H_3^+ 이온)을 선택적으로 첨가하는 것은 상기 게터링 효과와 동일한 효과를 나타낼 수 있다.

[0094] 그리고 도 24c에 도시하는 바와 같이, 상기 실시 형태와 마찬가지로 접착층(112)을 형성하고, 마스크(113)를 사용하여, 취화층(104)보다 위의, 제 1 본드 웨이퍼(100) 및 접착층(112)을 에칭한다. 그 후의 공정은, 상기 실시 형태와 동일하게 할 수 있기 때문에, 설명을 생략한다.

[0095] 지금까지는 본드 웨이퍼에 취화층을 형성한 후에 선택적으로 에칭하는 공정을 사용하여 설명하였지만, 본드 웨이퍼를 선택적으로 에칭한 후 취화층을 형성하는 공정을 사용할 수도 있다. 도 26a에 도시하는 바와 같이, 제 1 본드 웨이퍼(100)를, 마스크(113)를 사용하여 에칭한다. 그 후 도 26b에 도시하는 바와 같이, 에칭된 제 1 본드 웨이퍼(100)에 대하여, 산화막(120)을 형성한다. 산화막(120)의 형성은, 상술한 바와 같다. 도 26c에 도시하는 바와 같이, 취화층(104)을 형성하여, 도 26d에 도시하는 바와 같이 접착층(112)을 형성한다. 그 후의 공정은 상기 실시 형태와 동일하기 때문에, 설명을 생략한다.

[0096] 이렇게 하여, 본드 웨이퍼에 대하여 산화막을 형성하여도 좋다. 그 결과, 취화층의 형성 시에 본드 웨이퍼에 포함되어 버리는 중금속이나 불순물 등을 게터링할 수 있어, 본드 웨이퍼의 오염을 저감할 수 있다.

[0097] (제 6 실시 형태)

[0098] 결정면이 다른 SOI층을 베이스 기판에 접합하는 경우에, 보다 바람직한 형태로서, 채널 길이 방향의 결정축을 특정한 방향으로 한다. SOI층의 결정면에서의 결정축의 이방성과, SOI층의 캐리어가 흐르는 방향에서의 결정축의 이방성을 맞춤으로써, MISFET의 채널 형성 영역을 흐르는 전자 또는 홀의 캐리어 이동도를 높일 수 있다. 이러한 원인으로서, 결정중에서 캐리어의 유효 질량이 이방성을 갖기 때문이다.

[0099] 도 5a에 도시하는 바와 같이, 결정면 {100}의 본드 웨이퍼로부터 n 형 MISFET용의 SOI층을 추출하는 경우에는 SOI층의 채널 길이 방향이 <100> 방위와 평행한 방향이 되도록 하는 것이 바람직하다. 또, <100> 방위와 평행한 방향은, (a)로 나타내는 방향에 더하여, (b)로 나타내는 방향도 있기 때문에, 어느 방향과 평행하게 되도록 SOI층을 추출하여도 좋다.

[0100] 한편, p 형 MISFET용의 SOI층을 형성하기 위해서는 도 5b에 도시하는 바와 같이 결정면 {110}의 본드 웨이퍼를 사용하여, SOI층의 채널 길이 방향이 <110> 방위와 평행한 방향이 되도록 하는 것이 바람직하다. 이와 같이, n 형 MISFET에 대하여 <100> 방위, p 형 MISFET에 대하여 <110> 방위로 하면, 채널 형성 영역을 흐르는 전자와 홀의 이동도를 보다 높일 수 있다.

[0101] (제 7 실시 형태)

[0102] 본 실시 형태는 동일한 결정면을 갖는 본드 웨이퍼로부터, n 형 MISFET와 p 형 MISFET에 적합한 SOI층을 추출하는 구성에 대해서 나타낸다. 도 6은 결정면 {110}의 본드 웨이퍼를 사용하는 경우에 대해서 나타낸다. 이 경우, n 형 MISFET용의 SOI층을 추출하는 경우에는 채널 길이 방향이 <100> 방위와 평행한 방향이 되도록 한다.

한편, p 형 MISFET용의 SOI층을 형성하기 위해서는 채널 길이 방향이 <110> 방위와 평행한 방향이 되도록 한다.

[0103] 본 실시 형태에 따르면, 절연 기판 위에, n 형 MISFET가 형성되는 제 1 SOI층과 p 형 MISFET가 형성되는 제 2 SOI층이 동일한 결정면으로서, 채널 길이 방향의 결정축의 방향이 서로 다른 반도체 집적회로를 얻을 수 있다. n 형 MISFET에 대하여 <100> 방위, p 형 MISFET에 대하여 <110> 방위를 선택하면 채널 형성 영역을 흐르는 전자와 홀의 전계 효과 이동도를 보다 높이는 것이 가능해진다. 또한, n 형 MISFET의 SOI층과 p 형 MISFET의 SOI층은 개별로 베이스 기판에 접합 가능하다. 따라서 동일한 결정면을 갖는 기판으로부터 결정축의 방향이 서로 다르도록 레이아웃하는 경우와 비교하여, n 형 MISFET와 p 형 MISFET의 회로 배치에 설계의 자유도가 확보되기 때문에, 반도체 집적회로의 접속도를 향상시킬 수 있다. n 형 MISFET 및 p 형 MISFET의 각각에 대하여, 높은 전계 효과 이동도가 얻어지는 결정면 또는 결정축을 선택하는 것이 가능하기 때문에, 이러한 베이스 기판을 사용함으로써 반도체 집적회로의 고성능화를 도모할 수 있다.

[0104] 또한 본 발명의 반도체 집적회로를 투광성을 갖는 절연 기판 위에 전치한 반도체 표시 장치는 이동도가 높은 MISFET를 전치하였기 때문에 동작의 고속화를 도모할 수 있고, 또한 저전압으로 구동하는 것이 가능해져, 저소비 전력화를 도모할 수 있다.

[0105] (제 8 실시 형태)

[0106] 본 실시 형태는 본 발명의 베이스 기판을 사용하여 인버터회로를 제작하는 공정에 대해서 설명한다. 또, 본 발명은 이러한 단순한 회로에 한정되지 않고, 마이크로프로세서를 비롯한 여러 가지 반도체 장치를 실현할 수 있다. 도 7 내지 도 13에 있어서 도 13a는 인버터 회로의 평면도를 도시하고, 도 13b는 A-B 선에 대응하는 단면도를 도시한다.

[0107] 도 7a, 도 7b는 제 1 SOI층(201) 및 제 2 SOI층(202)이 형성된 베이스 기판(105)에 게이트 절연층 및 게이트 전극을 형성하는 공정을 도시한다. 제 1 SOI층(201) 및 제 2 SOI층(202) 위에는 게이트 전극(204)이 형성된다. 게이트 절연층(203)으로서는 산화실리콘(SiO_x), 산화질화실리콘(SiO_xN_y), 산화하프늄(HfO_x), 산화알루미늄(Al_xO_y, x>y>0), 산화탄탈(TaxO_y, x>y>0) 등의 재료를 적용할 수 있다. 도 7b에서는 게이트 절연층(203)과 게이트 전극(204)의 측단부가 일치하도록 가공되어 있지만, 게이트 전극(204)의 애칭에 있어서 게이트 절연층(203)을 남기도록 가공하여도 좋다.

[0108] 또, 본 실시 형태에 있어서는 제 1 SOI층(201)은 p 형의 MISFET에 상당하는 것으로 하고, 제 2 SOI층(202)은 n 형의 MISFET에 상당하는 것으로 한다.

[0109] 게이트 절연층(203)에 고유전율 물질(high-k 재료)을 사용하는 경우에는 게이트 전극(204)을 다결정 실리콘, 실리사이드, 금속 또는 금속질화물로 형성한다. 접합하게는 금속 또는 금속질화물로 형성하는 것이 바람직하다. 예를 들면, 게이트 절연층(203)과 접하는 제 1 게이트 전극층(205)을 금속질화물 재료로 형성하고, 그 위의 제 2 게이트 전극층(206)을 금속재료로 형성한다. 이 조합을 사용함으로써, 게이트 절연층이 박막화한 경우라도 게이트 전극에 공핍층이 넓어져 버리는 것을 방지할 수 있고, 미세화한 경우에도 트랜지스터의 구동 능력을 손상하는 것을 방지할 수 있다.

[0110] 도 8은 게이트 전극(204) 위에 제 1 절연층(207)을 형성한다. 제 1 절연층(207)은 산화실리콘막 또는 산화질화실리콘막으로 형성한다. 다른 형태로서, 게이트 전극(204)을 산화 또는 질화 처리에 의해 절연화하여 동일한 층을 형성하여도 좋다. 제 1 절연층(207)은 게이트 전극(204)의 측면에도 1nm 내지 10nm의 두께로 성막되도록 한다. 제 1 절연층(207)은 이후의 공정에서, 제 1 SOI층(201) 및 제 2 SOI층(202)에 가전자 제어를 목적으로 한 불순물이 첨가되지 않는 오프셋 영역을 형성하기 위해서 형성한다.

[0111] 도 9는 제 1 SOI층(201) 및 제 2 SOI층(202)에 극천(極淺) 접합(소스 드레인 익스텐션)을 형성하는 공정을 도시한다. 이 극천 접합부는 단채널 효과를 억제하기 위해서 형성하는 것이 바람직하다. p 형 MISFET용의 제 1 SOI층(201)에 대해서는 제 15 족 원소가 첨가되는 제 1 극천 접합부(208)를 형성하고, n 형 MISFET용의 제 2 SOI층(202)에 대해서는 제 13 족 원소가 첨가되는 제 2 극천 접합부(209)를 형성한다. 이 극천 접합부의 불순물 농도는 저농도 드레인보다는 1자리수 높아지도록 한다. 예를 들면, 제 1 극천 접합부(208)에 대해서는 봉소를 15keV, $3 \times 10^{13} / \text{cm}^2$ 의 도즈량으로 이온 주입을 한다. 제 2 극천 접합부(209)에 대해서는 비소를 15keV, $2 \times 10^{14} / \text{cm}^2$ 의 도즈량으로 이온 주입을 한다.

[0112] 이어서, 도 10에서 도시하는 바와 같이, 게이트 전극(204)의 측면에 제 1 사이드 월(210), 제 2 사이드 월(21

1)을 형성한다. 예를 들면, 제 1 사이드 월(210), 제 2 사이드 월(211)은 질화실리콘막으로 형성된다. 이들 사이드 월은 이방성 에칭에 의해 자기정합적으로 형성한다.

[0113] 이 경우, 제 1 SOI층(201)측의 제 1 사이드 월(210)과, 제 2 SOI층(202)측의 제 2 사이드 월(211)의 폭을 같아지도록 가공하여도 좋지만, 바람직하게는 이 양자의 폭이 다르도록 가공한다. p 형 MISFET용의 제 1 SOI층(201)에 대한 제 1 사이드 월(210)의 폭은, n 형 MISFET용의 제 2 SOI층(202)에 대한 제 2 사이드 월(211)의 폭보다도 두껍게 하면 좋다. p 형 MISFET에서 소스 영역 및 드레인 영역을 형성하기 위해서 주입되는 붕소는 확산되기 쉽고, 단채널 효과를 유기(誘起)하기 쉽기 때문이다. 오히려, 이러한 구성으로 함으로써, p 형 MISFET에서, 소스 영역 및 드레인 영역에 고농도의 붕소를 첨가하는 것이 가능해져, 소스 영역 및 드레인 영역을 저저항화할 수 있다.

[0114] 사이드 월을 형성한 후, 도 11에서 도시하는 바와 같이, 제 1 절연층(207)의 노출부를 에칭한 후, 소스 영역 및 드레인 영역을 자기정합적으로 형성한다. 이 공정은 가전자 제어하는 불순물 이온을 전계에서 가속하여 주입하는 이온 주입법으로 할 수 있다. 제 1 SOI층(201)에는 제 13 족 원소를 첨가하고, 소스 영역 및 드레인 영역이 되는 제 1 불순물 영역(212)을 형성한다. 제 2 SOI층(202)에는 제 15 족 원소를 첨가하고, 소스 영역 및 드레인 영역 제 2 불순물 영역(213)을 형성한다. 예를 들면, p 형 MISFET용의 제 1 SOI층(201)에 대해서는 붕소를 30keV , $3 \times 10^{15}/\text{cm}^2$ 의 도즈량으로 이온 주입한다. n 형 MISFET용의 제 2 SOI층(202)에 대해서는 비소를 50keV , $5 \times 10^{15}/\text{cm}^2$ 의 도즈량으로 이온 주입한다. 이온종, 가속 전압 및 도즈량의 도핑 조건은 적절하게 설정하면 좋다.

[0115] 소스 영역 및 드레인 영역을 더욱 저저항화하기 위해서는 실리사이드층을 형성하여도 좋다. 실리사이드층으로서는 코발트 실리사이드 또는 니켈실리사이드를 적용하면 좋다. SOI층의 두께가 얇은 경우에는 이 영역의 SOI 층의 바닥부까지 실리사이드 반응을 진행시켜 모두 실리사이드화하여도 좋다.

[0116] 도 12에서는 패시베이션층(214), 제 1 층간 절연층(215), 콘택트 플러그(216)를 형성하는 공정을 도시한다. 패시베이션층(214)은 질화실리콘막, 질화산화실리콘막 등을 CVD법으로 전면에 성막한다. 제 1 층간 절연층(215)은 인실리케이트유리 PSG) 또는 붕소인실리케이트유리(BPSG)를 CVD법으로 성막하고, 리플로에 의해 평탄화하여 형성한다. 또는 CVD법으로 정규산사에틸(Tetra-Ethyl-Ortho-Silicate, Si(OCH₂CH₃)₄)을 사용하여 산화실리콘막을 형성하고, 그 후 CMP로 평탄화하여도 좋다. 콘택트 플러그(216)는 제 1 층간 절연층(215)에 형성한 콘택트 홀을 매립하도록 텅스텐실리사이드로 형성한다. 텅스텐실리사이드는 유플루오르화텅스텐(WF₆)과 실란(SiH₄)을 사용하여 CVD법으로 형성한다.

[0117] 배선의 다층화는 반도체 장치의 구성에 따라서 고려된다. 도 13에서는 제 1 층간 절연층(215)의 위에, 제 2 층간 절연층(217)과 제 1 배선(218), 제 2 배선(219), 제 3 배선(220)을 형성한 구성을 도시한다. 이들의 배선은 텅스텐실리사이드로 형성하여도 좋고, 다마신법(상감법)에 의해 Cu 배선을 형성하여도 좋다.

[0118] (제 9 실시 형태)

[0119] 본 실시 형태는 본 발명의 전치 공정을 거쳐서 반도체 소자를 갖는 장치(반도체 장치)로서 인버터 회로에 대해서 설명한다. 또, 본 발명은 이러한 단순한 회로에 한정되지 않고, 마이크로프로세서를 비롯한 여러 반도체 장치를 실현할 수 있다. 도 27 내지 도 33에 있어서 (a)는 인버터회로의 상면도를 도시하고, (b)는 A-B 선에 대응하는 단면도를 도시한다.

[0120] 도 27a, 도 27b는 접착층(112), 제 1 SOI층(108) 및 제 2 SOI층(110)이 형성된 절연 기판(105)에 게이트 절연 층 및 게이트 전극을 형성하는 공정을 도시한다. 도 27a에서는 제 1 SOI층(108)과, 제 2 SOI층(110)이 평행하게 되도록 접합되고 있지만, 제 1 SOI층(108)과, 제 2 SOI층(110)이 직교하도록 접합하여도 좋고, 평행으로부터 약간 어긋난 상태로 접합되어 있어도 좋다. 예를 들면, SOI층에 결정면의 어긋남, 또는 결정축의 어긋남이 생기는 경우가 있어, 평행으로부터 약간 어긋난 상태로 접합함으로써, 상기 어긋남을 완화시킬 수 있다. 결정면 {110}을 갖는 SOI층은, 상기 어긋남의 영향을 받기 쉽기 때문에, 제 2 SOI층(110)을 평행으로부터 조금 비켜 놓고 접합하면 좋다.

[0121] 또, 제 1 SOI층(108)과, 제 2 SOI층(110)의 막 두께를 일치시키기 위해서, 평탄화 처리를 실시하고 있다. 제 1 SOI층(108) 및 제 2 SOI층(110) 위에는 게이트 절연층(203)을 개재하여, 게이트 전극(204)이 형성된다. 게이트 절연층(203)으로서는 산화실리콘(SiO_x), 산화질화실리콘(SiO_xN_y), 산화하프늄(HfO_x), 산화알루미늄(Al_xO_y; x>y>0), 산화탄탈(TaxO_y, x>y>0) 등의 재료를 적용할 수 있다. 도 27b에서는 게이트 절연층(203)과 게이트 전

극(204)의 측단부가 일치하도록 가공되어 있지만, 게이트 전극(204)의 예칭에 있어서 게이트 절연층(203)을 남기도록 가공하여도 좋다. 예를 들면, 게이트 절연층(203)을 테이퍼형상으로 남기는 가공을 하여도 좋다.

[0122] 게이트 전극(204)은 단층 구조이거나, 적층 구조이어도 좋다. 본 실시 형태에서는 제 1 게이트 전극층(205), 제 2 게이트 전극층(206)의 적층 구조의 경우를 나타낸다. 게이트 절연층(203)에 고유전율물질(high-k 재료)을 사용하는 경우에는 게이트 전극(204)을 다결정 실리콘, 실리사이드, 금속 또는 금속질화물로 형성하고, 적합하게는 금속 또는 금속질화물로 형성하는 것이 바람직하다. 게이트 전극층이 적층 구조인 것을 고려하면, 게이트 절연층(203)과 접하는 제 1 게이트 전극층(205)을 금속질화물 재료로 형성하고, 제 2 게이트 전극층(206)을 금속재료로 형성할 수 있다. 이 조합을 사용함으로써, 게이트 절연층이 박막화한 경우라도 게이트 전극에 공핍층이 넓어져 버리는 것을 적극적으로 방지할 수 있고, 미세화한 경우에도 트랜지스터의 구동 능력을 손상하는 것을 방지할 수 있다.

[0123] 도 28은 게이트 전극(204) 위에 제 1 절연층(207)을 형성하는 공정을 도시한다. 제 1 절연층(207)은 게이트 절연층으로서 기능한다. 제 1 절연층(207)으로서, 산화실리콘막 또는 산화질화실리콘막을 CVD법이나 스퍼터법에 의해 형성한다. 다른 형태로서, 게이트 전극(204)을 산화 또는 질화처리에 의해 절연화하여 동일한 층을 형성하여도 좋다. 제 1 절연층(207)은 게이트 전극(204)의 측면에도 1nm 내지 10nm의 두께로 형성되도록 한다. 제 1 절연층(207)은 제 1 SOI층(108) 및 제 2 SOI층(110)에 대하여, 가전자 제어를 목적으로 한 불순물이 첨가되지 않는 오프셋 영역을 형성하기 위해서도 형성하고 있다.

[0124] 도 29는 제 1 SOI층(108) 및 제 2 SOI층(110)에 극천 불순물 영역(소스 드레인 익스텐션)을 형성하는 공정을 도시한다. 이 극천 불순물 영역에 의해서, 단채널 효과를 억제할 수 있다. n 형 MISFET의 제 1 SOI층(108)에 대해서는 제 15 족 원소가 첨가되는 제 1 극천 접합부(제 1 극천 불순물 영역; 208)를 형성하는 공정과, p 형 MISFET의 제 2 SOI층(110)에 대해서는 제 13 족 원소가 첨가되는 제 2 극천 접합부(제 2 극천 불순물 영역; 209)를 형성하는 공정을 갖는다. 또 도 29a에 있어서, 극천 접합부(208, 209)를 알기 쉽게 나타내기 위해서, 게이트 전극(204) 주위만의 제 1 절연층(207)을 도시하고, 게이트 절연층의 외측에 극천 접합부(208, 209)를 접선으로 나타내지만, 제 1 절연층(207)은 제 1 및 제 2 SOI층(108, 110), 게이트 전극(204)의 전체를 덮고 있다. 이 극천 불순물 영역의 불순물 농도는 예를 들면, 제 1 극천 접합부(208)에 대해서는 비소를 15keV, $2 \times 10^{14} / \text{cm}^2$ 의 도즈량으로 이온 주입을 하고, 제 2 극천 접합부(209)에 대해서는 봉소를 15keV, $3 \times 10^{13} / \text{cm}^2$ 의 도즈량으로 이온 주입을 한다.

[0125] 이어서, 도 30에서 도시하는 바와 같이, 게이트 전극(204)의 측면에 제 1 사이드 월(210), 제 2 사이드 월(211)을 형성한다. 예를 들면, 제 1 사이드 월(210), 제 2 사이드 월(211)은 질화실리콘막으로 형성된다. 이들의 사이드 월은 이방성 예칭에 의해 자기정합적으로 형성한다.

[0126] 이 경우, 제 1 SOI층(108)측의 제 1 사이드 월(210)과, 제 2 SOI층(110)측의 제 2 사이드 월(211)의 폭이 같아지도록 가공하여도 좋지만, 바람직하게는 이 양자의 폭이 다르도록 가공한다. p 형 MISFET의 제 2 SOI층(110)에 대한 제 2 사이드 월(211)의 폭은, n 형 MISFET의 제 1 SOI층(108)에 대한 제 1 사이드 월(210)의 폭보다도 두껍게 하면 좋다. p 형 MISFET에서 소스 영역 및 드레인 영역을 형성하기 위해서 주입되는 봉소는 확산되기 쉽고, 단채널 효과를 유기(誘起)하기 쉽기 때문이다. 오히려, 이러한 구성으로 함으로써, p 형 MISFET에서, 소스 영역 및 드레인 영역에 고농도의 봉소를 첨가하는 것이 가능해져, 소스 영역 및 드레인 영역을 저저항화할 수 있다.

[0127] 사이드 월을 형성한 후, 도 31에서 도시하는 바와 같이, 제 1 절연층(207)의 노출부를 예칭한 후, 소스 영역 및 드레인 영역을 자기정합적으로 형성한다. 이 공정은 가전자 제어하는 불순물 이온을 전계에서 가속하여 주입하는 이온 주입법으로 할 수 있다. 도 31b에는 제 1 SOI층(108)에는 제 15 족 원소를 첨가하고, 소스 영역 및 드레인 영역이 되는 제 1 불순물 영역(212)을 형성하는 상태를 나타낸다. 또한 제 2 SOI층(110)에는 제 13 족 원소를 첨가하고, 소스 영역 및 드레인 영역이 되는 제 2 불순물 영역(213)을 형성한다. 예를 들면, n 형 MISFET의 제 1 SOI층(108)에 대해서는 비소를 50keV, $5 \times 10^{15} / \text{cm}^2$ 의 도즈량으로 이온 주입한다. p 형 MISFET의 제 2 SOI층(110)에 대해서는 봉소를 30keV, $3 \times 10^{15} / \text{cm}^2$ 의 도즈량으로 이온 주입한다. 상기 이온종, 가속 전압 및 도즈량의 도핑 조건은 예시이며, 적절하게 설정한 조건으로 할 수도 있다.

[0128] 소스 영역 및 드레인 영역을 또한 저저항화하기 위해서는 제 1 및 제 2 SOI층에 대하여, 실리사이드층을 형성하여도 좋다. 실리사이드층으로서는 코발트실리사이드 또는 니켈실리사이드를 적용하면 좋고, 적어도 소스 영역

및 드레인 영역을 실리사이드화하면 좋고, SOI층의 상면 및 단면에 대하여 실리사이드층이 형성된다. 또, 상기 SOI층의 두께가 얇은 경우 등에는 SOI층의 바닥부까지 실리사이드 반응을 진행시켜, 저저항화를 도모하여도 좋다. 또한 게이트 전극(204)을 더욱 저저항화하기 위해서도, 게이트 전극층의 상면에 실리사이드층을 형성하면 좋다. 소스 영역 및 드레인 영역에 형성되는 실리사이드층과, 게이트 전극층에 형성되는 실리사이드층은 동시에 제작할 수 있다.

[0129] 도 32에서는 패시베이션층(214), 제 1 층간 절연층(215), 콘택트 플러그(216)를 형성하는 공정을 도시한다. 패시베이션층(214)은 질화실리콘막, 질화산화실리콘막 등을 CVD법으로 전면에 성막한다. 제 1 층간 절연층(215)은 인실리케이트유리(PSG) 또는 봉소인실리케이트유리(BPSG)를 CVD법으로 성막하고, 리플로에 의해 평탄화하여 형성한다. 또한 CVD법으로 정규산사에틸(Tetra-Ethyl-Ortho-Silicate, $\text{Si}(\text{OCH}_2\text{CH}_3)_4$)을 사용하여 산화실리콘막을 형성하고, 그 후 CMP로 평탄화하여도 좋다. 콘택트 플러그(216)는 제 1 층간 절연층(215)에 형성한 콘택트 홀을 매립하도록 텅스텐실리사이드로 형성한다. 텅스텐실리사이드는 유플루오르화텅스텐(WF_6)과 실란(SiH_4)을 사용하여 CVD법으로 형성한다.

[0130] 배선의 다층화는 반도체 소자 및 상기 소자를 사용한 장치의 구성에 따라서 고려된다. 도 33에서는 제 1 층간 절연층(215)의 위에, 제 2 층간 절연층(217)과 배선(218, 219, 220)을 형성한 구성을 도시한다. 배선은 텅스텐 실리사이드로 형성하여도 좋고, 다마신법에 의해 Cu 배선을 형성하여도 좋다.

[0131] (제 10 실시 형태)

[0132] 본 실시 형태에서는 본 발명의 p 형 MISFET와 n 형 MISFET에 대하여, 결정면 및 결정 축의 조합을 예시한다.

[0133] 도 14에서는 p 형 MISFET와 n 형 MISFET를 구성하는 SOI층을, 결정면이 다른 본드 웨이퍼로부터 추출하는 경우를 도시한다. 도 14a는 p 형 MISFET이고, 결정면 {110}의 본드 웨이퍼로부터 SOI층을 추출한다. 이 때, SOI층의 채널 길이 방향은 <110> 방위인 것보다 바람직한 형태가 된다. 도 14b는 n 형 MISFET이고, 결정면 {100}의 본드 웨이퍼로부터 SOI층을 추출한다. 이 때, SOI층의 채널 길이 방향은 <100> 방위이면 보다 바람직한 형태가 된다. 이상과 같은 조합에 의해 훌 및 전자의 이동도를 높일 수 있다.

[0134] 도 15에서는 p 형 MISFET와 n 형 MISFET를 구성하는 SOI층을, 결정면이 동일한 본드 웨이퍼로부터 추출하는 경우를 도시한다. 도 15a는 p 형 MISFET이고, 결정면 {110}의 본드 웨이퍼로부터 SOI층을 추출한다. 이 때, SOI층의 채널 길이 방향은 <110> 방위이면 보다 바람직한 형태가 된다. 도 15b는 n 형 MISFET이고, 결정면 {110}의 본드 웨이퍼로부터 SOI층을 추출한다. 이 때, SOI층의 채널 길이 방향은 <100> 방위이면 바람직한 형태가 된다. 이상과 같은 조합에 의해 훌 및 전자의 이동도를 높일 수 있다.

[0135] 본 실시 형태에 따르면, n 형 MISFET의 제 1 SOI층과, p 형 MISFET의 제 2 SOI층이 모두 동일한 절연 표면 위에 형성되고, 또한, 그 양 SOI층의 결정면이 다른 반도체 소자를 얻을 수 있다. 또한, n 형 MISFET의 제 1 SOI층과, p 형 MISFET의 제 2 SOI층을 동일한 결정면의 본드 웨이퍼를 사용하여 형성한 경우라도, 다른 결정 축 방향으로 캐리어를 훌림으로써, 이동도를 더욱 높일 수 있다. MISFET의 이동도를 높게 함으로써, 반도체 소자, 및 상기 소자를 사용한 반도체 표시 장치의 동작의 고속화를 도모할 수 있다. 또한, 저전압으로 구동하는 것이 가능해져, 저소비 전력화를 도모할 수 있다. 또한, 본 실시 형태에 따르면 소자 분리를 하기 위한 구조를 형성할 필요가 없기 때문에 제조 공정을 간략화할 수 있다.

[0136] (제 11 실시 형태)

[0137] 본 실시 형태는 반도체 표시 장치의 일례로서 발광장치에 대해서 도 34를 참조하여 설명한다. 도 34a는 발광 장치를 도시하는 상면도이다. 절연 기판(610) 위에, 구동회로부(소스측 구동회로; 601), 화소부(602), 구동회로부(게이트측 구동회로; 603)가 형성되어 있다. 또 밀봉 기판(604)으로 밀봉되어 있기 때문에, 소스측 구동회로(601), 화소부(602), 게이트측 구동회로(603)는 점선으로 나타낸다. 또한, 절연 기판(610)과, 밀봉 기판(604)을 접합하기 위해서 셀재(605)가 형성되어 있다. 셀재(605)로는 애폭시계 수지를 사용하는 것이 바람직하다. 밀봉 기판(604)에 사용하는 재료로서 유리기판이나 석영기판 외에, FRP(Fiberglass-Reinforced Plastics), PVF(폴리비닐플로라이드), 폴리에스테르 또는 아크릴 등으로 이루어지는 플라스틱 기판을 사용할 수 있다. 또한 셀재(605)로 둘러싸인 양쪽은, 절연 기판(610), 밀봉 기판(604)으로 공간(607)이 형성되어 있다. 공간에는 충전재가 충전되어 있고, 불활성 기체(질소나 아르곤 등)가 충전되는 경우 외에, 셀재로서의 기능을 갖는 물질로 충전되는 경우도 있다.

[0138] 또, 리드 배선은 소스측 구동회로(601) 및 게이트측 구동회로(603)에 입력되는 신호를 전송하기 위한 배선이고,

외부 입력 단자가 되는 FPC(플렉시블프린트 회로; 609)로부터 비디오신호, 클록 신호, 스타트신호, 리셋신호 등을 받아들인다. 또, 여기에서는 FPC밖에 도시되어 있지 않지만, 이 FPC에는 프린트 배선기반(基盤; PWB)이 장착되어 있어도 좋다.

[0139] 도 34a에서 도시한 발광장치로부터, 도 34b에 도시하는 바와 같이 절연 기판(610), 소스측 구동회로(601), 화소부(602), 게이트측 구동회로(603)만을 추출한다. 소스측 구동회로(601), 게이트측 구동회로(603)에는 본 발명의 n 형 MISFET의 SOI층(108)을 전치하고, 화소부(602)에 p 형 MISFET의 SOI층(110)을 전치하는 형태를 설명한다.

[0140] 소스측 구동회로(601)나 게이트측 구동회로(603)는 n 형 MISFET 및 p 형 MISFET를 전치하고, CMOS 회로를 형성 할 수도 있지만, 본드 기판의 레이아웃의 자유도를 높이기 위해서, 소스측 구동회로(601)나 게이트측 구동회로(603)라는 특정한 영역에만 n 형 MISFET를 전치하고, NMOS 회로를 형성한다.

[0141] 또한, 화소부(602)는 스위칭 소자로서, 스위칭용 트랜지스터와, 전류 제어용 트랜지스터를 적어도 갖는다. 이들 스위칭 소자도, n 형 MISFET 및 p 형 MISFET를 전치하여 형성할 수도 있지만, 본드 기판의 레이아웃의 자유도를 높이기 위해서, 화소부(602)라는 특정한 영역에만 p 형 MISFET를 전치한다.

[0142] 또한, 화소부에는 양극 및 음극으로 끼워진 발광 물질을 포함하는 층을 갖고, 상기 발광 물질로부터의 자발광에 의해서 발광장치의 표시를 할 수 있다. 양극으로서 기능하는 재료로서는 일함수가 큰 재료를 사용하는 것이 바람직하다. 예를 들면, ITO막, 또는 규소를 함유한 인듐주석 산화물막, 2 내지 20wt%의 산화아연을 포함하는 산화인듐막, 질화티타늄막, 크롬막, 텅스텐막, Zn막, Pt막 등의 단층막 외에, 질화티타늄과 알루미늄을 주성분으로 하는 막과의 적층, 질화티타늄막과 알루미늄을 주성분으로 하는 막과 질화티타늄막과의 3층 구조 등을 사용 할 수 있다. 음극으로서 기능하는 재료로서는 일함수가 작은 재료(AI, Mg, Li, Ca, 또는 이들의 합금이나 화합물 MgAg, MgIn, AlLi, LiF, CaF₂ 등)를 사용하는 것이 바람직하다.

[0143] 이러한 반도체 표시 장치에, 본 발명의 절연 기판의 동일 표면에 형성된 p 형 MISFET의 제 1 SOI층과, n 형 MISFET의 제 2 SOI층을 사용하면, 이동도를 보다 높일 수 있다. MISFET의 이동도를 높게 함으로써, 반도체 표시 장치, 및 상기 표시 장치 등에 사용되는 구동회로 등의 반도체 집적회로의 동작의 고속화를 도모할 수 있다. 또한, 저전압으로 구동하는 것이 가능해져, 저소비 전력화를 도모할 수 있다. 또한, 본 실시 형태에 따르면 소자 분리를 하기 위한 구조를 형성할 필요가 없기 때문에 제조 공정을 간략화할 수 있다.

[0144] (제 12 실시 형태)

[0145] 본 실시 형태는 반도체 소자를 갖는 장치(반도체 장치)의 일례로서 마이크로프로세서의 형태에 대해서 도 16을 참조하여 설명한다. 본 실시 형태의 반도체 소자에는 상기 실시 형태에서 제작된 어느 반도체 소자를 사용할 수 있다.

[0146] 도 16은 마이크로프로세서(221)의 일례를 도시한다. 이 마이크로프로세서(221)에서는 n 형 MISFET를 구성하는 SOI층과, p 형 MISFET를 구성하는 SOI층의 결정면이 다르다. 물론, 상기 실시 형태에서 나타낸 바와 같이 n 형 MISFET를 구성하는 SOI층과, p 형 MISFET를 구성하는 SOI층은, 동일한 결정면을 갖고, 전자와 홀이 흐르는 방향이 결정축으로부터 보아 다른 형태라도 좋다.

[0147] 이 마이크로프로세서(221)는 연산회로(222; Arithmetic logic unit, ALU라고도 함), 연산 회로 제어부(223; ALU Controller), 명령 해석부(224; Instruction Decoder), 인터럽트 제어부(225; Interrupt Controller), 타이밍 제어부(226; Timing Controller), 레지스터(227; Register), 레지스터 제어부(228; Register Controller), 버스 인터페이스(229; BusI/F), 판독 전용 메모리(ROM; 250), 및 ROM 인터페이스(231; ROMI/F)를 갖고 있다.

[0148] 버스 인터페이스(229)를 통하여 마이크로프로세서(221)에 입력된 명령은, 명령 해석부(224)에 입력되어 디코드 된 후, 연산 회로 제어부(223), 인터럽트 제어부(225), 레지스터 제어부(228), 타이밍 제어부(226)에 입력된다. 연산 회로 제어부(223), 인터럽트 제어부(225), 레지스터 제어부(228), 타이밍 제어부(226)는 디코드된 명령에 기초하여, 각종 제어를 한다. 구체적으로 연산 회로 제어부(223)는 연산회로(222)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 제어부(225)는 마이크로프로세서(221)의 프로그램 실행중에, 외부의 입력신호나 주변회로로부터의 인터럽트 요구를, 그 우선도나 마스크 상태로부터 판단하여, 처리한다. 레지스터 제어부(228)는 레지스터(227)의 어드레스를 생성하고, 마이크로프로세서의 상태에 따라서 레지스터(227)의 판독이나 기록을 행한다.

- [0149] 또한 타이밍 제어부(226)는 연산회로(222), 연산 회로 제어부(223), 명령 해석부(224), 인터럽트 제어부(225), 레지스터 제어부(228)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들면 타이밍 제어부(226)는 기준 클록 신호(CLK1)를 바탕으로, 내부 클록 신호(CLK2)를 생성하는 내부 클록 생성부를 구비하고 있고, 내부 클록 신호(CLK2)를 상기 각종 회로에 공급한다. 또, 도 16에 도시하는 마이크로프로세서(221)는 그 구성을 간략화하여 나타낸 일례에 불과하며, 실제의 마이크로프로세서는 그 용도에 따라서 다종 다양한 구성을 갖고 있다.
- [0150] 본 발명의 반도체 소자를 사용한 경우, 본 실시 형태의 마이크로프로세서는 p형 MISFET에 제공하는 제1 SOI층과 n형 MISFET에 제공하는 제2 SOI층이 모두 동일 절연 표면 위에 형성되고, 또한, 그 양자의 결정면이 다르다. 또는 제1 SOI층과 제2 SOI층을 동일한 결정면을 사용하여 정방 배치한 경우라도, 다른 결정 축 방향으로 캐리어를 흐르도록 구성되어 있다. 이와 같이, 트랜지스터의 채널을 흐르는 캐리어에 있어서 이동도가 높아지는 결정면을 적용함으로써, 마이크로프로세서의 동작의 고속화를 도모할 수 있다.
- [0151] 또한 본 실시 형태의 마이크로프로세서는 저전압으로 구동하는 것이 가능해져, 저소비 전력화를 도모할 수 있다. 즉, 캐리어가 원자로 산란될 확률을 저감할 수 있고, 그것에 의해서 전자 또는 홀이 받는 저항을 감소시켜, 마이크로프로세서의 성능 향상을 도모할 수 있다.
- [0152] (제 13 실시 형태)
- [0153] 본 실시 형태는 반도체 소자를 갖는 장치의 일례로서 통신회로를 갖고 비접촉으로 데이터의 입출력이 가능한 마이크로컴퓨터의 형태에 대해서도 17을 참조하여 설명한다. 본 실시 형태의 반도체 소자에는 상기 실시 형태에서 제작된 어느 반도체 소자를 사용할 수 있다.
- [0154] 도 17은 본 실시 형태에 따른 마이크로컴퓨터(232)가 블록도를 도시한다. 이 마이크로컴퓨터(232)는 안테나회로(233), 아날로그 회로부(234) 및 디지털 회로부(235)를 갖고 있다. 아날로그 회로부(234)로서, 공진 용량을 갖는 공진회로(236), 정전압 회로(237), 정류회로(238), 복조회로(239)와, 변조회로(240), 리셋회로(241), 발진회로(242), 전원 관리 회로(243)를 갖고 있다. 디지털 회로부(235)는 RF 인터페이스(244), 제어 레지스터(245), 클록 컨트롤러(246), 인터페이스(247), 중앙 처리 유닛(248), 랜덤 액세스 메모리(249), 판독 전용 메모리(250)를 갖고 있다. 또한, 마이크로컴퓨터(232)의 동작에 필요한 전력은, 무선신호를 안테나회로(233)가 수신한 것을, 정류회로(238)를 거쳐서 정류된 전력이 축전부(251)에 충전된다. 축전부(251)는 세라믹 콘덴서나 전기 2중층 콘덴서 등의 커패시터로 구성된다. 축전부(251)는 마이크로컴퓨터(232)와 일체로 형성되어 있을 필요는 없고, 별도 부품으로서 마이크로컴퓨터(232)를 구성하는 절연 표면을 갖는 기판에 장착되어 있으면 좋다.
- [0155] 이러한 구성의 마이크로컴퓨터(232)의 동작은 이하와 같다. 안테나회로(233)가 수신한 신호는 공진회로(236)에 의해 유도 기전력을 발생한다. 입력된 신호는 복조회로(239)로 복조되고, 제어 명령이나 데이터 신호가 디지털 회로부(235)에 출력된다. 리셋회로(241)는 디지털 회로부(235)를 리셋하여 초기화하는 신호를 생성한다. 예를 들면, 전원 전압의 상승에 지연하여 상승하는 신호를 리셋신호로서 생성한다. 발진회로(242)는 정전압회로(237)에 의해 생성되는 제어신호에 따라서, 클록 신호의 주파수와 듀티비를 변경한다. 로패스(low pass) 필터로 형성되는 복조회로(239)는 예를 들면 진폭변조(ASK) 방식의 수신신호의 진폭의 변동을 2치화한다. 변조회로(240)는 송신 데이터를 진폭변조(ASK) 방식의 송신신호의 진폭을 변동시켜 송신한다. 변조회로(240)는 공진회로(236)의 공진점을 변화시킴으로써 통신신호의 진폭을 변화시키고 있다. 클록 컨트롤러(246)는 전원 전압 또는 중앙 처리 유닛(248)에 있어서의 소비 전류에 따라서 클록 신호의 주파수와 듀티비를 변경하기 위한 제어신호를 생성하고 있다. 전원 전압의 감시는 전원 관리 회로(243)가 행하고 있다.
- [0156] 안테나회로(233)로부터 마이크로컴퓨터(232)에 입력된 신호는 복조회로(239)에서 복조된 후, RF 인터페이스(244)로 제어 커맨드나 데이터 등으로 분해된다. 제어 커맨드는 제어 레지스터(245)에 격납된다. 제어 커맨드에는 판독 전용 메모리(250)에 기억되어 있는 데이터의 판독, 랜덤 액세스 메모리(249)로의 데이터의 기록, 중앙 처리 유닛(248)으로의 연산 명령 등이 포함되어 있다. 중앙 처리 유닛(248)은 인터페이스(247)를 통하여 판독 전용 메모리(250), 랜덤 액세스 메모리(249), 제어 레지스터(245)에 액세스한다. 인터페이스(247)는 중앙 처리 유닛(248)이 요구하는 어드레스로부터, 판독 전용 메모리(250), 랜덤 액세스 메모리(249), 제어 레지스터(245)의 어느 하나에 대한 액세스 신호를 생성하는 기능을 갖고 있다.
- [0157] 중앙 처리 유닛(248)의 연산방식은, 판독 전용 메모리(250)에 OS(오퍼레이팅 시스템)을 기억시켜 두고, 기동과 동시에 프로그램을 판독하여 실행하는 방식을 채용할 수 있다. 또한, 전용회로에서 연산회로를 구성하고, 연산처리를 하드웨어적으로 처리하는 방식을 채용할 수도 있다. 하드웨어와 소프트웨어를 병용하는 방식에서는 전

용의 연산회로에서 일부의 처리를 하고, 나머지의 연산을 프로그램을 사용하여 중앙 처리 유닛(248)이 실행하는 방식을 적용할 수 있다.

[0158] 도 18은 상기와 같은 구성을 갖는 본 실시 형태에 따른 마이크로 컴퓨터의 외관을 도시한다. 절연 기판(105)에 복수의 SOI층이 형성되고, 그것에 의해서 n형 MISFET 및 p형 MISFET가 형성되는 소자 형성층(252)을 갖고 있다. 소자 형성층(252)은 도 17에 있어서의 아날로그 회로부(234) 및 디지털 회로부(235)를 형성한다. 안테나(253)는 절연 기판(105) 위에 형성되어 있다. 또한, 이 안테나(253) 대신에 안테나 접속단자를 형성하여도 좋다. 도 18에서 도시하는 안테나(253)는 자계형의 스파이럴(spiral) 안테나를 나타내지만, 전계형의 안테나로서 다이폴 안테나 등과 조합하여도 좋다.

[0159] 도 19는 도 18에서 도시하는 마이크로 컴퓨터의 주요부를 도시하고, 단면 구조를 모식적으로 도시한다. 절연 기판(105) 위에는 제 1 SOI층(108) 및 제 2 SOI층(110)에 의해서 n형 MISFET 및 p형 MISFET가 형성되어 있다. 제 2 층간 절연층(217)보다도 하층의 구조는 상기 실시 형태와 같기 때문에 생략한다.

[0160] 제 1 배선(218) 위에는 제 3 층간 절연층(254), 제 4 층간 절연층(255)이 형성되어 있다. 제 3 층간 절연층(254)은 산화실리콘막, 제 4 층간 절연층(255)은 질화실리콘막으로 형성하고, 듀얼 다마신에 의해, 제 3 층간 절연층(254)에 형성되는 개구부는 제 4 층간 절연층(255)에 형성되는 개구부보다 좁아져 있다. 그 개구부에 질화탄탈 등의 배리어 메탈(256)을 형성하고, 구리도금에 의해 구리배선(257)을 형성하고 있다. 또한 제 5 층간 절연층(258), 제 6 층간 절연층(259)을 형성하고, 제 6 층간 절연층에 대해서만 개구부를 형성하고, 상기 개구부에 배리어 메탈(260) 및 구리도금에 의한 동배선(261)을 형성한다. 동배선(261) 위에는 제 7 층간 절연층(262)이 형성되어 있고, 안테나(253)를 동배선(261)에 접속하기 위한 개구부를 형성한다. 그리고, 안테나(253)를 제 7 층간 절연층(262) 위에 형성하고, 동배선(261)과 접속시킨다. 도 19에서는 안테나(253)와 동배선(261)의 경계에 씨드층(263)을 형성하지만, 상기 씨드층은 안테나(253)를 구리도금법으로 형성하는 경우에 형성된다. 안테나(253)는 잉크젯법이나 인쇄법등에 의해 직접 묘화할 수도 있고, 스퍼터링에 의해 알루미늄 등의 도전막을 퇴적하고, 그것을 포토리소그래피법으로 안테나 형상으로 가공하여도 좋다.

[0161] 이러한 마이크로컴퓨터는 절연 기판(105)으로서 대면적의 유리기판을 사용함으로써 생산성을 향상시킬 수 있다. 예를 들면, 시장에 유통되고 있는 제 4세대의 액정 패널에는 730mm×920mm의 유리기판이 채용되어 있고, 면적은 671600mm²이다. 이러한 유리기판으로부터 마이크로컴퓨터를 꺼내는 경우, 칩의 절단할 부분을 무시하였다고 해도, 2mm각으로 절단하는 경우에는 어렵해도 34만개를 꺼낼 수 있다. 유리기판의 두께는 0.4 내지 0.7mm이고, MISFET의 SOI층을 고정하는 면과 반대측의 면에 보호필름을 붙이면, 장치 전체로서 0.1 내지 0.3mm 정도까지 얇게 하는 것도 가능하다.

[0162] 본 발명의 반도체 소자를 사용한 경우, 본 실시 형태의 마이크로컴퓨터는 p형 MISFET에 제공하는 제 1 SOI층과 n형 MISFET에 제공하는 제 2 SOI층이 모두 동일 절연 표면 위에 형성되고, 또한, 그 양자의 결정면이 다르다. 또는 제 1 SOI층과 제 2 SOI층을 동일한 결정면을 사용하여 정방 배치한 경우라도, 다른 결정 축 방향으로 캐리어를 흐르도록 구성되어 있다. 이와 같이, 트랜지스터의 채널을 흐르는 캐리어에 있어서 이동도가 높아지는 결정면을 적용함으로써, 마이크로컴퓨터의 동작의 고속화를 도모할 수 있다.

[0163] 또한 본 실시 형태의 마이크로컴퓨터는 저전압으로 구동하는 것이 가능해져, 저소비 전력화를 도모할 수 있다. 즉, 캐리어가 원자로 산란될 확률을 저감할 수 있고, 그것에 의해서 전자 또는 훨이 받는 저항을 감소시켜, 마이크로컴퓨터의 성능 향상을 도모할 수 있다.

도면의 간단한 설명

[0164] 도 1은 제 1 실시 형태에 따른 SOI 기판의 제작 방법을 설명하는 도면.

[0165] 도 2는 제 1 실시 형태에 따른 SOI 기판의 제작 방법을 설명하는 도면.

[0166] 도 3은 제 1 실시 형태에 따른 SOI 기판의 제작 방법을 설명하는 도면.

[0167] 도 4는 제 2 실시 형태에 따른 SOI 기판의 제작 방법을 설명하는 도면.

[0168] 도 5는 제 6 실시 형태에 있어서, 본드 기판으로부터 단결정 반도체층을 베이스 기판에 접합하는 형태를 설명하는 도면.

[0169] 도 6은 제 7 실시 형태에 있어서, 본드 기판으로부터 단결정 반도체층을 베이스 기판에 접합하는 형태를 설명하

는 도면.

- [0170] 도 7은 제 8 실시 형태에 따른 반도체 장치의 제작 공정을 설명하는 도면.
- [0171] 도 8은 제 8 실시 형태에 따른 반도체 장치의 제작 공정을 설명하는 도면.
- [0172] 도 9는 제 8 실시 형태에 따른 반도체 장치의 제작 공정을 설명하는 도면.
- [0173] 도 10은 제 8 실시 형태에 따른 반도체 장치의 제작 공정을 설명하는 도면.
- [0174] 도 11은 제 8 실시 형태에 따른 반도체 장치의 제작 공정을 설명하는 도면.
- [0175] 도 12는 제 8 실시 형태에 따른 반도체 장치의 제작 공정을 설명하는 도면.
- [0176] 도 13은 제 8 실시 형태에 따른 반도체 장치의 제작 공정을 설명하는 도면.
- [0177] 도 14는 제 10 실시 형태에 있어서, p 형 MISFET와 n 형 MISFET에 대한 SOI층의 결정방향의 적합한 조합의 일례를 설명하는 도면.
- [0178] 도 15는 제 10 실시 형태에 있어서, p 형 MISFET와 n 형 MISFET에 대한 SOI층의 결정방향의 적합한 조합의 일례를 설명하는 도면.
- [0179] 도 16은 제 12 실시 형태에 따른 반도체 장치의 일례이고, 마이크로프로세서의 형태에 대해서 설명하는 블록도.

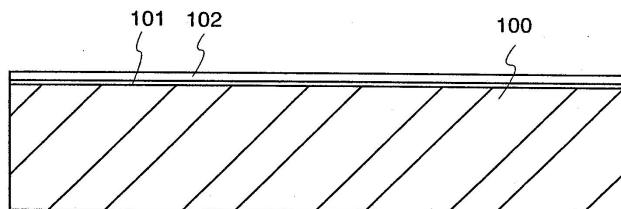
- [0180] 도 17은 제 13 실시 형태에 따른 반도체 장치의 일례이고, 마이크로컴퓨터의 형태에 대해서 설명하는 블록도.
- [0181] 도 18은 제 13 실시 형태에 따른 반도체 장치의 일례이고, 마이크로컴퓨터의 외관예를 도시하는 사시도.
- [0182] 도 19는 제 13 실시 형태에 따른 반도체 장치의 일례이고, 마이크로컴퓨터의 구성을 설명하는 단면도.
- [0183] 도 20은 제 3 실시 형태에 따른 반도체 소자 기판의 제작 방법을 설명하는 도면.
- [0184] 도 21은 제 3 실시 형태에 따른 반도체 소자 기판의 제작 방법을 설명하는 도면.
- [0185] 도 22는 제 3 실시 형태에 따른 반도체 소자 기판의 제작 방법을 설명하는 도면.
- [0186] 도 23은 제 4 실시 형태에 따른 반도체 소자 기판의 제작 방법을 설명하는 도면.
- [0187] 도 24는 제 5 실시 형태에 따른 반도체 소자 기판의 제작 방법을 설명하는 도면.
- [0188] 도 25는 제 5 실시 형태에 따른 반도체 소자 기판의 불순물 농도를 도시하는 도면.
- [0189] 도 26은 제 5 실시 형태에 따른 반도체 소자 기판의 제작 방법을 설명하는 도면.
- [0190] 도 27은 제 9 실시 형태에 따른 반도체 장치의 제작 공정을 설명하는 도면.
- [0191] 도 28은 제 9 실시 형태에 따른 반도체 장치의 제작 공정을 설명하는 도면.
- [0192] 도 29는 제 9 실시 형태에 따른 반도체 장치의 제작 공정을 설명하는 도면.
- [0193] 도 30은 제 9 실시 형태에 따른 반도체 장치의 제작 공정을 설명하는 도면.
- [0194] 도 31은 제 9 실시 형태에 따른 반도체 장치의 제작 공정을 설명하는 도면.
- [0195] 도 32는 제 9 실시 형태에 따른 반도체 장치의 제작 공정을 설명하는 도면.
- [0196] 도 33은 제 9 실시 형태에 따른 반도체 장치의 제작 공정을 설명하는 도면.
- [0197] 도 34는 제 11 실시 형태에 따른 반도체 표시 장치의 일례이고, 발광 장치의 양태에 대해 설명하는 도면.
- [0198] <도면의 주요 부분에 대한 부호의 설명>
- [0199] 100: 본드 웨이퍼 101: 산화실리콘막
- [0200] 102: 질화실리콘막 103: 마스크 패턴
- [0201] 104: 쥐화층 105: 베이스 기판, 절연 기판
- [0202] 106: 질화실리콘막 107: 산화실리콘막

[0203]	108: SOI총	109: 본드 웨이퍼
[0204]	110: SOI총	111: 이온총
[0205]	112: 접착총	113: 마스크
[0206]	120: 산화막	201: SOI총
[0207]	202: SOI총	203: 게이트 절연총
[0208]	204: 게이트 전극	205: 게이트 전극총
[0209]	206: 게이트 전극총	207: 절연총
[0210]	208: 극천(極淺) 접합부,	209: 극천 접합부,
[0211]	극천 불순물 영역	극천 불순물 영역
[0212]	210: 사이드 월	211: 사이드 월
[0213]	212: 불순물 영역	213: 불순물 영역
[0214]	214: 패시베이션총	215: 층간 절연총
[0215]	216: 콘택트 플러그	217: 층간 절연총
[0216]	218: 배선	219: 배선
[0217]	220: 배선	221: 마이크로프로세서
[0218]	222: 연산회로	223: 연산회로 제어부
[0219]	224: 명령 해석부	225: 제어부
[0220]	226: 타이밍 제어부	227: 레지스터
[0221]	228: 레지스터 제어부	229: 버스 인터페이스
[0222]	231: ROM 인터페이스	232: 마이크로 컴퓨터
[0223]	233: 안테나회로	234: 아날로그 회로부
[0224]	235: 디지털 회로부	236: 공진회로
[0225]	237: 정전압회로	238: 정류회로
[0226]	239: 복조회로	240: 변조회로
[0227]	241: 리셋회로	242: 발진회로
[0228]	243: 전원 관리 회로	244: RF 인터페이스
[0229]	245: 제어 레지스터	246: 클록 컨트롤러
[0230]	247: 인터페이스	248: 중앙 처리 유닛
[0231]	249: 랜덤 액세스 메모리	250: 전용 메모리
[0232]	251: 축전부	252: 소자 형성총
[0233]	253: 안테나	254: 층간 절연총
[0234]	255: 층간 절연총	256: 배리어 메탈
[0235]	257: 구리배선	258: 층간 절연총
[0236]	259: 층간 절연총	260: 배리어 메탈
[0237]	261: 구리배선	262: 층간 절연총
[0238]	263: 씨드총	601: 구동회로부, 소스측 구동회로

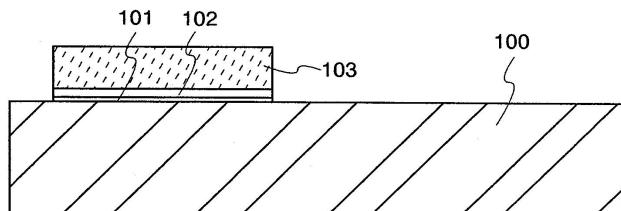
- | | | |
|--------|-----------------------|-----------------------|
| [0239] | 602: 화소부 | 603: 구동회로부, 게이트측 구동회로 |
| [0240] | 604: 밀봉 기판 | 605: 씰재 |
| [0241] | 607: 공간 | 608: 배선 |
| [0242] | 609: FPC(플렉시블 프린트 회로) | 610: 절연 기판 |

도면

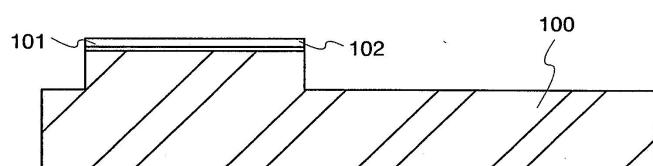
도면1a



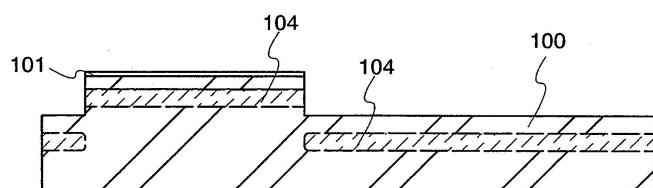
도면1b



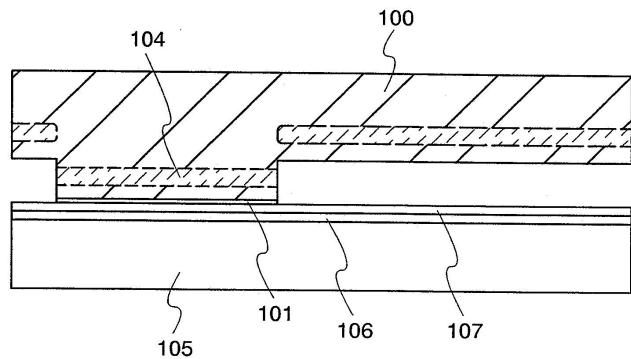
도면1c



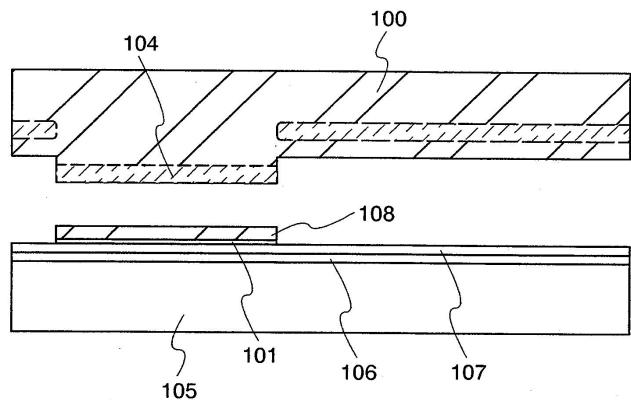
도면1d



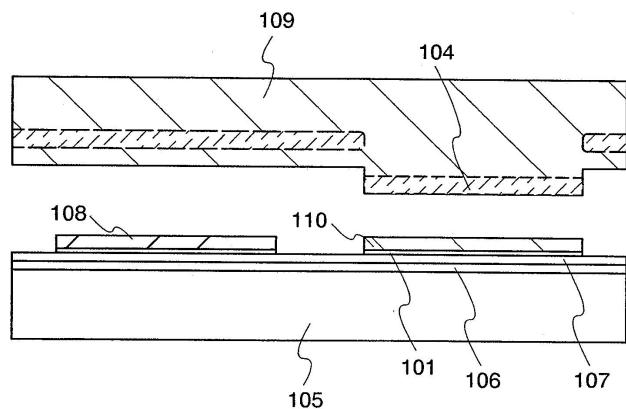
도면2a



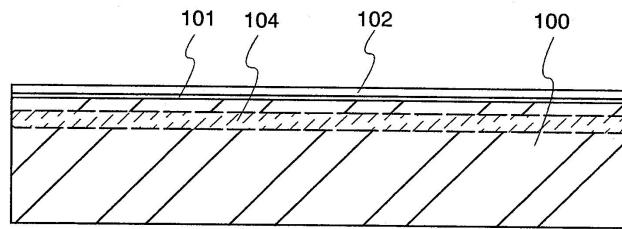
도면2b



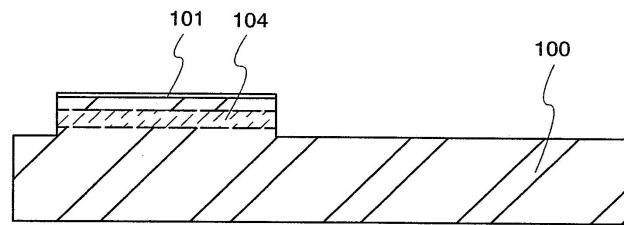
도면3



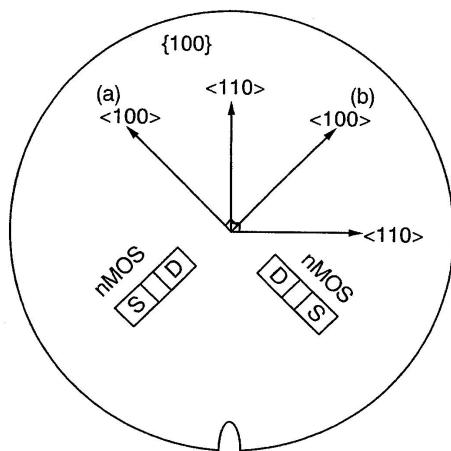
도면4a



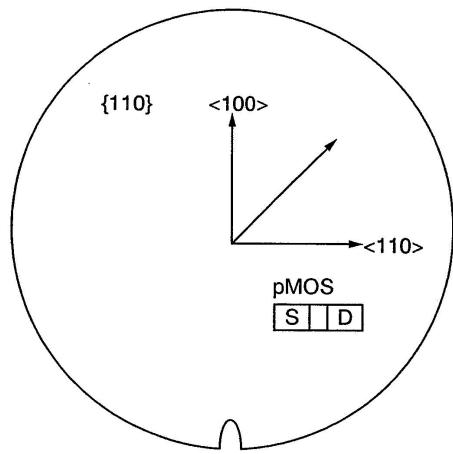
도면4b



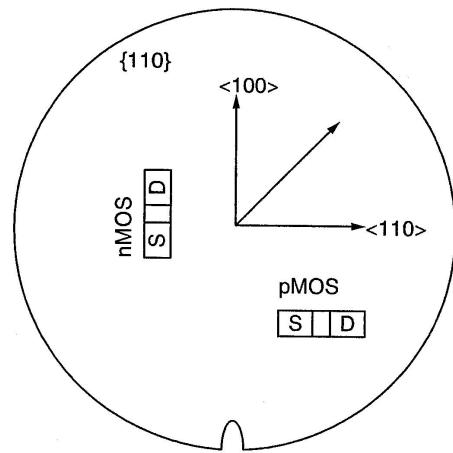
도면5a



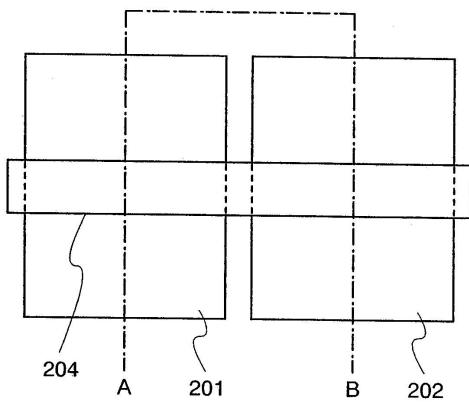
도면5b



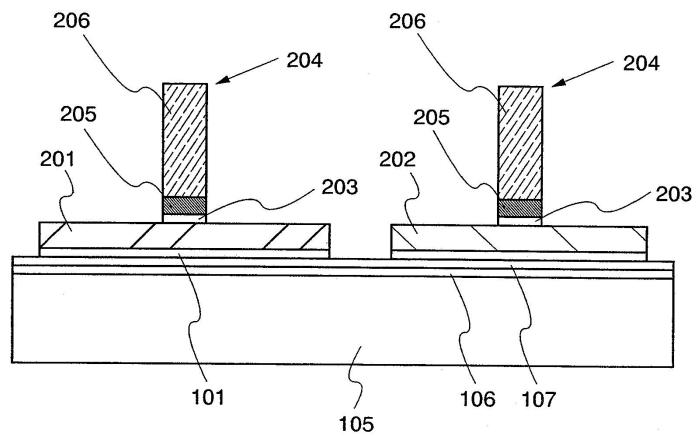
도면6



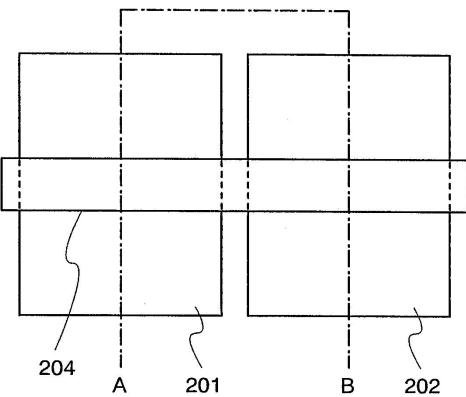
도면7a



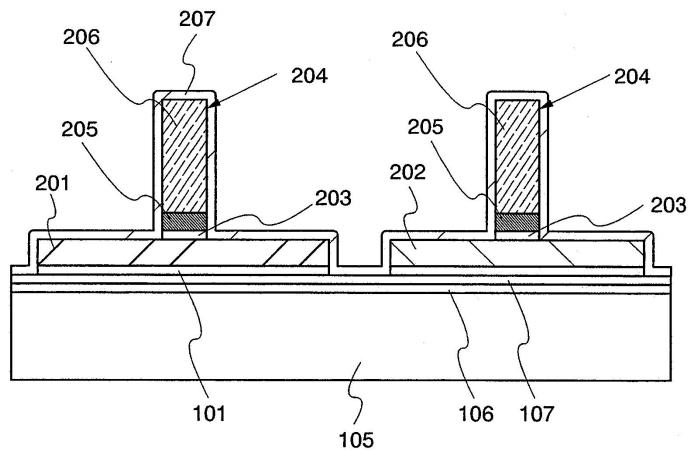
도면7b



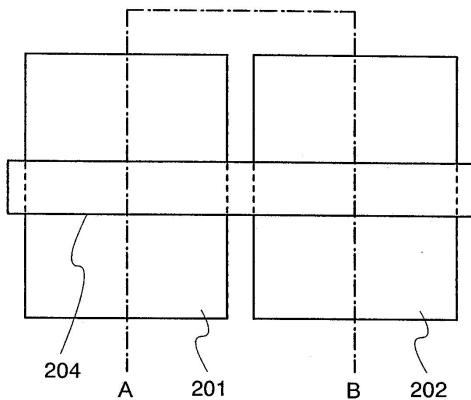
도면8a



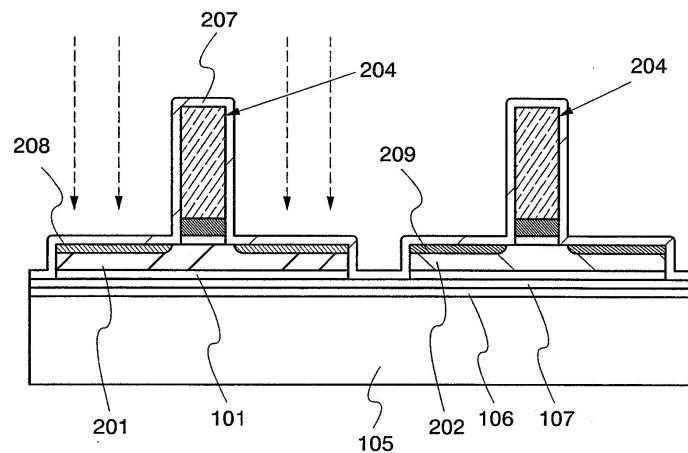
도면8b



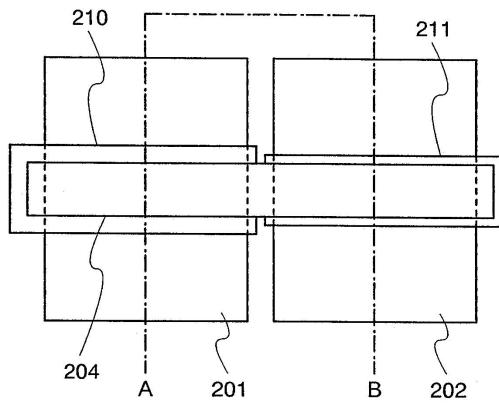
도면9a



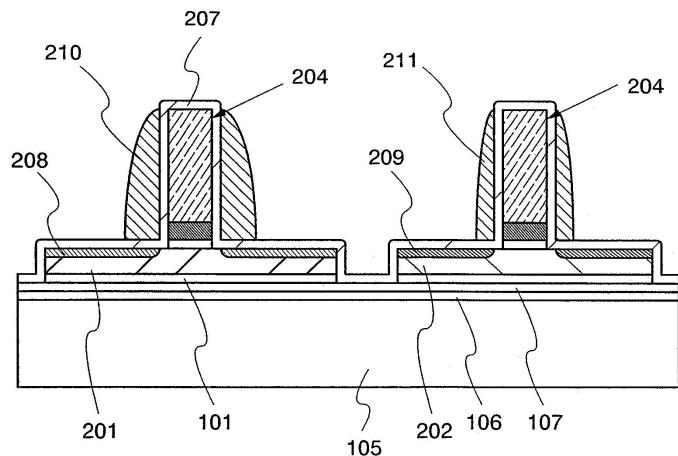
도면9b



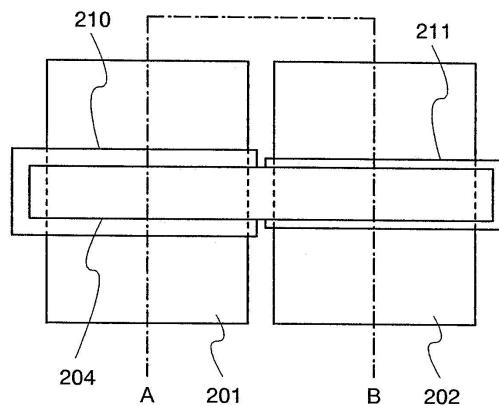
도면10a



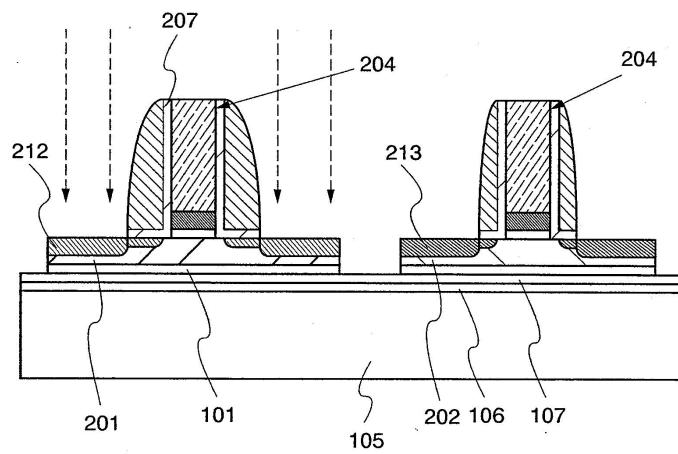
도면10b



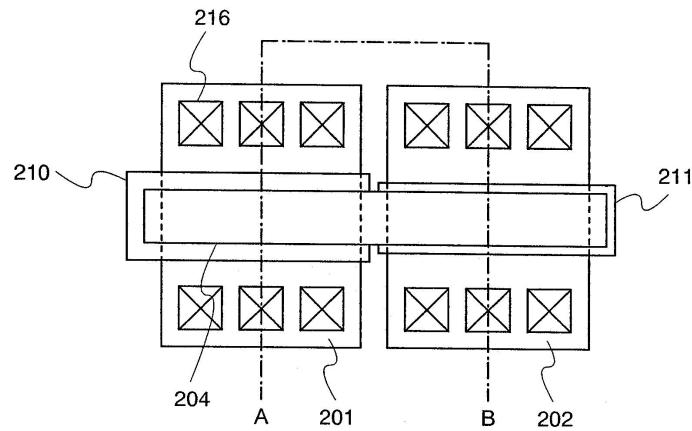
도면11a



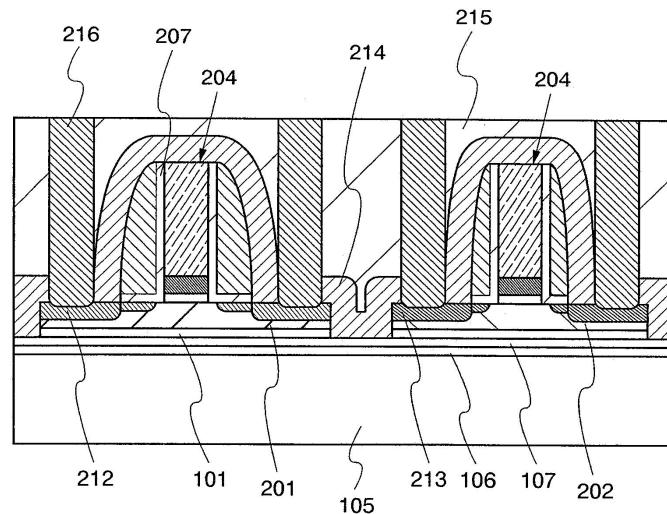
도면11b



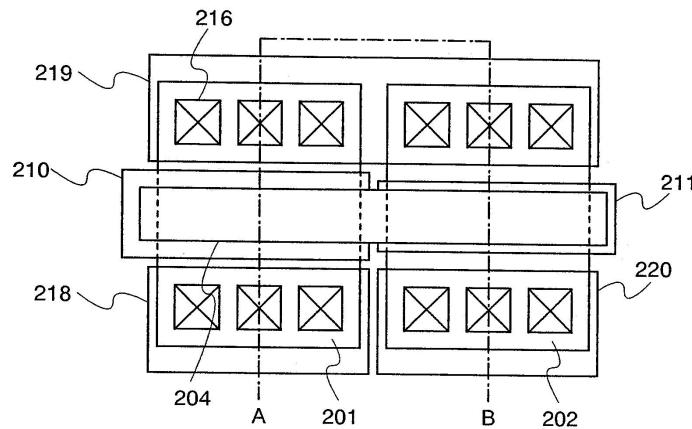
도면12a



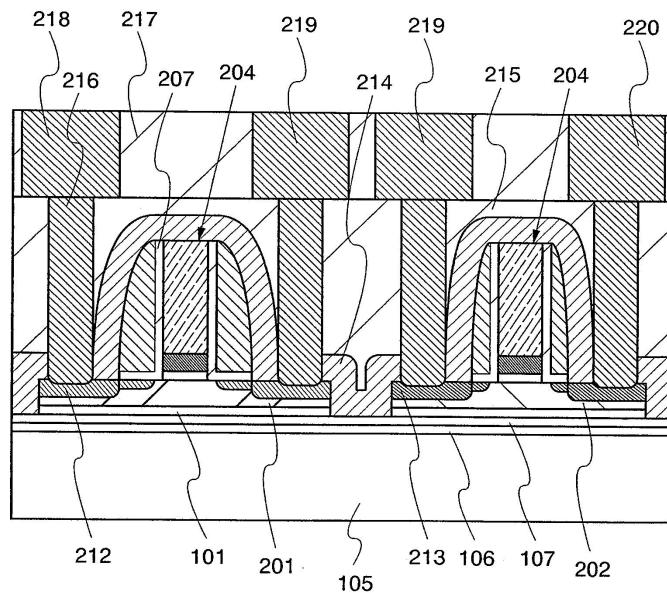
도면12b



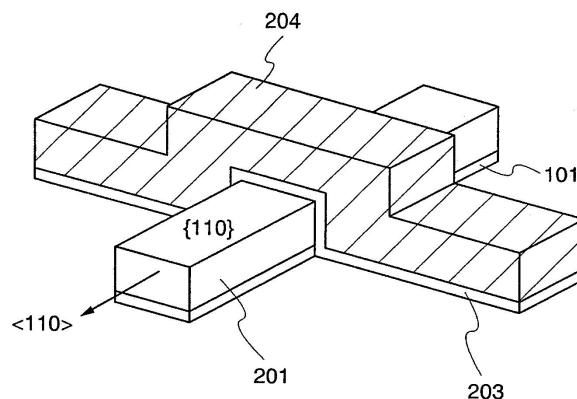
도면13a



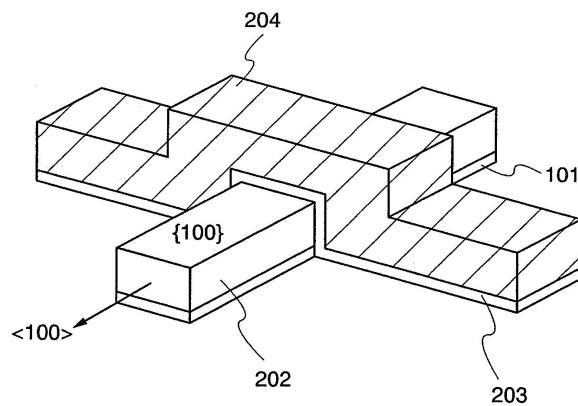
도면13b



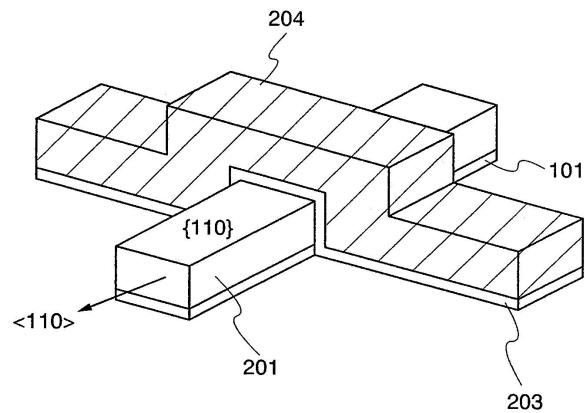
도면14a



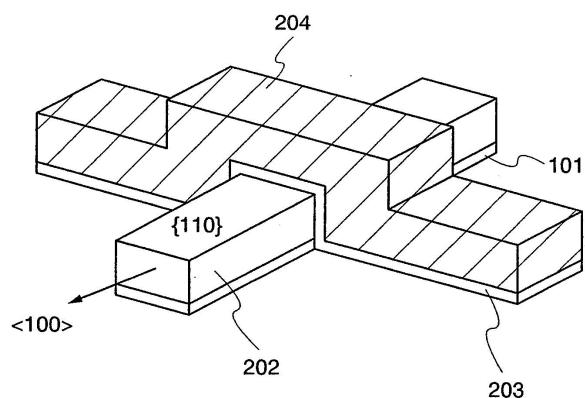
도면14b



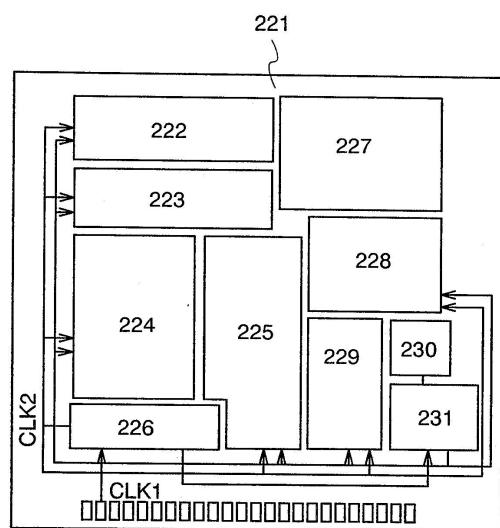
도면15a



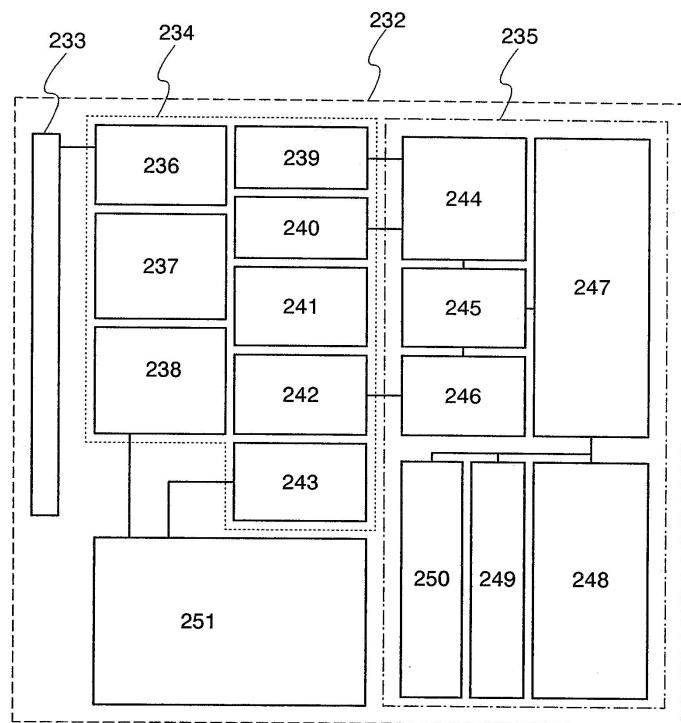
도면15b



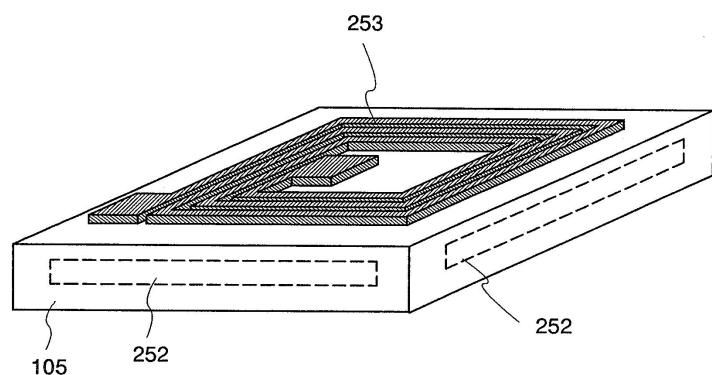
도면16



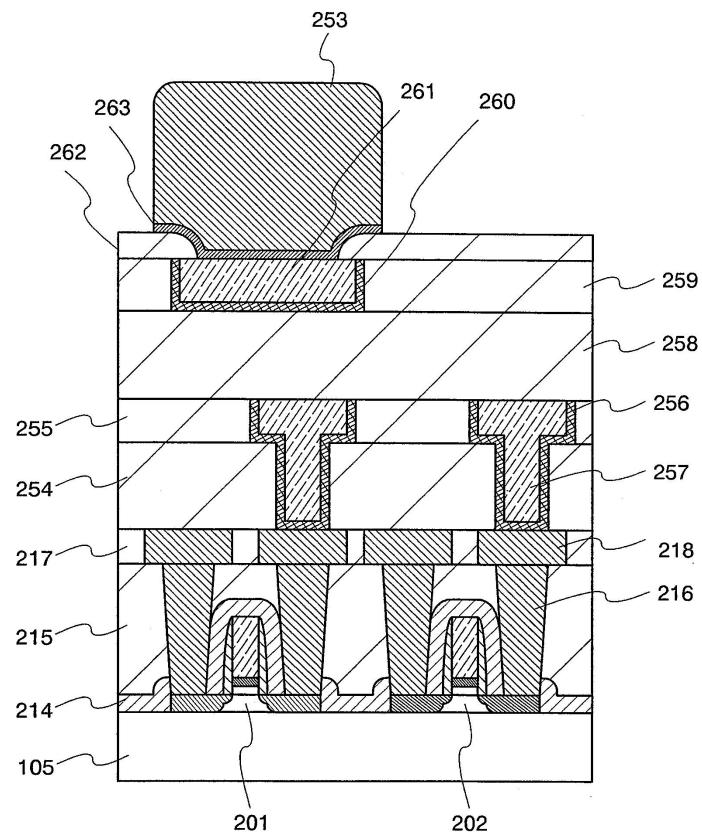
도면17



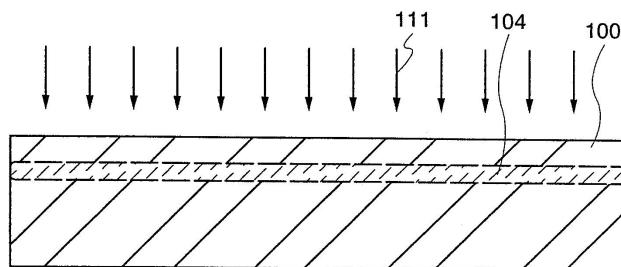
도면18



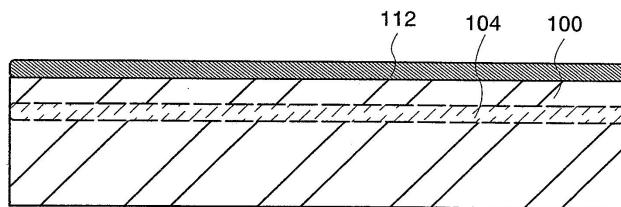
도면19



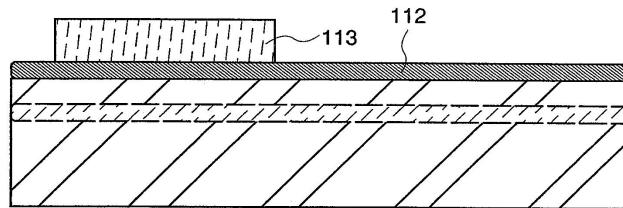
도면20a



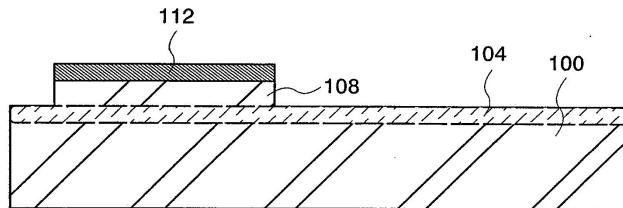
도면20b



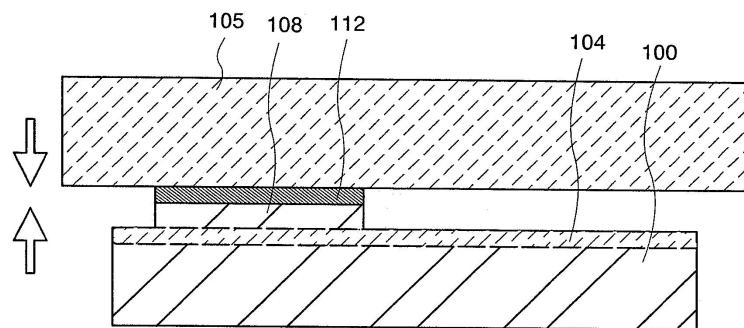
도면20c



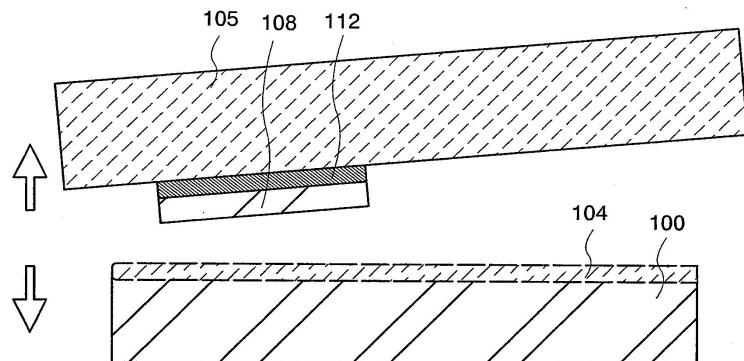
도면20d



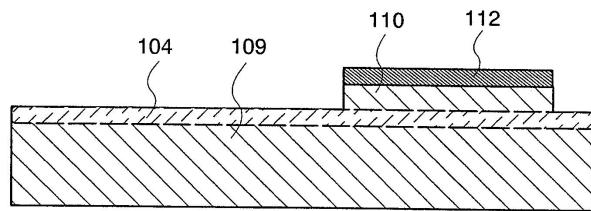
도면21a



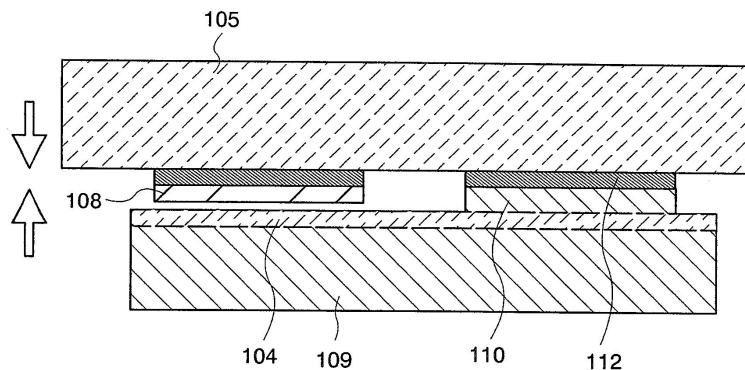
도면21b



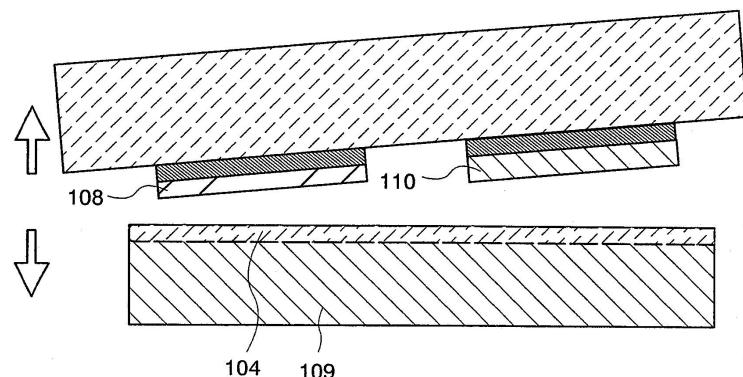
도면22a



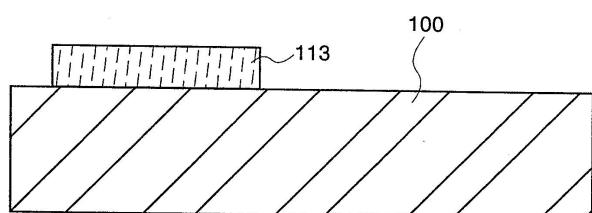
도면22b



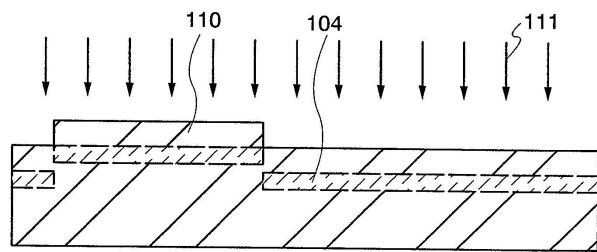
도면22c



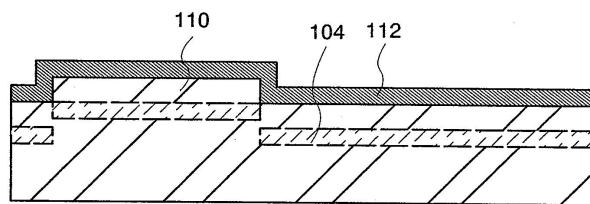
도면23a



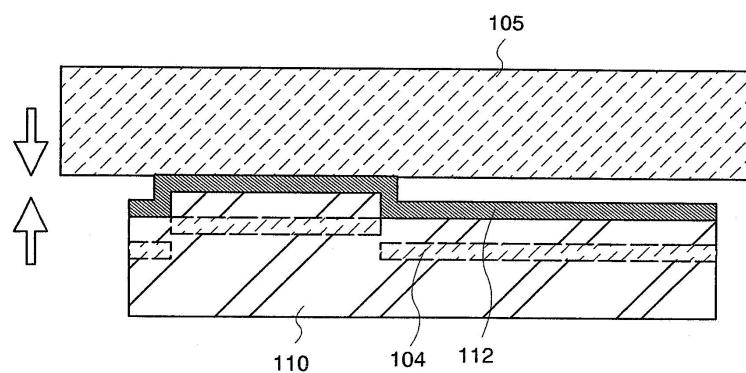
도면23b



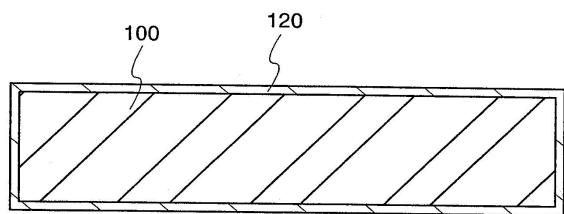
도면23c



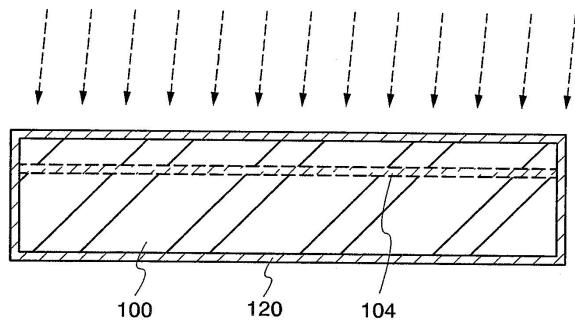
도면23d



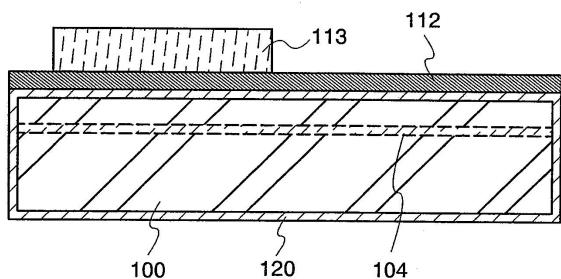
도면24a



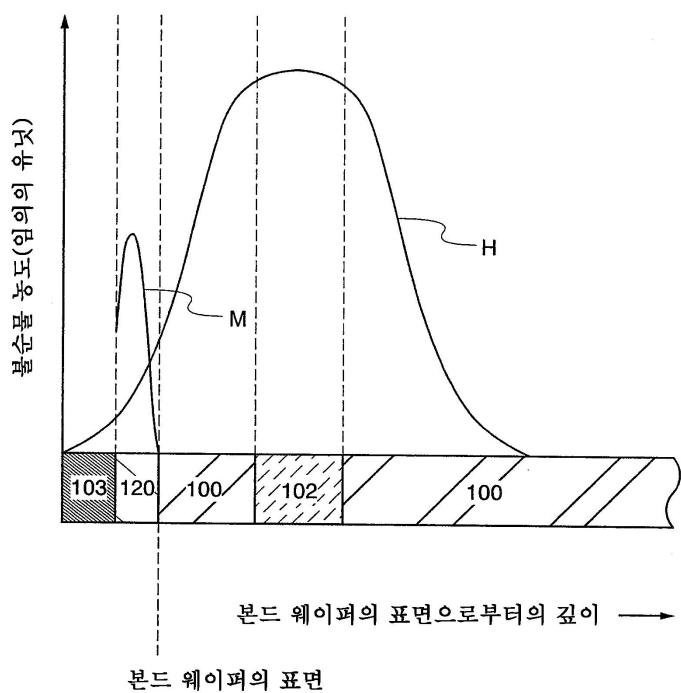
도면24b



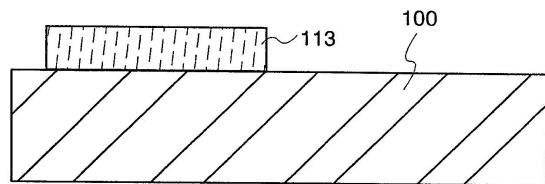
도면24c



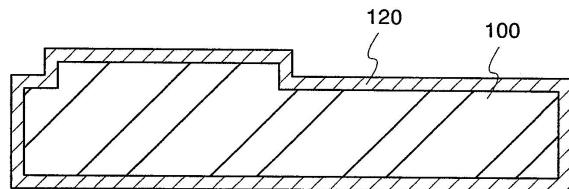
도면25



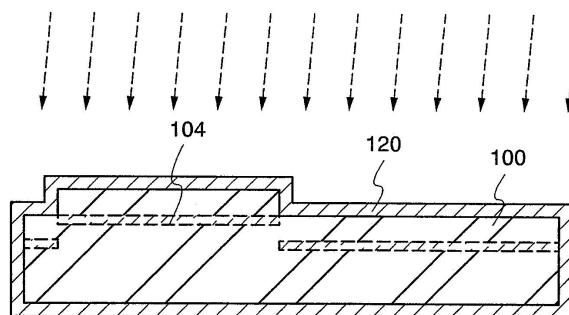
도면26a



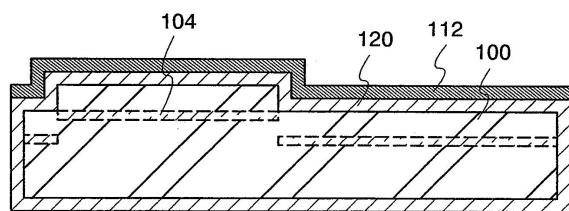
도면26b



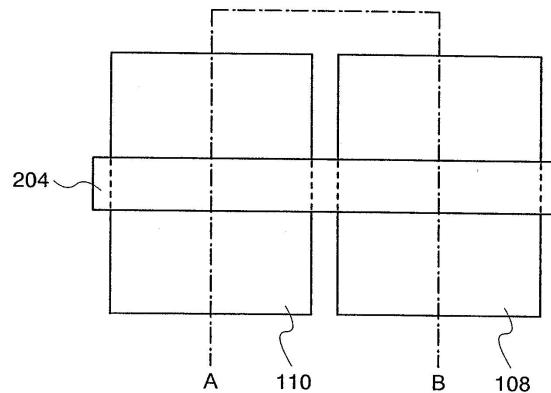
도면26c



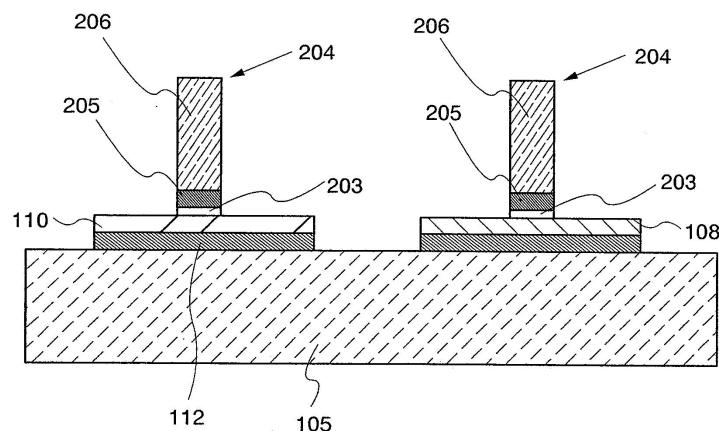
도면26d



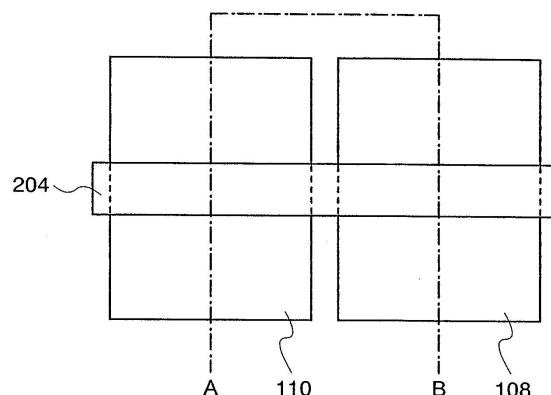
도면27a



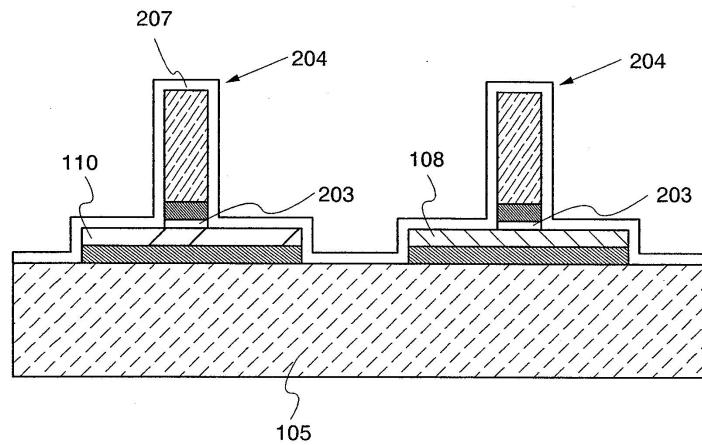
도면27b



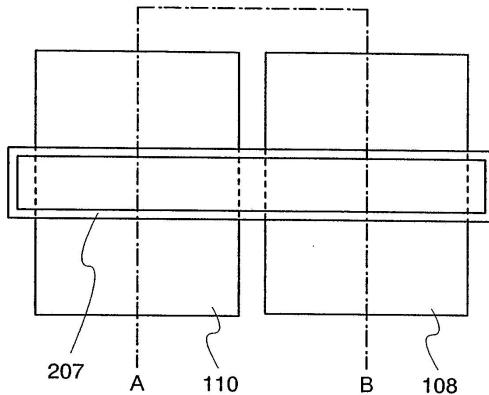
도면28a



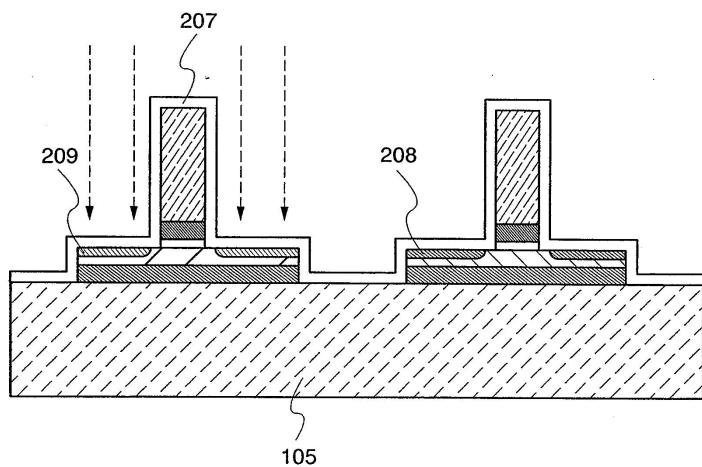
도면28b



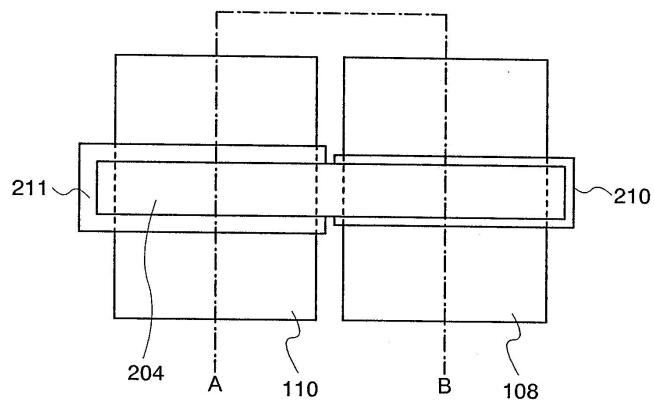
도면29a



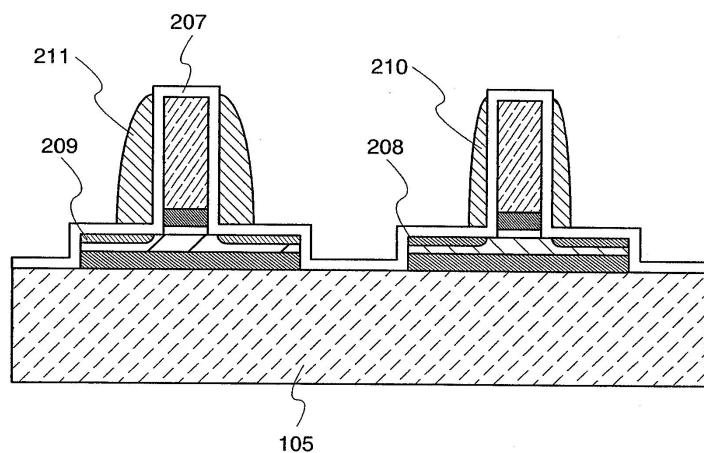
도면29b



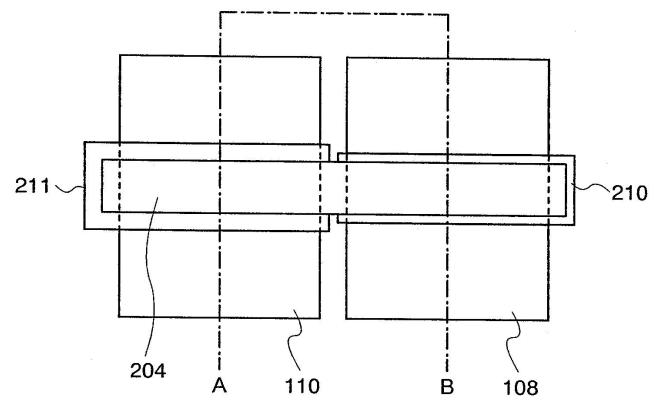
도면30a



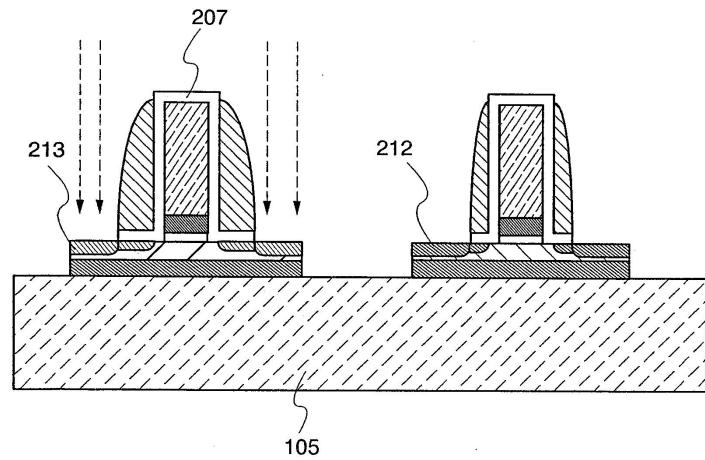
도면30b



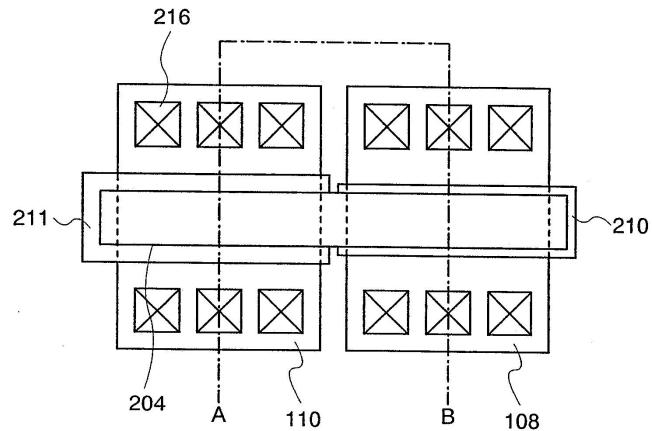
도면31a



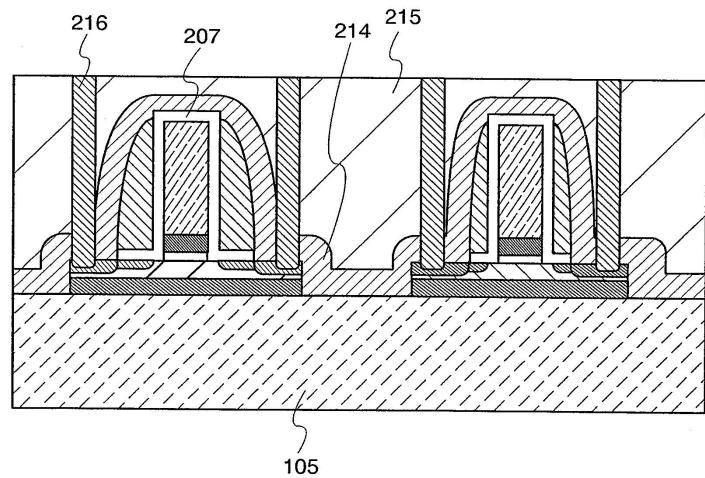
도면31b



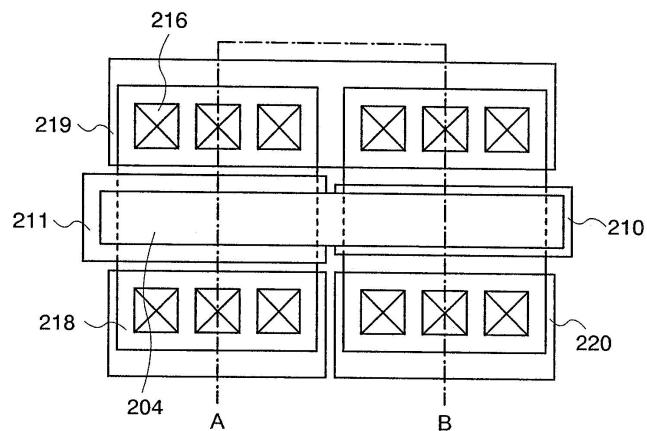
도면32a



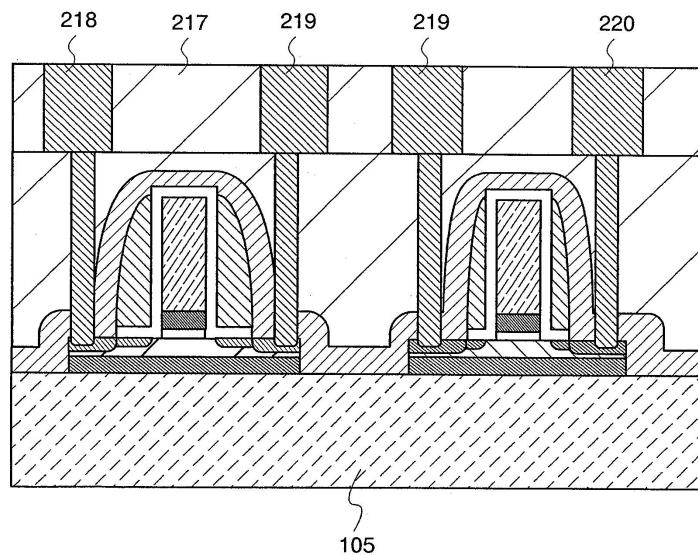
도면32b



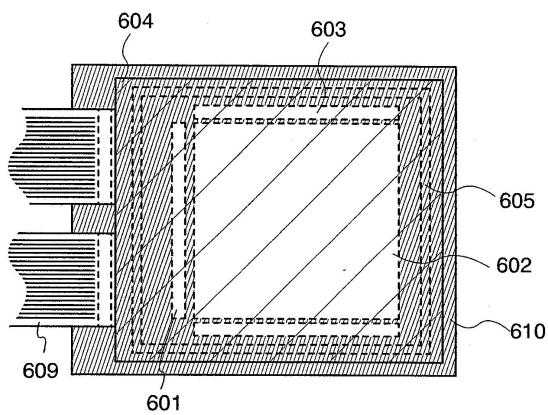
도면33a



도면33b



도면34a



도면34b

