



MINISTERO DELLO SVILUPPO ECONOMICO  
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETA' INDUSTRIALE  
UFFICIO ITALIANO BREVETTI E MARCHI

# UIBM

<b>DOMANDA NUMERO</b>	<b>101996900523485</b>
<b>Data Deposito</b>	<b>06/06/1996</b>
<b>Data Pubblicazione</b>	<b>06/12/1997</b>

<b>Priorità</b>	95 06816
<b>Nazione Priorità</b>	FR
<b>Data Deposito Priorità</b>	

<b>Sezione</b>	<b>Classe</b>	<b>Sottoclasse</b>	<b>Gruppo</b>	<b>Sottogruppo</b>
H	01	H		

Titolo

**INTERRUTTORE STATICO A PROTEZIONE INTEGRATA.**

DESCRIZIONE dell'invenzione industriale dal titolo:

"Interruttore statico a protezione integrata"

di LEGRAND e LEGRAND SNC, nazionalità francese, STR/JGO/FM  
128 Avenue du Maréchal de Lattre de Tassigny - 87045  
Limoges, Francia.

Inventori designati: RIVOAL Stéphane e ALCONCHEL  
Olivier.

Depositata il:

6 GIU. 1996

TO 96A000490

L'invenzione si riferisce ad un interruttore statico a protezione integrata contro le correnti eccessive, da disporre in serie con un carico tra i morsetti di una sorgente di tensione, costituito da almeno un elemento semiconduttore comprendente uno spazio di conduzione tra un elettrodo d'ingresso ed un elettrodo d'uscita, con caratteristiche di corrente/tensione tra ingresso ed uscita presentanti un gomito entro il quale l'elemento è saturo, ed al di là del quale l'elemento non è saturo, ed un elettrodo di controllo dello stato dello spazio di conduzione, questo elettrodo di controllo essendo collegato all'uscita di un generatore di parametro di controllo che fornisce due livelli, basso ed alto del parametro di controllo nei quali il semiconduttore è rispettivamente bloccante e passante.

Gli elementi semiconduttori che rispondono SN/ebl

alla definizione appena fornita sono essenzialmente i transistori bipolari, i transistori MOS (semiconduttore-metallo-ossido) ed i transistori bipolari a griglia isolata IGBT che prendono dai transistori bipolari classici la struttura a spazio emettitore-collettore e dai transistori MOS la loro griglia isolata per controllare il passaggio della corrente con una potenza di controllo molto ridotta. Questo gruppo presenta in comune il fatto che la corrente tra elettrodi d'ingresso e di uscita (emettitore e collettore per i transistori bipolari ed IGBT, sorgente e collettore per i transistori MOS) viene controllata in modo reversibile dal parametro applicato all'elettrodo di controllo (corrente di base per il transistori bipolare, tensione di griglia per i transistori MOS e IGBT), il che consente di interrompere positivamente la circolazione della corrente nello spazio di conduzione, a differenza dei tiristori e triac che devono essere innescati all'inizio di ciascun periodo di conduzione, e diventano bloccanti soltanto dopo un'interruzione esterna ed in assenza di un nuovo innesco. Si osserverà che i tiristori in cui l'interruzione avviene tramite un elettrodo di controllo vengono disinnescati per mezzo di un impulso appropriato per una corrente normale di attraversamento. Tuttavia, la potenza di questo impulso cresce in

funzione della corrente da interrompere, per cui non è possibile interrompere le correnti eccessive in modo affidabile.

La protezione suppone che le correnti in eccesso vengano rivelate da un sensore e che questo provochi il bloccaggio del semiconduttore e l'intervento dell'interruttore. Per protezione integrata, si intende una disposizione in cui l'elemento semiconduttore svolge il ruolo di sensore. Un vantaggio di questa disposizione sta nel fatto che perdite nel sensore non vengono aggiungersi alle perdite nell'elemento semiconduttore che svolge il ruolo di interruttore. In pratica, gli eccessi di corrente vengono rivelati dalle sovratensioni che provocano ai morsetti del sensore, ossia, con una protezione integrata, tra gli elettrodi d'ingresso e di uscita del semiconduttore.

Il documento brevettuale FR-A-2.700.647 descrive un interruttore statico a protezione integrata costituito da un transistor IGBT nel quale il circuito di retroazione pilota la tensione di controllo emettitore-griglia per stabilizzare la caduta di tensione emettitore-collettore, gli eccessi di corrente essendo allora rivelati dal superamento di una soglia da parte della tensione di controllo.

Si comprende come, in regime normale di con-

ES 02 11 50000 546

duzione, si debba ricercare la minimizzazione delle perdite, quindi una tensione residua più ridotta possibile, tenendo conto delle capacità dell'elemento semiconduttore, il che implica che questo elemento semiconduttore sia saturo, il livello alto del parametro applicato all'elettrodo di controllo essendo sufficientemente elevato.

Tuttavia, in regime di saturazione, la caduta di tensione interna nell'elemento semiconduttore aumenta di poco con l'aumento della corrente di attraversamento, fintantoché si rimane nella zona precedente il gomito che traduce la disaturazione. Viene quindi rivelato un aumento significativo della tensione residua soltanto per eccessi di corrente molto superiori alla corrente normale, che provocano una escursione del punto di funzionamento che raggiunge o supera il gomito della caratteristica. E se si sposta il punto di funzionamento in regime normale (riducendo il parametro di controllo) per rivelare eccessi di corrente proporzionalmente più bassi, si aumentano le perdite nel semiconduttore.

L'invenzione ha per obbiettivo la realizzazione di un interruttore statico a protezione integrata di progettazione semplice, in cui le perdite sono limitate, e che presenti una soglia di interruzione per ec-

cessi di corrente vicini alla corrente di funzionamento a carico massimo nominale.

Questo obiettivo viene raggiunto da un interruttore statico a protezione integrata contro gli eccessi di corrente, da disporre in serie con un carico tra i morsetti di una sorgente di tensione, comprendente almeno un elemento semiconduttore che comporta uno spazio di conduzione tra un elettrodo d'ingresso ed un elettrodo di uscita, con caratteristiche di corrente/tensione tra ingresso ed uscita presentanti un gomito prima del quale l'elemento è saturo e al di là del quale l'elemento perde la propria saturazione, ed un elettrodo di controllo dello stato dello spazio di conduzione, questo elettrodo di controllo essendo collegato all'uscita di un generatore di parametro di controllo che fornisce due livelli, basso ed alto, del parametro di controllo, in cui il semiconduttore è rispettivamente bloccante e passante, caratterizzato dal fatto che comprende inoltre un mezzo volumetrico collegato in ingresso agli elettrodi d'ingresso e di uscita e sensibili al superamento di una soglia di tensione in ingresso, soglia regolata al di là del gomito per il livello alto, per emettere, a destinazione del generatore di parametro di controllo, un segnale di forzaggio allo stato basso, il generatore di parametro di controllo

essendo in grado di fornire periodicamente all'elettrodo di controllo, un impulso breve, che si sovrappone in sottrazione al livello alto.

Si comprende che, in questo modo, durante la maggior parte del tempo di conduzione, il semiconduttore è efficacemente saturo e che le sue perdite sono piccole, la tensione residua rimanendo bassa. Tuttavia, nella durata degli impulsi periodici forniti dal generatore di parametro di controllo, il gomito della caratteristica è spostato verso le correnti più basse, per cui un eccesso di corrente, anche non molto elevato, provoca una caduta di tensione notevole nello spazio di conduzione, il semiconduttore non essendo temporaneamente saturo. La brevità dell'impulso, durante il quale le perdite sono notevoli, fa sì che l'energia degradata è ridotta, per cui le perdite globali nell'elemento semiconduttore aumentano di poco. Una regolazione appropriata dell'altezza dell'impulso sottratto dal livello alto del generatore di parametro di controllo (stato passante) permette di raggiungere un livello di tensione residua che provoca la commutazione del parametro di controllo allo stato basso, e pertanto l'interruzione della corrente in eccesso, per cui la discriminazione della soglia di taglio avviene in una zona stretta.

Con una sorgente di tensione continua, la frequenza di ricorrenza degli impulsi e la loro durata sono determinate in modo da tener conto del valore massimo degli eccessi di corrente da prevedere nonché della capacità termica dell'elemento semiconduttore (affinché questo non venga distrutto da una corrente molto forte sopraggiunta appena dopo un impulso). Con una sorgente di tensione alternata, la frequenza di ricorrenza degli impulsi sarà legata alla frequenza della sorgente.

Così, preferibilmente, un interruttore statico per tensione alternata comprenderà due elementi semiconduttori collegati in serie ed uniti dai loro elettrodi d'ingresso e ciascuno con un diodo (35, 36) montato in opposizione tra gli elettrodi d'ingresso e di uscita, gli elettrodi di controllo essendo alimentati in parallelo dal generatore di parametro di controllo mentre il mezzo voltmetrico è alimentato in ingresso dalla tensione tra gli elettrodi di uscita, gli impulsi forniti dal generatore di parametro di controllo essendo sincronizzati sui picchi della tensione tra elettrodi di uscita.

La struttura così definita della cella di commutazione è classica per controllare le due mezze alternanze della tensione alternata, con la corrente

che passa a ciascuna mezza alternanza nell'elemento semiconduttore che si trova nello stato passante e nel diodo montato tra gli elettrodi d'ingresso e di uscita dell'altro elemento semiconduttore. Peraltro, si comprende come sia vantaggioso che gli impulsi siano sincroni con i picchi di tensione residua, che corrispondono ai picchi di tensione della corrente di attraversamento, gli impulsi risultanti di tensione residua essendo allora massimi.

In realtà, la sincronizzazione degli impulsi non viene ottenuta direttamente rivelando i picchi della tensione residua, poiché questi sono suscettibili di variare in ampiezza in funzione delle condizioni di utilizzo dell'interruttore, in modo particolare della corrente di attraversamento e poiché la presenza di un impulso di tensione residua crea rischi d'interferenza. Così, il generatore di parametro di controllo è sensibile ai passaggi per lo zero della tensione tra elettrodi di uscita per fornire un impulso breve agli elettrodi di controllo con un ritardo di un quarto di periodo della tensione alternata sul passaggio per lo zero sopraccitato.

Alcune caratteristiche secondarie ed alcuni vantaggi dell'invenzione appariranno peraltro dalla descrizione che segue, fornita con riferimento ai disegni

allegati, nei quali:

- la figura 1 rappresenta uno schema di un interruttore statico conforme all'invenzione, per una sorgente di tensione continua;

- la figura 2 rappresenta una caratteristica di corrente emettitore-collettore di un transistor IGBT, adatta all'attuazione dell'invenzione;

- la figura 3 rappresenta un diagramma esplicativo del funzionamento dell'interruttore illustrato nella figura 1;

- la figura 4 rappresenta uno schema di un interruttore conforme all'invenzione, per una sorgente di tensione alternata;

- la figura 5 rappresenta un diagramma esplicativo del funzionamento dell'interruttore illustrato nella figura 4.

Conformemente al modo di realizzazione della invenzione scelto e rappresentato nella figura 1 di un interruttore statico, tra i morsetti positivo 1 e negativo 2 di una sorgente di tensione continua sono collegati in serie una carica 3 ed un transistor bipolare a griglia isolata 4 (IGBT), con un collettore 4a (elettrodo di uscita), un emettitore 4b (elettrodo d'ingresso), una griglia 4c (elettrodo di controllo). Questa griglia 4c è collegata all'uscita 5a di un microproces-

sore 5 programmato per fornire in uscita 5a un livello basso (livello di bloccaggio del transistor IGBT) quando un ingresso 5b di questo microprocessore si trova allo stato "0" e, quando questo ingresso 5b si trova allo stato "1", un livello alto tale che il transistor IGBT 4 sia passante e saturo per tutte le correnti che può supportare il carico 3. Naturalmente, i livelli di tensione forniti dal microprocessore vengono messi in forma in uno stato di comando adatto al controllo dell'interruttore a semiconduttore. Questo stadio è noto in sé e non è stato quindi rappresentato per una maggior chiarezza della figura. Qui il livello basso è 0 volt ed il livello alto è di 15 volt. Inoltre, il microprocessore 5, quando l'ingresso 5b si trova allo stato "1", emette periodicamente sulla sua uscita 5a un impulso breve che viene a sottrarsi dal livello alto. Qui, ad esempio, l'impulso ha una frequenza di ricorrenza di 100 Hz, una durata di 1 ms ed un'ampiezza di 5 volt, ossia un livello di 10 volt.

L'interruttore statico comprende ancora, con l'emettitore 4b alla massa interna dell'interruttore, un conduttore di presa di tensione 9 collegato al collettore 4a del transistor IGBT 4 che alimenta l'ingresso invertente di un amplificatore operazionale 7 attraverso un limitatore di escursione di tensione 9a.

L'amplificatore 7 è dotato di una retroazione affinché possa funzionare in modo proporzionale. L'uscita dello amplificatore 7 alimenta attraverso un interruttore logico 7a l'ingresso invertente di un amplificatore operativo 6 montato in circuito comparatore per emettere all'uscita uno stato "1" quando la tensione all'ingresso di un comparatore è superiore ad una soglia fissata da un ponte 8, ed uno stato "0" quando questa tensione è inferiore alla soglia. Si aggiungerà che l'apparizione di uno stato "0" sull'ingresso 5b del microprocessore 5 porta l'uscita 5a al suo livello basso in modo irreversibile e che la rimessa in stato di funzionamento del microprocessore 5 richiede un intervento esterno.

Prima di intraprendere la descrizione del funzionamento dell'interruttore della figura 1, si farà riferimento alla figura 2 che fornisce le curve caratteristiche corrente di collettore/tensione collettore-emettitore di un transistor IGBT, in funzione della tensione griglia-emettitore. Vediamo che queste curve comprendono tre zone, 10 una zona di saturazione in cui la corrente di collettore cresce molto rapidamente con la tensione collettore-emettitore, 12 una zona in cui la corrente di collettore diventa sensibilmente indipendente dalla tensione collettore-emettitore, il tran-

sistore IGBT essendo fuori saturazione, e 11 una zona di gomito che collega le zone 10 e 12. Peraltro, in queste tre zone, la corrente di collettore è funzione della tensione tra griglia ed emettitore sensibilmente nella stessa proporzione.

Nella figura 1, il parametro di controllo è la tensione griglia-emettitore VG applicata alla griglia 4c e la tensione del collettore 9 rispetto alla massa è la tensione collettore-emettitore del transistor IGBT 4. Facendo riferimento alla figura 3, il diagramma fornisce l'evoluzione nel tempo, nella parte inferiore, del parametro o tensione di controllo, con un livello alto 20 ed impulsi periodici 21 che vengono sottrarsi dal livello alto 20, l'ultimo impulso 21 essendo seguito dall'azzeramento della tensione di controllo, il quale azzeramento corrisponde al livello basso.

Nella parte intermedia del diagramma, abbiamo rappresentato una corrente di collettore IC crescente 22 fino ad una corrente di innesco 23. La parte superiore del diagramma presenta la tensione collettore-emettitore VCE risultante dalla combinazione dell'evoluzione di VG e di IC. Si comprenderà che la caduta di tensione nel transistor rimane piccola di fronte alla tensione della sorgente tra i morsetti 1 e 2 (figura

MOORE & SONS

1), per cui gli impulsi al livello 21 non provocano praticamente alcuna riduzione di corrente rispetto al livello alto 20. Fintantoché la corrente di collettore rimane piccola, nella zona di saturazione, i livelli di tensione di controllo 20 e 21 determinano tensioni emettitore-collettore 24 sensibilmente uguali e gli impulsi di riduzione di livello sulla griglia non si traducono in incidenti di VCE, quindi, mentre la corrente aumenta, cominciano ad apparire impulsi 25 sotto la forma di un aumento della tensione VCE, quindi, mentre la tensione VCE corrispondente al livello alto 20 aumenta poco, gli impulsi 25 aumentano molto velocemente, fino a quando il superamento di un livello di soglia 26 provoca uno stato "0" all'ingresso del microprocessore 5 ed il bloccaggio del transistor IGBT 4. Si potrà vedere come l'invenzione consente di ottenere una buona precisione di innesco senza perdite elevate al massimo del carico.

L'interruttore statico della figura 4 è previsto per il caso più frequente di un'alimentazione a tensione alternata. La parte relativa all'interruttore vero e proprio comprende due transistori 33 e 34, qui transistori IGBT analoghi a quello della figura 1, montati in serie tra la fase 30 ed un carico 32, collegato al neutro 31. I transistori 33 e 34 sono collegati tra-

mite i loro elettrodi d'ingresso o emettitori 33b, 34b mentre il collettore 33a del transistor 33 è collegato alla fase 30 ed il collettore 34a del transistor 34 è collegato al carico 32. Due diodi 35 e 36 sono montati in opposizione con i transistori 33 e 34 tra i loro emettitori ed i loro collettori, l'espressione opposizione indicando che i sensi passanti del transistor e del diodo associato sono opposti. Quindi, durante una mezza alternanza della tensione alternata, la corrente attraverserà in serie il transistor 33 ed il diodo 36, mentre durante l'altra mezza alternanza attraverserà il transistor 34 ed il diodo 35.

La parte di controllo comprende elementi analoghi a quelli della figura 1. In modo particolare, un microprocessore 37 alimenta tramite la propria uscita 37a, le griglie 33c e 34c dei transistori 33 e 34 e viene alimentato sul proprio ingresso 37b da un comparatore 39. Tuttavia, il microprocessore 37 viene alimentato su un ingresso 37c da un rivelatore di nullità di tensione 38, disposto in derivazione su un conduttore 47 collegato al collettore 34a del transistor 34. L'esistenza di una tensione nulla sul conduttore 47 corrisponde a l'annullamento della corrente che attraversa l'interruttore. Questo consente di sincronizzare, con un ritardo di un quarto di periodo della tensione

di sorgente, l'emissione di un impulso in sottrazione di un livello alto sull'uscita 37a del microprocessore 37. L'impulso sarà allora sincrono dei picchi di corrente attraverso l'interruttore.

La determinazione delle tensioni tra emettitori e collettori avviene nel seguente modo: i conduttori 46 e 47 sono collegati rispettivamente ai collettori 33a e 34a dei transistori 33 e 34 ed alimentano rispettivamente due amplificatori 42 e 43 simili allo amplificatore 7 della figura 1, attraverso limitatori di escursione di tensione 46a e 47a. All'uscita degli amplificatori 42 e 43 sono disposti diodi 44 e 45 davanti ad un sommatore o addizionatore 48, in modo da trattenere soltanto le parti positive delle tensioni di uscita degli amplificatori 42 e 43. Quindi, al punto di sommatoria 48 ed all'ingresso del comparatore 39, si avrà una successione di mezze onde di tensione corrispondenti rispettivamente alle mezze onde di corrente attraverso l'interruttore costituito dai transistori 33 e 34.

Se facciamo riferimento alla figura 5, il diagramma comprende nella parte inferiore l'evoluzione della tensione di controllo di griglia VGE, con un livello alto 50, ed impulsi 51 in sottrazione rispetto al livello 50. Questi impulsi sono sincronizzati sul picco

di corrente di attraversamento, come abbiamo appena spiegato.

Nella parte superiore del diagramma, sono rappresentate le forme d'onda di tensione al punto di sommatoria 48. Gli archi che questa tensione descrive sono molto appiattiti a causa della forma della caratteristica corrente/tensione nella zona di saturazione 10 (figura 2). Abbiamo rappresentato tre livelli di tensione di picco 52a, 53a, 55a, corrispondenti ai tre livelli di corrente rispettivamente bassa, vicina al pieno carico e con eccesso di corrente limitato. Nelle mezze onde 52 non appare alcun impulso, nelle mezze onde 53 appaiono impulsi 54 chiaramente visibili ma che restano in qua rispetto alla soglia 57, mentre nella mezza onda 55, l'impulso 56 supera la soglia 57 e provoca il bloccaggio dei transistori in sincronismo con l'impulso.

L'invenzione è stata descritta per transistori IGBT poiché questi lavorano con potenze di controllo molto piccole rispetto ai transistori bipolari classici, e sono nettamente meno costosi dei transistori MOS per una medesima corrente di attraversamento almeno nell'applicazione descritta. Tuttavia, dato che questi tre tipi di semiconduttori hanno curve caratteristiche analoghe, in funzione del valore di un parametro di

controllo, potranno essere utilizzati per l'attuazione dell'invenzione, con adattamenti alla portata di un esperto nel settore.

Naturalmente, l'invenzione non è limitata agli esempi descritti, ma comprende tutte le varianti di esecuzione, nell'ambito definito della rivendicazioni.

---

## RIVENDICAZIONI

1. Interruttore statico a protezione integrata contro gli eccessi di corrente, da disporre in serie con un carico (3, 32) tra i morsetti (1, 2; 30, 31) di una sorgente di tensione, comprendente almeno un elemento semiconduttore (4; 33, 34) che comporta uno spazio di conduzione tra un elettrodo d'ingresso (4b, 33b, 34b) ed un elettrodo di uscita (4a; 33a, 34a), con caratteristiche di corrente/ tensione tra ingresso ed uscita presentanti un gomito prima del quale l'elemento è saturo e al di là del quale l'elemento perde la propria saturazione, ed un elettrodo di controllo (4c, 33c, 34c) dello stato dello spazio di conduzione, questo elettrodo di controllo essendo collegato all'uscita di un generatore di parametro di controllo (5, 37) che fornisce due livelli, basso ed alto (20, 50), di parametro di controllo in cui il semiconduttore è rispettivamente bloccante e passante, caratterizzato dal fatto che comprende inoltre un mezzo volumetrico (6, 7, 8; 42, 43, 48, 39) collegato in ingresso agli elettrodi di ingresso e di uscita e sensibili al superamento di una soglia (26, 57) di tensione in ingresso, soglia regolata al di là del gomito per il livello alto, per emettere, a destinazione del generatore di parametro di controllo (5, 37), un segnale di forzaggio allo stato bas-

so, il generatore di parametro di controllo essendo in grado di fornire periodicamente all'elettrodo di controllo (4c, 33c, 34c), un impulso breve (21, 51), che si sovrappone in sottrazione al livello alto (20, 50).

2. Interruttore conforme alla rivendicazione 1, caratterizzato dal fatto che l'elemento semiconduttore viene scelto tra i transistori bipolari, i transistori MOS ed i transistori bipolari a griglia isolata (IGBT).

3. Interruttore conforme ad una delle rivendicazioni 1 e 2, caratterizzato dal fatto che comprenderà due elementi semiconduttori (33, 34) collegati in serie ed uniti dai loro elettrodi d'ingresso (33b, 34b) e ciascuno con un diodo (35, 36) montato in opposizione tra gli elettrodi d'ingresso e di uscita, gli elettrodi di controllo (33c, 34c) essendo alimentati in parallelo dal generatore di parametro di controllo (37) mentre il mezzo voltmetrico (42, 43, 48, 39) è alimentato in ingresso dalla tensione tra gli elettrodi di uscita (33a, 34a), gli impulsi (51) forniti dal generatore di parametro di controllo (37) essendo sincronizzati sui picchi della tensione tra elettrodi di uscita.

4. Interruttore conforme alla rivendicazione 3, caratterizzato dal fatto che il mezzo voltmetrico comprende due catene di amplificazione (42, 43) colle-

gate in ingresso ciascuna tra l'elettrodo di uscita e l'elettrodo d'ingresso di un elemento semiconduttore (33, 34) e collegate in uscita a due ingressi di un addizionatore (48).

5. Interruttore conforme ad una delle rivendicazioni 3 e 4, caratterizzato dal fatto che, la tensione alternata della sorgente avendo un periodo noto, il generatore di parametro di controllo (37, 38) è sensibile ai passaggi per lo zero della tensione tra elettrodi d'ingresso e di uscita del semiconduttore (33, 34) e fornisce l'impulso breve agli elettrodi di controllo (33c, 34c) con un ritardo di un quarto di periodo rispetto al passaggio per lo zero sopracitato.

JACOBACCI & PIRANI S.p.A.

PER INCARICO

Ing. Mauro MARCHETTI  
A. Iscritt. ALBO 507  
(in proprio e per gli altri)

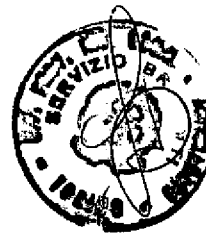


FIG. 1

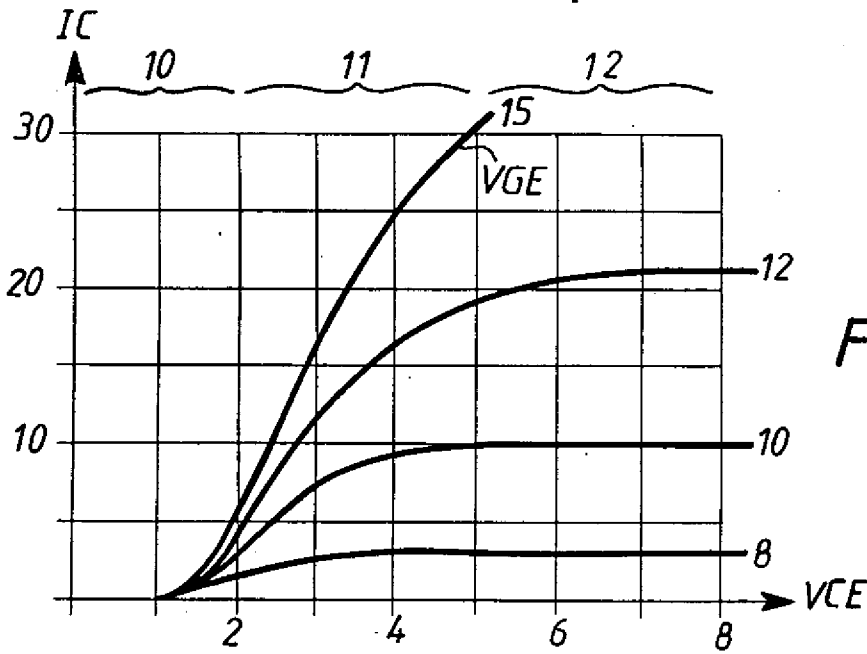
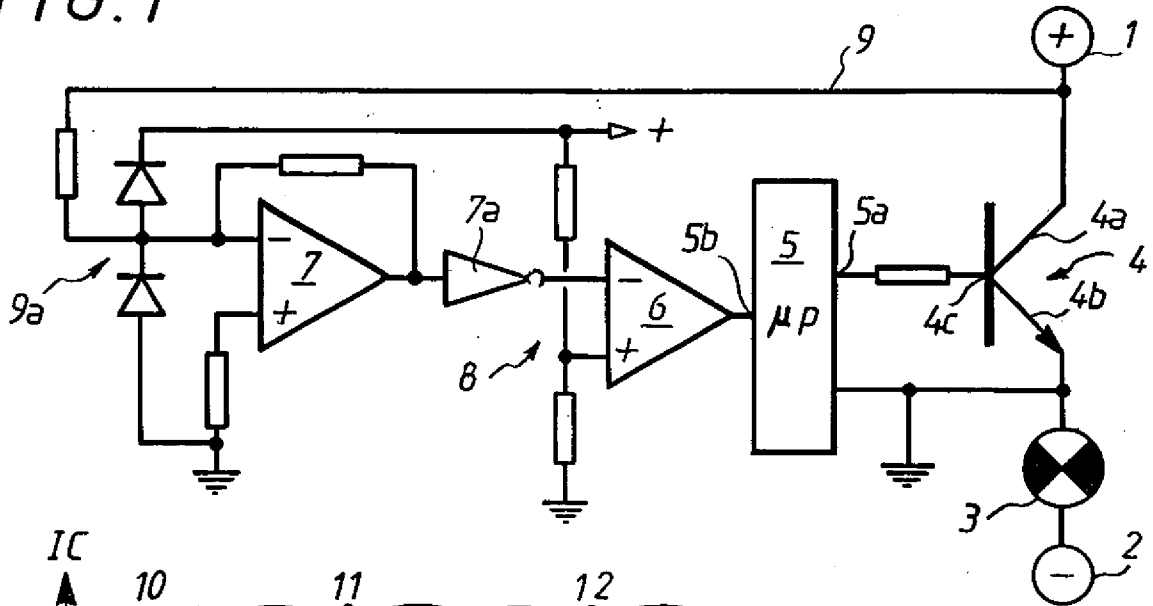


FIG. 2

FIG. 3

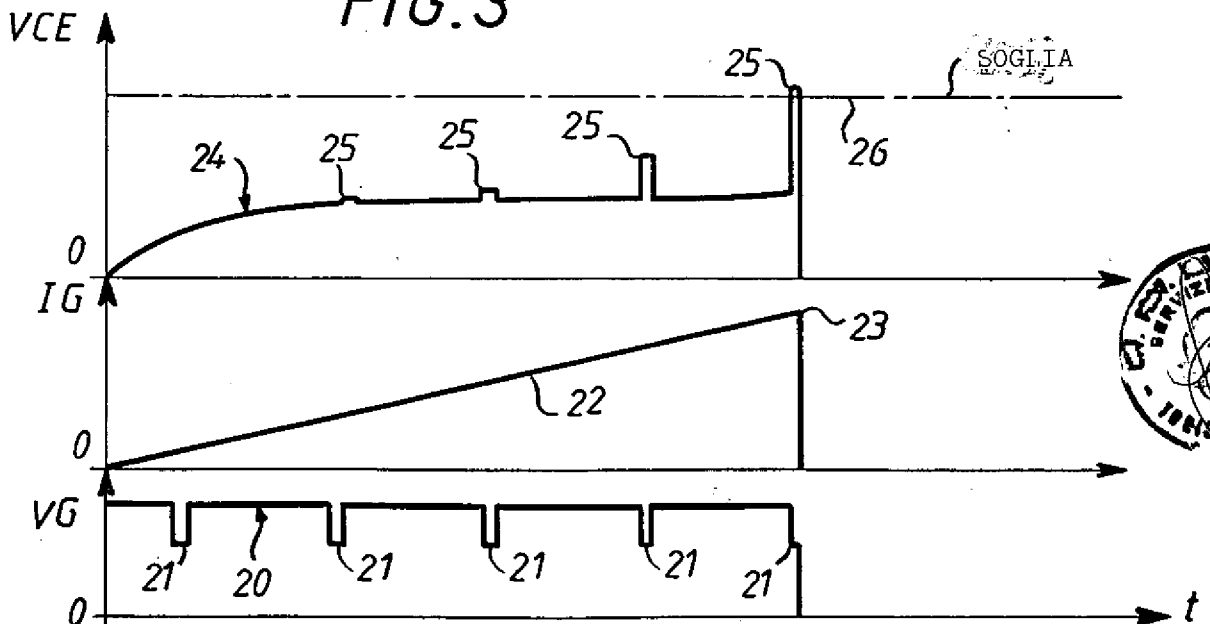


FIG. 4

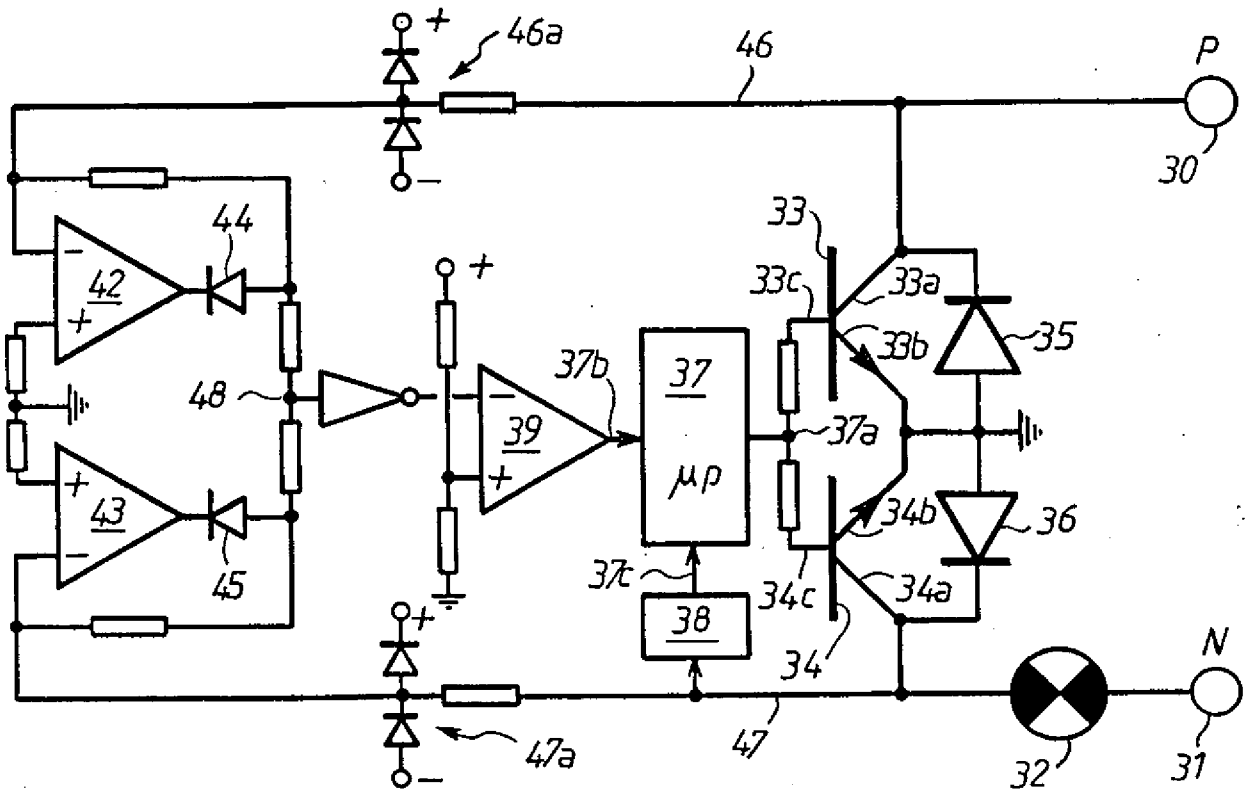


FIG. 5

