

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4042364号
(P4042364)

(45) 発行日 平成20年2月6日(2008.2.6)

(24) 登録日 平成19年11月22日(2007.11.22)

(51) Int.Cl.

F I

G O 6 F 12/02 (2006.01)

G O 6 F 12/02 5 8 O D

G O 6 F 7/50 (2006.01)

G O 6 F 7/50 D

請求項の数 3 (全 13 頁)

(21) 出願番号 特願2001-227712 (P2001-227712)
 (22) 出願日 平成13年7月27日(2001.7.27)
 (65) 公開番号 特開2003-44353 (P2003-44353A)
 (43) 公開日 平成15年2月14日(2003.2.14)
 審査請求日 平成18年8月17日(2006.8.17)

(73) 特許権者 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (74) 代理人 100084250
 弁理士 丸山 隆夫
 (72) 発明者 石井 大二
 東京都港区芝五丁目7番1号 日本電気株
 式会社内
 審査官 田中 秀人

最終頁に続く

(54) 【発明の名称】 アドレス生成回路、選択判断回路

(57) 【特許請求の範囲】

【請求項1】

一定のメモリ領域に巡回的にアクセスするためのアドレスをモジュロ加算により生成するアドレス生成回路であって、

2 NビットのアドレスとNビットの更新ステップおよびNビットのモジュロ対象領域サイズに対して、

2 NビットのアドレスとNビットの更新ステップを加算して2 Nビットの加算結果を出力する2入力加算器と、

2 Nビットのアドレスにおける下位NビットとNビットの更新ステップおよびNビットのモジュロ対象領域サイズを加減算してNビットの加減算結果を出力する3入力加減算器と、

前記3入力加減算器によるNビットの出力結果に対してその最上位ビット側から2 Nビットのアドレスにおける上位Nビットを接続して2 Nビットの接続結果を出力する接続手段と、

2入力加算器の出力結果あるいは接続手段の出力結果のいずれか一方を選択するための選択信号を、2 Nビットのアドレスにおける下位NビットとNビットの更新ステップおよびNビットのモジュロ対象領域サイズに基づいて生成する選択判断回路と、

前記選択判断回路からの前記選択信号により2入力加算器による2 Nビットの出力結果あるいは接続手段による2 Nビットの出力結果のいずれか一方を選択するマルチプレクサと、を有し、

10

20

前記 2 入力加算器と、前記 3 入力加減算器と、前記選択判断回路とをそれぞれ独立に並列動作させることを特徴とするアドレス生成回路。

【請求項 2】

前記選択判断回路は、

モジュロ対象領域のサイズを表す所定数のビットのうち、実際にサイズ表現に使用されたビットのなかで最上位のビットを検出し、前記アドレスにおいて、この検出した最上位のビットと同位のビットより上位のビットすべてをゼロクリアした値を生成するマスク回路と、

上から所定数のビットがその符号を表す前記更新ステップの該符号ビットの否定と、前記モジュロ対象領域サイズを表す各ビットとの論理積を算出する否定論理積回路と、

前記マスク回路の出力に前記更新ステップを加算し、前記否定論理積回路の出力を減算する 3 入力加減算器と、

前記 3 入力加減算器の出力と前記更新ステップの符号ビットとの排他的論理和を算出する排他的論理和回路と、

を有し、

前記モジュロ対象領域サイズ DM は、 $2^{K-1} \leq DM < 2^K$ (K は任意の自然数) で、前記モジュロ対象領域の先頭アドレスにおける下位 K ビットがすべて 0 であり、

前記更新ステップを表すデータは、前記下位 K ビットが更新ステップ数を表し、その上位ビットが該更新ステップの符号を表し、

前記選択判断回路は、

前記 3 入力加減算器により前記アドレスの下位 K ビットと前記更新ステップの下位 K ビットの加算結果から、モジュロ対象領域サイズ、あるいは 0 を減算し、

前記排他的論理和回路により、前記 3 入力加減算器の減算結果における固定の位置にある符号ビットと前記更新ステップの符号ビットとの排他的論理和を算出することで前記選択信号を生成することを特徴とする請求項 1 記載のアドレス生成回路。

【請求項 3】

一定のモジュロ対象領域に巡回的にアクセスするために、更新前アドレスに更新ステップを加算することで生成した更新アドレスが、前記モジュロ対象領域を逸脱しているか否かを判断する選択判断回路であって、

モジュロ対象領域のサイズを表す所定数のビットのうち、実際にサイズ表現に使用されたビットのなかで最上位のビットを検出し、更新前アドレスにおいて、この検出した最上位のビットと同位のビットより上位のビットすべてをゼロクリアした値を生成するマスク回路と、

上から所定数のビットがその符号を表す前記更新ステップの該符号ビットの否定と、前記モジュロ対象領域サイズを表す各ビットとの論理積を算出する否定論理積回路と、

前記マスク回路の出力に前記更新ステップを加算し、前記否定論理積回路の出力を減算する 3 入力加減算器と、

前記 3 入力加減算器の出力と前記更新ステップの符号ビットとの排他的論理和を算出する排他的論理和回路と、

を有し、

前記モジュロ対象領域サイズ DM は、 $2^{K-1} \leq DM < 2^K$ (K は任意の自然数) で、前記モジュロ対象領域の先頭アドレスにおける下位 K ビットがすべて 0 であり、

前記更新ステップを表すデータは、前記下位 K ビットが更新ステップ数を表し、その上位ビットが該更新ステップの符号を表し、

前記選択判断回路は、

前記 3 入力加減算器により前記アドレスの下位 K ビットと前記更新ステップの下位 K ビットの加算結果から、モジュロ対象領域サイズ、あるいは 0 を減算し、

前記排他的論理和回路により、前記 3 入力加減算器の減算結果における固定の位置にある符号ビットと前記更新ステップの符号ビットとの排他的論理和を算出することで前記選択信号を生成することを特徴とする選択判断回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はアドレス生成回路、選択判断回路に関し、特にモジュロ加算によるアドレス生成を高速に実行するアドレス生成回路、及びそのアドレス生成回路に適用される選択判断回路に関する。

【0002】

【従来の技術】

ディジタル信号を高速かつ効率的に処理する機構を備えるディジタル信号処理プロセッサ(DSP)は、組み込み用途に用いられることが多い。組み込み用途では、装置全体の大きさに制約があったり、製造コストを低く抑える必要があるため、DSPのチップサイズ、特に同チップに占める内蔵メモリの大きさが制限される。こうした事を考慮して、DSPには、内蔵メモリのサイズを制限しても効率を落とさないアーキテクチャが採用されている。例えば、DSPにおけるメモリアクセス方法の一つであるモジュロアドレッシングは、モジュロ加算により生成したアドレスを用いて一定のメモリ領域を巡回的にアクセスすることで、限られたメモリ領域を何度も使い回すことを可能とする。しかし、このようなメモリ利用における効率化の反面、上記アドレス生成におけるモジュロ加算は、通常の加算と異なり、加算結果がその上限値あるいは下限値を逸脱した場合に適切な値に補正する必要があるため、回路としての遅延時間が大きくなる。また、本演算を行なう回路は、乗算器と並んでDSPの全データパスにおける遅延時間が最大のパス(＝クリティカルパス)になる可能性が高い。このため、モジュロ加算を高速に実行できるアドレス生成回路が必要となる。

【0003】

このようなモジュロ加算を高速に実行するアドレス生成回路として、従来、例えば特開平7-168753号公報に示されているように、複数の演算器を用いてモジュロ加算における加算や補正処理を行う回路が提案されている。

【0004】

この従来のアドレス生成回路では、モジュロアドレッシングの対象となるメモリ領域(以下、モジュロ対象領域)のサイズDMが $2^{K-1} \leq DM < 2^K$ であり、領域の先頭アドレスBASEにおける下位Kビットがすべて0であるとする。そして、本回路が生成するアドレスはBASEからBASE+DM-1までの任意の整数値を取るとする。

【0005】

このような条件の下で、本回路は、更新前のアドレスDPに更新ステップDNを加算することで更新後のアドレスDP'を生成する。但し、DNの値が負であるとき加算後の値がBASEより小さくなった場合にはDMを加算し、DNの値が正であるとき同加算後の値がBASE+DMより大きいかあるいは等しくなった場合にはDMを減算することにより、同加算後の値を補正してDP'とする。

【0006】

図8は、従来のアドレス生成回路の構成を示すブロック図である。本回路は、アドレスDP205に更新ステップDN206を加算する2入力加算器201と、同加算器201の加算結果208に対して領域サイズDM207を加算あるいは減算する2入力加減算器202と、加算器201の出力結果208とBASEあるいはBASE+DMの減算によりこれらの大小比較を行い、本比較結果に基づいて加算器201、加減算器202の出力結果208、209のいずれか一方を選択するための選択信号210を生成する選択判断回路203と、選択信号210に基づいて出力結果208、209の一方を選択して回路出力DP'211とするマルチプレクサ204とを含んで構成される。なお、選択判断回路203は、判断結果が真であるとき選択信号210として“0”を出力し、さもなければ“1”を出力する。また、マルチプレクサ204は、選択信号210が“0”であるとき加算器202の結果209を出力し、同信号が“1”であるとき加算器201の結果208を出力する。

【0007】

次に、本回路の動作について説明する。本回路では、補正が不要な場合と補正が必要な場合の両アドレスを投機的に計算し、補正が必要かどうかの判断に基づいて一方のアドレスを選択して回路出力とする。より具体的には、まず、補正が不要な場合のアドレスを計算するため、2入力加算器201において、DP205にDN206を加算する。次に、補正が必要な場合のアドレスを計算するため、2入力加減算器202において、DN206の値が正の場合、加算結果208からDM207を減算する。一方、同DN206の値が負の場合には、加算結果208にDM207を加算する。この加減算器202の動作と並行して、選択判断回路203において、補正が必要かどうかを次のように判断して選択信号210を出力する。DN206の値が正の場合、加算結果208がBASE+DMより大きいあるいは等しいかどうかを判断し、大きいあるいは等しいときには選択信号210として“0”を出力するが、そうでなければ同信号210として“1”を出力する。また、同DN206の値が負の場合、加算結果208がBASEより小さいあるいは等しいかどうかを判断し、小さいあるいは等しいときには選択信号210として“0”を出力するが、そうでなければ同信号210として“1”を出力する。その後、マルチプレクサ204において、選択信号210が“0”の場合、加減算器202の出力結果209を回路出力DP'211として出力する。また、選択信号210が“1”の場合には、加算器201の出力結果208をDP'211として出力する。

10

【0008】

【発明が解決しようとする課題】

20

上記従来技術では、加算器201の結果が確定するのを待ってから加減算器202および選択判断回路203が有効な動作を開始するため、これら演算器の動作が逐次的になっている。これにより、本アドレス生成回路の遅延時間は大きくなり、具体的には「(加算器201の遅延時間)+(加減算器202の遅延時間)+(マルチプレクサ204の遅延時間)」、あるいは「(加算器201の遅延時間)+(選択判断回路203の遅延時間)+(マルチプレクサ204の遅延時間)」となる。

【0009】

本発明は上記事情に鑑みてなされたものであり、演算器どうしの入出力依存関係を無くして逐次動作を解消することによりモジュロ加算を高速に実行するアドレス生成回路、及びそれに適用される選択判断回路を提供することを目的とする。

30

【0011】

【課題を解決するための手段】

係る目的を達成するために請求項1記載の発明は、一定のメモリ領域に巡回的にアクセスするためのアドレスをモジュロ加算により生成するアドレス生成回路であって、2NビットのアドレスとNビットの更新ステップおよびNビットのモジュロ対象領域サイズに対して、2NビットのアドレスとNビットの更新ステップを加算して2Nビットの加算結果を出力する2入力加算器と、2Nビットのアドレスにおける下位NビットとNビットの更新ステップおよびNビットのモジュロ対象領域サイズを加減算してNビットの加減算結果を出力する3入力加減算器と、3入力加減算器によるNビットの出力結果に対してその最上位ビット側から2Nビットのアドレスにおける上位Nビットを接続して2Nビットの接続結果を出力する接続手段と、2入力加算器の出力結果あるいは接続手段の出力結果のいずれか一方を選択するための選択信号を、2Nビットのアドレスにおける下位NビットとNビットの更新ステップおよびNビットのモジュロ対象領域サイズに基づいて生成する選択判断回路と、選択判断回路からの選択信号により2入力加算器による2Nビットの出力結果あるいは接続手段による2Nビットの出力結果のいずれか一方を選択するマルチプレクサと、を有し、2入力加算器と、3入力加減算器と、選択判断回路とをそれぞれ独立に並列動作させることを特徴とする。

40

【0012】

請求項2記載の発明は、請求項1記載の発明において、選択判断回路は、モジュロ対象領域のサイズを表す所定数のビットのうち、実際にサイズ表現に使用されたビットのなか

50

で最上位のビットを検出し、アドレスにおいて、この検出した最上位のビットと同位のビットより上位のビットすべてをゼロクリアした値を生成するマスク回路と、上から所定数のビットがその符号を表す更新ステップの該符号ビットの否定と、モジュロ対象領域サイズを表す各ビットとの論理積を算出する否定論理積回路と、マスク回路の出力に更新ステップを加算し、否定論理積回路の出力を減算する3入力加減算器と、3入力加減算器の出力と更新ステップの符号ビットとの排他的論理和を算出する排他的論理和回路と、を有し、モジュロ対象領域サイズDMは、 $2^{K-1} \leq DM < 2^K$ (Kは任意の自然数)で、モジュロ対象領域の先頭アドレスにおける下位Kビットがすべて0であり、更新ステップを表すデータは、下位Kビットが更新ステップ数を表し、その上位ビットが該更新ステップの符号を表し、選択判断回路は、3入力加減算器によりアドレスの下位Kビットと更新ステップの下位Kビットの加算結果から、モジュロ対象領域サイズ、あるいは0を減算し、排他的論理和回路により、3入力加減算器の減算結果における固定の位置にある符号ビットと更新ステップの符号ビットとの排他的論理和を算出することで選択信号を生成することを特徴とする。

10

【0014】

請求項3記載の発明は、一定のモジュロ対象領域に巡回的にアクセスするために、更新前アドレスに更新ステップを加算することで生成した更新アドレスが、モジュロ対象領域を逸脱しているか否かを判断する選択判断回路であって、モジュロ対象領域のサイズを表す所定数のビットのうち、実際にサイズ表現に使用されたビットのなかで最上位のビットを検出し、更新前アドレスにおいて、この検出した最上位のビットと同位のビットより上位のビットすべてをゼロクリアした値を生成するマスク回路と、上から所定数のビットがその符号を表す更新ステップの該符号ビットの否定と、モジュロ対象領域サイズを表す各ビットとの論理積を算出する否定論理積回路と、マスク回路の出力に更新ステップを加算し、否定論理積回路の出力を減算する3入力加減算器と、3入力加減算器の出力と更新ステップの符号ビットとの排他的論理和を算出する排他的論理和回路と、を有し、モジュロ対象領域サイズDMは、 $2^{K-1} \leq DM < 2^K$ (Kは任意の自然数)で、モジュロ対象領域の先頭アドレスにおける下位Kビットがすべて0であり、更新ステップを表すデータは、下位Kビットが更新ステップ数を表し、その上位ビットが該更新ステップの符号を表し、選択判断回路は、3入力加減算器によりアドレスの下位Kビットと更新ステップの下位Kビットの加算結果から、モジュロ対象領域サイズ、あるいは0を減算し、排他的論理和回路により、3入力加減算器の減算結果における固定の位置にある符号ビットと更新ステップの符号ビットとの排他的論理和を算出することで選択信号を生成することを特徴とする。

20

30

【0016】

本発明によるアドレス生成回路は、アドレスと更新ステップを加算する2入力加算器(図1の101)と、アドレスと更新ステップおよび領域サイズを加減算する3入力加減算器(図1の102)と、これら加減算結果の選択信号を小さい遅延時間で決定できる選択判断回路(図1の103)とを有し、これらを独立に並列動作させる。

【0017】

このように、モジュロ加算に必要な演算器をすべて並列に動作させることで、アドレス生成を高速に実行することができる。

40

【0018】

【発明の実施の形態】

[構成の説明]

以下、本発明の実施の一形態について説明する。本実施の形態によるアドレス生成回路では、16ビットのアドレスでアクセスするメモリにおいて、16ビットのモジュロ対象領域サイズDMを $2^{K-1} \leq DM < 2^K$ (Kは15以下の整数)とし、領域の先頭アドレスBASEの下位Kビットがすべて0であるとする。そして、本回路が生成するアドレスはBASEからBASE+DM-1までの任意の整数値を取るとする。このような条件の下で、本回路は、更新前のアドレスDPに16ビットの更新ステップDNを加算することで更

50

新後のアドレス DP' を生成する。但し、 DN の値が負であるとき加算後の値が $BASE$ より小さくなった場合には DM を加算し、 DN の値が正であるとき同加算後の値が $BASE + DM$ より大きいあるいは等しくなった場合には DM を減ずることにより、同加算後の値を補正して DP' とする。なお、 DN の上から $16 - K$ ビットは、その符号を表すものとする。

【0019】

図1は本実施の形態によるアドレス生成回路の構成を示すブロック図である。本回路は、アドレス $DP105$ に更新ステップ $DN106$ を加算する2入力加算器101と、 $DP105$ に $DN106$ を加算し、さらに $DM107$ を加算あるいは減算する3入力加減算器102と、加算器101、加減算器102の出力結果108、109の何れか一方を選択するための選択信号110を生成する選択判断回路103と、選択信号110に基づいて出力結果108、109の一方を選択して回路出力 $DP'111$ とするマルチプレクサ104とを含んで構成される。

10

【0020】

2入力加算器101には、16ビットのアドレス $DP105$ と16ビットの更新ステップ $DN106$ とを入力し、 $DP + DN$ を16ビットの加算結果108としてマルチプレクサ104に出力する。

【0021】

3入力加減算器102には、16ビットの $DP105$ と、16ビットの $DN106$ と、その符号ビット106'と、16ビットの $DM107$ とを入力する。そして、 DN の符号ビット (= DN の最上位ビット) が“0”のとき、 $DP + DN - DM$ を16ビットの加減算結果としてマルチプレクサ104に出力する。また、同符号ビットが“1”のときには、 $DP + DN + DM$ を16ビット加算結果109としてマルチプレクサ104に出力する。

20

【0022】

選択判断回路103には、16ビットの $DP105$ と、16ビットの $DN106$ と、その符号ビット106'と、16ビットの $DM107$ を入力する。そして、 DN の符号ビットが“0”のとき、 DP の下位 K ビットと DN の下位 K ビットの加算結果が DM より大きい等しい場合に選択信号110として“0”を出力し、さもなければ“1”を出力する。一方、同符号ビットが“1”のとき、 DP の下位 K ビットと DN の下位 K ビットの加算結果が0より小さい場合に選択信号110として“0”を出力し、さもなければ“1”を出力する。但し、「 DP の下位 K ビットと DN の下位 K ビットの加算結果」は、図2に示すように、 $DP105$ の上位 $(16 - K)$ ビットをゼロクリアした16ビットの値と、 $(16 - K)$ ビットの符号ビット部および K ビットの有効数字部からなる16ビットの $DN107$ との16ビット加算結果を指すものとする。なお、上記において、 DP 、 DN における下位 K ビットの加算結果と DM の比較は、 $BASE$ の下位 K ビットがすべて0であることから、 $DP + DN$ と $BASE + DM$ の比較と等価である。また、同様の理由により、 DP 、 DN における下位 K ビットの加算結果と0の比較は、 $DP + DN$ と $BASE$ の比較と等価である。

30

【0023】

このような入出力を持つ本判断回路103は、さらに、図3に示すように、 $DP105$ の下位 K ビットを切り出すマスク回路1030と、 $DN106$ の符号ビットの否定と DM における各ビットとの論理積を計算する否定論理積回路1031と、前記マスク回路1030の出力結果と $DN106$ とを加算して、この加算結果から前記否定論理積回路1031の出力結果を減算する3入力加減算器1032と、この3入力加減算器1032の16ビット加減算結果における符号ビットと $DN106$ の符号ビットとの排他的論理和を計算する $EXOR$ ゲート1033とを含んで構成される。

40

【0024】

マルチプレクサ104では、2入力加算器101の16ビット出力結果108と3入力加減算器102の16ビット出力結果109が入力される。そして、同じく入力される選択信号110に基づいて、同信号110が“0”のとき、3入力加減算器102の結果10

50

9が16ビットの回路出力DP' 111として出力される。また、同信号110が“1”のときには、2入力加算器101の結果108が16ビットの回路出力DP' 111として出力される。

【0025】

なお、加減算を高速に実行するため、上記2入力加算器101にはキャリールックアヘッドアダプターを適用し、3入力加減算器102，3入力加減算器1032には、キャリーセーブアダプターおよび加算器の最終段にキャリールックアヘッドアダプターを適用する。

【0026】

[動作の説明]

本実施形態の動作について図1、3を参照しながら詳細に説明する。本回路では、補正が不要な場合と補正が必要な場合の両アドレスを投機的に計算し、補正が必要かどうかの判断に基づいて一方のアドレスを選択して回路出力とする。

10

【0027】

まず、2入力加算器101，3入力加減算器102，選択判断回路103が、それぞれ独立に並列動作する。

【0028】

2入力加算器101では、補正が不要な場合のアドレスを計算するため、DP105とDN106を加算して結果108を出力する。

【0029】

3入力加減算器102では、補正が必要な場合のアドレスを計算するため、DN106の符号ビットが“0”のとき、DP105とDN106を加算してDM107を減算する。また、同DN106の符号ビットが“1”のときには、DP105とDN106およびDM107を加算する。

20

【0030】

選択判断回路103では、まず、マスク回路1030において、DM107における各ビットのうち値が“1”であり、かつ最も上位に位置するビットを検出する。DM107の上から数えて1ビット目から(16-K)ビット目がすべて“0”であり、(16-K)ビット目の次のビット(すなわち、同DM107の下からKビット目)が“1”であることから、検出したビットは下からKビット目に位置する。この検出したビットに基づいて、下位Kビットをすべて“1”、それ以外のビットを“0”としたマスクを生成する。そして、本マスクの各ビットとDP105における各ビットとの論理積を計算することで、DP105の下位Kビットを切り出す。

30

【0031】

マスク回路1030の動作と並行して、否定論理積回路1031において、DN106の符号ビットの否定とDM107の各ビットとの論理積を計算する。これにより、DN106の符号ビットが“0”のときには値「DM」が生成され、同符号ビットが“1”のときには値「0」が生成される。

【0032】

マスク回路1030と否定論理積回路1031の出力が確定した後、3入力加減算器1032において、マスク回路1030の出力とDN106を加算して、否定論理積回路1031の出力を減算する。これにより、DN106の符号ビットが“0”のときには、DPの下位KビットとDNの下位Kビットの加算結果がDMより大きいかわるいは等しいかを判断するための減算が行われる。また、同符号ビットが“1”のときには、DPの下位KビットとDNの下位Kビットの加算結果が0より小さいかを判断するための減算が行われる。

40

【0033】

DN106の符号ビットが“0”のときに、3入力加減算器1032による加減算結果の符号ビット(上位16-Kビット)が“0”であると、DP+DNがモジュロ対象領域を逸脱していると判定できる。また、同符号ビットが“1”のときに加減算結果の符号ビットが“1”であると、DP+DNがモジュロ対象領域を逸脱していると判定できる。つま

50

り、DN106の符号ビットと減算結果(=3入力加減算器1032による出力結果)の符号ビットが一致するとき、DP+DNがモジュロ対象領域を逸脱していることになる。そこで、EXORゲート1033において、3入力加減算器1032による出力結果の符号ビットとDNの符号ビットとの排他的論理和を計算する。これにより、更新アドレスがモジュロ対象領域を逸脱しているとき両符号ビットが一致するので選択信号110として“0”が出力され、さもなければ“1”が出力される。

【0034】

これら2入力加算器101、3入力加減算器102、選択判断回路103による出力が確定した後、マルチプレクサ104は、選択判断回路103からの選択信号が“0”の場合、3入力加減算器102の出力結果109を回路出力DP'として出力する。また、選択信号110が“1”の場合には、2入力加算器101の出力結果108をDP'111として出力する。

【0035】

このように、2入力加算器101、3入力加減算器102、選択判断回路103を独立に並列動作させたとき、選択判断回路103がクリティカルパスとなるため、アドレス生成回路全体の遅延時間は「(選択判断回路103の遅延時間)+(マルチプレクサ104の遅延時間)」となる。

【0036】

ここで、本実施形態と上述した特開平7-168753号公報(以下、従来例1という)に開示された「モジュロ加算回路」との遅延時間について比較考察する。

まず、本実施形態の選択判断回路103は、DP105の下位KビットとDN106の加算結果をDMあるいは0と比較している。このため、図4に示すように、3入力加減算器1032の出力結果における符号ビットを用いて選択判断を行なうことができる。すなわち、3入力加減算器1032の出力結果における下からK+1番目のビットがキャリーにより反転するのを検出することで選択判断を行なうことになるが、本実施形態においては、上位16-KビットをゼロクリアしたDPにDNを加算するため、K+1番目のビットのキャリーが最上位のビットまで反映される。そこで、このモジュロ対象領域のサイズ($2^{K-1} \leq DM < 2^K$)が変更されても、この最上位のビットを見ることで選択判断を行なうことができる。一方、上述した従来例1のモジュロ加算回路においても、DP+DNの加算結果を、BASE+DM、あるいはBASEと比較する場合、図4に示されるように3入力加減算器の出力結果における下からK+1番目のビットがキャリーにより反転するのを検出することで選択判断を行なうことになる。しかしながら、従来例1では、K+1番目のビットのキャリーが最上位ビットまで反映されることはないので、この任意の位置にあるK+1番目のビットを検出しなければならない。そのため、図5に示されるように任意の位置にあるビットを抽出するためのマルチプレクサが必要となる。本実施形態は固定された位置にあるビットを用いるのでこのようなマルチプレクサが不要になる。これにより、従来例1は本実施形態よりもマルチプレクサの分だけ遅くなる。

【0037】

また、図5に示すように、本実施形態ではマスク回路が必要であるのに対し、従来例1では検出すべきキャリービットの位置(すなわち、下からK+1番目)を生成するデコーダ回路が必要となる。このデコーダ回路は、マスク回路と同様に、DM107における各ビットのうち値が“1”であり、かつ最も上位に位置するビットを検出するため、本実施形態は、従来例1のモジュロ加算回路よりも高々ANDゲート一段分だけ遅くなる。このように両者は互いに他より遅くなる要因を有するが、通常、マルチプレクサはANDゲート一段よりも遅いことから、本実施形態は従来例1のモジュロ加算回路よりも高速である。

【0038】

また、選択判断回路103内の3入力加減算器や3入力加減算器102による加減算は、3データの加減算を2回に分けて実行する従来技術の加減算よりも高速である。なぜなら、図6に示すように、前者ではキャリーセーブアダー1段とキャリールックアヘッドアダー1段で済むが、後者ではキャリールックアヘッドアダー2段が必要となるからである。

なお、キャリアセーブアダダーは、キャリアルックアヘッドアダダーよりも高速である。

【0039】

これらのことから、本アドレス生成回路の遅延時間は、従来技術の遅延時間である「(加算器201の遅延時間)+(加減算器202の遅延時間)+(マルチプレクサ204の遅延時間)」、あるいは「(加算器201の遅延時間)+(選択判断回路203の遅延時間)+(マルチプレクサ204の遅延時間)」よりも小さい。

【0040】

[実施例]

DN106の値が正である場合と負である場合の計算例を以下に示す。

まず、DNが正である場合の例として、「 $DP = 0x012F$ 、 $DN = 0x0006$ 、 $DM = 0x0010$ 」であるときの本実施の形態によるアドレス生成例を示す。本例では、DMが $0x0010 (= 2 \times 4)$ であることから、 $K = 5$ であり、モジュロ対象領域は $0x0120$ から $0x012F$ までとなる。また、 $DP + DN$ が $0x0135$ であることから、モジュロ対象領域を逸脱する例となっている。このとき、2入力加算器101の出力($DP + DN$)108は、 $0x0135$ となり、3入力加算器102の出力($DP + DN - DM$)109は $0x0125$ となる。一方、選択判断回路103における3入力加減算器1032の出力は、

$0x000F$ (マスク回路1030の出力) $+ 0x0006$ (DN) $- 0x0010$ (DM) $= 0x0005$

となる。そして、本出力の符号ビット“0”とDN106の符号ビット“0”との排他的論理和1033である選択信号110が“0”となることから、3入力加減算器102の出力結果109がマルチプレクサ104により選択されて回路出力 $DP' 111$ となる。

【0041】

次に、DNが負である場合の例として、「 $DP = 0x0123$ 、 $DN = 0xFFFA$ 、 $DM = 0x0010$ 」であるときのアドレス生成例を示す。本例においても $K = 5$ であり、モジュロ対象領域は $0x0120$ から $0x012F$ までとなる。また、 $DP + DN$ が $0x011D$ であることから、モジュロ対象領域を逸脱する例となっている。このとき、2入力加算器101の出力($DP + DN$)108は、 $0x011D$ となり、3入力加算器102の出力($DP + DN + DM$)109は $0x012D$ となる。一方選択判断回路103における3入力加減算器1032の出力は、

$0x0003$ (マスク回路1030の出力) $+ 0xFFFA$ (DN) $- 0x0000 = 0xFFFD$

となる。そして、本出力の符号ビット“1”とDN106の符号ビット“1”との排他的論理和1033である選択信号110が“0”となることから、3入力加減算器102の出力結果109がマルチプレクサ104により選択されて回路出力 $DP' 111$ となる。

【0042】

上記実施の形態の説明では、アドレスDP105、更新ステップDN106、領域サイズDM107がすべて16ビットである場合について説明したが、他のビット長でも本発明の実施の形態が有効であることは明らかである。例えば、DPが32ビットであり、DNおよびDMが16ビットである場合のように、アドレスの長さが2Nビットであり、更新ステップや領域サイズの長さがNビットである場合の実施の形態について、図7を参照して簡単に説明する。同図において、2入力加算器101およびマルチプレクサ104のデータ幅が32ビットであり、DP105の下位16ビットを3入力加減算器102および選択判断回路103の入力とし、DP105の上位16ビットと3入力加減算器102の16ビット出力結果109とを接続部112により接続した32ビットの値をマルチプレクサ104の入力とする以外は図1の構成と同じである。2入力加算器101は32ビット演算となるが、選択判断回路103は16ビット演算のままでよい。このため、選択判断回路103の遅延時間は加算器101の遅延時間よりも小さくなる。よって、図7におけるアドレス生成回路の遅延時間は、「(2入力加算器101の遅延)+(マルチプレクサ104の遅延)」となり、通常の加算に対するモジュロ加算のオーバーヘッドはマルチ

10

20

30

40

50

プレクサ 104 の遅延時間だけですむ。

【0043】

なお、上述した実施形態は本発明の好適な実施の形態である。但し、これに限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変形実施が可能である。

【0044】

【発明の効果】

以上の説明より明らかなように本発明は、2入力加算器、3入力加減算器、選択判断回路をすべて並列動作させることで、逐次的動作を解消し、モジュロ加算によるアドレス生成を高速に実行することができる。

【0045】

また、選択判断回路は、下位Kビット以外の上位ビットをすべてゼロクリアしたアドレスと更新ステップとを加算し、この加算結果をモジュロ対象領域サイズ、あるいは0と比較している。従って、3入力加減算器による下からK+1番目のビットがキャリーにより反転するのを検出することで選択判断を行なう際に、K+1番目のビットのキャリーが最上位のビットまで反映され、モジュロ対象領域のサイズが変更されても、この最上位のビットを用いて選択判断を行なうことができる。従って、従来、任意の位置にあるビットを抽出するために必要であったマルチプレクサが不要となり、アドレスの生成をさらに高速に実現することができる。

【0046】

また、アドレスの長さが更新ステップや領域サイズの長さよりも大きい場合、選択判断回路の遅延時間が2入力加算器の遅延時間よりも小さくなり、通常の加算とマルチプレクサ1段の遅延時間でモジュロ加算を実行することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態によるアドレス生成回路の構成を示すブロック図である。

【図2】本発明の実施の形態における下位Kビットの加算を示す図である。

【図3】本発明の実施の形態による選択判断回路の構成を示すブロック図である。

【図4】実施形態と従来技術における3入力加減算器の違いを示す図である。

【図5】実施形態と従来技術との選択判断回路の違いを示す図である。

【図6】実施形態と従来技術との違いを示す図である。

【図7】本発明の第2の実施の形態によるアドレス生成回路の構成を示すブロック図である。

【図8】従来のアドレス生成回路の構成を示すブロック図である。

【符号の説明】

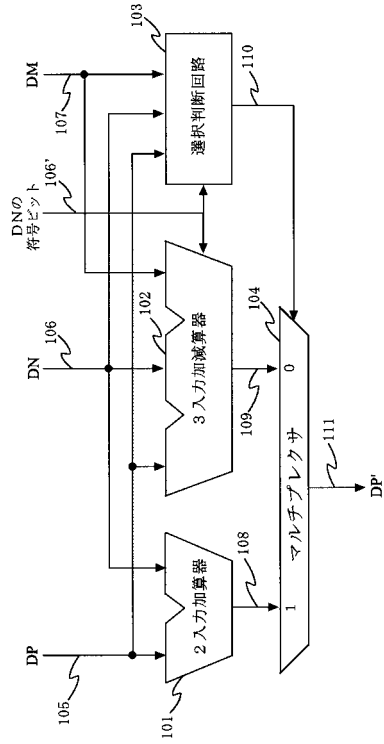
- 101 2入力加算器
- 102 3入力加減算器
- 103 選択判断回路
- 104 マルチプレクサ

10

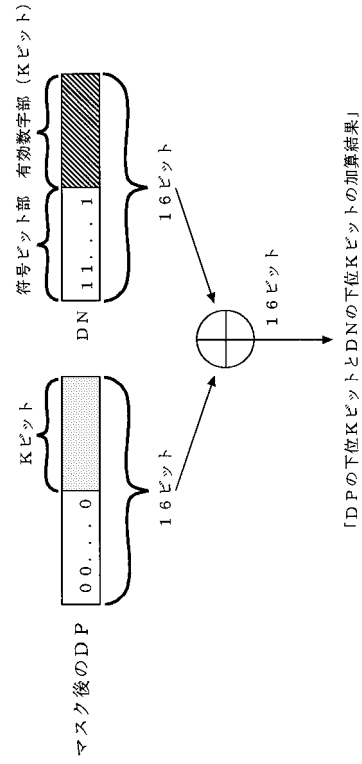
20

30

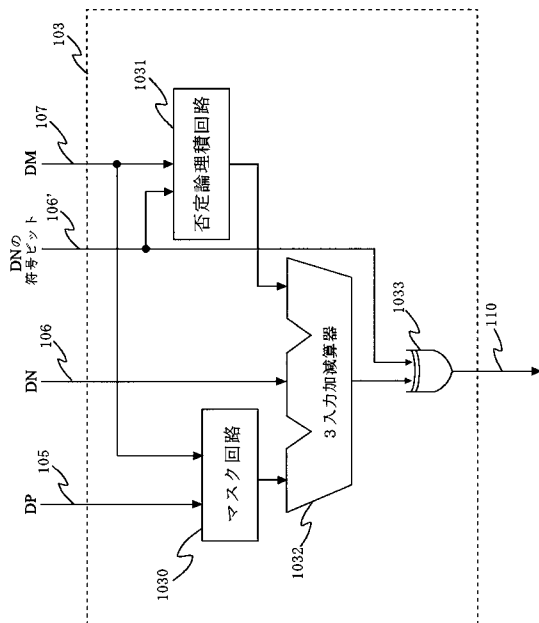
【図 1】



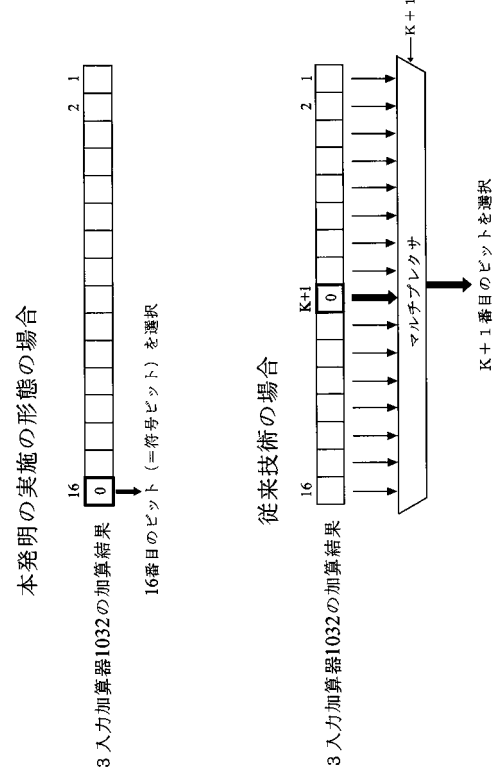
【図 2】



【図 3】

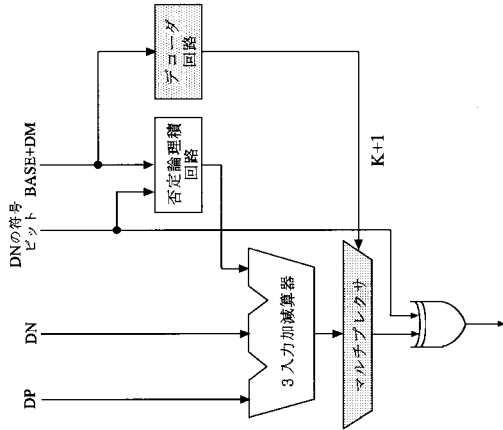


【図 4】

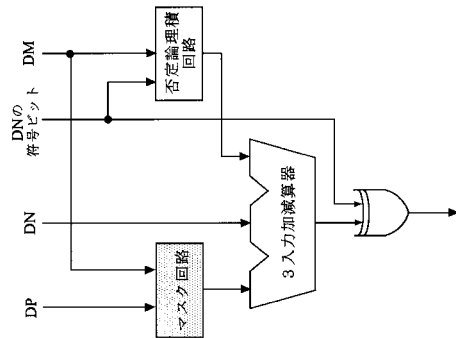


【図 5】

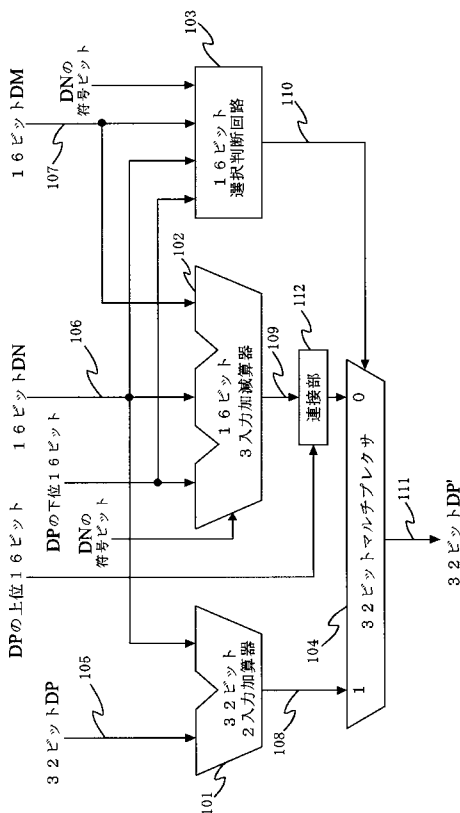
(B) 従来技術における選択判断回路



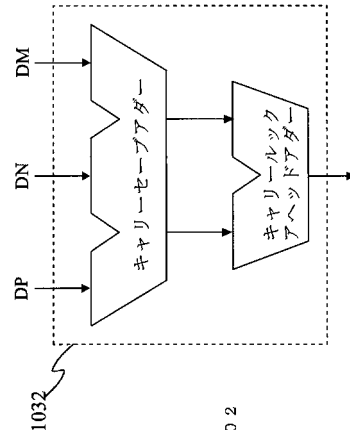
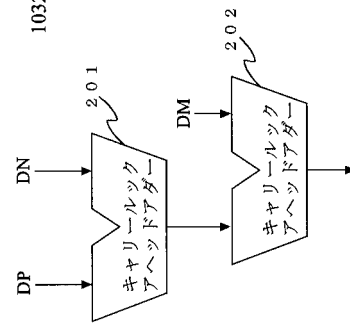
(A) 本実施形態における選択判断回路



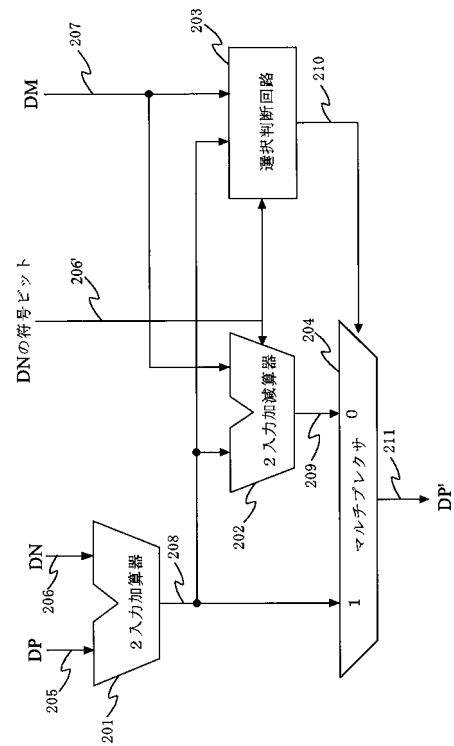
【図 7】



【図 6】

(B) 本発明の実施形態の場合
(図 3 の 1032)(A) 従来技術の場合
(図 8 の 201&202)

【図 8】



フロントページの続き

- (56)参考文献 特開2001-134438 (JP, A)
特開2000-112815 (JP, A)
特開平04-137300 (JP, A)
特開平07-168753 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G06F 12/00-12/06
G06F 7/50