

权 利 要 求 书

1. 接收机装置中对要再现的输入信号起作用的数字零中频选择性部分电路, 包括:

用来提供周期性时钟信号的时钟;

连接到所述的时钟装置的数字振荡器, 用来提供第一和第二数字化离散时间信号, 并使第一数字化离散时间信号比第二数字化离散时间信号在相位上领先 90° ;

数字正交混频器, 用于将输入信号和所述的第一及第二数字化离散时间信号进行混频, 以给出中心频率实际上为零赫兹具有选定频带宽度的第一和第二数字化输出信号; 以及

第一和第二数字滤波器, 各包括:

与上述数字化输出信号耦合的, 分解的, 内部多路传输的滤波器节;

与上述分解的滤波器节连接的抽样速率缩减器;

与上述抽样速率缩减器相连的无乘法器数字滤波器节;

任何数量的附加无乘法器数字滤波器节级连在一起以获得一选定的序列数字滤波器;

藉此, 上述第一和第二数字滤波器对上述第一和第二数字化输出信号的频率进行选择性的频带限制, 从而给出第一和第二已滤波的数字化输出信号。

2. 发射机装置中对第一和第二输入信号起作用的数字零中频选择性装置电路, 其特点为:

用来提供周期性时钟信号的时钟;

数字振荡器, 连接到所述的时钟装置, 以用来提供第一和第二数字化离散时间信号, 并使所述的第一数字化离散时间信号比所述的第二数字化离散时间信号在相位上领先 90° ;

第一和第二数字滤波器, 连接到所述的第一和第二输入信号以及所述的时钟装置, 上述第一和第二数字滤波器装置各包括:

至少一个与上述数字化输入信号耦合的无乘法器数字滤波器节;

与上述至少一个无乘法器数字滤波器连接的抽样速率增加器;

至少一个与上述抽样速率增加器相连的, 分解的, 内部多路传输的滤波器节;

上述第一和第二数字滤波器对上述第一和第二

输入信号进行选择性的频带限制, 从而给出第一和第二已滤波的输入信号;

数字正交混频器, 用于将所述的第一和第二已滤波的输入信号与第一和第二数字化信号进行混频, 以给出第一和第二数字化输出信号。

3. 权利要求1的电路, 其中所述的数字振荡器装置进一步包括:

二进制地址电路, 具有一个输入端口接收频率信息信号, 和另一个输入端口接到所述的时钟装置, 以给出二进制地址信号;

二进制存储寄存器, 连接到所述的二进制地址电路, 以给出多个存入的二进制信号; 以及

组合器, 设计安排它是为组合所述的被存入的二进制信号, 给出所述的第一和第二数字化离散时间信号。

4. 权利要求1的电路, 其中所述的数字式正交混频器进一步包括:

第一和第二分立式混频器, 每个连接到所述的输入信号, 并且还分别连接所述的第一和第二数字式离散时间信号中相应的一个信号, 以给出所述的第一和第二数字化输出信号。

5. 权利要求3的电路, 其中所述二进制地址电路包括由多个单比特存储寄存器构成的第一和第二二进制存储寄存器。

6. 权利要求3的电路, 其中所述二进制存储寄存器由只读存储器构成。

7. 权利要求4的电路, 其中所述的第一和第二混频器具有数字化乘法器。

8. 权利要求1的电路, 其中所述的分解的、内部多路传输的滤波器节包括:

第二周期时钟信号, 其周期近似等于所述第一时钟信号周期的二倍;

多路分离器, 连接到上述数字化输出信号, 用来把该信号至少分离成两路分开的信号;

第一滤波器, 用于将所述的分离信号进行滤波, 给出至少两路已滤波的分离信号;

多路传输器, 用来把所述的几路已滤波的分离信号合并成一个多路传输信号, 它代表由所述的输入信号经选择性频带限制后的信号;

第二滤波器, 连接所述的第一时钟信号和所述的多路传输信号, 用来提供一个组合及已滤波的多路传输的输出信号, 此输出信号代表由所述的数字

3

化输出信号经选择性频带限制后的信号。

9. 权利要求1的电路, 其中所述的每个无乘法器数字滤波器节包括:

第一二进制加法器, 连接一个输入信号和一个第二二进制延时信号, 以提供一个第一二进制和信号;

第一二进制移位器, 连接所述的第一二进制和信号, 以给出一个已位移的第一二进制和信号;

第二二进制加法器, 连接到所述的已移位的第一和信号和第一个二进制延时信号, 以给出第二个二进制和信号;

第一二进制存储寄存器, 连接到所述的第二个二进制和信号, 以给出所述的第一二进制延时信号;

第三个二进制加法器, 连接到所述的第一个二进制延时信号和所述的第二个延时二进制信号, 以给出第三个二进制和信号;

第二个二进制移位器, 连接到所述的第三个二进制和信号, 以给出已移位的第三个二进制和信号;

第四个二进制加法器, 连接到所述的已移位的第三个二进制和信号及所述的第二个二进制延时信号, 以给出第四个二进制和信号;

第二个二进制存储寄存器, 连接所述的第四个二进制和信号, 以给出所述的第二个二进制延时信号。

10. 权利要求11的电路, 其中所述的第二个二进制延时信号以数字滤波器输出信号为特点。

11. 权利要求2的电路, 其中所述的数字式振荡器进一步包括:

二进制地址电路, 具有一个用于接收频率信息信号的输入端口和另一个与所述的时钟装置相连接的输入端口, 以给出一个二进制地址信号;

二进制存储寄存器, 连接到所述的二进制地址电路, 以给出多个已存入的二进制信号;

组合器, 组装成组合所述的已存入的二进制信号, 以给出所述的第一和第二数字化离散时间信号。

12. 权利要求2的电路, 其中所述的数字化正交混频器进一步具有以下特点:

第一和第二分立式混频器, 每个分别连接所述的第一和第二个输入信号, 并且还分别连接所述的第一和第二数字化离散时间信号中相应的一个信号, 以给出所述的第一和第二数字化输出信号。

13. 权利要求11的电路, 其中所述的二进制地

4

址电路包括包含多个单比特存储装置的第一和第二二进制存储装置。

14. 权利要求11的电路, 其中所述的二进制存储装置包括只读存储器。

15. 权利要求12的电路, 其中所述的第一和第二混频器的数字乘法器为特点。

16. 权利要求2的电路, 它进一步包括:

第一和第二周期时钟信号, 其中所述的第二时钟信号的周期至少约等于所述的第一时钟信号周期的两倍;

多路分离器, 连接至输入信号, 用来将输入信号至少分离成两路分离信号;

第一滤波器, 用来将所述的分离信号进行滤波, 给出至少两路已滤波的分离信号;

多路传输器, 用来把所述的几路已滤波的分离信号合并成一个多路传输信号, 它代表由所述的输入信号经选择性频带限制后的信号;

第二滤波器, 连接至所述的第一时钟信号和所述的多路传输信号, 用来提供一个组合及滤波的多路传输的输出信号, 此输出信号代表由所述的输入信号经选择性频带限制后的信号。

17. 权利要求2的电路, 其中所述的滤波器进一步包括:

第一个二进制加法器, 连接至一个输入信号和第二个二进制延时信号, 以给出第一个二进制和信号;

第一个二进制移位器, 连接至所述的第一个二进制和信号, 以给出一个已移位的第一个二进制和信号;

第二个二进制加法器, 连接至所述的已移位的第一和信号和第一个二进制延时信号, 以给出第二个二进制和信号;

第一个二进制存储寄存器, 连接至所述的第二个二进制和信号, 以给出所述的第一个二进制延时信号;

第三个二进制加法器, 连接至所述的第一个二进制延时信号和所述的第二个移位的二进制信号, 以给出第三个二进制和信号;

第二个二进制移位器, 连接至所述的第三个二进制和信号, 以给出已移位的第三个二进制和信号;

第四个二进制加法器, 连接至所述的已移位的第三个二进制和信号与所述的第二个二进制延时信

号,以给出第四个二进制和信号;

第二个二进制存储寄存器,连接至所述的第四个二进制和信号,以给出所述的第二个二进制延时信号。

18. 权利要求17的电路,其中所述的第二个二进制延时信号以数字滤波器输出信号为特点。

19. 接收机中使用的数字式零中频选择性装置包括:

时钟,用于给出周期性的第一时钟信号;

分频器,用于将所述的时钟信号进行分频,以给出第二时钟信号;

数字振荡器,连接到所述时钟装置,用来提供第一和第二数字化离散时间信号,并且此第一数字化离散时间信号比第二数字化离散时间信号在相位上领先 90° 。

数字式正交混频器,用于将输入信号和所述的第一及第二数字化信号混频,以给出中心频率实际上为零赫芝、具有一定频带宽度的第二数字化输出信号;

第一和第二数字滤波器节,分别连接至所述的第一和第二数字化输出信号以及两个都连接到所述的时钟装置,以给出第一和第二已滤波的数字化输出信号;

第一和第二数据抽样缩减器,分别连接至所述的第一和第二已滤波的数字化输出信号,以给出第一和第二减低了速率的数据信号;

多路传输器,连接至所述的第一和第二减低了速率的数据信号,以给出一个多路传输的输出信号;

第三数字滤波器节,连接至所述的第二时钟信号和所述的多路传输的输出信号,以给出第一个已滤波的多路传输信号;

第四数字滤波器节,连接至所述的第二时钟信号和所述的第一个已滤波的多路传输信号,以给出第二个已滤波的多路传输信号;

第五数字滤波器节,连接至所述的第二时钟信号和所述的第二个已滤波的多路传输信号,以给出第三个已滤波的多路传输信号;以及多路分离器,连接至所述的第二时钟信号和所述的第三个已滤波的多路传输信号,以给出中心频率实际上为零赫芝,并具有一定频带宽度的第一和第二输出信号。

本发明主要涉及中频电路,具体叙述了中频为零赫芝数字式中频电路。

因为要在发射或接收频率上研制具有足够选择性的滤波器,可能在技术上相当困难或者费用很高,所以从历史看,在发射机和接收机中,一直使用中频(IF)装置以完成无线电选择性功能中的较大部分,无线电收发两用机可具有不止一个中频装置。例如,某些接收机使用两个中频装置来恢复发送的信息。

这些接收机一般称为双变频接收机,而可把单个中频的接收机称为单变频接收机。通常把任何带有零赫芝中频的接收机称为直接变频接收机。

模拟方法制作的直接变频接收机有许多不利之处,包括由于混频器的不完善反向隔离而引起的本振(LO)的辐射,从而会降低近处的接收机的接收能力。此外,混频器的非线性效应引起通道内和通道外信号的自混频,产生直流偏移和音频失真,这样就降低了无线电灵敏度性能。另外,在接收调频信号时,直接变频的模拟接收机没有办法把零中频信号进行限幅。这将造成在衰落和其它不利条件下的不可预测的性能。

前述的双变频接收机多少能解决一些直接变频中存在的问题。双变频接收机中的附加隔离解决了本振辐射的问题。然而,这一解决是以增加一套附加的混频器和本振以及为达到所需要的隔离采用的窄带滤波器(通常是晶体滤波器)作为代价的。此外,在直流中频装置之前使用的传统中频装置的通带把来的信号限制在一个通道内。因此,由混频器非线性效应引起的自混频产生的信号一般不落在双变频接收机滤波器的通带内。

尽管双变频接收机可解决直接变频接收机中的许多问题,(虽然需要增加费用和尺寸)但是双变频接收机也有其它不足之处。如上所述,直接变频的FM接收机不能对零中频信号进行限幅。所以需要使用非常规的检波方法。此问题的典型解决方法是把零中频信号上变频到第三中频,这时此中频信号可被限幅,并可采用常规电路进行检波。上变频需要另一个本振,附加的混频器和一个加法电路。此外,上变频也产生另一个问题。由于模拟接收机中混频器和滤波器性能的非精确性,接收机中的正交路径

对于幅度和相位特性并不能完全平衡。因此,由于加法器中不完全的抵消,就会产生差拍音,它将降低接收机的交流声和噪声性能并导致音频失真。建议的解决此问题的方法是把本振锁相到一个进入的导频信号。这样,发射机需要有附加的电路,以发射导频信号,而且接收机中也需要附加的电路,以制成锁相环和导频滤波器。最后,锁相环的锁定时间和同步范围成为关键性的接收机参数。

虽然以上讨论只涉及到接收机,类似的问题也会出现在发射机的中频装置中。尽管发射机的中频结构一般不同于接收机中使用的中频电路。一般来说,任何模拟式的中频装置都会遭受温度变化以及替换零件而带来的变化,这些都会使中频装置的性能变坏。因此就需要对零件变化和温度变化不灵敏的中频装置,并解决模拟式中频装置中存在的上述问题。

在本发明的实际中,使用了数字式正交本地振荡器,以产生数字化离散时间的正弦和余弦波形的幅度脉冲,然后在数字式正交混频器中它们与输入信号相结合。在接收机中,数字式正交混频器把输入信号下变频到中心频率为零赫芝左右的频带。接着的数字滤波器滤去了任何不需要的混频分量,最后只剩下中心频率约为零赫的信号送到接收机的任何恢复电路。在发射机中,数字式正交混频器把经数字滤波后的输入信号上变频到中心频率为本振信号所选择的频率的频带。

因此,本发明的目的就是提供一个数字式零中频选择性装置,它可缓和模拟装置存在的上述问题。

数字式零中频方法避免了上述的所有问题。混频器具有完善的线性,以及两条正交通路可完全匹配。在数字式装置中,常用的第一中频装置并不需要,并可选择适当的数据字长度数字式零中频装置的动态范围大到所需要的那样。数字式FM检波可在直流情况下直接进行,而不需要将信号上变频到第三中频,也不需要锁定到导频信号的锁相装置。

本发明的特性可认为是新颖的,将在下面结合附加的权利要求的细目加以说明。本发明及其进一步的目的和优点可藉助于参考对附图的下述说明而得以理解,在其中的几张图上,同样的参考数字表示了同样的元件。

图1是一个数字式零中频选择装置,(特别适用于接收机)的方块图;

图2是一个数字式零中频选择性装置,(特别适用于发射机)的方块图;

图3是图1和图2的数字式正交本振的方块图;

图4a是图1的数字低通滤波器的方块图;

图4b是图2的数字低通滤波器的方块图;

图5是图4a或图4b的一节低通滤波器的方块图;

图6以图形表示图5数字低通滤波器节的响应;

图7a—c以图形表示滤波器的分解技术和合成滤波器的响应;

图8以图形表示在以前的技术中使用的组合滤波器方法;

图9a—b以图形表示本发明所述的组合滤波器和滤波器响应;

图10以图形表示本发明所述的组合滤波器响应;

图11是具有图10所示响应的数字低通滤波器节的具体装置;

图12a—c是在图1的A点处出现的示范性信号的时域和频域的表示图;

图13a—c是在图1的B点处出现的示范性信号的时域和频域的表示图;

图14a—c是在图1的C点处出现的示范性信号的时域和频域的表示图;

图15a—c是在图1的D点出现的示范性信号的时域和频域的表示图;

图16是使用图1的数字式零中频选择性装置的接收机方块图。

图17是使用图2的数字式零中频选择性装置的发射机方块图;

图18是数字式零中频选择性装置的另一种具体装置的方块图,其中数字式低通滤波器可分为高速段和低速段两部分,在低速段是以时间分割的多路传输,这样可节省费用和空间。

现在请参看图1,图上给出根据本发明制成、且特别适用于接收机的数字式零中频选择性装置(DZISS)的方块图。基本上,DZISS(数字式零中频选择性装置)20包括一个同相混频器22,一个正交相位混频器24,一个数字式正交本振26(提供一个同相的本振信号28和一个正交相位的本振信号30),

两个数字式低通滤波器32和32' 和一个时钟信号源34。

在接收机中使用数字式零中频选择性装置电路时, 同一个数字式信号同时加到输入端子分别为36和38的同相混频器22和正交相位混频器24。通常, 端子36和38并不是单根线, 事实上是代表一个L-位的数字字的多根线。在任何给定的应用中使用的数字字的实际长度取决于许多因素, 包括所要求的分辨率, 所要求的动态范围以及接收信号的抽样频率。例如, 在接收机以20MHz抽样的典型无线电信号时, 12位字长可认为具有可接受的性能。

混频器22和24具有作为输入相差90°的本振信号的第二输入端, 分别为28和30。如上所述, 这些本振信号并不是单线连接, 而是在相位上相差90°的两个信号(也就是正弦波形和余弦波形)的M位离散时间表示。混频器22和24执行L-位输入字和M-位本振字之间的乘法, 将结果四舍五入形成一个N-位输出字, 把它们从混频器22和24的输出端子37和39输出并分别加到数字低通滤波器的输入端子40和42。

数字字的长度参数L, M, 和N可加以选择以获得可接受的噪声性能。当数字字加长时, 可有更多的量化电平来表示信号。正如在技术上所熟知的那样, 较小的量化增量可改善噪声性能。这种处理方法模拟式混频器的工作, 即把模拟混频器的正弦和余弦乘积进行求和以及差值的方法很相似。然而, 模拟混频器的上述所有问题在数字式执行过程中都可得以避免, 这是由于数字混频器具有完美的直线性。

由上述乘法产生的数字字加到数字滤波器32和32' 上, 以对接收频率的频谱进行频带限制。数字滤波器32和32' 结构上是完全相同的, 它们可藉递归滤波器来形成, 更详细的情况将在以后说明。滤波处理以后, 数字信号从端子41和43输出, 并送往任何可采用的数字解调装置。例如, 采用可编程的数字信号处理器(DSP) 来实现数字式解调是很便利的。

现在请参看图2, 以方块图形式显示了用于发射机的数字式零中频选择性装置(DZISS)。要发射的数字信号加到低通滤波器33和33' 的端子47和51, 可把信号频谱限制在一定的通带内。然后把它们分别加到混频器22和24的输入端子36和38。如上所述, 混频器22和24接受本振信号作为第二个输入, 分别为28和30。上变频后的信号分别在端子37和39输出,

然后把它们送到任何可对信号进行算术相加(二进制加法)的常用的加法电路, 正如在技术上所熟知的那样。接着通过D-A变换器把信号转换成模拟形式, 最后藉常规的装置将它们发射出去。从上述的讨论中, 可明显地看到, 把DZISS布局从接收机的构形变成发射机构形, 或反之, 所需要的全部变动只是将混频器22和24以及数字低通滤波器装置的输入/输出数据流进行简单的反向。这样, 图1和图2中的DZISS 20可提供一个简易的, 便宜以及通用的中频装置, 它可很容易地使用在接收机和发射机中。

现在请参看图3, 图上给出了数字正交本地振荡器26的方块图。DZISS的执行过程关键就在于产生用于正交混频过程的精确而稳定的正弦和余弦波形的离散时间信号的能力。因此, 数字正交本地振荡器26是DZISS的关键部件。传统的技术, 例如数字式反馈振荡器, 在反馈路径中使用乘法器, 从而使振荡器的工作速度受到严重的限制。较先进的技术, 例如直接ROM(只读存储器)检查方法, 利用了这一事实, 即正弦和余弦波形可表示为单位幅度的复数相量 $e^{j2\pi f_c(nT)}$ 的实部和虚部, 其中 f_c 是所用的载频, nT 是离散时间变量(T 等于抽样周期, 即等于抽样频率的倒数)。然而, 直接ROM方法只是简单地存储所有可能的复相量值, 如果所用的频率数量很大时, 也就是所需的复相量总数很大时, 就会导致要求ROM有很大的容量。这种大容量ROM的要求由于化费和尺寸太大, 在数字正交本振中往往是无法实现的。

本发明使用一种因子RCM法, 它利用了这一事实, 即单位幅度的复相量可分解为两个复相量, 称为粗复相量和细复相量, 的复数乘积。这样单位幅度的复相量 $e^{j\theta}$ 可以表示为 $e^{j\theta^c} \cdot e^{j\theta^f}$ 。因此, 单位幅度的复相量可用在ROM中分开存储粗复相量值和细复相量值的方法来实现, 把这两个复相量值相乘就可得到正交混频器所需要的正弦和余弦的离散时间值。这种分解因子法的优点在于用来存储粗复相量值和细复相量值所必需的ROM总量可比直接ROM检查法所需的ROM总量大大减少。为获取这种ROM尺寸减少的代价是引入完全粗复相量和细复相量的复数相乘的电路。通常, 一个复数相乘可用四个乘法器和两个加法器来完成。藉助于合理选择细复相量, 并注意用小角度的余弦近似等于1, 就可取消存放余弦细复相量的ROM。此外, 把小角度的余弦值近似当

作为1, 就可以为计算复数乘积所需要的乘法装置中去掉两个乘法器。这就可使因子ROM法执行时既节省费用又可减小尺寸。

现在请参看图3。图上以方块图形式显示了当使用因子ROM法时采用的数字式正交本振26。正比于所要的频率的频率信息, 以M位二进制数的形式装载进通道频率锁存器44。通道频率锁存器可用许多不同的形式来实现。例如, 假设 $M=20$, 五个级连的74LS175(4D触发器, 由Motorola公司等制造) 提供了一种可接受的装置。精通技术的人会懂得, 通道频率锁存器44可以用各种方法装载。例如, 在单频无线电装置中, 通道频率锁存器可永久性地装入一个单个二进制数。对于多频率无线电装置, 通道频率锁存器44可从一个EPROM或ROM的可查找表格进行装载, 也可由微处理器进行计算并加以锁存。

通道频率锁存器44的输出连接到二进制加法器46。精通技术的人将会懂得, 在以下讨论的数字式正交本振26中其它功能块的所有耦合线事实上都是多位二进制字, 而不是单线连接。加法器46的输出连接到相位累加器48。相位累加器48可作为一个M位二进制锁存器来完成其功能, 此锁存器可用来保持要寻址的ROM的下一个位置的地址。这样, 相位累加器48的输出就连接到粗值余弦ROM50, 粗值正弦ROM52, 和细值正弦ROM54(记住: 由于细值余弦近似等于1, 故不需要细值余弦ROM)。此外, 相位累加器48的输出被反馈到加法器46, 将把它和代表放在通道频率锁存器44中的通道频率信息的二进制数进行相加(按模 -2^M)。相位累加器48的输出按每个时钟脉冲更新一次, 通常这就是抽样频率。此二进制加法的结果就是, 相位累加器48保持着上一个地址加上通道频率锁存器中包含的二进制矢量所得的二进制和(正比于相位)这个数表示产生正交本振信号28和30所需要的下一个地址。

在实际执行过程中, 从相位累加器48输出的二进制字被分两段, 这样仅仅把相位累加器48的高位比特送到ROM50和52, 而把其低位比特送到ROM54。如上所述, 这些比特是ROM字位用的地址。在收到一个地址后, ROM50, 52和54在它们相位的输出端上输出位于收到的地址处的数字二进制字。然后, 由这三个二进制数经过算术运算产生数字式正交信号。

为产生余弦波形(也就是复数波形的实数部分), 粗值正弦ROM52和细值余弦ROM的输出先在乘法

器56中相乘。然后把乘法器56的输出送到加法电路60中, 使粗值余弦ROM50的输出值减去乘法器56的输出值(以2的补码形式)。这个算术运算就给出了余弦值, 它在端子28输出并连接到图1的正交混频器22上。为产生数字式正交本振的正弦值, 粗值余弦ROM50和细值正弦ROM54的输出在乘法器58中相乘。乘法器56和58均可采用例如, TRW公司制造的MPY016K。乘法器58的输出送到加法电路62, 使它和粗值正弦ROM52的输出相加。加法电路62经过连接线30输出离散时间正弦值的数字字, 它将加到图1的正交混频器24。因此, 由于正弦信号和余弦信号的离散时间值是由数学计算得到的, 这样, 使用最小的ROM容量就可获得完善的 90° 相位控制。

利用了余弦和正弦波形的对称性还可进一步减少粗值ROM的需要量, 因此粗值ROM只需存储位于前八分之一的相量单位圆周上的单位幅度复相量值。精通技术的人会懂得, 单位幅度复相量旋转 360° 代表正弦式余弦值。由于正弦波形的对称特性, 在前八分之一的单位圆周上的余弦和正弦波形的数值与在圆周的其它八分之一上的余弦和正弦波形的数值相同, 只是除了可能的符号改变和作用的转换(也就是正弦变成余弦或反之)。因此, 假如有一个指示器, 表明复相量当前处于那一个八分之一圆周范围, 并且有一个根据现行的八分之一圆周范围进行反号以及/或把粗值余弦ROM50和粗值正弦ROM52的输出进行交换的电路。那么所需要粗值复相量仅仅是第一个八分之一圆周上的复相量值。八分圆周位置的指示器可以使用三个二进制位的ROM地址来很容易地做成。例如, 三个最高位比特(MSB)可用来指示八分圆, 而剩下的二进制位可用来做为存放粗值复相量的ROM的地址。

这样, 因子ROM法的本振可减少ROM的容量, 而保持了可接受的频率分辨率。例如, 为组成一个工作在20MHz的数字式正交本振26, 粗值ROM50和52每个可用一块 32×16 的ROM做成, 而细值正弦ROM54可用一块 128×8 的ROM做成。结果是使用了大约2000位的ROM就可达到约为600Hz的频率分辨率。

对于高速抽样速率的工作, 最好采用因子ROM法的装置, 因为除了相位累加器之外, 没有其它的电路要连接成反馈的形式。这就允许把本振电路的其余部分装成流水线状, 以获得非常高的工作速度,

(特别是乘法器56和58, 它们是限制速度的主要关键) 流水线包含在某些关键点引入的锁存器, 例如在乘法器内部, 正如在技术上熟知的那样。这样, 因子ROM法的本振输出了所选定频率的M位离散时间的数字式正交信号。

现在请参看图4a, 图上给出了数字低通滤波器的方块图, 精通技术的人可以懂得, 图1的数字滤波器32和32' 实际上是同样的滤波器, 它们仅仅是为了便于对发明的DZISS进行讨论而加以区分的。

所有数字滤波器的结构基本上都由三个同样的部件所组成: 相加器, 乘法器以及延时电路 (通常是锁存器式RAM)。影响数字滤波器性能的因素全在于滤波器的各种参量都是量化的, 也就是滤波器只有有限的精确度, 而没有模拟滤波器所具有无限的精确度。数字滤波器的有限精确度基本上引起三种主要的性能影响, 这些影响在别作数字滤波器的任何情况下都必须加以控制。

系数的四舍五入是这些影响之一。数字滤波器中常数值系数确定了滤波器的频率响应。为使这些系数由数字式的有限位数来表示而对系数进行四舍五入的结果会导致滤波器响应的永久性的可预计的变化。这种变化类似于模拟滤波器中改变RLG值而引起的变化; 然而, 数字滤波器不会受到象在模拟滤波器中那样的温度变化所带来的损害。通常, 滤波器的Q值越高 (也就是对于抽样速率来说的窄带滤波器) 频率响应受系数的四舍五入的影响而变形越严重, 除非使用特殊的结构。根据这一事实, 即中频滤波器通常是极窄频带的或高Q的滤波器, 所以合理地选择滤波器的结构是至关重要的。

舍入噪声是数字滤波器中必须被控制的另一个性能特征。进入数字滤波器的数据当然已被舍入为有限比特数, 而且在滤波器中某些点上, 几乎必须经常进行额外的舍入。这些舍入会在滤波器中产生误差信号或噪声信号。例如, 假设滤波器所用的数字字长是16位以及系数以10位表示, 每次乘法运算就会产生一个25位的乘积, 当把此结果放回存储器之前, 必须把它舍入成16位。

数字滤波器中要控制的最后一个主要影响是溢出电平。数据抽样以有限的二进制位数来表示, 这一点就意味着滤波器中有一个与每个节点有关联的最大可允许的绝对值, 如果超过此最大值, 就会导致溢出现象 (如果使用2的补码的二进制算术运算,

通常就是“空白点”) 这个最大可允许的数据值。再加上所述的舍入噪声电平就决定了滤波器的动态范围。

数字滤波器的制做可采用几种常用的结构。一个直截了当的设计方法是把第一阶或第二阶直接形成滤波器节加以级联起来, 直至把所要的阶数的滤波器节全部联起来为止。这种方法的优点在于它的简明性, 和有规则性以及便于进行滤波器设计。然而, 这种常用方法也有许多缺点, 主要是由于制作窄带滤波器需要相当高精度的滤波器系数的表示式 (例如16位)。这就要求在滤波器节的反馈通路中完成相当复杂的乘法 (例如, 16×20 位)。乘法对滤波器的工作带来了严重的速度和时间限制。此外, 一种用在加速逻辑电路的常用方法一流水线排列也不能用在反馈回路中。最后, 高精度速度的乘法器将消耗巨大的功率。

现在请参看图4a, 图上给出了用于DZISS的数字低通滤波器的方块图。在所采用的低速装置中, 数字低通滤波器32可包含四个级联的低通滤波器节64a—d, 这些滤波器节在结构上是相同的, 而且都不使用乘法器。在低通滤波器节64a和64b之间是抽样速率缩减器66。抽样速率缩减器66可采用许多形式来实现。例如, 如果数字的长度为24位, 那么四个级联的74LS174 (六D触发器, 由Motorola公司等制造) 提供了一种可接受的装置。精通技术的人懂得, 可使用任意数量的数字滤波器节, 也可在任意或所有滤波器节之间接进抽样速率缩减器。此外, 滤波器节具有同一结构并不是必需的, 但这样可使实际制作简单方便。

高速数字逻辑电路会消耗大功率。因此, 尽可能早地把数字信号的抽样速率降低下来, 以减小在抽样速率降低点以后的滤波器节的功率损耗是有好处的。本发明在滤波器结构中采用抽样速率缩减装置把它紧接插入第一滤波器节后面。此外, 抽样速率的缩减器经常放在数字低通滤波器32之后以及无线电接收机的音频解调部分之前。

抽样速率缩减, 在数字信号处理的术语中常被称作“大量去除”, 可简单地看作从前面的输出抽样中除了保留所选的一个子组以外, 去掉其它所有的。由于“大量去除”等效于以一个较低的速率重新进行抽样, 精通技术的人懂得, 被重新抽样的信号的带宽必须比高速采样信号的带宽小一定的数

量,以防止混淆。“大量去除”通常是希望采用的,因为一系列给定的操作如果以较低速度进行,经常可用较少的电路来实现。此外,对于CMOS技术(互补金属氧化物半导体),低速运行可以减小功耗。这样,本发明的窄带数字滤波器32和32'可使所有后来的电路以有利的降低的速率进行工作。

现在请参看图4b,并且结合参看图4a,图上以方块图形式显示了图2的数字低通滤波器。基本上,数字低通滤波器33是由将图4a的数字低通滤波器32重新进行排列而形成的。然而,在发射机中,抽样速率是增加的。因此,抽样速率增长器69安放在数字低通滤波器节64D和64A之间,这样在最后一节滤波器之前都可按低速工作,因而可使功耗为最小。抽样速率增长器69可以被做成抽样和保持电路,它可连续地输出相同的抽样,直到接收到下一个抽样。这种“内插”过程能够用在下一个抽样到达之前把保持的抽样重复(N-1)次的办法来将数字式信号的抽样速率增加到N倍。内插确实引进了 $\sin(x)/x$ 的失真,然而实践中,这可以通过在以前的音频处理阶段中加以均衡而很容易地被去掉,正如技术上所熟知的那样。

现在请参看图5,图上给出了数字低通滤波器节64的方块图。DZISS中所使用的滤波器是递归滤波器(也就是,输出信号在滤波器结构上的关键点处反馈,定标度和相加),它具有窄通带,并且在高速度方面及参量量化对数字滤波器的上述有害影响的低敏感性方面进行了最优化。

基本上,数字低通滤波器64包含4个相加器(2的补码)68a—d,2个数字锁存器70a—b以及2个二进制移相器72a—b。正如以前在数字正交本振26的讨论中所述的那样,图5上所介绍的低通滤波器64中的各自的连接都是多位的数字字,而不是单根电线。输入信号加到减法电路68a的输入端。减法器68a的第二个输入取自数字锁存器70b,它是从滤波器电路的输出的反馈。减法器68a得到的差值结果(2的补码)接着加到移位器72a的输入端,移位器提供第一个移位的和信号作为加法器68b的一个输入信号。

移位器72a把减法器输出的数据字的所有二进制位右移 N_a 位(也就是向最低有效位方向移动)相当于乘上一个等于 2^{-N_a} 的系数。这种移位可借助从减法器68a到相加器68b的数据线按一定方式流动

的办法来实现。这样,数字滤波器节的高的工作速度是易于达到的,因为移位器72a没有任何时延,就如常规的乘法电路完成的系数乘法过程的情况一样。

加法器68b把保留在锁存器70a的加法器68b上一个输出加到移过位的第一个和信号上。此外,加法器68b的上一个或以前的输出又被加到减法器68c上。送到减法器68c的第二个输入信号是取自数字锁存器70b,正如上述的那样,它是取自数字滤波器的输出。减法器68c给出的结果加到移位器72b上,移位器接着又连接到加法器68d。移位器72b把减法器输出的数据字的所有二进制位右移 N_b 位,相当于乘上一个等于 2^{-N_b} 的系数。移位器72b也易于达到高的工作速度,因为没有引起时延。分别与移位器72a和72b有关的参数 N_a 和 N_b 控制了数字滤波器节64的频率响应,因此可将它们选取或能产生适合于所想要的应用的响应。加法器68d把第二个移位的和信号加到保留在锁存器70b中的加法器68d的以前的输出上。锁存器70b的输出也就是数字低通滤波器节64的输出,它代表了原先加到加法电路68a输入端的输入信号受频带限制后的情况。

从前面的讨论中,精通技术的人会懂得,当无乘法器的滤波器大大增加了DZISS的工作速度时,数字滤波器仍然对DZISS工作速度的主要的限制,因此,本发明采用了在第一滤波器节以后马上“大量去除”的办法(见图4a)。然而,“大量去除”只能对以后的逻辑部分提供减缓。显然地,第一滤波器节必须以高得多的数据速率进行工作。随实际应用而定,这样在第一滤波器节上的工作速度负担可能不一定是有害的。然而在运行速度是关键性参数的那些应用中,需要减轻对第一滤波器节的负担,因而提供可靠的高速运行。

因之,在所采用的高速装置中,本发明使用了一个“被分解”的第一数字滤波器节。滤波分解技术已经讨论过,例如, M. Bellanger, G. Bonnerot 和 M. Coucleuse 在它们的题为“Digital Filtering by Polypphase Network: Application to Sample-Rate Alteration and Filter Banks”, IEEE Transactions on Acoustics, Speech and Signal Processing, Vol. ASSP-24, No. 2, April 1976. 所列论文中讨论过。

现在参看图6,图上显示出数字低通滤波器节

64的示范性的幅度对频率的响应关系。如图6所示。数字低通滤波器节64给出一个非常窄的通带(几个KHz)以及截止通带延伸到10MHz。就象任何数字滤波器一样,从 $f_s/2$ 到 f_s 的那段响应(其中 f_s 是抽样频率)是从0Hz到 $f_s/2$ 这段响应的镜像。(这里是从0到10MHz的响应)。因此,这个例子中假定了数字低通滤波工作在20MHz频率,把信号限制在中心频率为零赫兹的频带内。

现在请参看图7 a—b,用图来阐明分解方法,图上显示位于Z平面单位圆上的滤波器转移函数的Z—变换的极点和零点。图7 a显示了代表以前在图6上说明过的滤波器响应的两个极点。以下的描述适合于因子为2的分解。精通技术的人可懂得,其它因子也都是可能的。原来的滤波器可被分解为二节或更多分解开的节,这些节接着将以较低的速度工作。第一步是,把原先的滤波器分割成两个实际上是同样的滤波器,这可藉把两个极点通过原点进行投影的方法来进行,如图7 b所示。相应于图7 b的滤波器幅度频率响应示于图7 c。图7 c的分解过的滤波器大约以图6的滤波器的工作速度的一半进行工作,因而实现了工作速度降低百分之五十。

对图6和图7 c滤波器响应的解释揭示了:减小工作速度修改了滤波器的响应。精通技术的人会懂得,这种变化是由于传输函数引进了两个附加的极点而造成的,如图7 b所示。因此,如果要恢复原来的响应,必须对这两个附加的极点进行补偿。

现在请参看图8,图上显示了通常可接受的补偿方法。基本上,为分解原先的滤波器而加上的两个极点可由两个相应的零点所“覆盖”(被补偿)。精通技术的人懂得,在任何滤波器传输函数上加两个极点和两个相应的零点,并不会改变实际的滤波器响应,因此,被分解的滤波器节(现在它具有四个极点和二个零点)将和原先的高速度滤波器节具有同样的滤波器响应,如图6所示。然而,本发明不同于这种通常采用的技术,实际做出了滤波器并同时达到可接受的性能。

现在请参看图9 a—b,用图显示了本发明采用的组合(补偿)方法。不同于传统的实践,本发明将把在Z平面上的单位圆周上的距要被补偿的两个极点等远的补偿零点改放置在 $Z = -1$ 的点上。这样做的主要理由是,把两个零点放在这一点上,

可使补偿滤波器的系数变成1, 2和1。也就是说,它们变成2的简单的乘方,这就可藉以前连同图5的移位器72 a和72 b所介绍的移位方法来完成。

精通技术的人懂得,具有2的乘方的系数的数字滤波器便于实现,且能高速工作。带有两个在单位圆上的零点的滤波器的响应示检图9 b上,这将是明显的离开覆盖的精确的极点,改制的滤波器响应的将多少有些变化。

现在请参看图10,图上显示了改制的滤波器响应。补偿零点在单位圆上的重新放置造成滤波器响应在10MHz点处的不完美。(连同图6一起参看图10)然而在实际上,这种不完美并不重要,如上所述,它可使组合滤波器更容易实现制作。

现在请参看图11,并连同以前的讨论和图6—图10,分解滤波器的结构示于图11上。一个高速度多位的数字信号加到数字低通滤波器节64'输入端,也就是多路分离器65 a上。多路分离器65 a有两个输出口,输入数字式字交替地输送到这两个端口。这样,由于在多路分离器65 a的每一个输出口上数字字只是隔一个出现一个,所以输出数据速率是输入数据速率的一半。两路输出的数据字分别加到分解数字滤波器66a和66b,此二者是并行工作的。因此,低通滤波器节64'的每个分支中,使用了两个滤波极点,然而工作速度已降低了50%。

数字字被滤波后,由多路器65 b组合成已滤波的输入数据流。这样,多路复用器65 b以原先的输入数据率输出一个信号。正如前面讨论过的那样,组合的滤波过的数据字必须通过补偿式组合滤波器67,这样低通滤波器64'的总的响应实际上和图4 a低通滤波器64的响应相同。

显然,组合滤波器67以较高的数据速率工作。尽管表面上这似乎和滤波器分解的目的不一致,从以前的讨论中可记起,藉助于把滤波器的零点移至单位圆上而使组合滤波器67的滤波器系数是2的简单乘方(见图9 a)。因此,实际实现的滤波器由于这种最终的系数只需要较少的电路,这样,此滤波器可很容易地以实际上为原来的低通滤波器节64的数据速率的两倍速率进行工作。因此,单位圆移置平衡了合适的滤波器响应要求和实际滤波器实现之间的关系。

数字低通滤波器节64'可很容易地代替滤波器节64以提供DZ1SS20的较高速的装置。通常,紧接在

第一数字低通滤波器节64a后,就采用“大量去除”(见图4a),因之,假如采用了适当的经过去除后的速率,以后的滤波器节就不再需要分解了。数字滤波器节64'中所体现的分解方法提供了工作速度的能力,约增加2比1。精通技术的人懂得,进行更广泛的分解是可能的(例如,采用四节平行节,而不是两节),这样甚至可允许更高的工作速度。因此,有了这种分解方法,在工作速度和电路复杂性之间进行折衷是可能的。

作为DZISS工作的一个例子,以下的讨论说明了发射到具有数字式零中频选择性装置(DZISS)的接收机的音频的解调过程。现在请连同图1参看图12a—c,在图12a上,输入波形以时间函数的形式显示出。这个波形同时加到正交混频器22和24输入端36和38。虽然图上显示的是连续的模拟正弦波形,实际上图12a的波形应该是一系列离散时间的有限的幅度抽样,如图12b所示。图12b是沿图12a的线段5—5所取的分解的时间段。这样,图12b就显示了这些离散幅度抽样的一部分,这些抽样发生在 $1/f_s$ 的间隔上(其中 f_s 是抽样频率)。图12c显示了这里应为图12a的波形所对应的频谱(仅仅是幅度)。信号的频谱看来只是通常限制的频率范围 $\pm f_s/2$ 之内,如在图12c上所看到的。

现在请连同图1参看图13a—c,数字正交本振信号以时间和频率的函数的形式显示出。图13a显示了由数字式正交本振26给出的余弦信号28。正如在图12所示的那样,图13a实际上也是一系列离散的幅度抽样,间隔为 $1/f_s$ 。数字正交本振26产生的正弦波形B示于图13b。这两个波形构成了本振信号的复数波形,其中实部是余弦波形,虚部是正弦波形。图13c上显示了该复数波形的频谱。

现在请连同图1参看图14a—c,图上给出了图1中c点的信号波形。图14a以时间函数形式给出了同相混频器22的输出。图14b示出了自正交相位混频器24的时域信息信号。精通技术的人懂得,这两信号的每个分量都包含了和频及差频。选取本振频率使差频落在数字低通滤波器32和33的通带之内。如上所述,虽然从本性上看是连续的,但图14a和图14b的波形实际上的离散幅度脉冲。图14c上示出的是与这些波形对应的频谱。图14c示出用 f_{10} 频率移位过的图12c的频谱。图14c也包含了用虚线表示的数字低通滤波器32和33的通带响应,图

14a和14b的波形接着就加到这两个低通滤波器上。

现在请连同图1参看图15a—c,图上显示了可在图1的D点上看到的数字低通滤波器32和32的输出波形。数字低通滤波器去掉了图14c中的较高的和频分量,仅仅通已了 $(f_{Lo}-f_o)$ 频率的信号。再提醒一次,这些信号实际上都是离散的幅度脉冲,而不是连续波形。正如在图15a和15b所看到的那样,在参考点D处,被恢复的信号仍旧是相差 90° 相位。现在这些信号从输出端口40和42送出去加到接收机可能采用的无论什么样的音频调装置。与图15a和15b信号相应的复数频谱示于图15c。

图12—15的发射的音频解调的数字表示式可藉单位幅度复相量表达出来具体如下。单位幅度复相量的实部和虚部可藉正弦和余弦波来表示。加于A点的一个简单的发射信号可以下式表示:

$$A(t) = a \cos 2\pi f_o t \\ = \frac{a}{2} (e^{j2\pi f_o t} + e^{-j2\pi f_o t})$$

这个信号加到正交混频器22和24,同时数字正交本振信号28和30也分别加到混频器22和24。数字正交本振信号,复数波形形式,数学上可表示成下式:

$$B(t) = e^{j2\pi f_{Lo} t} \\ = \cos 2\pi f_{Lo} t + j \sin 2\pi f_{Lo} t$$

混频器22和24的乘积输出加到数字低通滤波器32和32' C点上代表的信号可被表示成下式:

$$C(t) = a/2 [e^{j2\pi(f_{Lo}+f_o)t} + e^{j2\pi(f_{Lo}-f_o)t}] \\ = a/2 [C \Omega 2\pi(f_{Lo}+f_o)t + C \Omega 2\pi(f_{Lo}-f_o)t] + ja/2 [\sin 2\pi(f_{Lo}+f_o)t + \sin 2\pi(f_{Lo}-f_o)t]$$

最后,在端子40和42上呈现的输出波形可表示成下式:

$$D(t) = a/2 e^{j2\pi(f_{Lo}-f_o)t} \\ = a/2 C \Omega 2\pi(f_{Lo}-f_o)t + ja/2 \sin 2\pi(f_{Lo}-f_o)t$$

这样,使用DZISS装置的接收机所接收到的发射信号的解调已经从图形和数学这两方面进行了说明。

现在请参看图16,使用DZISS的接收机的一个范例的方块图示于图16。基本上,接收到的无线频率信号可在天线74上检测出并送到预选器76。预选器76包含一个放大器和一个带通滤波器,它可采用螺旋滤波器或陶瓷滤波器来实现,就象在技术中所

熟知的那样。从预选器76输出的经通带限制的信号接着加到抽样保持电路78。抽样保持电路78也能完成把收到的模拟信号换成数字信号的功能。精通技术的人懂得,这种功能可由在抽样保持电路后面的常规A/D变换作为单独的方块来完成;然而,对本图来说,可把它们看作为一体。

除了在以前说过的对低通滤波器32和32'的速度限制之外,抽样保持(以及A/D变换)78的工作速度将决定接收机的最大速度(也就是,抽样保持电路78工作得越快,接收机的频带宽度越宽)。抽样保持电路的输出,尽管在图上表示成单线,但事实上是多位数字字,就象以前在DZISS20的不同部分中说明过的那样。这些信号被分成相等的两部分加到正交混频器22和24,介绍的为输出一个中心频率为0Hz的频带限制过的已恢复的信号,DZISS如前面所阐述的那样工作。

输出信号加到抽样速率衰减器80a和80b上,以降低抽样速率,而因此降低以后的电路所需要的功耗。这种“大量去除”过程也在数字低通滤波器32和32'中进行,如前面所述的。当抽样速率降低到一个可接受的量级(例如从100MHz到100KHz),两个信号,仍旧是相位差90°,被加到解调和音频恢复电路82上。解调和音频电路82可用多种熟悉方法之一来做成,特别是可采用可编程数字信号处理器(DSP),正如在技术上熟知的那样。解调和音频电路82的输出然后可加到音频功率放大器和扬声器,向接收机操作者提供已恢复的音频。这样就说明了用本发明DZISS的数字式接收机。

现在请参看图17,图上给出了使用本发明的DZISS发射机的一个说明性方块图。基本上,输入信号加到音频和调制器电路84。输入信号可以是一个语音信号。如果是这样,音频和调制器电路84可包括一个模拟到数字的变换器(A-D)。反之,语音可在音频和调制器电路84之前已被变换成数字信号,在音频和调制器方块中就不需要A-D变换了。换一种情况,输入信号可以早已是数字形式的,例如,如果此声音是由语音综合电路所产生的。音频和调制器方块84的进一步功能是把音频信号分割成进入正交通路。这些正交通路分开地接到抽样速率增长电路86a和86b。增加了速率的抽样信号现在分别加到数字低通滤波器33和33'。滤波器以同样的方法限制数字信号的通带,如以前对图2所描述的那样。

限制了通带的信号现在加到正交混频器22和24,另外还加上数字正交本振26的正交本振信号。正交本振22和24的输出信号正加法电路88中相加(2的补码)并把它送到D/A电路90。D/A 90的输出包含一系列离散的有限带宽的幅度脉冲,它被低通滤波器91平滑化成一个连续波形,低通滤波器与D/A变换90的输出端相连。低通滤波器91的输出,现在是一个连续模拟信号,被加到功率放大器92,使信号功率增加到适当的大小,这主要取决于发射机所需要的功率大小。被放大的信号再次由带通滤波器94进行频带限制,以使发射机只发射包含信号信息的那部分频谱,而不会去干扰周围环境的频谱。频带限制过的信号通过天线96广播出去,正如在技术上熟知的那样。这样,使用本发明DZISS的发射收就得到描述,其中就在发射之前,把数字信号变换回模拟形式。

现在请参看图18,以方块图形式显示了接收机所用的DZISS的另一种装置。如前所述,输入信号加到连接点36和38上,作为加到乘法器22和24的第一输入。作为加到正交混频器22和24的第二输入分别是数字正交本振信号28和30。混频器22和24的N一位乘积下一步被加到数字低通滤波器的单个节上,如以前在图5中所描述过的。数字低通滤波器节100a和100b对于每条正交路径都提供两个滤波极点。此滤波器节或者是用图11所示的高速度实现或者是图5具体化的用于低数据率的。数字低通滤波器节100a和100b之后,分别加到抽样速率衰减器102a和102b。抽样速率衰减器102a和102b的宽输出现在加到时分复用电路104上。

基本上,如果抽样速率被降低一个适合的数量,数字低通滤波器的最后三节以做成时间分享的,因为从高速节到抽样之间有非常多的可用时间。这就表示在费用和尺寸上都可大大节省,因为三个第二阶数字低通滤波器节都可省去不做。由于数字低通滤波器节106a—b处理低速的数字信息,这样时钟速度的驱动也必须适当降低。因此,时钟34被加到分频器110以降低时钟速度(减小的量可与抽样速率衰减器102a和102b的减小部分相比较,这样可使同步得以保持。滤波器节106c的输出是频带限制过的N位数字信号,同图1中在40和42处的信号相同(虽然它们是时间多路化的了)。滤波器节106c的输出加到时间反多路选择电路108,它可把信号分开,仍旧

23

成为它们原先的正交通路。(虽然这时它们已被适当地频率限制过),并把它分别在输出口40和42上输出。这样,藉选择适当的衰减率,就使制作本发明的DZISS的费用以及装置的体积大大节省了。

尽管本发明的一个特别装置已加以描述及示出,但应该看到,本发明并不仅限于此,因为有许多改进可做。因此可以期待,现在的应用可包括任何的和所有的这样一些改进,即它们属于这里所揭示的和权利要求的基本性原理的真实精神和范围之内。

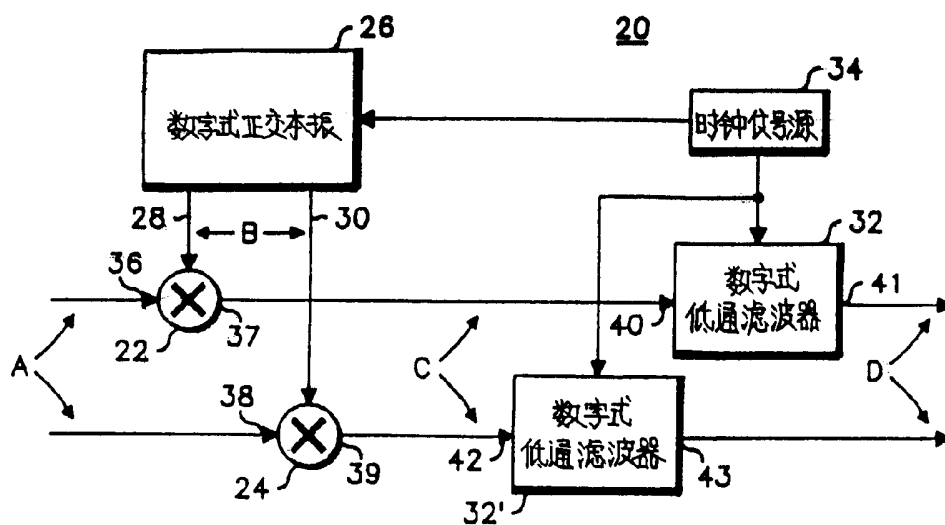


图. 1

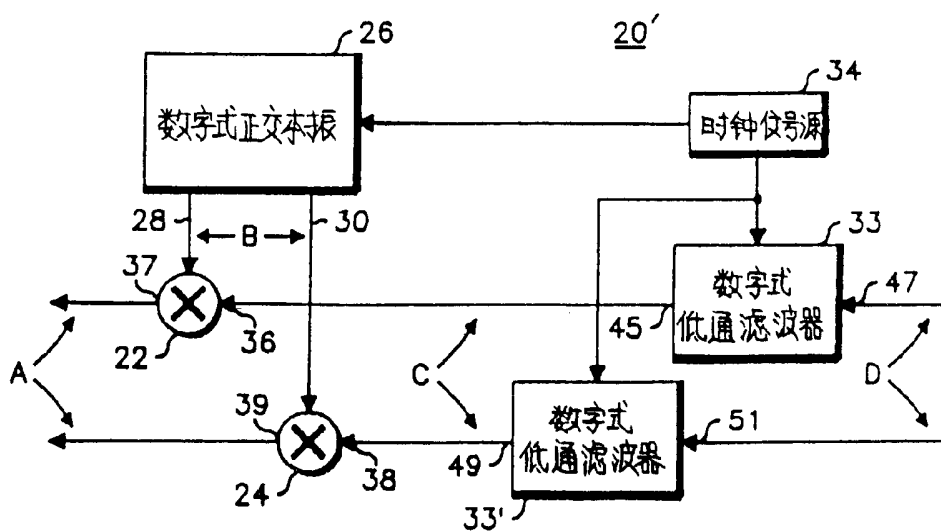
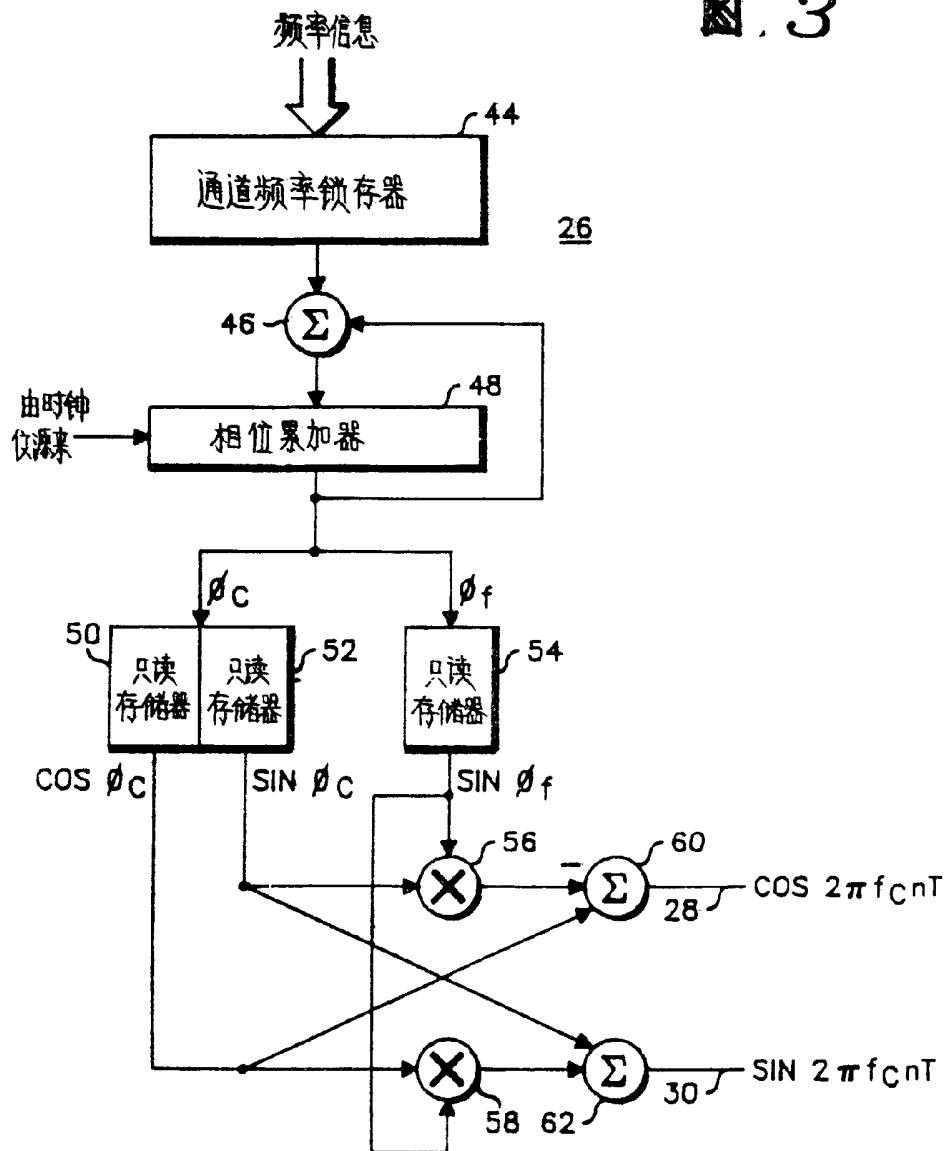
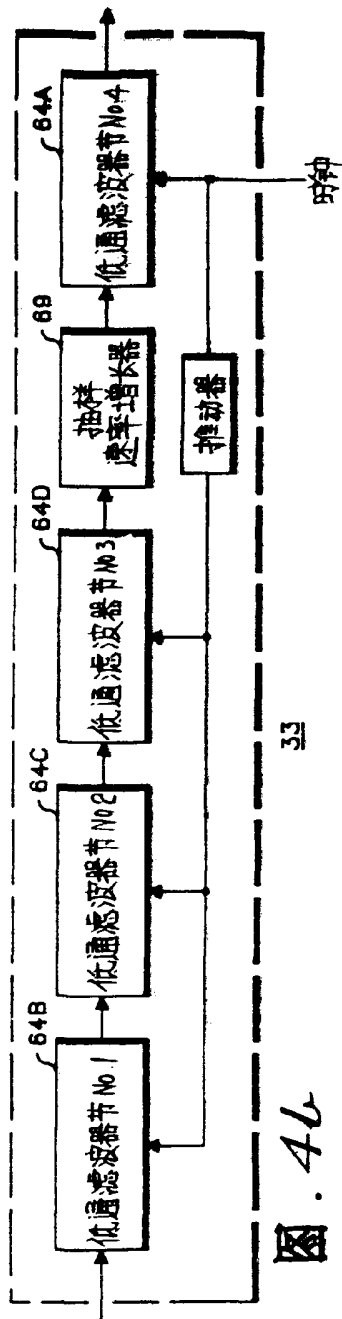
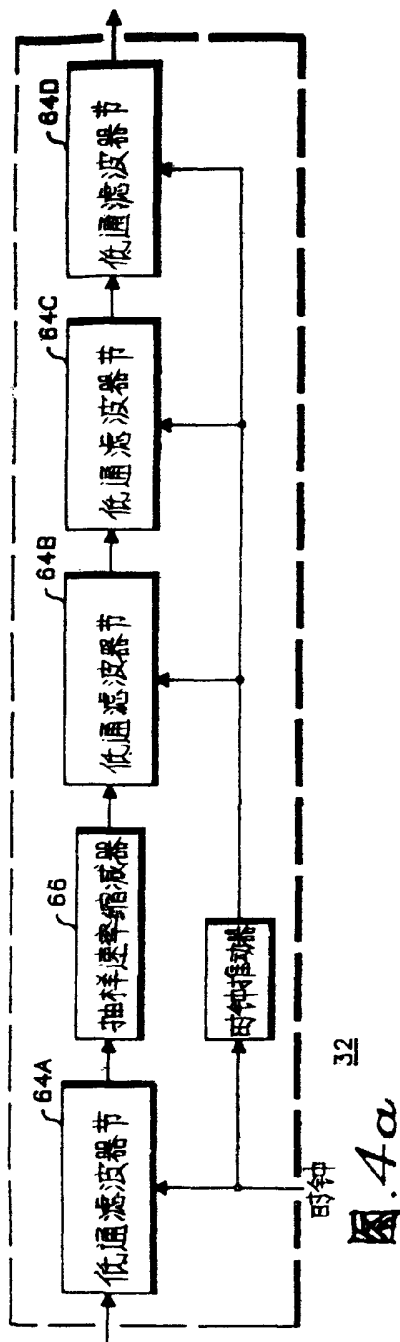
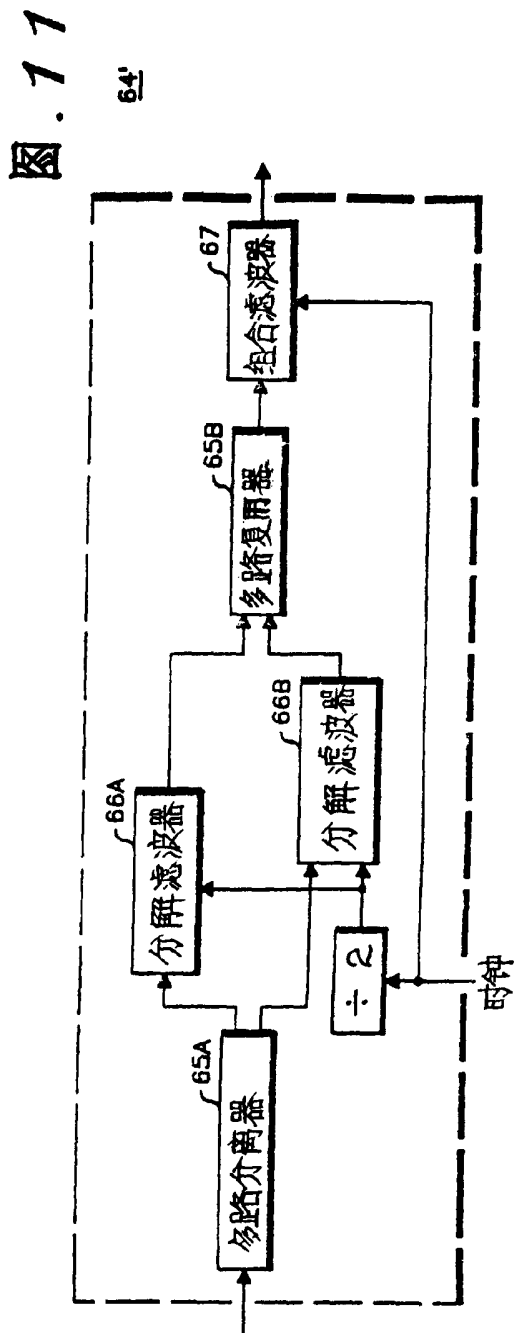
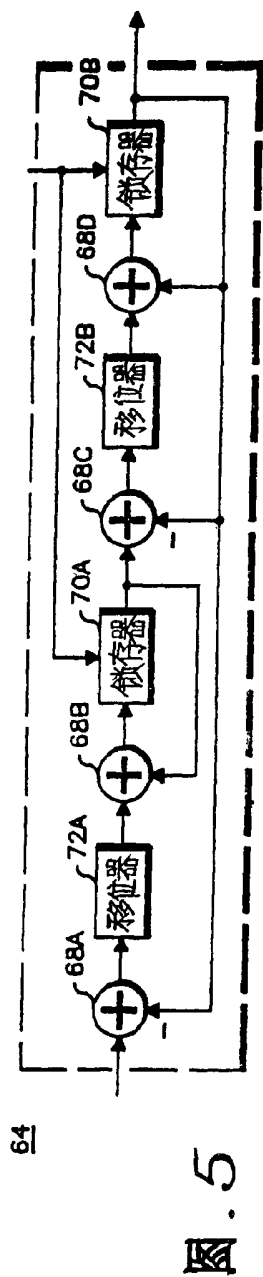


图. 2

图. 3







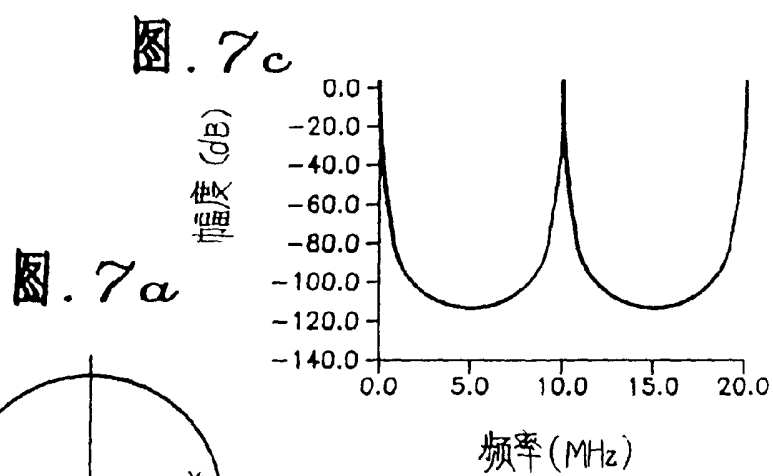
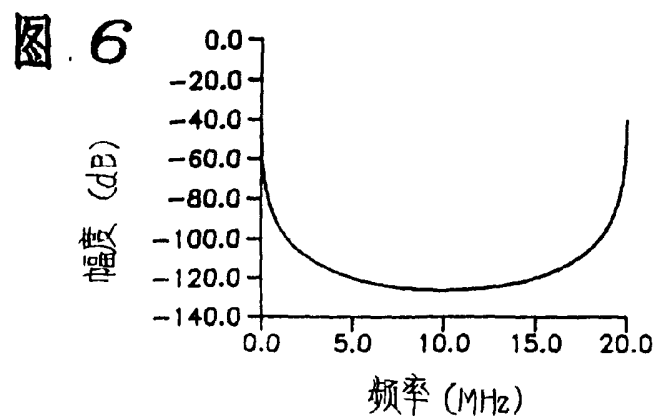


图. 7a

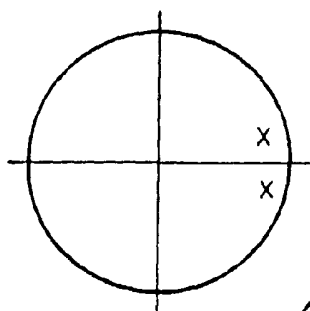
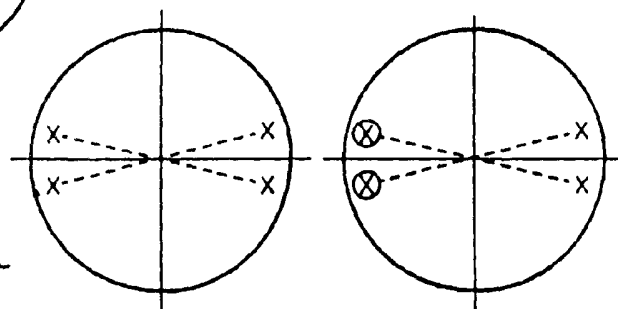


图. 8

图. 7b



申请号 86 1 01766
 Int.Cl.⁴ H04B 1/30
 审定公告日 1989年3月22日

86 1 01766

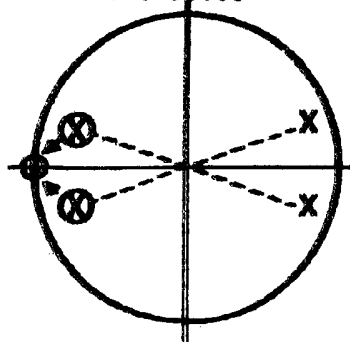


图. 9a

图. 9b

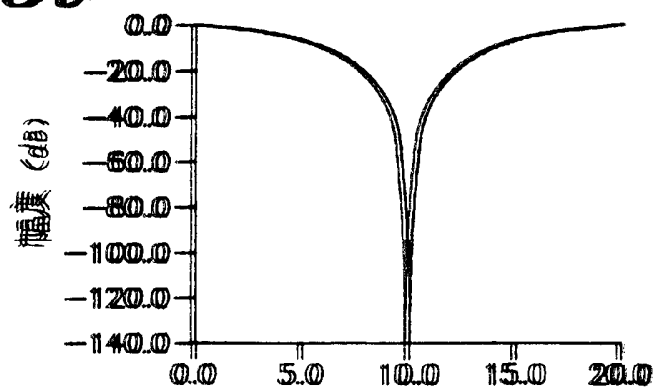


图. 10

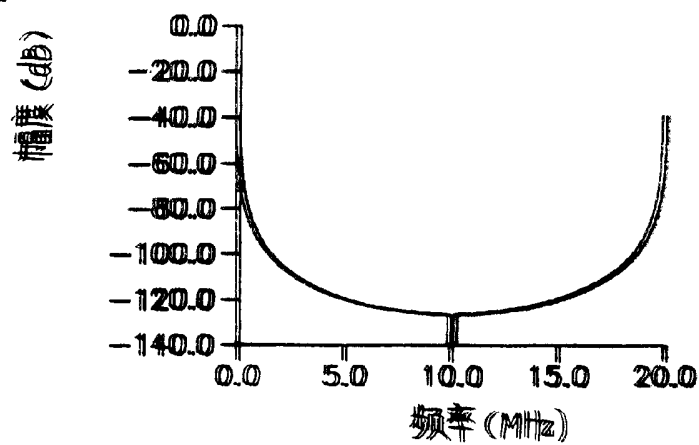


图. 12a

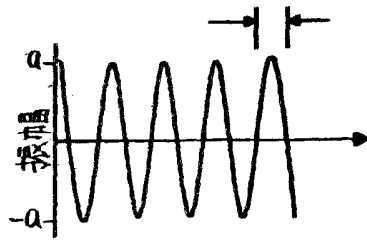


图. 12b

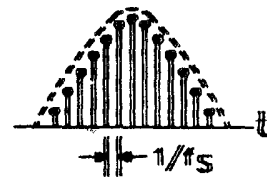


图. 12c

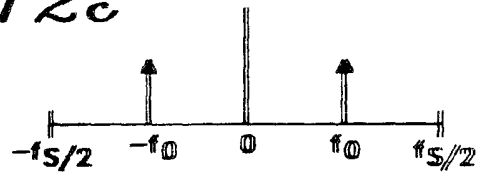


图. 13a

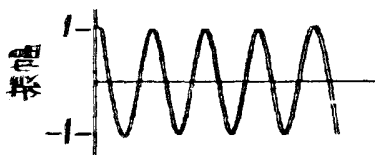


图. 13b

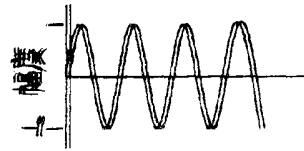
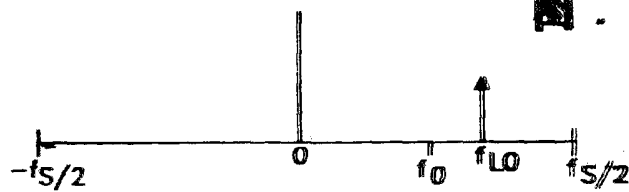


图. 13c



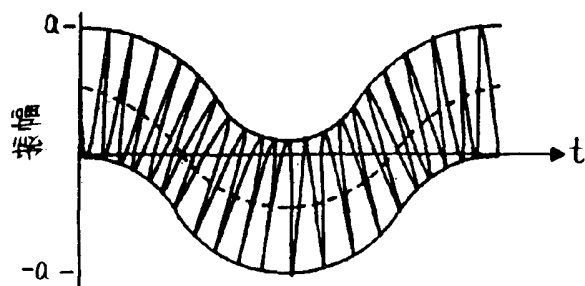


图. 14a

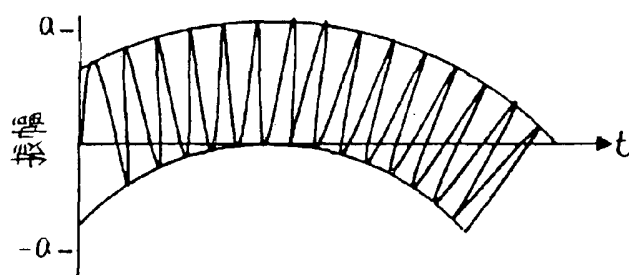


图. 14b

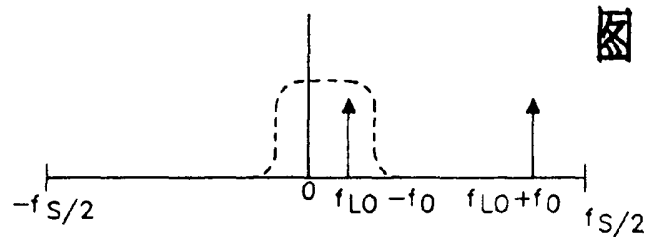


图. 14c

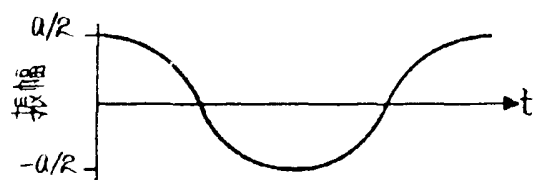


图. 15a

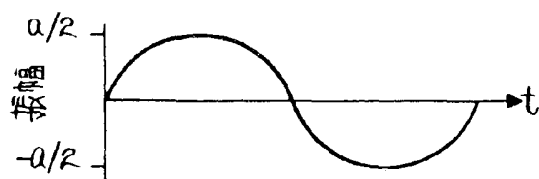


图. 15b

图. 15c

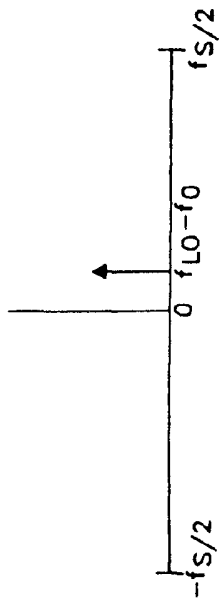
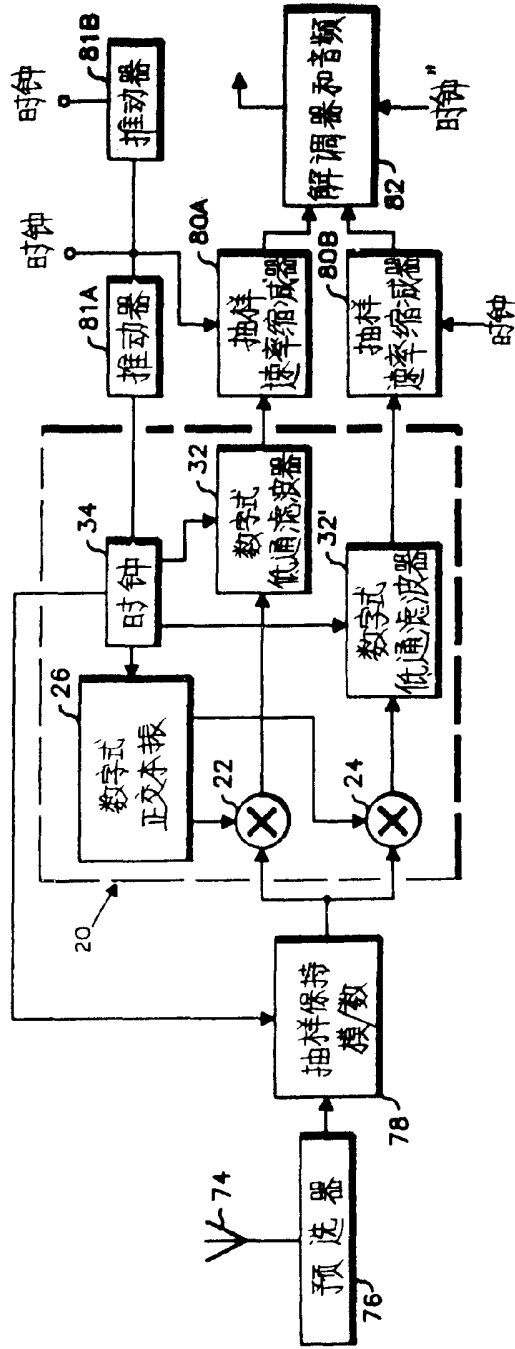


图. 16



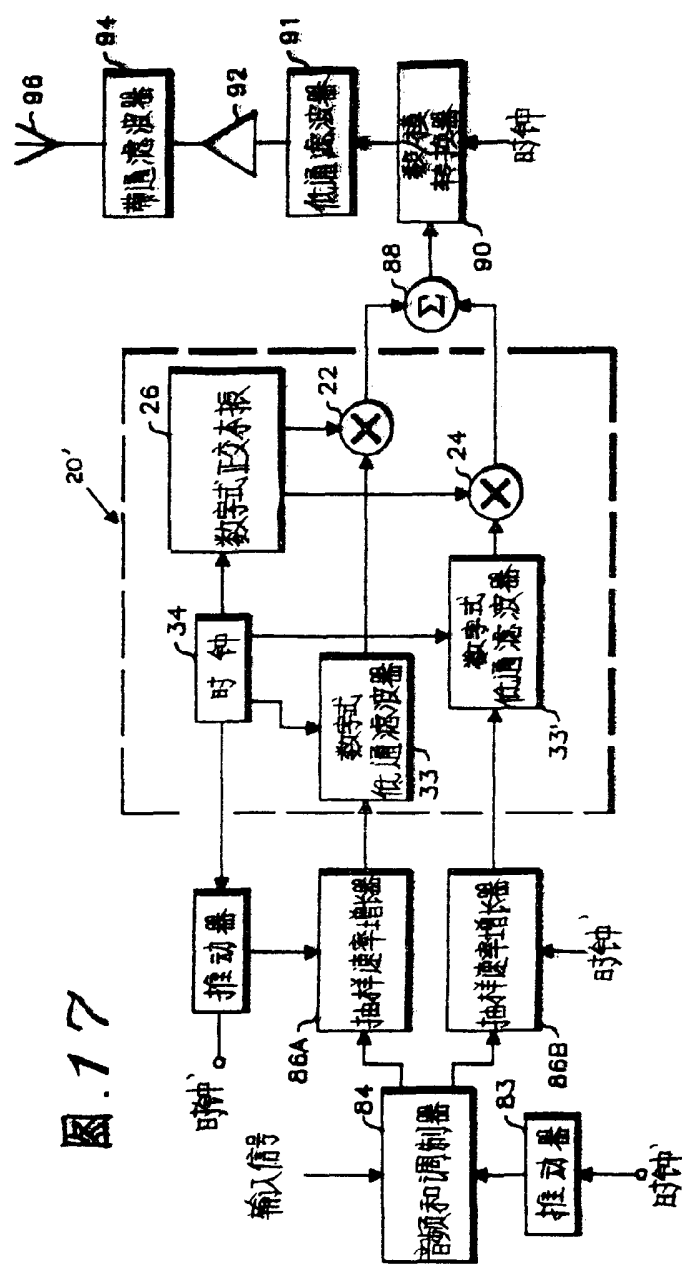


图. 17

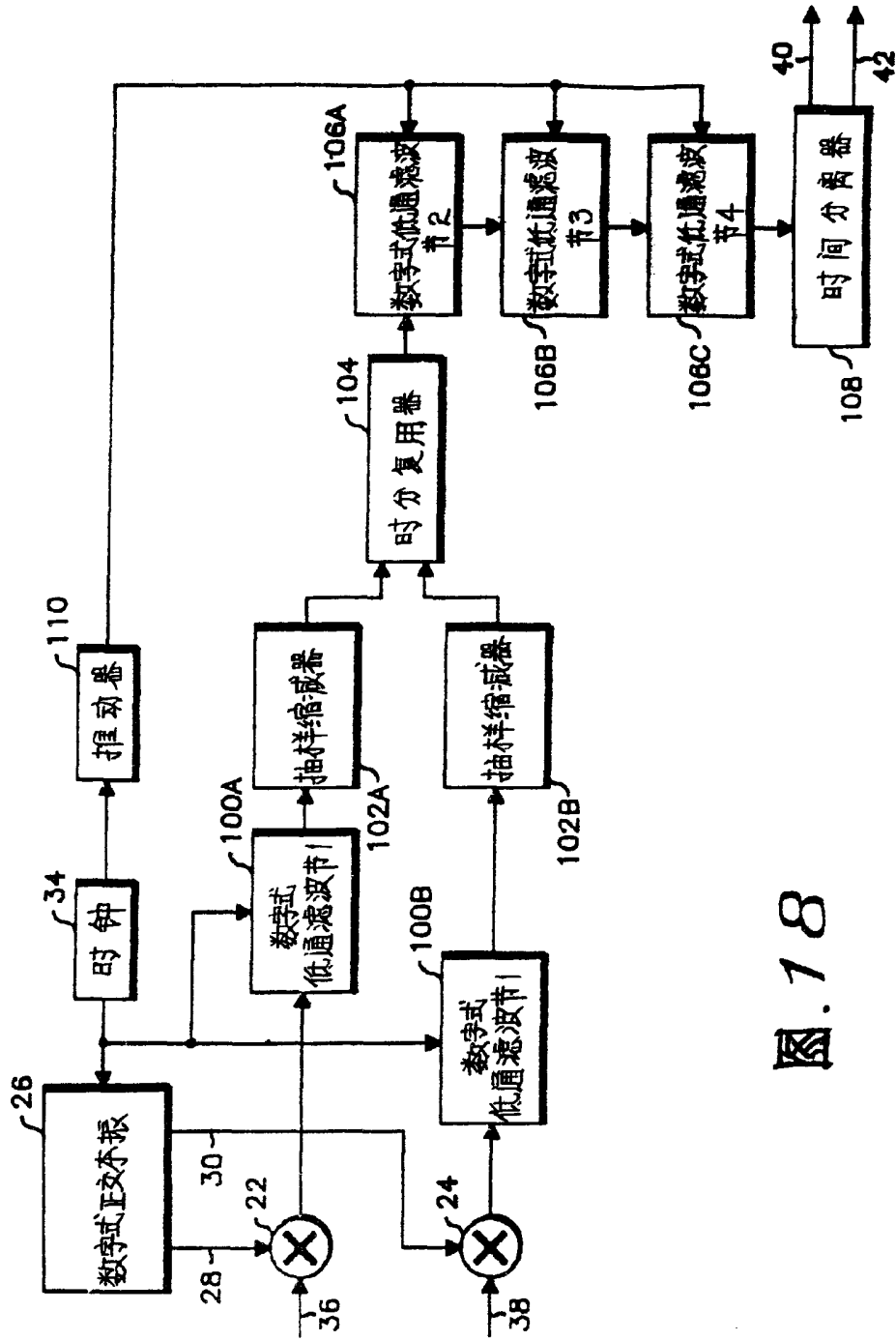


图. 18