(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 9 月 14 日(14.09.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/154128 A1

(51) 国際特許分類:
H01S 5/062 (2006.01) *H05B 37/02* (2006.01)
H01L 33/00 (2010.01)

(21) 国際出願番号: PCT/JP2016/057309

(22) 国際出願日: 2016 年 3 月 9 日(09.03.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 株式会社島津製作所(SHIMADZU CORPORATION) [JP/JP]; 〒6048511 京都府京都市中京区西ノ京桑原町１番地 Kyoto (JP).

(72) 発明者: 宇野 進吾(UNO, Shingo); 〒6048511 京都府京都市中京区西ノ京桑原町１番地 株式会社島津製作所内 Kyoto (JP). 廣木 知之(HIROKI, Tomoyuki); 〒6048511 京都府京都市中京区西ノ京桑原町１番地 株式会社島津製作所内 Kyoto (JP). 東條 公資(TOJO, Koji); 〒6048511 京都府京都市中京区西ノ京桑原町１番地 株式会社島津製作所内 Kyoto (JP). 齊川 次郎(SAIKAWA, Jiro); 〒6048511 京都府京都市中京区西ノ京桑原町１番地 株式会社島津製作所内 Kyoto (JP). 石垣 直也(ISHIGAKI, Naoya); 〒6048511 京都府京都市中京区西ノ京桑原町１番地 株式会社島津製作所内 Kyoto (JP). 坂本 隼規(SAKAMOTO, Junki); 〒6048511 京都府京都市中京区西ノ京桑原町１番地 株式会社島津製作所内 Kyoto (JP).

(74) 代理人: 三好 秀和, 外(MIYOSHI, Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目２番８号 虎ノ門琴平タワー Tokyo (JP).

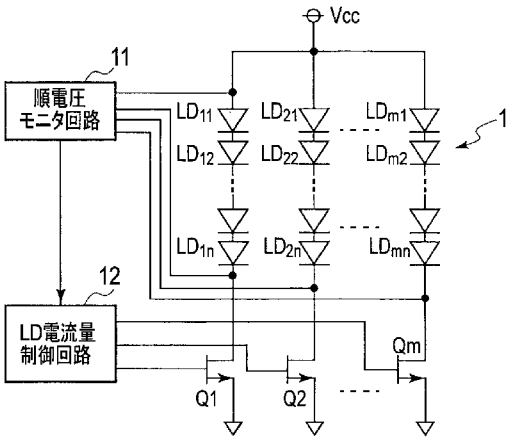
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: SEMICONDUCTOR LIGHT-EMITTING DEVICE

(54) 発明の名称 : 半導体発光装置



11 Forward voltage monitoring circuit
12 LD amperage control circuit

(57) **Abstract**: The present invention comprises: a light-emitting element group configured from a plurality of columns of serially connected light-emitting elements, one of the ends from each of the plurality of columns of the light-emitting elements being collectively connected to a power source; a plurality of current control elements, provided to correspond to the plurality of columns, and being connected to each of the columns of the light-emitting elements at the other end thereof, for controlling the current flowing through the light-emitting elements; a forward voltage monitoring circuit for monitoring, for each of the columns, the total forward voltage across the light-emitting elements; and a control circuit for controlling the current control elements, on the basis of the total forward voltage across the light-emitting elements from each of the columns detected by the forward voltage monitoring circuit, in such a manner that the variations in the total forward voltage across the plurality of columns of the light-emitting elements reach a threshold value or lower.

(57) 要約: 本発明は、直列に接続された複数の発光素子が複数列設けられ、複数列の複数の発光素子の一端が電源に共通に接続されて構成される発光素子群と、前記複数列に対応して設けられ、各列の前記複数の発光素子の他端に接続され、前記複数の発光素子に流れる電流を制御する複数の電流制御素子と、各列毎に、前記複数の発光素子の合計順電圧をモニタする順電圧モニタ回路と、前記順電圧モニタ回路により検出された各列毎の前記複数の発光素子の合計順電圧に基づき前記複数列の前記複数の発光素子の合計順電圧のばらつきが閾値以下になるように前記電流制御素子を制御する制御回路とを備える。

WO 2017/154128 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 半導体発光装置

技術分野

[0001] 本発明は、直列に接続された複数の発光素子を並列に接続した発光素子モジュールを有する半導体発光装置に関し、特に、発光素子の電流を制御するためのトランジスタの発熱を抑制する技術に関する。

背景技術

[0002] 特許文献１に記載された半導体レーザ装置では、直列に接続された複数のレーザダイオードを、さらに並列に複数列接続し、複数列の複数のレーザダイオードのアノードを共通に接続し、複数列の複数のレーザダイオードのカソードを共通に接続し、複数の並列ラインを構成している。これにより、一つの電流制御素子により各レーザダイオードに電流を供給することができる。このため、半導体レーザ装置を簡素な構成で実現できる。

[0003] しかし、各並列ラインの複数のレーザダイオードの電位差は、同じであるが、各レーザダイオードの順電圧は、個体差を有している。このため、各並列ラインの複数のレーザダイオードに流れる電流は、異なるため、いずれかの並列ラインに電流が集中してしまう。その結果、電流が集中したレーザダイオードの寿命が短くなる。

[0004] また、特許文献２に記載された半導体レーザ装置は、直列に接続された複数のレーザダイオード（ライン）を複数列設け、複数列のラインの一端を共通に接続し、複数列のラインの他端に電流制御素子を接続し、各電流制御素子により各ラインの電流を制御している。この場合、各ラインのレーザダイオード数を同じに設定すると、各ラインのレーザダイオードの順電圧差により電流制御素子の発熱が大きくなる。

[0005] また、従来の公知文献として、特許文献３，４が知られている。

先行技術文献

特許文献

[0006] 特許文献1：特開２００９－１２３８３３号公報

特許文献2：特開２００５－１２９８７７号公報

特許文献3：特開平１１－８７８１８号公報

特許文献4：特開平６－２７５８９５号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、特許文献２において、各ラインの順電圧差を吸収するためにレーザダイオード数を変更すると、レーザダイオードの総出力が変化してしまうという課題を有していた。

[0008] 本発明は、複数の発光素子を直列に接続しかつ並列に接続した場合に、所望の光出力を得るとともに、電流制御素子の発熱を抑制し、かつ発光素子の寿命を延ばすことができる半導体発光装置を提供する。

課題を解決するための手段

[0009] 上記の課題を解決するために、本発明に係る半導体発光装置は、直列に接続された複数の発光素子が複数列設けられ、複数列の複数の発光素子の一端が電源に共通に接続されて構成される発光素子群と、前記複数列に対応して設けられ、各列の前記複数の発光素子の他端に接続され、前記複数の発光素子に流れる電流を制御する複数の電流制御素子と、各列毎に、前記複数の発光素子の合計順電圧をモニタする順電圧モニタ回路と、前記順電圧モニタ回路により検出された各列毎の前記複数の発光素子の合計順電圧に基づき前記複数列の前記複数の発光素子の合計順電圧のばらつきが閾値以下になるように前記電流制御素子を制御する制御回路とを備える。

発明の効果

[0010] 本発明によれば、制御回路が、順電圧モニタ回路により検出された各列毎の複数の発光素子の合計順電圧に基づき複数列の複数の発光素子の合計順電圧のばらつきが閾値以下になるように電流制御素子を制御するので、所望の光出力が得られるとともに、電流制御素子の発熱を抑制し、かつ発光素子の

寿命を延ばすことができる。

図面の簡単な説明

[0011] [図1]図１は本発明の実施例１の半導体発光装置の回路構成図である。

[図2]図２は本発明の実施例２の半導体発光装置の回路構成図である。

[図3]図３は本発明の実施例３の半導体発光装置の回路構成図である。

[図4]図４は本発明の実施例４の半導体発光装置の回路構成図である。

発明を実施するための形態

実施例 1

[0012] 以下、本発明の実施形態に係る半導体発光装置を図面を参照しながら詳細に説明する。

[0013] 図１は本発明の実施例１の半導体発光装置の回路構成図である。半導体発光装置は、図１に示すように、レーザダイオード群１と、複数の電流制御素子Ｑ１～Ｑｍと、順電圧モニタ回路１１と、ＬＤ電流量制御回路１２を備える。レーザダイオード群１は、本発明の発光素子群に対応し、複数の発光素子からなる。本実施例では、発光素子として、レーザダイオード（ＬＤ）を用いるが、発光素子として、発光ダイオード（ＬＥＤ）を用いることもできる。

[0014] レーザダイオード群１は、直列に接続されたn個のレーザダイオードがｍ列（ＬＤ１１～ＬＤ１ｎ，ＬＤ２１～ＬＤ２ｎ…ＬＤｍ１～ＬＤｍｎ）設けられて構成されており、ｍ列のn個のレーザダイオードＬＤ１１～ＬＤ１ｎ，ＬＤ２１～ＬＤ２ｎ，…ＬＤｍ１～ＬＤｍｎのアノードが電源Ｖｃｃに共通に接続されている。

[0015] 複数の電流制御素子Ｑ１～Ｑｍは、ＭＯＳＦＥＴからなり、ｍ列のn個のレーザダイオードＬＤ１１～ＬＤ１ｎ，ＬＤ２１～ＬＤ２ｎ，…ＬＤｍ１～ＬＤｍｎに対応して設けられ、各列のn個のレーザダイオードＬＤ１１～ＬＤ１ｎ，ＬＤ２１～ＬＤ２ｎ…ＬＤｍ１～ＬＤｍｎのカソードに接続され、各列のn個のレーザダイオードＬＤ１１～ＬＤ１ｎ，ＬＤ２１～ＬＤ２ｎ…ＬＤｍ１～ＬＤｍｎに流れる電流を制御する。

[0016] 順電圧モニタ回路１１は、n個のレーザダイオードＬＤ１１～ＬＤ１ｎの合計順電圧、n個のレーザダイオードＬＤ２１～ＬＤ２ｎの合計順電圧、…、ｎ個のレーザダイオードＬＤｍ１～ＬＤｍｎの合計順電圧をモニタする。ここで、順電圧とは、レーザダイオードＬＤのアノードーカソード間の電圧である。

[0017] ＬＤ電流量制御回路１２は、本発明の制御回路に対応し、順電圧モニタ回路１１により検出されたｎ個のレーザダイオードＬＤ１１～ＬＤ１ｎの合計順電圧、ｎ個のレーザダイオードＬＤ２１～ＬＤ２ｎの合計順電圧、…、ｎ個のレーザダイオードＬＤｍ１～ＬＤｍｎの合計順電圧に基づき、ｎ個のレーザダイオードＬＤ１１～ＬＤ１ｎの合計順電圧、ｎ個のレーザダイオードＬＤ２１～ＬＤ２ｎの合計順電圧、…、ｎ個のレーザダイオードＬＤｍ１～ＬＤｍｎの合計順電圧のばらつきが閾値以下になるように電流制御素子Ｑ１～Ｑｍを制御する。即ち、ＬＤ電流量制御回路１２は、合計順電圧の大きい列のｎ個のレーザダイオードの電流を減らし、合計順電圧の小さい列のｎ個のレーザダイオード電流を増やすように電流制御素子Ｑ１～Ｑｍを制御する。

[0018] 次に、このように構成された実施例１の半導体発光装置の動作を図１を参照しながら、詳細に説明する。ここでは、ｍ列のｍを例えば、３として説明する。なお、ｍは３に限定されるものではない。

[0019] まず、順電圧モニタ回路１１は、n個のレーザダイオードＬＤ１１～ＬＤ１ｎの合計順電圧Ｖｄ１、n個のレーザダイオードＬＤ２１～ＬＤ２ｎの合計順電圧Ｖｄ２、n個のレーザダイオードＬＤ３１～ＬＤ３ｎの合計順電圧Ｖｄ３をモニタする。ここで、例えば、Ｖｄ１＞Ｖｄ２＞Ｖｄ３であったとする。

[0020] 次に、ＬＤ電流量制御回路１２は、順電圧モニタ回路１１により検出されたn個のレーザダイオードＬＤ１１～ＬＤ１ｎの合計順電圧Ｖｄ１、n個のレーザダイオードＬＤ２１～ＬＤ２ｎの合計順電圧Ｖｄ２、n個のレーザダイオードＬＤ３１～ＬＤ３ｎの合計順電圧Ｖｄ３に基づき３つの合計順電圧Ｖｄ１，Ｖｄ２，Ｖｄ３のばらつきが閾値以下になるように電流制御素子Ｑ１～

Ｑｍを制御する。

[0021] この例では、合計順電圧Ｖｄ１が一番大きい電圧であるので、ＬＤ電流量制御回路１２は、電流制御素子Ｑ１のゲートに印加させる電圧を減少させてn個のレーザダイオードＬＤ１１～ＬＤ１ｎに流れる電流を減少させる。このため、n個のレーザダイオードＬＤ１１～ＬＤ１ｎの合計順電圧Ｖｄ１は、減少して合計順電圧Ｖｄ１が合計順電圧Ｖｄ２に近づく。

[0022] そして、ＬＤ電流量制御回路１２は、合計順電圧Ｖｄ１と合計順電圧Ｖｄ２とのばらつき（差分電圧）が閾値以下になるようにn個のレーザダイオードＬＤ１１～ＬＤ１ｎに流れる電流を調整する。

[0023] 次に、合計順電圧Ｖｄ３が一番小さい電圧であるので、ＬＤ電流量制御回路１２は、電流制御素子Ｑ３のゲートに印加させる電圧を増加させてn個のレーザダイオードＬＤ３１～ＬＤ３ｎに流れる電流を増加させる。このため、n個のレーザダイオードＬＤ３１～ＬＤ３ｎの合計順電圧Ｖｄ３は、増加して合計順電圧Ｖｄ３が合計順電圧Ｖｄ２に近づく。

[0024] そして、ＬＤ電流量制御回路１２は、合計順電圧Ｖｄ３と合計順電圧Ｖｄ２とのばらつきが閾値以下になるようにn個のレーザダイオードＬＤ３１～ＬＤ３ｎに流れる電流を調整する。

[0025] これにより、３つの合計順電圧Ｖｄ１，Ｖｄ２，Ｖｄ３のばらつきが、閾値以下になるので、所望の光出力が得られるとともに、電流制御素子Ｑ１～Ｑｍのドレイン－ソース間に印加される電圧差を小さくすることができる。これにより、電流制御素子Ｑ１～Ｑｍの発熱ばらつきを抑制することができるとともに、閾値を設けることで過度な電流集中を防ぐことが可能であり、レーザダイオードＬＤ１１～ＬＤ１ｎ…ＬＤｍ１～ＬＤｍｎの寿命を延ばすことができる。

[0026] また、レーザダイオードの材料の違いやロットの違いによる順電圧のばらつきも抑えることができる。さらに、順電圧の大きいレーザダイオードは、光変換効率が悪いため、順電圧の小さいレーザダイオードに流す電流を増やすことで、光変換効率を向上させることができる。

実施例 2

[0027] 図２は本発明の実施例２の半導体発光装置の回路構成図である。図２に示す実施例２の半導体発光装置は、図１に示す構成にさらに、レーザダイオード群１の光出力をモニタする光出力モニタ回路１３を備える。

[0028] ＬＤ電流量制御回路１２ａは、光出力モニタ回路１３からのレーザダイオード群１の光出力が所定の出力になるようにｎ個のレーザダイオードの電流を制御するとともに、ｍ列のｎ個のレーザダイオードＬＤ１１～ＬＤ１ｎ，ＬＤ２１～ＬＤ２ｎ…ＬＤｍ１～ＬＤｍｎに流れる合計電流が最小になるように電流制御素子Ｑ１～Ｑｍを制御する。

[0029] 次に、このように構成された実施例２の半導体発光装置の動作を説明する。ここでは、ｍ列のｍを例えば、３として説明する。なお、ｍは３に限定されるものではない。

[0030] まず、光出力モニタ回路１３がレーザダイオード群１の光出力をモニタする。ＬＤ電流量制御回路１２ａは、光出力モニタ回路１３からのレーザダイオード群１の光出力を入力する。

[0031] ＬＤ電流量制御回路１２ａは、順電圧モニタ回路１１からの各列の複数のレーザダイオードの合計順電圧と複数のレーザダイオードに流れる電流とに基づき各列の複数のレーザダイオードの電力を演算する。

[0032] n個のレーザダイオードＬＤ１１～ＬＤ１ｎの電力は、合計順電圧Ｖｄ１とレーザダイオード電流とを演算して求められる。n個のレーザダイオードＬＤ２１～ＬＤ２ｎの電力は、合計順電圧Ｖｄ２とレーザダイオード電流とを演算して求められる。n個のレーザダイオードＬＤ３１～ＬＤ３ｎの電力は、合計順電圧Ｖｄ３とレーザダイオード電流とを演算して求められる。

[0033] ＬＤ電流量制御回路１２ａは、光出力モニタ回路１３からのレーザダイオード群１の光出力が所定の出力になるようにレーザダイオード電流を制御する。レーザダイオード群１の光出力は、n個のレーザダイオードＬＤ１１～ＬＤ１ｎの電力とn個のレーザダイオードＬＤ２１～ＬＤ２ｎの電力とn個のレーザダイオードＬＤ３１～ＬＤ３ｎの電力との合計電力に等しい。このため

、ＬＤ電流量制御回路１２ａは、３列のn個のレーザダイオードの合計光出力が所定の出力になるように電流制御素子Ｑ１～Ｑ３を制御する。

[0034] 次に、ＬＤ電流量制御回路１２ａは、光出力を所定の出力に保持した状態で、ｎ個のレーザダイオードＬＤ１１～ＬＤ１ｎ，ＬＤ２１～ＬＤ２ｎ、ＬＤ３１～ＬＤ３ｎに流れる合計電流が最小になるように電流制御素子Ｑ１～Ｑ３を制御する。

[0035] 即ち、実施例２の半導体発光装置によれば、光出力をモニタすることにより、光出力を所定の出力に保持した状態で、最も高い光変換効率を実現する電流分配となるように制御することができる。

実施例 3

[0036] 図３は本発明の実施例３の半導体発光装置の回路構成図である。図３に示す実施例３の半導体発光装置は、図１に示す実施例１の半導体発光装置の構成に、さらに、ＣＰＵ１４、ＤＣ／ＤＣコンバータ１５、抵抗Ｒ１～Ｒｎ、増幅器１６を備える。

[0037] 抵抗Ｒ１～Ｒｎは、電流制御素子Ｑ１～Ｑｎのソースに接続されている。増幅器１６は、抵抗Ｒ１に流れる電流に応じた電圧を増幅してＬＤ電流量制御回路１２ｂに出力する。

[0038] ＣＰＵ１４は、本発明の制御回路に対応し、順電圧モニタ回路１１により検出されたｎ個のレーザダイオードＬＤ１１～ＬＤ１ｎの合計順電圧、ｎ個のレーザダイオードＬＤ２１～ＬＤ２ｎの合計順電圧、…、ｎ個のレーザダイオードＬＤｍ１～ＬＤｍｎの合計順電圧に基づき、各々の電流制御素子Ｑ１～Ｑｍの発熱を所定値以下にするための電圧低下信号を生成し、電圧低下信号をＤＣ／ＤＣコンバータ１５に出力する。

[0039] ｎ個のレーザダイオードＬＤ１１～ＬＤ１ｎの合計順電圧を例えば、１０Ｖとし、ｎ個のレーザダイオードＬＤ２１～ＬＤ２ｎの合計順電圧を例えば、２０Ｖとし、ｎ個のレーザダイオードＬＤ３１～ＬＤ３ｎの合計順電圧を例えば、１５Ｖとする。

[0040] ＤＣ／ＤＣコンバータ１５は、初期電圧を出力する。初期電圧は、最も合

計順電圧の高い第２ライン（ｎ個のレーザダイオードＬＤ２１～ＬＤ２ｎ）を駆動する必要がある。このため、初期電圧を２１Ｖに設定する（ＦＥＴは１Ｖの電位差で十分に動作するため）。

[0041] その後、実施例１の制御を行い、各ラインの順電圧差を減少させる。その結果、ライン１（ｎ個のレーザダイオードＬＤ１１～ＬＤ１ｎ）の順電圧差が１３Ｖとなり、ライン２の順電圧差が１７Ｖとなり、ライン３（ｎ個のレーザダイオードＬＤ３１～ＬＤ３ｎ）の順電圧差が１５Ｖのままになったとする（閾値を２Ｖに設定）。

[0042] すると、ＦＥＴにかかる電圧は２１－１７Ｖで４Ｖになる。ＦＥＴは１Ｖで動作するため、ＤＣ／ＤＣコンバータの出力を１８Ｖまで低下させることができる。その結果、各ラインのＦＥＴにかかる電圧を抑制することができ、装置全体の消費電力を低減することができる。

[0043] なお、ＣＰＵ１４は、順電圧モニタ回路１１により検出されたｎ個のレーザダイオードＬＤ１１～ＬＤ１ｎの合計順電圧、ｎ個のレーザダイオードＬＤ２１～ＬＤ２ｎの合計順電圧、…、ｎ個のレーザダイオードＬＤｍ１～ＬＤｍｎの合計順電圧をＬＤ電流量制御回路１２ｂに出力する。

[0044] ＬＤ電流量制御回路１２ｂの動作は、図１に示すＬＤ電流量制御回路１２の動作と同一であるので、ここでは、その動作の説明は、省略する。

実施例 ４

[0045] 図４は本発明の実施例４の半導体発光装置の回路構成図である。図４に示す実施例４の半導体発光装置は、図２に示す実施例２の半導体発光装置の構成と、図３に示す実施例３の半導体発光装置の構成とを組み合わせて構成したことを特徴とする。

[0046] このように構成された実施例４の半導体発光装置によれば、実施例２の半導体発光装置の動作と実施例３の半導体発光装置の動作とが行われる。従って、実施例２の半導体発光装置の効果と実施例３の半導体発光装置の効果とが得られる。

産業上の利用可能性

[0047] 本発明は、レーザ加工装置等に適用可能である。

請求の範囲

[請求項1] 直列に接続された複数の発光素子が複数列設けられ、複数列の複数の発光素子の一端が電源に共通に接続されて構成される発光素子群と、

前記複数列に対応して設けられ、各列の前記複数の発光素子の他端に接続され、前記複数の発光素子に流れる電流を制御する複数の電流制御素子と、

各列毎に、前記複数の発光素子の合計順電圧をモニタする順電圧モニタ回路と、

前記順電圧モニタ回路により検出された各列毎の前記複数の発光素子の合計順電圧に基づき前記複数列の前記複数の発光素子の合計順電圧のばらつきが閾値以下になるように前記電流制御素子を制御する制御回路と、

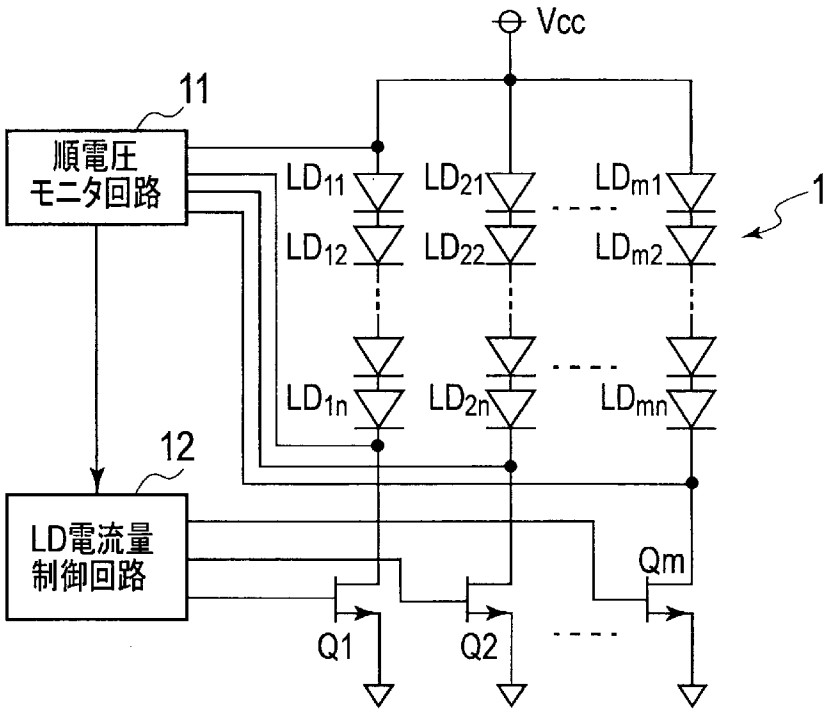
を備える半導体発光装置。

[請求項2] 前記発光素子群の光出力をモニタする光出力モニタ回路を備え、

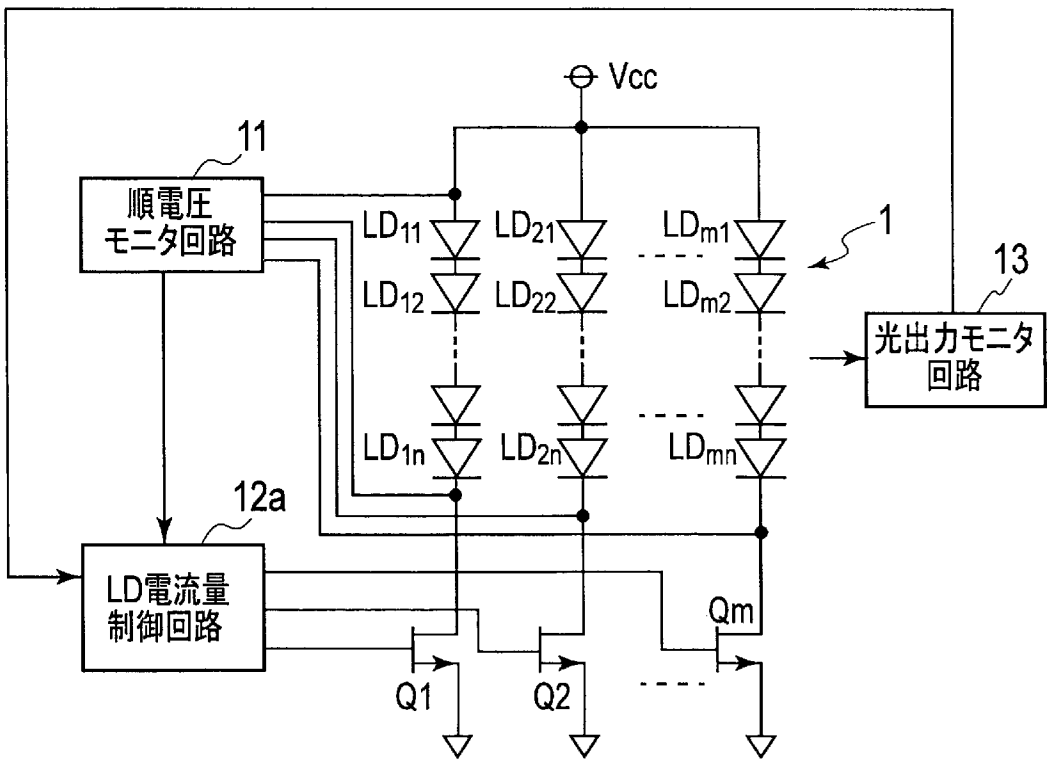
前記制御回路は、前記光出力モニタ回路からの前記発光素子群の光出力が所定の出力になるように前記電流を制御するとともに、前記複数列の前記複数の発光素子に流れる合計電流が最小になるように前記電流制御素子を制御する請求項１記載の半導体発光装置。

[請求項3] 前記制御回路は、各列毎の前記複数の発光素子の合計順電圧に基づき前記複数の電流制御素子の発熱が所定値以下になるように前記複数列の複数の発光素子の一端に印加される前記電源の電圧を低下させる請求項１又は請求項２記載の半導体発光装置。

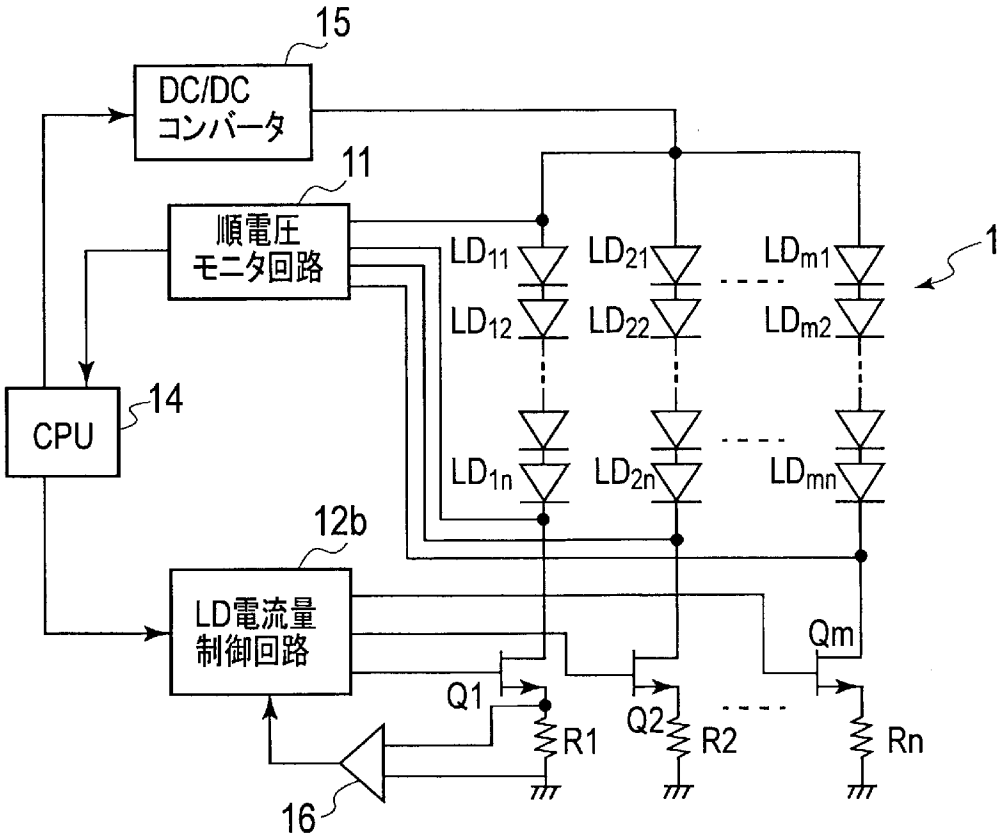
[図1]


Vcc
11
順電圧
モニタ回路
LD11
LD21
LDm1
1
LD12
LD22
LDm2
LD1n
LD2n
LDmn
12
LD電流量
制御回路
Qm
Q1
Q2

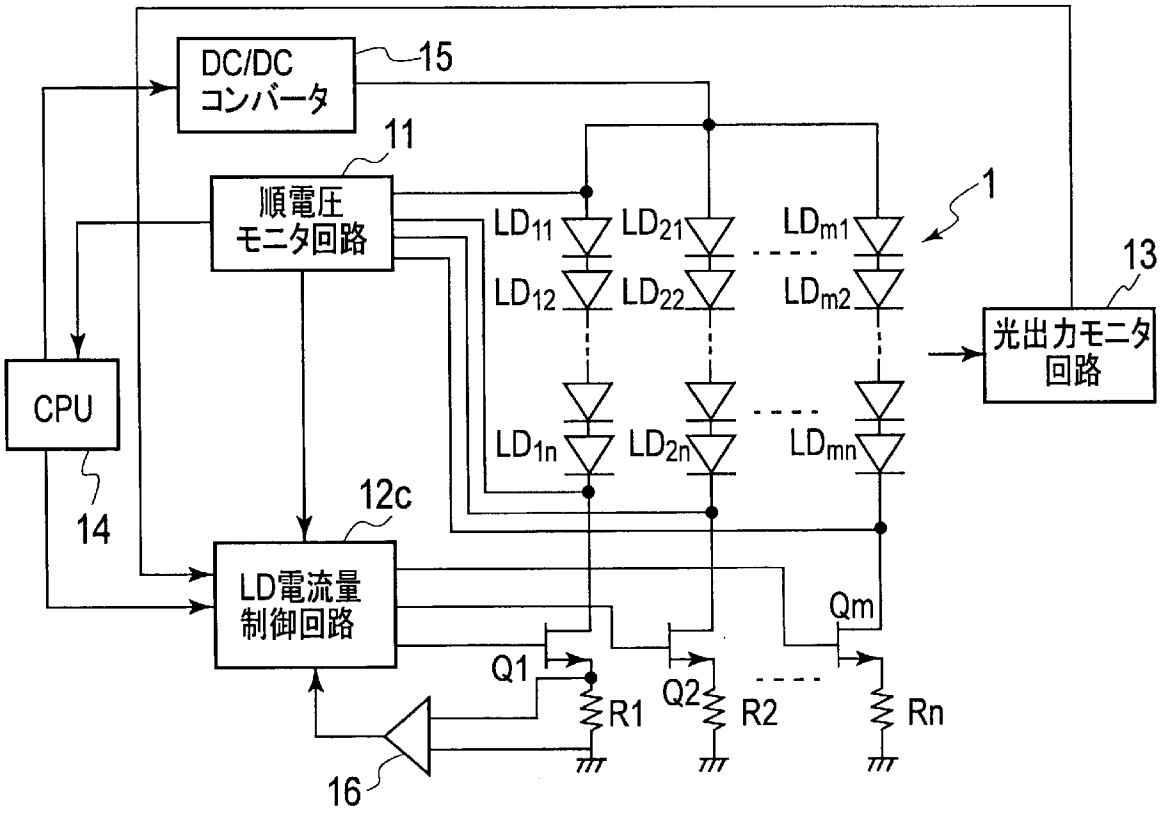
[図2]


Vcc
11
順電圧
モニタ回路
LD11
LD21
LDm1
1
LD12
LD22
LDm2
13
光出力モニタ
回路
LD1n
LD2n
LDmn
12a
LD電流量
制御回路
Qm
Q1
Q2

[図3]


15
DC/DC
コンバータ
11
順電圧
モニタ回路
CPU
14
12b
LD電流量
制御回路
16
LD11
LD21
LDm1
LD12
LD22
LDm2
LD1n
LD2n
LDmn
1
Q1
Q2
Qm
R1
R2
Rn

[図4]


DC/DC
コンバータ
15
11
順電圧
モニタ回路
CPU
14
12c
LD電流量
制御回路
16
LD11
LD21
LDm1
LD12
LD22
LDm2
LD1n
LD2n
LDmn
1
13
光出力モニタ
回路
Q1
Q2
Qm
R1
R2
Rn

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/057309

A. CLASSIFICATION OF SUBJECT MATTER
H01S5/062(2006.01)i, *H01L33/00*(2010.01)i, *H05B37/02*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01S5/00-5/50, H01L33/00-33/62, H05B37/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2008-130523 A (Matsushita Electric Works, Ltd.), 05 June 2008 (05.06.2008), paragraphs [0028] to [0061] & US 2010/0109537 A1 paragraphs [0012] to [0060] & WO 2008/050679 A1 & EP 2094063 A1	1,3 2
Y	JP 2007-317800 A (Hitachi Cable Ltd.), 06 December 2007 (06.12.2007), paragraph [0001] & US 2007/0274355 A1 paragraph [0003]	2

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 May 2016 (17.05.16)	24 May 2016 (24.05.16)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2015)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０５７３０９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01S5/062(2006.01)i, H01L33/00(2010.01)i, H05B37/02(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01S5/00-5/50, H01L33/00-33/62, H05B37/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　　１９２２－１９９６年
日本国公開実用新案公報　　１９７１－２０１６年
日本国実用新案登録公報　　１９９６－２０１６年
日本国登録実用新案公報　　１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2008-130523 A (松下電工株式会社) 2008.06.05, 段落００２８～００６１ & US 2010/0109537 A1([0012]-[0060]) & WO 2008/050679 A1 & EP 2094063 A1	1, 3 2
Y	JP 2007-317800 A (日立電線株式会社) 2007.12.06, 段落０００１ & US 2007/0274355 A1([0003])	2

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１７．０５．２０１６	２４．０５．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｋ　９７１２
金高　敏康
電話番号　０３－３５８１－１１０１　内線　３２５５