

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 11 月 3 日(03.11.2016)



(10) 国際公開番号

WO 2016/174733 A1

- (51) 国際特許分類:
H01L 25/065 (2006.01) H01L 25/07 (2006.01)
H01L 21/60 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2015/062805
- (22) 国際出願日: 2015 年 4 月 28 日(28.04.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: オリンパス株式会社(OLYMPUS CORPORATION) [JP/JP]; 〒1510072 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 Tokyo (JP).
- (72) 発明者: 齊藤 晴久(SAITO Haruhisa); 〒1510072 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス株式会社内 Tokyo (JP).
- (74) 代理人: 棚井 澄雄, 外(TANAI Sumio et al.); 〒1006620 東京都千代田区丸の内一丁目 9 番 2 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

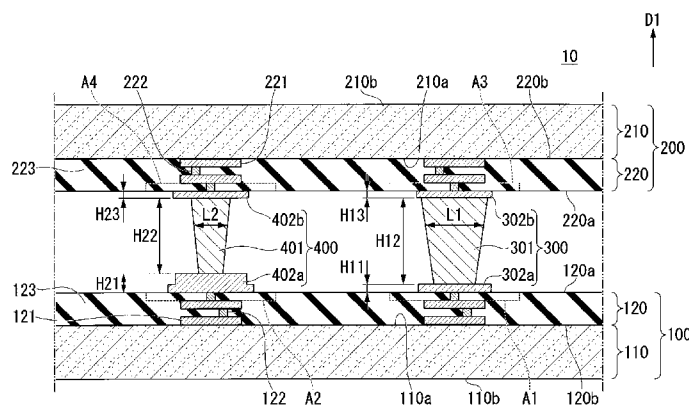
添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図1]



(57) Abstract: This semiconductor device has a plurality of first connecting sections, a plurality of second connecting sections, a first substrate, and a second substrate. Each of the first connecting sections has a first bump and a first base electrode. Each of the second connecting sections has a second bump and a second base electrode. A first surface of the first substrate includes a first region where the first connecting sections are disposed, and a second region where the second connecting sections are disposed. A second surface of the second substrate includes a third region where the first connecting sections are disposed, and a fourth region where the second connecting sections are disposed. In the first surface, the second region surrounds the first region. In the second surface, the fourth region surrounds the third region. The second base electrode height in the thickness direction of the first substrate is more than the first base electrode height in the thickness direction.

(57) 要約:

[続葉有]

WO 2016/174733 A1



半導体装置は、複数の第1の接続部と、複数の第2の接続部と、第1の基板と、第2の基板とを有する。前記複数の第1の接続部のそれぞれは、第1のバンプと第1の下地電極とを有する。前記複数の第2の接続部のそれぞれは、第2のバンプと第2の下地電極とを有する。前記第1の基板の第1の面は、前記複数の第1の接続部が配置される第1の領域と、前記複数の第2の接続部が配置される第2の領域とを含む。前記第2の基板の第2の面は、前記複数の第1の接続部が配置される第3の領域と、前記複数の第2の接続部が配置される第4の領域とを含む。前記第1の面において、前記第2の領域は前記第1の領域を囲む。前記第2の面において、前記第4の領域は前記第3の領域を囲む。前記第1の基板の厚さ方向における前記第2の下地電極の高さは、前記厚さ方向における前記第1の下地電極の高さよりも大きい。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 積層型の固体撮像装置は2枚の基板（画素ウエハおよび読み出しウエハ）を有する。画素ウエハは、複数の画素を有する。読み出しウエハは、複数の画素からの信号を読み出す回路を有する。2枚のウエハの接続方法が検討されている。例えば、微細なバンプ電極により画素毎に2枚のウエハを接続する第1の方法がある。あるいは、ライン毎に画素周辺で2枚のウエハを接続する第2の方法がある。第1の方法では、より微細なバンプ電極が必要である。バンプ電極として、半田バンプ電極、銅（Cu）バンプ電極、および金（Au）バンプ電極などが検討されている。特に、積層型の固体撮像装置の電極として、微細な金（Au）バンプ電極を用いた電極構造が検討されている。

[0003] 金（Au）バンプ電極の形成方法として、電解メッキと無電解メッキとがある。電解メッキでは、シード層に電流が流れることにより電界が発生し、かつ、メッキ浴に曝露されているシード層面のみに金属の構造物が形成される。無電解メッキでは、メッキ浴に曝露されている金属面のみに金属の構造物が形成される。メッキが行われる前にシード層をパターニングできる無電解メッキにより形成されたバンプ電極のウエハ面内における高さのばらつきは、電解メッキに比べると小さい。

[0004] 電解メッキのレートは速いが、ウエハ面内のレートが電界分布に依存する。電解メッキ後のシード層の除去工程があるため、電解メッキは微細構造の形成に適していない。一方、無電解メッキのレートは遅いが、ウエハ面内のバンプ電極の高さのばらつきが小さい。また、無電解メッキは、メッキ前にシード層をパターニングできるため、微細構造の形成に適している。

[0005] しかしながら、無電解メッキにより形成されたバンプ電極を介して2枚の基板が積層された固体撮像装置において、バンプ電極の接続不良が発生する。以下では、バンプ電極の接続不良について説明する。

[0006] 図9は、基板800の平面図と接続部900の断面図とである。基板800は、固体撮像装置を構成する2枚の基板の1つである。接続部900は、基板800と他の基板とを電氣的に接続する。接続部900は、バンプ901と下地電極902とを有する。バンプ901は、下地電極902の表面に配置されている。下地電極902は、基板800の表面に配置されている。

[0007] 図9では、基板800と接続部900とは、模式的に示されている。例えば、基板800の幅と接続部900の高さとの比は、実際の固体撮像装置におけるその比と異なる。多数の接続部900が基板800の表面に高密度に配置される。図9では、接続部900は複数の接続部の集合体として描かれている。

[0008] 無電解メッキ後のバンプ901には高さのばらつきがある。基板800の中心領域A11におけるバンプ901の高さのばらつきは小さい。しかし、中心領域A11を囲む周辺領域A12におけるバンプ901の高さのばらつきは大きい。周辺領域A12におけるバンプ901の高さは、中心領域A11におけるバンプ901の高さよりも平均的に小さい。周辺領域A12におけるバンプ901の高さは、基板800の中心から外側に向かって小さくなる傾向がある。中心領域A11におけるバンプ901の高さと、周辺領域A12の最も外側の部分におけるバンプ901の高さとの差は、約数百nmである。この差は、中心領域A11におけるバンプ901の高さに対して約5%である。

[0009] 基板800と他の基板とは、接続部900を介して接続される。周辺領域A12におけるバンプ901の高さのばらつきにより、周辺領域A12に配置されたバンプ901が他の基板と接続されない場合がある。つまり、周辺領域A12におけるバンプ901の接続不良が発生する。固体撮像装置において、中心領域A11と周辺領域A12とは、画素が配置される画素領域で

ある。このため、周辺領域 A 1 2 において接続不良による欠陥画素が発生する。

- [0010] 無電解メッキ後の画素領域におけるバンプ電極の高さのばらつきを小さくする幾つかの方法が検討されている。1つの方法は、化学的機械的研磨法（CMP：Chemical Mechanical Polishing）である。この方法では、研磨パッドによる機械的な研磨と同時に、スラリーと呼ばれる化学薬品によりバンプ電極がエッチングされる。これによって、バンプ電極上部の表面が平坦化される。他の1つの方法は、バイト切削装置を用いる方法である（特許文献1参照）。この方法では、バンプ電極上部をバイトで切削することにより、バンプ電極上部の表面が平坦化される。

先行技術文献

特許文献

- [0011] 特許文献1：日本国特開2009-094545号公報

発明の概要

発明が解決しようとする課題

- [0012] しかしながら、バンプ電極上部の表面を平坦にする上記の方法には以下の不具合がある。化学的機械的研磨法（CMP）では、バンプ電極の頭頂部が研磨パッドにより直接研磨される。バンプ電極と下地電極との境界部分に回転方向の力が加わるため、バンプ電極が下地電極から剥がれることがある。バンプ電極がより小さくなるほど境界部分の面積は小さくなる。このため、バンプ電極が微細である場合、バンプ電極が下地電極から剥がれやすい。さらに、バンプ電極が金（Au）などの柔らかい材料で構成される場合、研磨後のバンプ電極の頭頂部にバリが発生する。化学的機械的研磨法（CMP）は、研磨により表面を平坦化する方法である。このため、化学的機械的研磨法（CMP）は、高さが異なるバンプ電極の高さを揃える方法としてあまり適していない。

- [0013] バイト切削装置を用いる方法では、化学的機械的研磨法（CMP）と同様

にバンプ電極が下地電極から剥がれることがある。さらに、化学的機械的研磨法（CMP）と同様に、バンプ電極の頭頂部にバリが発生する。加えて、バイトによる切削痕が固体撮像装置の電気特性に影響する。バンプ電極が微細である場合、固体撮像装置の電気特性への影響が顕著に現れる。切削毎の小さな高さばらつきが原因である。切削痕を解消するために切削回数を増やすことはできる。しかし、切削回数が増えると、バンプ電極の頭頂部に回転方向のバリが発生しやすい。

[0014] 本発明は、接続部の接続不良を低減することができる半導体装置を提供することを目的とする。

課題を解決するための手段

[0015] 本発明の第1の態様によれば、半導体装置は、複数の第1の接続部と、複数の第2の接続部と、第1の基板と、第2の基板とを有する。前記複数の第1の接続部は、第1の配線と第2の配線とを電気的に接続する。前記複数の第2の接続部は、前記第1の配線と前記第2の配線とを電気的に接続する。前記第1の基板は、第1の面と前記第1の配線とを有し、かつ、第1の半導体材料を含む。前記第1の面は、前記複数の第1の接続部が配置される第1の領域と、前記複数の第2の接続部が配置される第2の領域とを含む。前記第2の基板は、第2の面と前記第2の配線とを有し、かつ、第2の半導体材料を含む。前記第2の面は前記第1の面と対向する。前記第2の面は、前記複数の第1の接続部が配置される第3の領域と、前記複数の第2の接続部が配置される第4の領域とを含む。前記複数の第1の接続部のそれぞれは、第1のバンプと第1の下地電極とを有する。前記第1の下地電極は、前記第1の領域と前記第3の領域とのいずれか1つと前記第1のバンプとの間に配置される。前記複数の第2の接続部のそれぞれは、第2のバンプと第2の下地電極とを有する。前記第2の下地電極は、前記第2の領域と前記第4の領域とのいずれか1つと前記第2のバンプとの間に配置される。前記第1の面において、前記第2の領域は前記第1の領域を囲む。前記第2の面において、前記第4の領域は前記第3の領域を囲む。前記第1の基板の厚さ方向におけ

る前記第2の下地電極の高さは、前記厚さ方向における前記第1の下地電極の高さよりも大きい。

[0016] 本発明の第2の態様によれば、第1の態様において、前記第2のバンプの径は、前記第1のバンプの径よりも小さくてもよい。

[0017] 本発明の第3の態様によれば、第1の態様において、前記半導体装置は、前記第1の配線と前記第2の配線とを電氣的に接続する複数の第3の接続部をさらに有してもよい。前記第1の面は、前記複数の第3の接続部が配置される第5の領域をさらに含んでもよい。前記第2の面は、前記複数の第3の接続部が配置される第6の領域をさらに含んでもよい。前記複数の第3の接続部のそれぞれは、第3のバンプと第3の下地電極とを有する。前記第3の下地電極は、前記第5の領域と前記第6の領域とのいずれか1つと前記第3のバンプとの間に配置される。前記第1の面において、前記第5の領域は前記第1の領域と前記第2の領域とを囲む。前記第2の面において、前記第6の領域は前記第3の領域と前記第4の領域とを囲む。前記厚さ方向における前記第3の下地電極の高さは、前記厚さ方向における前記第2の下地電極の高さよりも大きくてもよい。

[0018] 本発明の第4の態様によれば、第1の態様において、前記厚さ方向における前記第2の接続部の高さは、前記厚さ方向における前記第1の接続部の高さよりも大きくてもよい。

発明の効果

[0019] 上記の各態様によれば、第1の基板の厚さ方向における第2の下地電極の高さは、その厚さ方向における第1の下地電極の高さよりも大きい。このため、接続部の接続不良を低減することができる。

図面の簡単な説明

[0020] [図1]本発明の第1の実施形態の半導体装置の断面図である。

[図2]本発明の第1の実施形態の半導体装置における第1の基板と第2の基板との平面図である。

[図3]本発明の第1の実施形態の半導体装置における基板の平面図と接続部の

断面図とである。

[図4]本発明の第1の実施形態の半導体装置の断面図である。

[図5]本発明の第1の実施形態の変形例の半導体装置の断面図である。

[図6]本発明の第2の実施形態の半導体装置の断面図である。

[図7]本発明の第2の実施形態の半導体装置における第1の基板と第2の基板との平面図である。

[図8]本発明の第3の実施形態の固体撮像装置の断面図である。

[図9]従来技術における基板の平面図と接続部の断面図とである。

発明を実施するための形態

[0021] 図面を参照し、本発明の実施形態を説明する。

[0022] (第1の実施形態)

図1は、本発明の第1の実施形態の半導体装置10の構成を示している。

図1では半導体装置10の断面が示されている。図1に示すように、半導体装置10は、第1の基板100と、第2の基板200と、第1の接続部300と、第2の接続部400とを有する。第1の基板100と第2の基板200とは、第1の接続部300と第2の接続部400とを介して接続されている。第1の基板100と第2の基板200とは、第1の基板100の厚さ方向D1に積層されている。

[0023] 半導体装置10は、複数の第1の接続部300を有する。図1では、代表として1つの第1の接続部300が示されている。半導体装置10は、複数の第2の接続部400を有する。図1では、代表として1つの第2の接続部400が示されている。

[0024] 半導体装置10を構成する部分の寸法は、図1に示される寸法に従うわけではない。半導体装置10を構成する部分の寸法は任意であってよい。図1では、半導体装置10を構成する部分の高さは、第1の基板100の厚さ方向D1の長さとして示される。

[0025] 第1の基板100は、第1の半導体層110と、第1の配線層120とを有する。第1の半導体層110と第1の配線層120とは、第1の基板100

0の厚さ方向D1に重なっている。また、第1の半導体層110と第1の配線層120とは互いに接触している。

[0026] 第1の半導体層110は、第1の半導体材料で構成されている。つまり、第1の基板100は、第1の半導体材料を含む。例えば、第1の半導体材料は、シリコン(Si)である。第1の半導体層110は、面110aと面110bとを有する。面110aと面110bとは、反対方向を向いている。面110aは、第1の配線層120と接触している。面110bは、第1の基板100の主面の1つを構成する。主面は、基板の表面を構成する複数の面のうち最も広い面である。

[0027] 第1の配線層120は、第1の配線121と、第1のビア122と、第1の層間絶縁膜123とを有する。図1では複数の第1の配線121が存在するが、代表として1つの第1の配線121の符号が示されている。図1では複数の第1のビア122が存在するが、代表として1つの第1のビア122の符号が示されている。

[0028] 第1の配線層120は、面120a(第1の面)と面120bとを有する。面120aは第2の基板200と対向する。面120aは、第1の接続部300および第2の接続部400と接触している。面120bは第1の半導体層110と接触している。面120aは第1の基板100の主面の1つを構成する。

[0029] 第1の配線121と第1のビア122とは、第1の導電材料で構成されている。例えば、第1の導電材料は、アルミニウム(Al)および銅(Cu)等の金属である。第1の配線121は、配線パターンが形成された薄膜である。第1の配線121は、信号を伝送する。1層のみの第1の配線121が形成されていてもよいし、複数層の第1の配線121が形成されていてもよい。図1に示す例では、2層の第1の配線121が形成されている。

[0030] 第1のビア122は、異なる層の第1の配線121を接続する。第1の配線層120において、第1の配線121および第1のビア122以外の部分は、第1の層間絶縁膜123で構成されている。第1の層間絶縁膜123は

、第1の絶縁材料で構成されている。例えば、第1の絶縁材料は、二酸化珪素（ SiO_2 ）である。

[0031] 第1の半導体層110と第1の配線層120との少なくとも一方は、トランジスタ等の回路要素を有してもよい。

[0032] 第1の基板100は、面120a（第1の面）と第1の配線121とを有し、かつ、第1の半導体材料を含む。面120aは、複数の第1の接続部300が配置される第1の領域A1と、複数の第2の接続部400が配置される第2の領域A2とを含む。

[0033] 第2の基板200は、第2の半導体層210と、第2の配線層220とを有する。第2の半導体層210と第2の配線層220とは、第1の基板100の厚さ方向D1に重なっている。また、第2の半導体層210と第2の配線層220とは互いに接触している。

[0034] 第2の半導体層210は、第2の半導体材料で構成されている。つまり、第2の基板200は、第2の半導体材料を含む。例えば、第2の半導体材料は、シリコン（ Si ）である。第2の半導体層210は、面210aと面210bとを有する。面210aと面210bとは、反対方向を向いている。面210aは、第2の配線層220と接触している。面210bは、第2の基板200の主面の1つを構成する。

[0035] 第2の配線層220は、第2の配線221と、第2のビア222と、第2の層間絶縁膜223とを有する。図1では複数の第2の配線221が存在するが、代表として1つの第2の配線221の符号が示されている。図1では複数の第2のビア222が存在するが、代表として1つの第2のビア222の符号が示されている。

[0036] 第2の配線層220は、面220a（第2の面）と面220bとを有する。面220aは第1の基板100と対向する。面220aは、第1の接続部300および第2の接続部400と接触している。面220bは第2の半導体層210と接触している。面220aは第2の基板200の主面の1つを構成する。

- [0037] 第2の配線221と第2のビア222とは、第2の導電材料で構成されている。例えば、第2の導電材料は、アルミニウム（Al）および銅（Cu）等の金属である。第2の配線221は、配線パターンが形成された薄膜である。第2の配線221は、信号を伝送する。1層のみの第2の配線221が形成されていてもよいし、複数層の第2の配線221が形成されていてもよい。図1に示す例では、2層の第2の配線221が形成されている。
- [0038] 第2のビア222は、異なる層の第2の配線221を接続する。第2の配線層220において、第2の配線221および第2のビア222以外の部分は、第2の層間絶縁膜223で構成されている。第2の層間絶縁膜223は、第2の絶縁材料で構成されている。例えば、第2の絶縁材料は、二酸化珪素（SiO₂）である。
- [0039] 第2の半導体層210と第2の配線層220との少なくとも一方は、トランジスタ等の回路要素を有してもよい。
- [0040] 第2の基板200は、面220a（第2の面）と第2の配線221とを有し、かつ、第2の半導体材料を含む。面220aは面120aと対向する。面220aは、複数の第1の接続部300が配置される第3の領域A3と、複数の第2の接続部400が配置される第4の領域A4とを含む。
- [0041] 第1の接続部300と第2の接続部400とは、第1の基板100と第2の基板200との間に配置されている。第1の接続部300は、面120aにおいて第1の領域A1に配置され、かつ、面220aにおいて第3の領域A3に配置されている。第2の接続部400は、面120aにおいて第2の領域A2に配置され、かつ、面220aにおいて第4の領域A4に配置されている。第1の接続部300と第2の接続部400とは、第1の配線121と第2の配線221とを電氣的に接続する。
- [0042] 第1の接続部300は、第1のバンプ301と、第1の下地電極302aと、第1の下地電極302bとを有する。第1のバンプ301と、第1の下地電極302aと、第1の下地電極302bとは、第3の導電材料で構成されている。例えば、第3の導電材料は、金（Au）、アルミニウム（Al）

、および銅（Cu）等の金属である。

[0043] 第1のバンプ301は、第1の下地電極302aと第1の下地電極302bとの間に配置されている。第1のバンプ301は、第1の下地電極302aおよび第1の下地電極302bと接触している。第1の下地電極302aと第1の下地電極302bとは、第1の領域A1と第3の領域A3とのいずれか1つと第1のバンプ301との間に配置されている。図1では、第1の下地電極302aは、第1の領域A1と第1のバンプ301との間に配置されている。第1の下地電極302aは、第1の領域A1と接触している。第1の下地電極302aは、第1の領域A1において、第1のビア122と接触している。図1では、第1の下地電極302bは、第3の領域A3と第1のバンプ301との間に配置されている。第1の下地電極302bは、第3の領域A3と接触している。第1の下地電極302bは、第3の領域A3において、第2のビア222と接触している。

[0044] 第2の接続部400は、第2のバンプ401と、第2の下地電極402aと、第2の下地電極402bとを有する。第2のバンプ401と、第2の下地電極402aと、第2の下地電極402bとは、第4の導電材料で構成されている。例えば、第4の導電材料は、金（Au）、アルミニウム（Al）、および銅（Cu）等の金属である。

[0045] 第2のバンプ401は、第2の下地電極402aと第2の下地電極402bとの間に配置されている。第2のバンプ401は、第2の下地電極402aおよび第2の下地電極402bと接触している。第2の下地電極402aと第2の下地電極402bとは、第2の領域A2と第4の領域A4とのいずれか1つと第2のバンプ401との間に配置されている。図1では、第2の下地電極402aは、第2の領域A2と第2のバンプ401との間に配置されている。第2の下地電極402aは、第2の領域A2と接触している。第2の下地電極402aは、第2の領域A2において、第1のビア122と接触している。図1では、第2の下地電極402bは、第4の領域A4と第2のバンプ401との間に配置されている。第2の下地電極402bは、第4

の領域A 4と接触している。第2の下地電極402bは、第4の領域A 4において、第2のビア222と接触している。

[0046] 第1の基板100の厚さD1方向における第2の下地電極402aの高さH21は、その厚さ方向D1における第1の下地電極302aの高さH11よりも大きい。例えば、第1の下地電極302aと第2の下地電極402aとは、同時に形成される第1の層を有する。第2の下地電極402aは、第1の層に形成された第2の層をさらに有する。

[0047] 第1の基板100の厚さD1方向における第2のバンプ401の高さH22は、その厚さ方向D1における第1のバンプ301の高さH12よりも小さい。第1の下地電極302aの高さH11と第1のバンプ301の高さH12との合計と、第2の下地電極402aの高さH21と第2のバンプ401の高さH22との合計とは、ほぼ同一である。

[0048] 第1の基板100の厚さD1方向における第1の下地電極302bの高さH13と、その厚さ方向D1における第2の下地電極402bの高さH23とは、ほぼ同一である。このため、第1の基板100の厚さD1方向における第1の接続部300の高さと、その厚さ方向D1における第2の接続部400の高さとは、ほぼ同一である。第1の接続部300の高さは、第1の下地電極302aの高さH11と、第1のバンプ301の高さH12と、第1の下地電極302bの高さH13との合計である。第2の接続部400の高さは、第2の下地電極402aの高さH21と、第2のバンプ401の高さH22と、第2の下地電極402bの高さH23との合計である。

[0049] 第2のバンプ401の径L2は、第1のバンプ301の径L1よりも小さい。第1のバンプ301の径L1と第2のバンプ401の径L2とは、面120aに平行な断面における径である。第1のバンプ301の径L1と第2のバンプ401の径L2とが、第1の基板100の厚さ方向D1の位置に応じて異なる場合、第1の基板100の厚さ方向D1の同一位置において、第2のバンプ401の径L2は、第1のバンプ301の径L1よりも小さい。第2のバンプ401の最大径は第1のバンプ301の最小径よりも小さい。

[0050] 第1の下地電極302bと第2の下地電極402bとが配置されなくてもよい。つまり、第1のバンプ301と第2のバンプ401とが面220aに接触してもよい。第1の下地電極302aが第3の領域A3に配置され、かつ、第1の下地電極302bが第1の領域A1に配置されてもよい。第2の下地電極402aが第4の領域A4に配置され、かつ、第2の下地電極402bが第2の領域A2に配置されてもよい。

[0051] 図2は、第1の基板100と第2の基板200との平面図である。図2では、面120aにおける第1の領域A1と第2の領域A2との位置と、面220aにおける第3の領域A3と第4の領域A4との位置とが示されている。

[0052] 第1の領域A1は、面120aの中心を含む領域である。面120aにおいて、第2の領域A2は第1の領域A1を囲む。つまり、第2の領域A2は、第1の領域A1の周辺領域である。第2の領域A2の面積は、第1の領域A1の面積よりも小さい。第3の領域A3は、面220aの中心を含む領域である。面220aにおいて、第4の領域A4は第3の領域A3を囲む。つまり、第4の領域A4は、第3の領域A3の周辺領域である。第4の領域A4の面積は、第3の領域A3の面積よりも小さい。

[0053] 第1の領域A1と第3の領域A3とに複数の第1の接続部300が配置される。第3の領域A3は、第1の領域A1と対向する。第2の領域A2と第4の領域A4とに複数の第2の接続部400が配置される。第4の領域A4は、第2の領域A2と対向する。

[0054] 図3は、第1の基板100の平面図と接続部の断面図とである。図3では、第1の基板100と第2の基板200とが接合される前の第1のバンプ301と、第1の下地電極302aと、第2のバンプ401と、第2の下地電極402aとの断面が示されている。

[0055] 図3では、第1の基板100と接続部とは、模式的に示されている。例えば、第1の基板100の幅と接続部の高さとの比は、実際の半導体装置10におけるその比と異なる。多数の接続部が第1の基板100の表面に高密度

に配置される。図3では、接続部は、複数の接続部の集合体として描かれている。

[0056] 第1の基板100と第2の基板200とが接合される前、第2のバンプ401の高さH22は、第1のバンプ301の高さH12よりも平均的に小さい。第2のバンプ401の高さH22は、第1の基板100の中心から外側に向かって小さくなる。第1の実施形態では、第2の下地電極402aの高さH21は、第1の下地電極302aの高さH11よりも大きい。このため、第2の下地電極402aの高さH21と第2のバンプ401の高さH22との合計は、第1の下地電極302aの高さH11と第1のバンプ301の高さH12との合計よりも平均的に大きい。

[0057] 第2の領域A2の最も外側の部分において第2の下地電極402aの高さH21と第2のバンプ401の高さH22との合計が第1の下地電極302aの高さH11と第1のバンプ301の高さH12との合計以上となるように第2の下地電極402aの高さH21が設定される。例えば、第1のバンプ301の高さH12が4 μ mである場合、第2の領域A2の最も外側の部分では第2のバンプ401の高さH22の高さは第1のバンプ301の高さH12よりも0.2 μ m小さい。この場合、第2の下地電極402aの高さH21は、第1の下地電極302aの高さH11よりも0.2 μ m以上大きい。

[0058] 図4は、第1の基板100と第2の基板200とが接合される前の半導体装置10の状態を示している。図4では半導体装置10の断面が示されている。

[0059] 図4では、第2の下地電極402aの高さH21と第2のバンプ401の高さH22との合計は、第1の下地電極302aの高さH11と第1のバンプ301の高さH12との合計よりも大きい。第1の下地電極302bの高さH13と第2の下地電極402bの高さH23とは、ほぼ同一である。このため、第1の基板100の厚さ方向D1における第2の接続部400の高さは、その厚さ方向における第1の接続部300の高さよりも大きい。

[0060] 第1の基板100と第2の基板200とが接合されるとき、第1のバンプ301が第1の下地電極302bと接触する前に第2のバンプ401が第2の下地電極402bと接触する。荷重により、第2のバンプ401の上部が潰れる。このため、第2のバンプ401の高さH22が小さくなる。この結果、図1に示すように第1のバンプ301が第1の下地電極302bと接触する。第1の基板100と第2の基板200とが、第1の接続部300と第2の接続部400とによって電氣的に接続される。したがって、接続部の接続不良を低減することができる。

[0061] 第2の下地電極402aの高さH21と第1の下地電極302aの高さH11との差は、小さくてもよい。第2の下地電極402aの高さH21が第1の下地電極302aの高さH11よりも高ければ、第1のバンプ301と第2のバンプ401との高さの差が小さくなる。これによって、第1のバンプ301が第1の下地電極302bと接触しやすく、かつ、第2のバンプ401が第2の下地電極402bと接触しやすい。

[0062] 第2の領域A2の面積は、第1の領域A1の面積よりも小さく、かつ、第4の領域A4の面積は、第3の領域A3の面積よりも小さい。このため、複数の第2の接続部400の数は、複数の第1の接続部300の数よりも少ない。したがって、第2のバンプ401が潰れるために必要な荷重は、第1のバンプ301が潰れるために必要な荷重よりも小さい。さらに、第2のバンプ401の径L2が第1のバンプ301の径L1よりも小さいことにより、第2のバンプ401が潰れるために必要な荷重が低減される。

[0063] 図5は、第1の実施形態の変形例の半導体装置11の構成を示している。図5では半導体装置11の断面が示されている。

[0064] 図5に示す構成について、図1に示す構成と異なる点を説明する。図5では、第1のバンプ301の径L1と第2のバンプ401の径L2とは、ほぼ同一である。第1のバンプ301の径L1と第2のバンプ401の径L2とが、第1の基板100の厚さ方向D1の位置に応じて異なる場合、第1の基板100の厚さ方向D1の同一位置において、第1のバンプ301の径L1

と第2のバンプ401の径 L_2 とが、ほぼ同一である。

[0065] 上記の点以外の点については、図5に示す構成は、図1に示す構成と同様である。

[0066] 上記のように、第1の実施形態の半導体装置10、11は、複数の第1の接続部300と、複数の第2の接続部400と、第1の基板100と、第2の基板200とを有する。複数の第1の接続部300のそれぞれは、第1のバンプ301と第1の下地電極302aとを有する。複数の第2の接続部400のそれぞれは、第2のバンプ401と第2の下地電極402aとを有する。

[0067] 本発明の各態様の半導体装置は、第1の半導体層110と、第1のビア122と、第1の層間絶縁膜123と、第2の半導体層210と、第2のビア222と、第2の層間絶縁膜223と、第1の下地電極302bと、第2の下地電極402bとの少なくとも1つに対応する構成を有していなくてもよい。本発明の各態様の半導体装置は、3枚以上の基板を有してもよい。半導体装置が3枚以上の基板を有する場合、隣接する2枚の基板が第1の基板100と第2の基板200とに対応する。

[0068] 第1の実施形態では、第1の基板100の厚さ方向D1における第2の下地電極402aの高さ H_{21} は、その厚さ方向D1における第1の下地電極302aの高さ H_{11} よりも大きい。このため、接続部の接続不良を低減することができる。

[0069] 第2のバンプ401の径 L_2 は、第1のバンプ301の径 L_1 よりも小さくてもよい。これによって、第1の基板100と第2の基板200とが接合されるときに必要な荷重が低減される。

[0070] (第2の実施形態)

図6は、本発明の第2の実施形態の半導体装置12の構成を示している。図6では半導体装置12の断面が示されている。図6に示すように、半導体装置12は、第1の基板100と、第2の基板200と、第1の接続部300と、第2の接続部400と、第3の接続部500とを有する。第1の基板

１００と第２の基板２００とは、第１の接続部３００と、第２の接続部４００と、第３の接続部５００とを介して接続されている。第１の基板１００と第２の基板２００とは、第１の基板１００の厚さ方向Ｄ１に積層されている。

[0071] 図６に示す構成について、図１に示す構成と異なる点を説明する。半導体装置１２は、複数の第３の接続部５００を有する。図６では、代表として１つの第３の接続部５００が示されている。

[0072] 面１２０ａは、複数の第３の接続部５００が配置される第５の領域Ａ５を含む。面２２０ａは、複数の第３の接続部５００が配置される第６の領域Ａ６を含む。

[0073] 第３の接続部５００は、第１の基板１００と第２の基板２００との間に配置されている。第３の接続部５００は、面１２０ａにおいて第５の領域Ａ５に配置され、かつ、面２２０ａにおいて第６の領域Ａ６に配置されている。第３の接続部５００は、第１の配線１２１と第２の配線２２１とを電氣的に接続する。

[0074] 第３の接続部５００は、第３のバンプ５０１と、第３の下地電極５０２ａと、第３の下地電極５０２ｂとを有する。第３のバンプ５０１と、第３の下地電極５０２ａと、第３の下地電極５０２ｂとは、第４の導電材料で構成されている。例えば、第４の導電材料は、金（Ａｕ）、アルミニウム（Ａｌ）、および銅（Ｃｕ）等の金属である。

[0075] 第３のバンプ５０１は、第３の下地電極５０２ａと第３の下地電極５０２ｂとの間に配置されている。第３のバンプ５０１は、第３の下地電極５０２ａおよび第３の下地電極５０２ｂと接触している。第３の下地電極５０２ａと第３の下地電極５０２ｂとは、第５の領域Ａ５と第６の領域Ａ６とのいずれか１つと第３のバンプ５０１との間に配置されている。図６では、第３の下地電極５０２ａは、第５の領域Ａ５と第３のバンプ５０１との間に配置されている。第３の下地電極５０２ａは、第５の領域Ａ５と接触している。第３の下地電極５０２ａは、第５の領域Ａ５において、第１のビア１２２と接

触している。図6では、第3の下地電極502bは、第6の領域A6と第3のバンプ501との間に配置されている。第3の下地電極502bは、第6の領域A6と接触している。第3の下地電極502bは、第6の領域A6において、第2のビア222と接触している。

[0076] 第1の基板100の厚さD1方向における第3の下地電極502aの高さH31は、その厚さ方向D1における第2の下地電極402aの高さH21よりも大きい。例えば、第2の下地電極402aと第3の下地電極502aとは、同時に形成される第1の層を有する。第2の下地電極402aと第3の下地電極502aとは、第1の層に同時に形成される第2の層をさらに有する。第3の下地電極502aは、第2の層に形成された第3の層をさらに有する。

[0077] 第1の基板100の厚さD1方向における第3のバンプ501の高さH32は、その厚さ方向D1における第2のバンプ401の高さH22よりも小さい。第2の下地電極402aの高さH21と第2のバンプ401の高さH22との合計と、第3の下地電極502aの高さH31と第3のバンプ501の高さH32との合計とは、ほぼ同一である。

[0078] 第1の基板100の厚さD1方向における第2の下地電極402bの高さH23と、その厚さ方向D1における第3の下地電極502bの高さH33とは、ほぼ同一である。このため、第1の基板100の厚さD1方向における第2の接続部400の高さと、その厚さ方向D1における第3の接続部500の高さとは、ほぼ同一である。第2の接続部400の高さは、第2の下地電極402aの高さH21と、第2のバンプ401の高さH22と、第2の下地電極402bの高さH23との合計である。第3の接続部500の高さは、第3の下地電極502aの高さH31と、第3のバンプ501の高さH32と、第3の下地電極502bの高さH33との合計である。

[0079] 第3のバンプ501の径L3と、第2のバンプ401の径L2と、第1のバンプ301の径L1とは、ほぼ同一である。第2のバンプ401の径L2は、第1のバンプ301の径L1よりも小さくてもよい。第3のバンプ50

1の径 L_3 は、第2のバンプ401の径 L_2 よりも小さくてもよい。

[0080] 第3の下地電極502bが配置されなくてもよい。つまり、第3のバンプ501が面220aに接触してもよい。第1の下地電極302aが第3の領域A3に配置され、かつ、第1の下地電極302bが第1の領域A1に配置されてもよい。第2の下地電極402aが第4の領域A4に配置され、かつ、第2の下地電極402bが第2の領域A2に配置されてもよい。第3の下地電極502aが第6の領域A6に配置され、かつ、第3の下地電極502bが第5の領域A5に配置されてもよい。

[0081] 上記以外の点については、図6に示す構成は図1に示す構成と同様である。

[0082] 図7は、第1の基板100と第2の基板200との平面図である。図7では、面120aにおける第1の領域A1と第2の領域A2と第5の領域A5との位置と、面220aにおける第3の領域A3と第4の領域A4と第6の領域A6との位置とが示されている。

[0083] 第1の領域A1は、面120aの中心を含む領域である。面120aにおいて、第2の領域A2は第1の領域A1を囲む。つまり、第2の領域A2は、第1の領域A1の周辺領域である。面120aにおいて、第5の領域A5は第1の領域A1と第2の領域A2とを囲む。つまり、第5の領域A5は、第2の領域A2の周辺領域である。第2の領域A2の面積と第5の領域A5の面積とは、第1の領域A1の面積よりも小さい。

[0084] 第3の領域A3は、面220aの中心を含む領域である。面220aにおいて、第4の領域A4は第3の領域A3を囲む。つまり、第4の領域A4は、第3の領域A3の周辺領域である。面220aにおいて、第6の領域A6は第3の領域A3と第4の領域A4とを囲む。つまり、第6の領域A6は、第5の領域A5の周辺領域である。第4の領域A4の面積と第6の領域A6の面積とは、第3の領域A3の面積よりも小さい。

[0085] 第1の領域A1と第3の領域A3とに複数の第1の接続部300が配置される。第3の領域A3は、第1の領域A1と対向する。第2の領域A2と第

4の領域A4とに複数の第2の接続部400が配置される。第4の領域A4は、第2の領域A2と対向する。第5の領域A5と第6の領域A6とに複数の第3の接続部500が配置される。第6の領域A6は、第5の領域A5と対向する。

[0086] 第2の実施形態では、第1の基板100の厚さ方向D1における第3の下地電極502aの高さH31は、その厚さ方向D1における第2の下地電極402aの高さH21よりも大きい。第1の実施形態では2種類の接続部の高さが設定でき、第2の実施形態では3種類の接続部の高さが設定できる。このため、第2の実施形態では、接続部の高さをより細かく設定することができる。この結果、接続部の接続不良をさらに低減することができる。

[0087] (第3の実施形態)

図8は、本発明の第3の実施形態の固体撮像装置13の構成を示している。固体撮像装置13は、半導体装置の1つの例である。図8では固体撮像装置13の断面が示されている。図8に示すように、固体撮像装置13は、第1の基板100と、第2の基板200と、第1の接続部300と、第2の接続部400と、マイクロレンズMLと、カラーフィルタCFとを有する。第1の基板100と第2の基板200とは、第1の接続部300と第2の接続部400とを介して接続されている。第1の基板100と第2の基板200とは、第1の基板100の厚さ方向D1に積層されている。

[0088] 図8に示す構成について、図1に示す構成と異なる点を説明する。第2の半導体層210は、光電変換部211を有する。図8では複数の光電変換部211が存在するが、代表として1つの光電変換部211の符号が示されている。例えば、光電変換部211は、第2の半導体層210を構成する第2の半導体材料とは不純物濃度が異なる第2の半導体材料で構成されている。

[0089] 面210bにカラーフィルタCFが配置され、かつ、カラーフィルタCF上にマイクロレンズMLが配置されている。図8では複数のマイクロレンズMLが存在するが、代表として1つのマイクロレンズMLの符号が示されている。また、図8では複数のカラーフィルタCFが存在するが、代表として

1つのカラーフィルタCFの符号が示されている。

[0090] 固体撮像装置13の光学的前方に配置された撮像レンズを通過した、被写体からの光がマイクロレンズMLに入射する。マイクロレンズMLは、撮像レンズを透過した光を結像する。カラーフィルタCFは、所定の色に対応した波長の光を透過させる。

[0091] マイクロレンズMLとカラーフィルタCFとを透過した光は、第2の半導体層210に入射する。第2の半導体層210に入射した光は、第2の半導体層210内を進んで光電変換部211に入射する。光電変換部211は、入射した光を信号に変換する。

[0092] 上記以外の点については、図8に示す構成は図1に示す構成と同様である。

[0093] 固体撮像装置13は、図6に示す第3の接続部500を有してもよい。

[0094] 第3の実施形態では、第1の基板100の厚さ方向D1における第2の下地電極402aの高さH21は、その厚さ方向D1における第1の下地電極302aの高さH11よりも大きい。このため、接続部の接続不良を低減することができる。

[0095] 以上、本発明の好ましい実施形態を説明したが、本発明はこれら実施形態およびその変形例に限定されることはない。本発明の趣旨を逸脱しない範囲で、構成の付加、省略、置換、およびその他の変更が可能である。また、本発明は前述した説明によって限定されることはなく、添付のクレームの範囲によってのみ限定される。

産業上の利用可能性

[0096] 本発明の各実施形態によれば、接続部の接続不良を低減することができる。

符号の説明

[0097] 10, 11, 12 半導体装置

13 固体撮像装置

100 第1の基板

- 1 1 0 第1の半導体層
- 1 2 0 第1の配線層
- 1 2 1 第1の配線
- 1 2 2 第1のビア
- 1 2 3 第1の層間絶縁膜
- 2 0 0 第2の基板
- 2 1 0 第2の半導体層
- 2 1 1 光電変換部
- 2 2 0 第2の配線層
- 2 2 1 第2の配線
- 2 2 2 第2のビア
- 2 2 3 第2の層間絶縁膜
- 3 0 0 第1の接続部
- 3 0 1 第1のバンプ
- 3 0 2 a, 3 0 2 b 第1の下地電極
- 4 0 0 第2の接続部
- 4 0 1 第2のバンプ
- 4 0 2 a, 4 0 2 b 第2の下地電極
- 5 0 0 第3の接続部
- 5 0 1 第3のバンプ
- 5 0 2 a, 5 0 2 b 第3の下地電極

請求の範囲

- [請求項1] 第1の配線と第2の配線とを電氣的に接続する複数の第1の接続部と、
- 前記第1の配線と前記第2の配線とを電氣的に接続する複数の第2の接続部と、
- 第1の面と前記第1の配線とを有し、かつ、第1の半導体材料を含み、前記第1の面は、前記複数の第1の接続部が配置される第1の領域と、前記複数の第2の接続部が配置される第2の領域とを含む第1の基板と、
- 第2の面と前記第2の配線とを有し、かつ、第2の半導体材料を含み、前記第2の面は前記第1の面に対向し、前記第2の面は、前記複数の第1の接続部が配置される第3の領域と、前記複数の第2の接続部が配置される第4の領域とを含む第2の基板と、
- を有し、
- 前記複数の第1の接続部のそれぞれは、
- 第1のバンプと、
- 前記第1の領域と前記第3の領域とのいずれか1つと前記第1のバンプとの間に配置された第1の下地電極と、
- を有し、
- 前記複数の第2の接続部のそれぞれは、
- 第2のバンプと、
- 前記第2の領域と前記第4の領域とのいずれか1つと前記第2のバンプとの間に配置された第2の下地電極と、
- を有し、
- 前記第1の面において、前記第2の領域は前記第1の領域を囲み、
- 前記第2の面において、前記第4の領域は前記第3の領域を囲み、
- 前記第1の基板の厚さ方向における前記第2の下地電極の高さは、前記厚さ方向における前記第1の下地電極の高さよりも大きい

半導体装置。

[請求項2] 前記第2のバンプの径は、前記第1のバンプの径よりも小さい
請求項1に記載の半導体装置。

[請求項3] 前記半導体装置は、前記第1の配線と前記第2の配線とを電氣的に
接続する複数の第3の接続部をさらに有し、

前記第1の面は、前記複数の第3の接続部が配置される第5の領域
をさらに含み、

前記第2の面は、前記複数の第3の接続部が配置される第6の領域
をさらに含み、

前記複数の第3の接続部のそれぞれは、

第3のバンプと、

前記第5の領域と前記第6の領域とのいずれか1つと前記第3のバ
ンプとの間に配置された第3の下地電極と、

を有し、

前記第1の面において、前記第5の領域は前記第1の領域と前記第
2の領域とを囲み、

前記第2の面において、前記第6の領域は前記第3の領域と前記第
4の領域とを囲み、

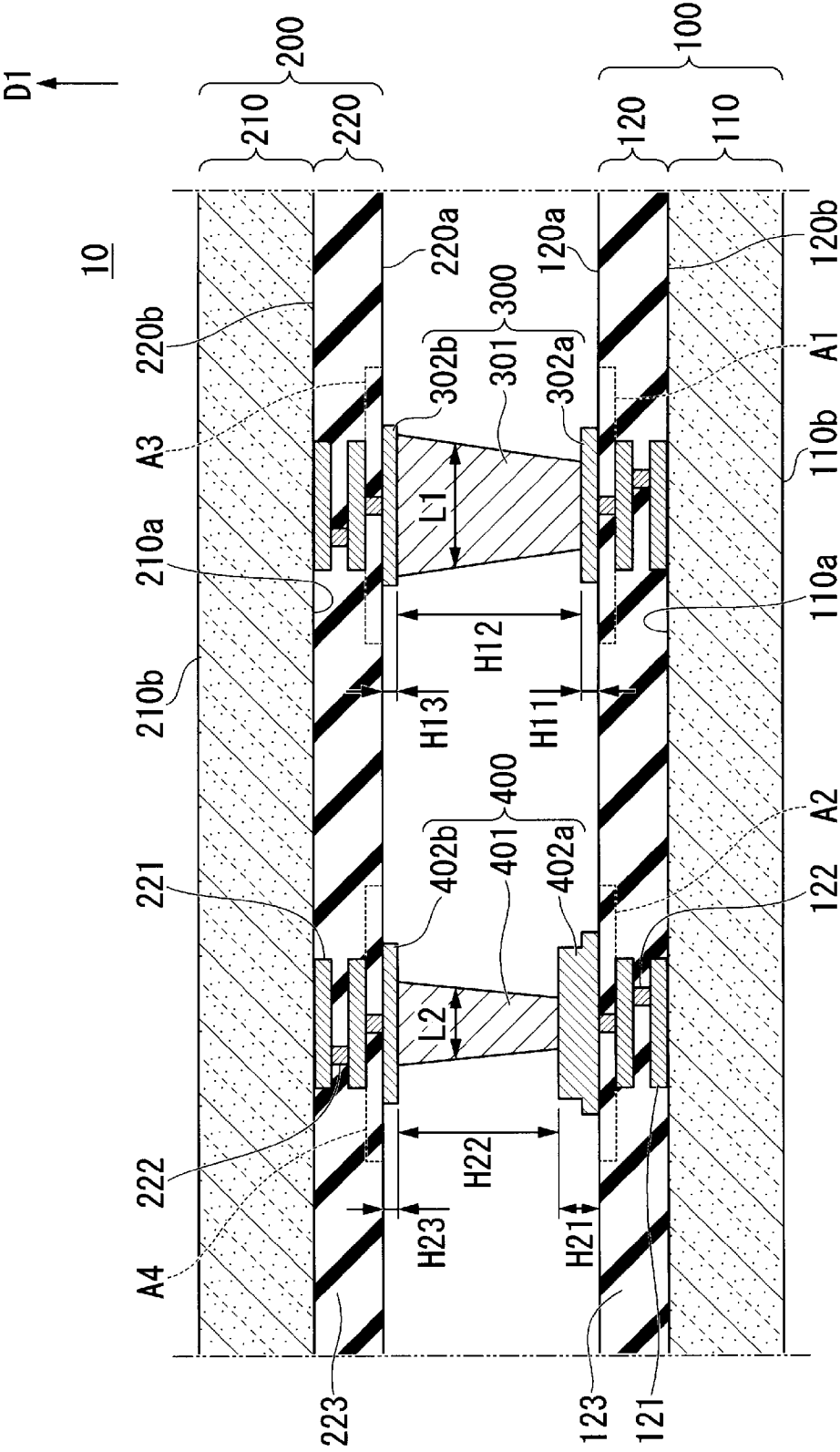
前記厚さ方向における前記第3の下地電極の高さは、前記厚さ方向
における前記第2の下地電極の高さよりも大きい

請求項1に記載の半導体装置。

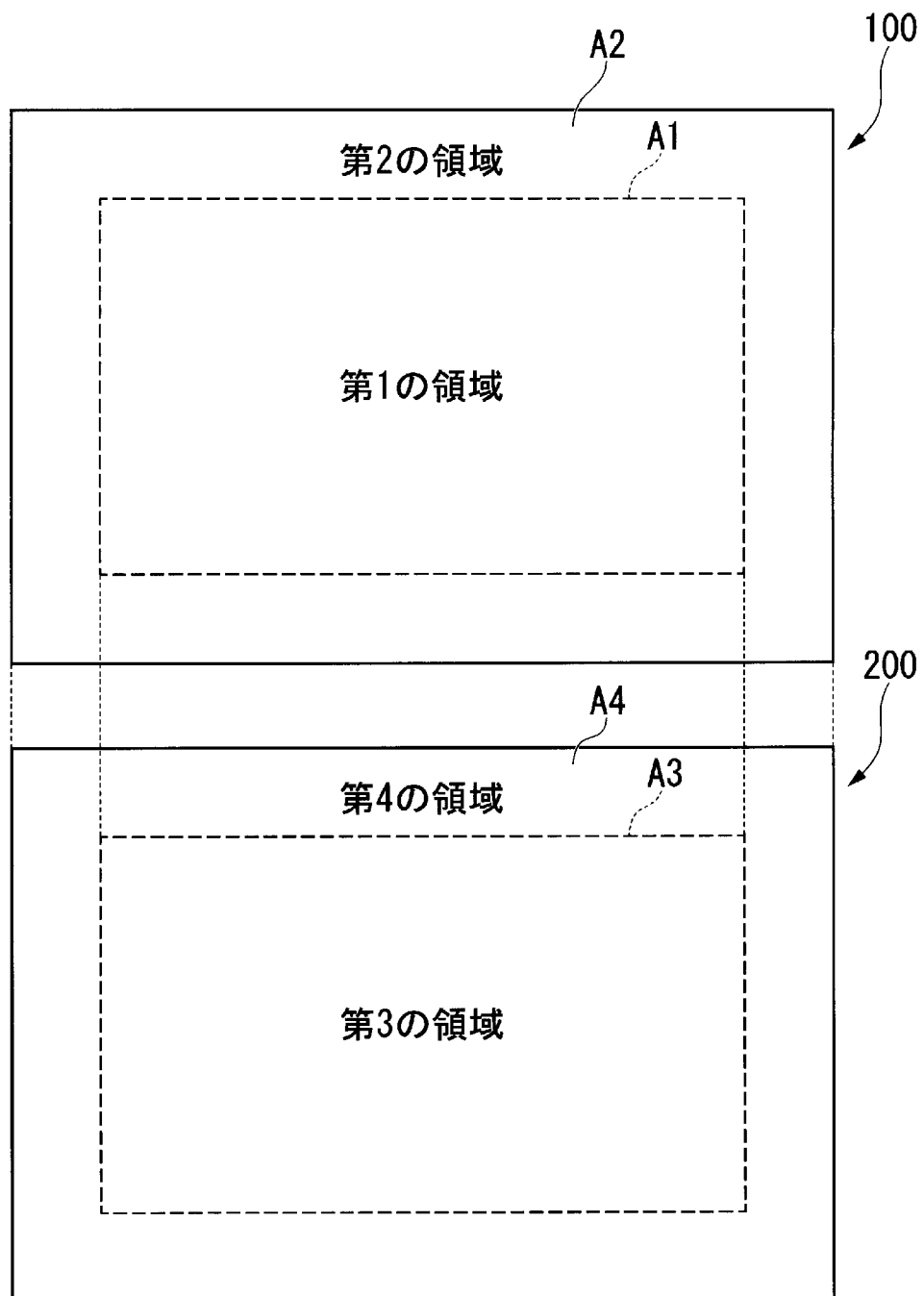
[請求項4] 前記厚さ方向における前記第2の接続部の高さは、前記厚さ方向に
おける前記第1の接続部の高さよりも大きい

請求項1に記載の半導体装置。

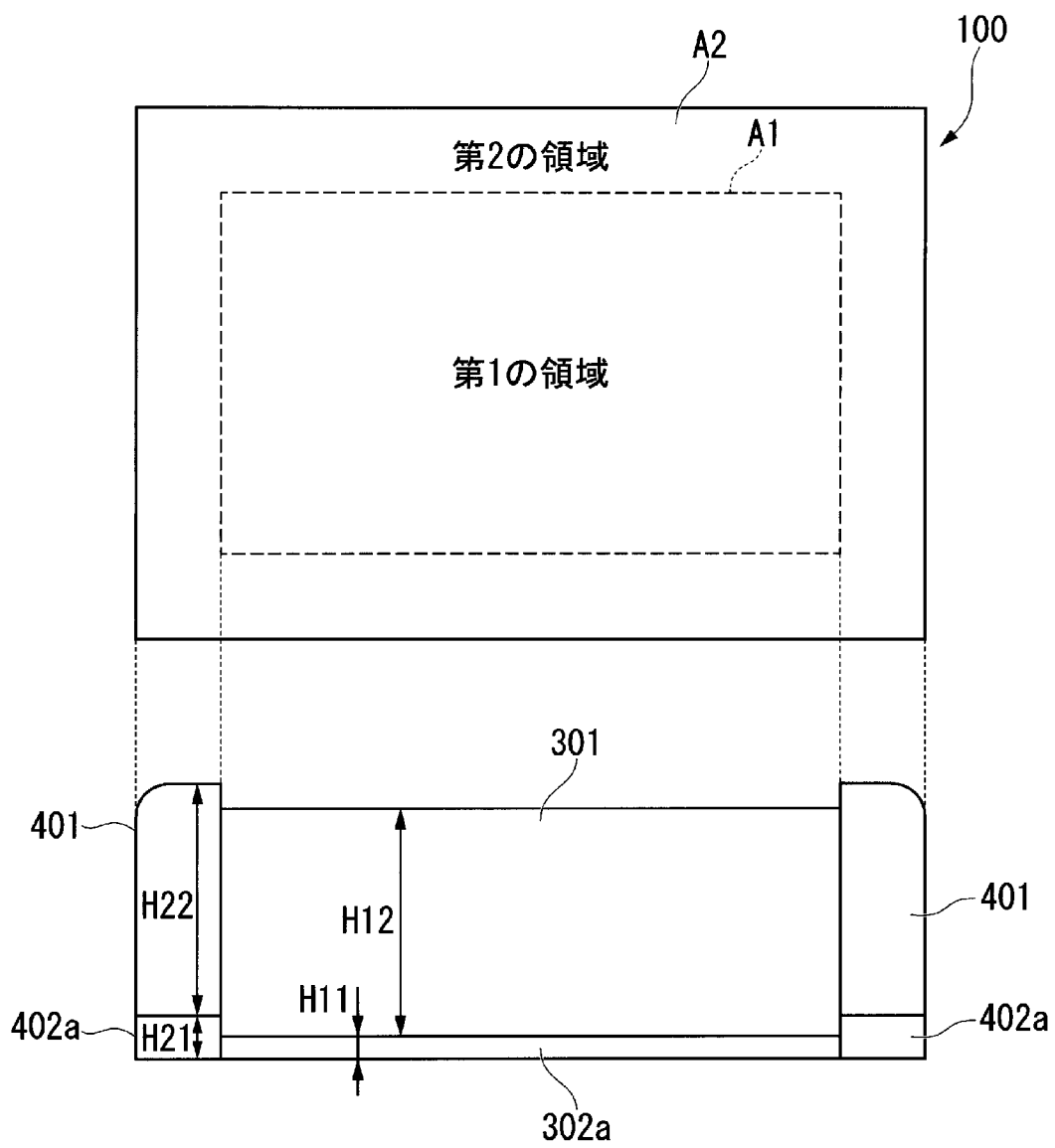
[図1]



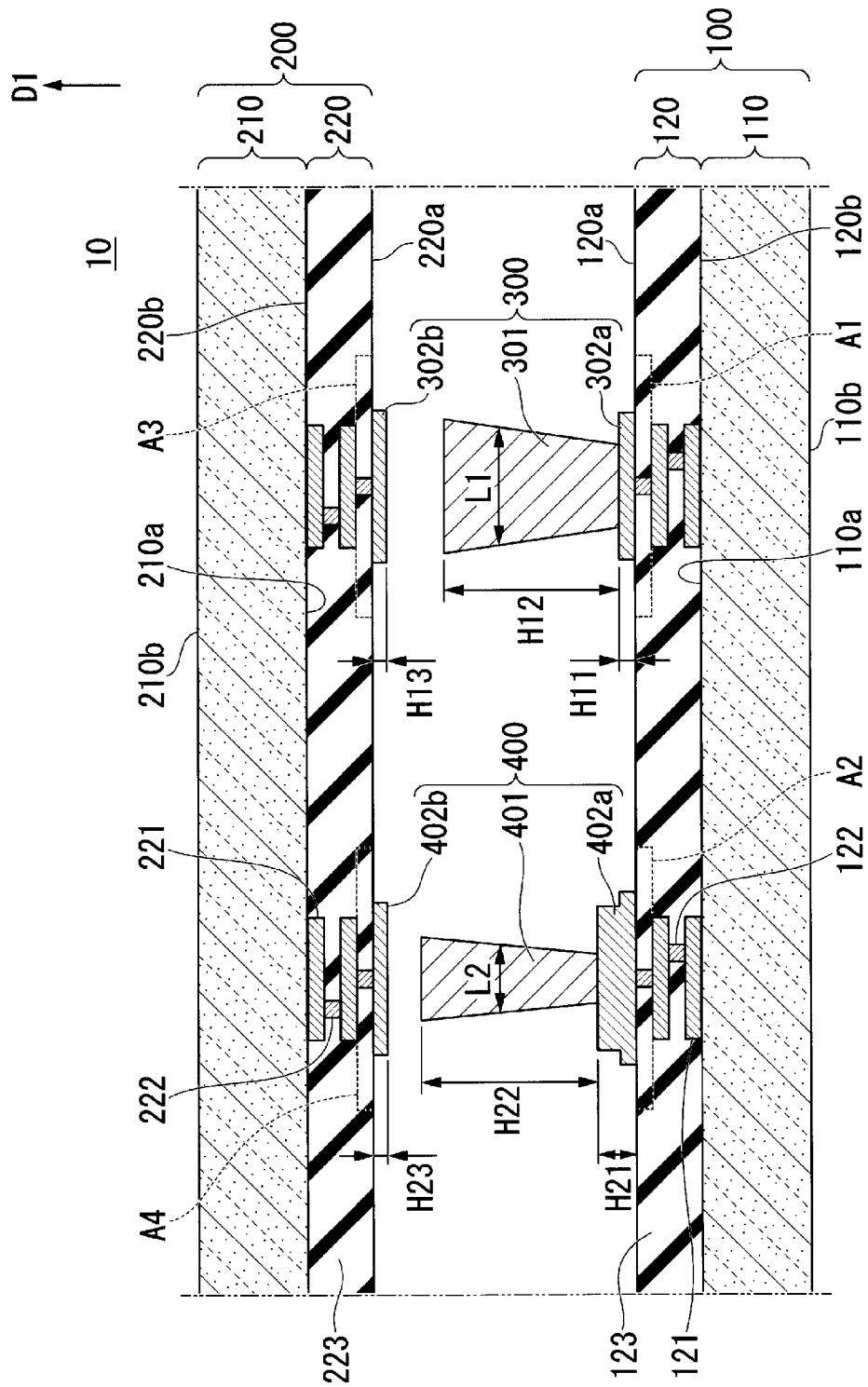
[図2]



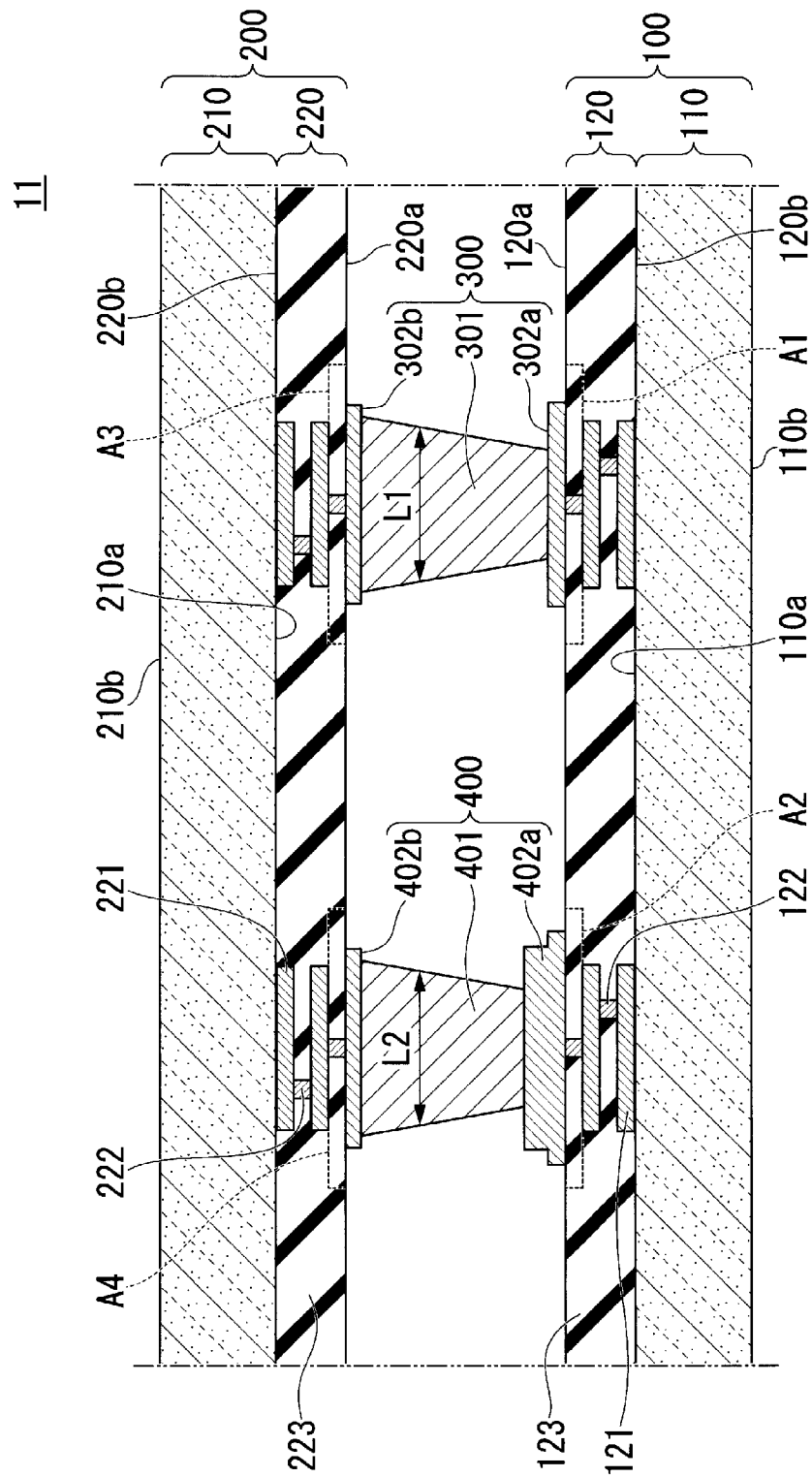
[図3]



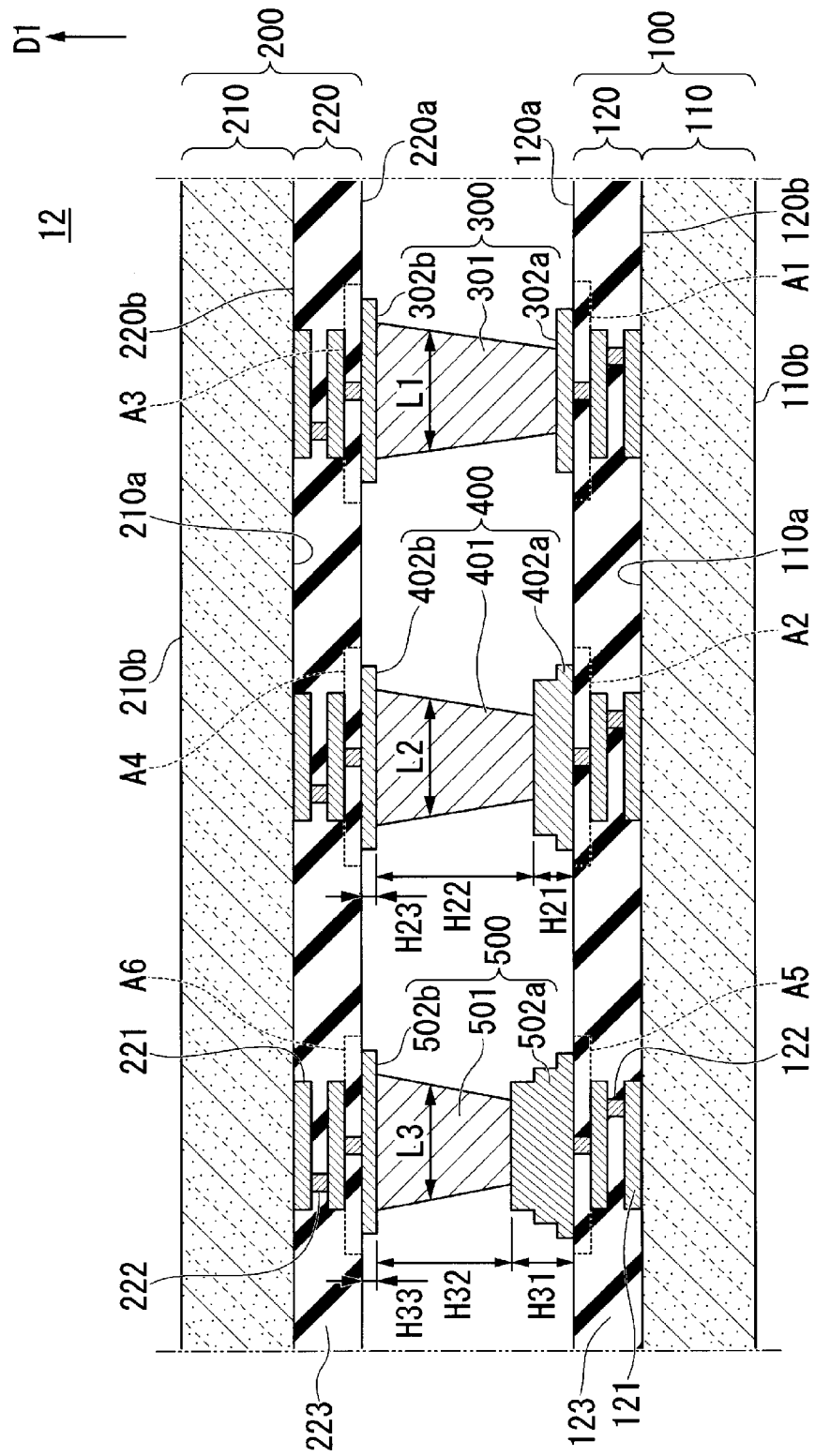
[図4]



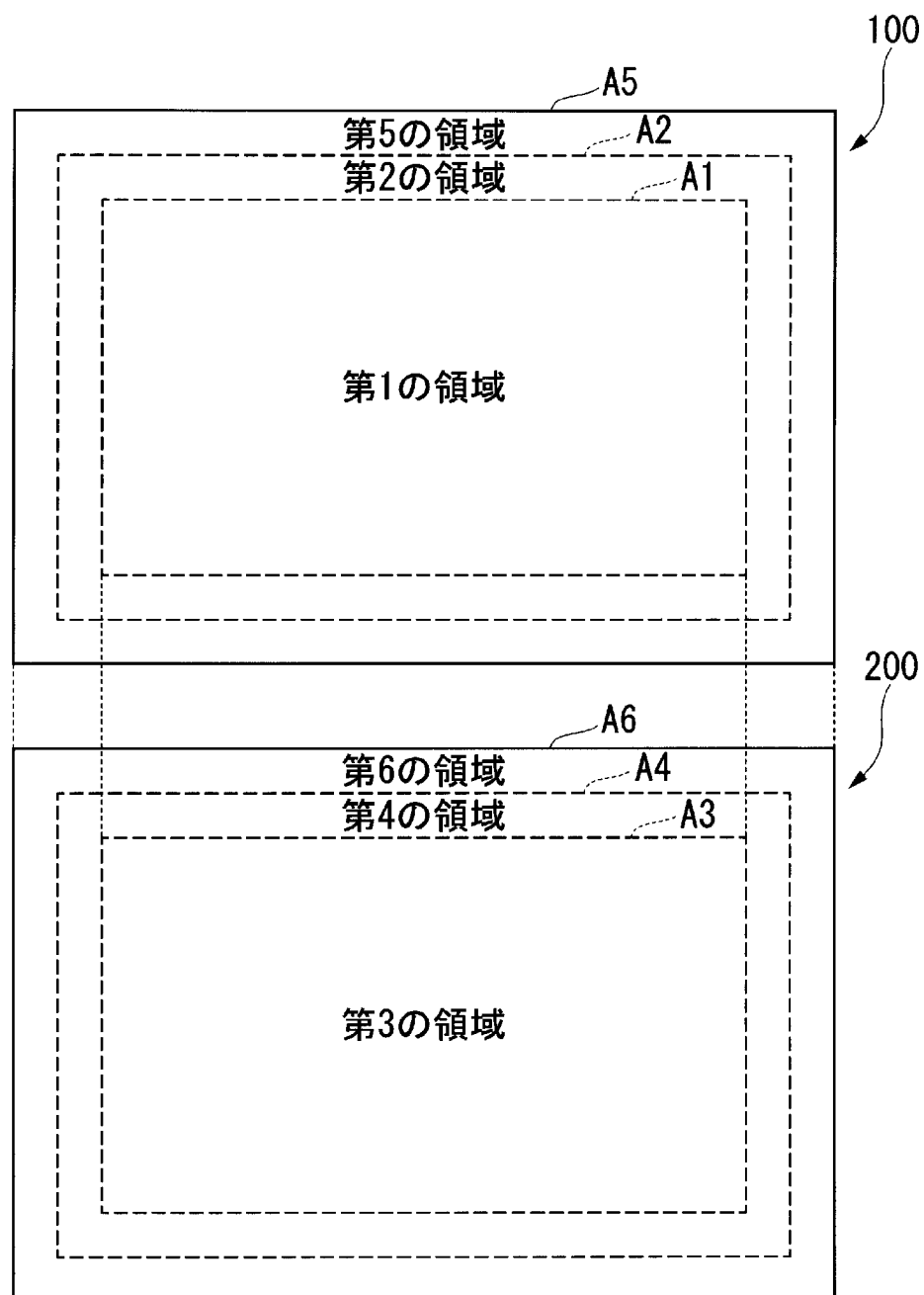
[図5]



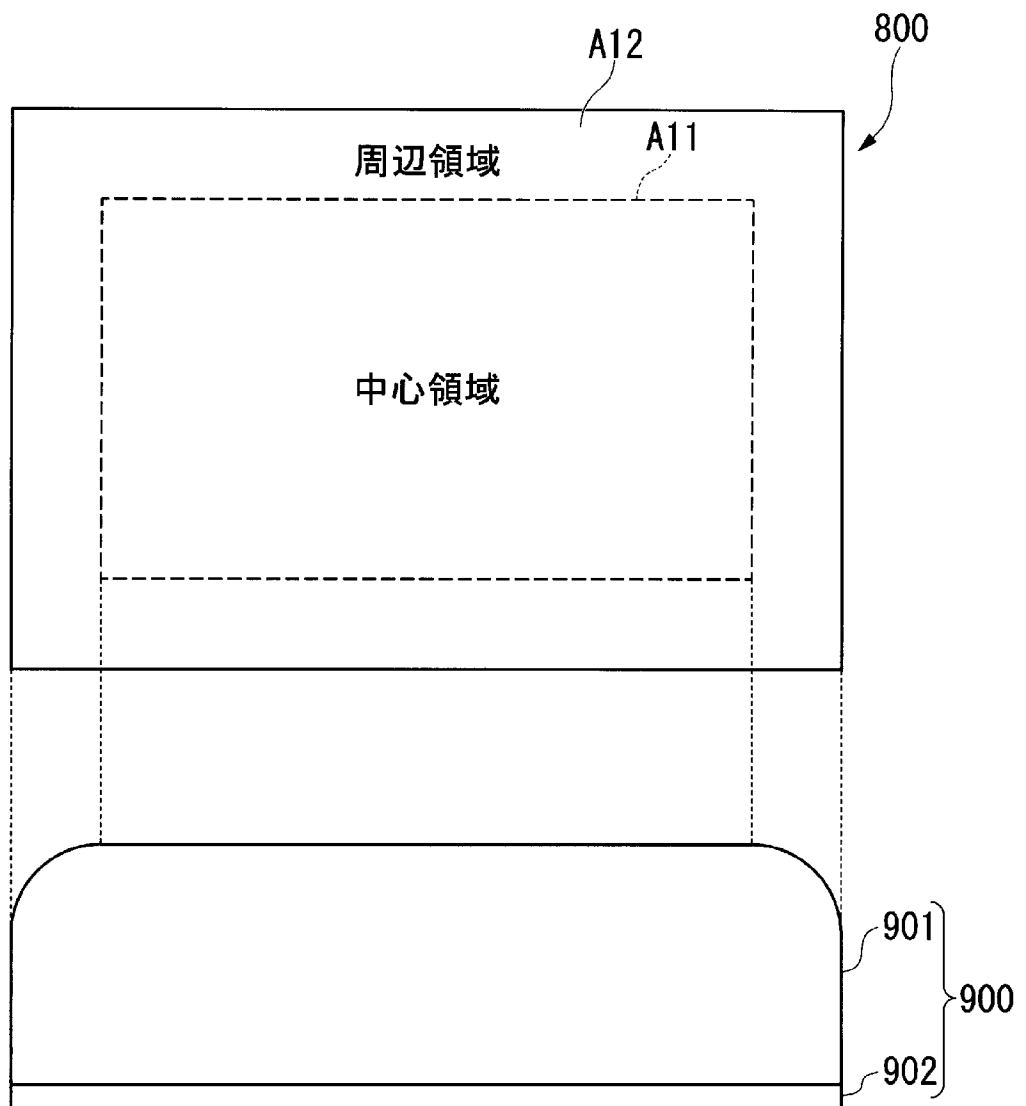
[図6]



[図7]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/062805

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/065(2006.01)i, H01L21/60(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

C23C18/00-20/08, H01L21/339, H01L21/60, H01L25/00-25/07, H01L25/10-25/11, H01L25/16-25/18, H01L27/14, H01L27/144-27/148, H01L29/762

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-089919 A (Hamamatsu Photonics Kabushiki Kaisha), 13 May 2013 (13.05.2013), entire text; all drawings & US 2014/0291486 A1 & WO 2013/058001 A & DE 112012004412 T & TW 201318154 A & CN 103890972 A	1-4
A	JP 2005-109000 A (Seiko Epson Corp.), 21 April 2005 (21.04.2005), entire text; all drawings (Family: none)	1-4
A	JP 2006-041011 A (Optrex Corp.), 09 February 2006 (09.02.2006), entire text; all drawings (Family: none)	1-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 July 2015 (14.07.15)

Date of mailing of the international search report
28 July 2015 (28.07.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/062805

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-194274 A (NEC Electronics Corp.), 02 August 2007 (02.08.2007), entire text; all drawings (Family: none)	1-4
A	JP 2011-003586 A (Fujitsu Semiconductor Ltd.), 06 January 2011 (06.01.2011), entire text; all drawings (Family: none)	1-4

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L25/065(2006.01)i, H01L21/60(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. C23C18/00-20/08, H01L21/339, H01L21/60, H01L25/00-25/07, H01L25/10-25/11, H01L25/16-25/18, H01L27/14, H01L27/144-27/148, H01L29/762

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-089919 A（浜松ホトニクス株式会社）2013.05.13, 全文, 全図 & US 2014/0291486 A1 & WO 2013/058001 A & DE 112012004412 T & TW 201318154 A & CN 103890972 A	1-4
A	JP 2005-109000 A（セイコーエプソン株式会社）2005.04.21, 全文, 全図（ファミリーなし）	1-4
A	JP 2006-041011 A（オプトレックス株式会社）2006.02.09, 全文, 全図（ファミリーなし）	1-4

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 0 7 . 2 0 1 5

国際調査報告の発送日

2 8 . 0 7 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

石坂 博明

5 D

3 3 5 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-194274 A (NECエレクトロニクス株式会社) 2007.08.02, 全文、全図 (ファミリーなし)	1-4
A	JP 2011-003586 A (富士通セミコンダクター株式会社) 2011.01.06, 全文、全図 (ファミリーなし)	1-4