

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-200345

(P2007-200345A)

(43) 公開日 平成19年8月9日(2007.8.9)

(51) Int. Cl.	F I	テーマコード (参考)
G 0 6 F 12/00 (2006.01)	G 0 6 F 12/00 5 5 O E	5 B 0 6 O
G 0 6 F 12/06 (2006.01)	G 0 6 F 12/06 5 1 5 H	
	G 0 6 F 12/06 5 1 5 A	

審査請求 有 請求項の数 2 O L (全 9 頁)

(21) 出願番号	特願2007-76984 (P2007-76984)	(71) 出願人	000005223
(22) 出願日	平成19年3月23日 (2007.3.23)		富士通株式会社
(62) 分割の表示	特願2000-78132 (P2000-78132)		神奈川県川崎市中原区上小田中4丁目1番1号
	の分割	(74) 代理人	100068755
原出願日	平成12年3月21日 (2000.3.21)		弁理士 恩田 博宣
		(74) 代理人	100105957
			弁理士 恩田 誠
		(72) 発明者	山田 力
			愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内
		Fターム(参考)	5B060 CA04

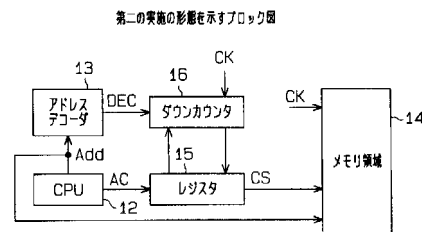
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】動作速度の高速化を図りながら、消費電力の低減を図り得るアクセス制御を可能とした半導体記憶装置を提供する。

【解決手段】CPU 12は、あらかじめ設定されたアクセス回数分のアドレス信号Addを生成して連続して出力するとともに、アドレス信号Addの出力に先立って、アクセス回数値を出力する。アドレスデコーダ13は、アドレス信号Addをデコードしてデコード信号DECを出力する。ダウンカウンタ16は、デコード信号DECの入力に基づいてアクセス回数ACをカウントし、レジスタ15に出力する。レジスタ15は、アドレス回数値の入力に基づいて活性化信号CSを出力するとともに、アクセス回数ACがアクセス回数値と一致したとき、活性化信号CSの出力を停止する。メモリ領域14は、活性化信号CS及びアドレス信号Addに基づいて、書き込み動作あるいは読み出し動作を行う。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

所定のアクセス回数分のアドレス信号を生成して連続して出力するとともに、前記アクセス回数値を出力するアドレス信号生成部と、

前記アドレス信号をデコードしてデコード信号を出力するアドレスデコーダと、

前記アクセス回数値の入力に基づいて活性化信号を出力するとともに、前記デコード信号に基づいてアクセス回数をカウントし、該アクセス回数が該アクセス回数値と一致したときに該活性化信号の出力を停止するアクセス回数判定部と、

前記活性化信号及び前記アドレス信号に基づいて、書き込み動作あるいは読み出し動作を行うメモリ領域とを備えたことを特徴とする半導体記憶装置。

10

【請求項 2】

前記アクセス回数判定部は、

前記アクセス回数をカウントするカウンタ回路を備え、

前記カウンタ回路のカウント値が所定値となったとき、前記活性化信号の出力を停止することを特徴とする請求項 1 記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体記憶装置のアクセス動作を制御するアクセス制御回路に関するものである。

20

近年、デジタルカメラ等の携帯用電子機器には、大容量の半導体記憶装置が搭載され、その動作速度が益々高速化されている。これらの電子機器は、電源として乾電池や充電池が使用されるため、十分な動作継続時間を確保するために、その消費電力を低減する必要がある。従って、このような電子機器に搭載する半導体記憶装置では、消費電力の低減を図りながら、動作速度を高速化する必要がある。

【背景技術】

【0002】

従来、複数のバンクを備えた半導体記憶装置では、その消費電力を低減するために、アクセスしないバンクは不活性状態とし、アドレス信号に基づいて選択されたバンクに限り、そのアドレス信号に基づいて活性化して、書き込み動作あるいは読み出し動作を行うようなアクセス制御を行うようにしたものがある。

30

【0003】

このような半導体記憶装置の動作を図 5 に従って説明すると、アドレス信号 A d d に基づいて選択されたバンクでは、L レベルの選択信号 C S が入力されて活性化される。

そして、例えば読み出し動作時には、クロック信号 C K の入力に基づいて選択された記憶セルからセル情報が読み出しデータ D a t a として読み出される。

【0004】

このような動作により、アドレス信号 A d d に基づいて各バンクが選択されて活性化され、選択されないバンクは不活性状態に維持されるので、消費電力の低減を図ることができる。

40

【発明の開示】

【発明が解決しようとする課題】

【0005】

上記のように、アドレス信号 A d d に基づいて各バンクを活性化して読み出し動作を行う半導体記憶装置では、アドレス信号 A d d の入力に基づいて、読み出しデータ D a t a を出力するまでに、アドレス信号 A d d の入力に基づいて活性化信号 C S が L レベルに立ち下がるまでのデコード時間 t 1 と、活性化信号 C S が L レベルに立ち下がってからクロック信号 C K を立ち上げるまでのセットアップ時間 t 2 と、クロック信号 C K が H レベルに立ち上がってから読み出しデータ D a t a の出力が開始されるまでのアクセス時間 t 3 と、読み出しデータ D a t a の出力を維持するホールド時間 t 4 とが必要である。

50

【0006】

そして、各時間 t_1 、 t_2 、 t_3 、 t_4 の総和がアドレス信号 A_{dd} の入力サイクル、すなわちクロック信号 CK の 1 サイクルの時間以内である必要がある。

このような半導体記憶装置において、動作速度を高速化するために、クロック信号 CK の周波数を高くすると、アドレス信号の入力サイクルが短くなる。

【0007】

ところが、前記各時間 $t_1 \sim t_4$ はアドレス信号 A_{dd} の入力サイクルに関わらず一定であるため、アドレス信号 A_{dd} の入力サイクルを各時間 t_1 、 t_2 、 t_3 、 t_4 の総和より短くすることはできない。従って、動作速度を十分に高速化することができないという問題点がある。

10

【0008】

一方、アドレス信号 A_{dd} に関わらず、各バンクを常時活性化した状態とすれば、各サイクルにおいてセットアップ時間 t_2 を省略することができるので、アドレス信号 A_{dd} の入力サイクルを短縮して、動作速度の高速化を図ることができる。

【0009】

しかし、アドレス信号に関わらずすべてのバンクを常時活性化すると、消費電力が増大するという問題点がある。

この発明の目的は、動作速度の高速化を図りながら、消費電力の低減を図り得るアクセス制御を可能とした半導体記憶装置を提供することにある。

【課題を解決するための手段】

20

【0010】

上記目的を達成するため、請求項 1 に記載の発明は、所定のアクセス回数分のアドレス信号を生成して連続して出力するとともに、前記アクセス回数値を出力するアドレス信号生成部と、前記アドレス信号をデコードしてデコード信号を出力するアドレスデコーダと、前記アクセス回数値の入力に基づいて活性化信号を出力するとともに、前記デコード信号に基づいてアクセス回数をカウントし、該アクセス回数が該アクセス回数値と一致したときに該活性化信号の出力を停止するアクセス回数判定部と、前記活性化信号及び前記アドレス信号に基づいて、書き込み動作あるいは読み出し動作を行うメモリ領域とを備えた。

【0011】

30

請求項 2 に記載の発明は、請求項 1 に記載の半導体記憶装置において、前記アクセス回数判定部は、前記アクセス回数をカウントするカウンタ回路を備え、前記カウンタ回路のカウント値が所定値となったとき、前記活性化信号の出力を停止するようにした。

【発明の効果】

【0012】

以上説明したように、本発明によれば、動作速度の高速化を図りながら、消費電力の低減を図り得るアクセス制御を可能とした半導体記憶装置を提供することができる。

【発明を実施するための最良の形態】

【0013】

(第一の実施の形態)

40

図 2 は、この発明を具体化した第一の実施の形態を示す。この実施の形態の半導体記憶装置は、複数のバンクで構成される第一～第三のメモリ領域 $1a \sim 1c$ を備え、周波数判定部 2 と、待機信号生成部 3 と、 CPU 4 と、アドレスデコーダ 5 と、活性化信号生成部 6 とからアクセス制御回路が構成される。

【0014】

前記周波数判定部 2 は、外部クロック信号 CLK が入力され、その外部クロック信号 CLK に基づくアドレス信号の入力サイクルがあらかじめ設定された時間より長いかなかを判定し、その判定結果を周波数判定信号 HCK として出力する。

【0015】

すなわち、外部クロック信号 CLK が各メモリ領域 $1a \sim 1c$ の動作保証周波数より高

50

い場合には、周波数判定部 2 は H レベルの周波数判定信号 H C K を出力する。外部クロック信号 C L K が各メモリ領域 1 a ~ 1 c の動作保証周波数より低い場合には、周波数判定部 2 は L レベルの周波数判定信号 H C K を出力する。

【 0 0 1 6 】

前記待機信号生成部 3 は、ラッチ回路 7 と、フリップフロップ回路 8 a ~ 8 c と、O R 回路 9 とから構成される。

前記周波数判定信号 H C K は、前記フリップフロップ回路 8 a ~ 8 c にデータ D として入力される。また、フリップフロップ回路 8 a ~ 8 c には前記活性化信号生成部 6 から出力される活性化信号 C S 1 ~ C S 3 がクロック信号 C K としてそれぞれ入力され、その活性化信号 C S 1 ~ C S 3 の L レベルへの立ち下がりに基づいて、データ D を出力信号 Q と

10

【 0 0 1 7 】

前記フリップフロップ回路 8 a ~ 8 c の出力信号 Q は、前記 O R 回路 9 に入力される。そして、O R 回路 9 の出力信号が待機信号 W A I T として前記 C P U 4 に入力されるとともに、前記ラッチ回路 7 にデータ D として入力される。

【 0 0 1 8 】

前記ラッチ回路 7 には、前記 C P U 4 から例えば前記外部クロック信号 C L K と同一周波数の内部クロック信号 C K が入力され、その内部クロック信号 C K の H レベルへの立ち上がりに基づいて、データ D をラッチして出力信号 Q として出力する。

【 0 0 1 9 】

20

前記ラッチ回路 7 の出力信号 Q は、前記フリップフロップ回路 8 a ~ 8 c にリセット信号 P R として入力される。そして、各フリップフロップ回路 8 a ~ 8 c はリセット信号 P R が H レベルに立ち上がると、その出力信号 Q を L レベルにリセットする。

【 0 0 2 0 】

前記 C P U 4 は、アドレス信号を生成し、そのアドレス信号をクロック信号 C K の周期と等しい周期で順次出力する。そのアドレス信号のうち前記第一~第三のメモリ領域 1 a ~ 1 c のいずれかを選択するための上位アドレス信号 A 1 2 ~ A 1 5 は、前記アドレスデコーダ 5 に入力される。前記第一~第三のメモリ領域 1 a ~ 1 c 内の記憶セルを選択するための下位アドレス A x x は、第一~第三のメモリ領域 1 a ~ 1 c 内のアドレスデコーダ

30

【 0 0 2 1 】

また、C P U 4 は H レベルの待機信号 W A I T が入力されていると、前サイクルと同一の上位アドレス信号 A 1 2 ~ A 1 5 及び下位アドレス信号 A x x を出力し続けるようになっている。

【 0 0 2 2 】

前記アドレスデコーダ 5 は、N O R 回路 1 0 a ~ 1 0 c に前記上位アドレス信号 A 1 2 ~ A 1 5 が直接、あるいはインバータ回路を介してそれぞれ入力される。

各 N O R 回路 1 0 a ~ 1 0 c は、前記第一~第三のメモリ領域 1 a ~ 1 c にそれぞれ対応している。第一のメモリ領域 1 a を選択する上位アドレス信号 A 1 2 ~ A 1 5 がアドレスデコーダ 5 に入力されると、N O R 回路 1 0 a の入力信号がすべて L レベルとなり、その N O R 回路 1 0 a から H レベルのデコード信号 D E C 1 が出力される。

40

【 0 0 2 3 】

同様に、第二のメモリ領域 1 b を選択する上位アドレス信号 A 1 2 ~ A 1 5 がアドレスデコーダ 5 に入力されると、N O R 回路 1 0 b の入力信号がすべて L レベルとなり、その N O R 回路 1 0 b から H レベルのデコード信号 D E C 2 が出力される。

【 0 0 2 4 】

同様に、第三のメモリ領域 1 c を選択する上位アドレス信号 A 1 2 ~ A 1 5 がアドレスデコーダ 5 に入力されると、N O R 回路 1 0 c の入力信号がすべて L レベルとなり、その N O R 回路 1 0 c から H レベルのデコード信号 D E C 3 が出力される。

【 0 0 2 5 】

50

前記活性化信号生成部 6 は、3つのラッチ回路 11 a ~ 11 c で構成され、各ラッチ回路 11 a ~ 11 c には前記デコード信号 D E C 1 ~ D E C 3 がそれぞれ入力される。

そして、デコード信号 D E C 1 ~ D E C 3 が H レベルとなると、L レベルの活性化信号 C S 1 ~ C S 3 が出力されるとともに、デコード信号 D E C 1 ~ D E C 3 が L レベルとなると、H レベルの活性化信号 C S 1 ~ C S 3 が出力される。

【0026】

前記活性化信号 C S 1 ~ C S 3 は、前記待機信号生成部 3 のフリップフロップ回路 8 a ~ 8 c に入力されるとともに、前記第一 ~ 第三のメモリ領域 1 a ~ 1 c に入力される。

第一 ~ 第三のメモリ領域 1 a ~ 1 c では、L レベルの活性化信号 C S 1 ~ C S 3 が入力されると活性化されて、クロック信号 C K 及びアドレス信号 A x x に基づいて、読み出し動作あるいは書き込み動作を行う。読み出し動作時には読み出しデータ D a t a を前記 C P U 4 に出力する。 10

【0027】

次に、上記のように構成された半導体記憶装置のアクセス制御回路の動作を図 3 に従って説明する。

外部クロック信号 C L K が各メモリ領域 1 a ~ 1 c の動作保証周波数より高いとき、周波数判定部 2 から H レベルの周波数判定信号 H C K が出力される。

【0028】

この状態で、例えば第一のメモリ領域 1 a に対し連続してアクセスされて、セル情報の読み出し動作が行われるとき、C P U 4 からアドレス信号 A d d が出力されると、上位アドレス信号 A 1 2 ~ A 1 5 に基づいて、アドレスデコーダ 5 から出力されるデコード信号 D E C 1 ~ D E C 3 のうち、デコード信号 D E C 1 が H レベルとなる。 20

【0029】

すると、活性化信号 C S 1 が L レベルとなり、第一のメモリ領域 1 a が活性化されて、C P U 4 から入力される下位アドレス信号 A x x 及びクロック信号 C K に基づいて読み出し動作が行われる。活性化信号 C S 1 は、第一のメモリ領域 1 a が連続して選択されている間は、L レベルに維持される。

【0030】

このとき、活性化信号 C S 1 の L レベルへの立ち下がりに基づいて、待機信号生成部 3 のフリップフロップ回路 8 a の出力信号 Q は H レベルとなり、O R 回路 9 から H レベルの待機信号 W A I T が出力される。すると、C P U 4 は次サイクルでのアドレス信号 A d d の切替えを停止し、最初のアドレス信号 A d d の出力を維持する。 30

【0031】

また、H レベルの待機信号 W A I T が出力された後、クロック信号 C K の次の立ち上がりに基づいてラッチ回路 7 の出力信号 Q が H レベルとなり、そのラッチ回路 7 の出力信号 Q に基づいてフリップフロップ回路 8 a の出力信号 Q は L レベルにリセットされ、待機信号 W A I T は L レベルに復帰する。

【0032】

すると、第一のメモリ領域 8 a では最初の読み出しサイクルで入力されたアドレス信号 A d d が 2 サイクルの間維持され、読み出しデータ D a t a が読み出されて、C P U 4 に出力される。 40

【0033】

最初のサイクルのアドレス信号 A d d が 2 サイクルの間維持された後、待機信号 W A I T は L レベルに復帰しているので、C P U 4 は次サイクルで第一のメモリ領域 1 a 内の記憶セルを選択する次のアドレス信号 A d d を出力する。

【0034】

このとき、活性化信号 C S 1 は L レベルに維持され、新たに入力されたアドレス信号 A d d の下位アドレス信号 A x x に基づいて、第一のメモリ領域 1 a から読み出しデータ D a t a が出力される。

【0035】

そして、第一のメモリ領域 1 a 内の記憶セルが連続して選択されている間は、このような動作が繰り返される。

一方、CPU 4 から出力されるアドレス信号 A d d が第二のメモリ領域 1 b を連続して選択するアドレス信号であれば、活性化信号 C S 2 が L レベルとなり、活性化信号 C S 1、C S 3 は H レベルとなって、第二のメモリ領域 1 b のみが活性化される。

【0036】

そして、上記と同様に最初のアドレス信号 A d d は、2 サイクルの間維持されて当該アドレスに対する読み出し動作が行われ、続くアドレス信号 A d d が 1 サイクル毎に切替えられて、読み出しデータ D a t a が順次読み出される。

【0037】

また、CPU 4 から出力されるアドレス信号 A d d が第三のメモリ領域 1 c を連続して選択するアドレス信号であれば、活性化信号 C S 3 が L レベルとなり、活性化信号 C S 1、C S 2 は H レベルとなって、第三のメモリ領域 1 c のみが活性化される。

【0038】

そして、上記と同様に最初のアドレス信号 A d d は、2 サイクルの間維持されて当該アドレスに対する読み出し動作が行われ、続くアドレス信号 A d d が 1 サイクル毎に切替えられて、読み出しデータ D a t a が順次読み出される。

【0039】

また、外部クロック信号 C L K が各メモリ領域 1 a ~ 1 c の動作保証周波数より低いとき、周波数判定部 2 から L レベルの周波数判定信号 H C K が出力される。

この状態では、待機信号 W A I T が常時 L レベルに維持されるので、最初のアドレス信号 A d d は 1 サイクルで次のアドレス信号に切替えられる。このときには、各読み出しサイクルで活性化信号 C S 1 ~ C S 3 のセットアップ時間が確保し得る余裕があるため、支障はない。

【0040】

上記のように構成されたアクセス制御回路では、次に示す作用効果を得ることができる。

(1) 複数のメモリ領域 1 a ~ 1 c のうち、いずれかのアドレス領域内の記憶セルが連続して選択されるとき、選択されないメモリ領域は不活性状態に維持されるので、すべてのメモリ領域を常時活性化する場合に比して、消費電力を低減することができる。

【0041】

(2) 連続して選択されるメモリ領域では、活性化信号 C S 1 ~ C S 3 が L レベルに維持されて活性化状態が維持される。従って、最初に入力されるアドレス信号 A d d による読み出しサイクルを除き、二つ目以後のアドレス信号 A d d に基づく読み出しサイクルでは、活性化信号 C S 1 ~ C S 3 の立ち下がりからクロック信号 C K を立ち上げるまでに確保すべきセットアップ時間を省略することができる。

【0042】

従って、アドレス信号 A d d の入力サイクル、すなわちクロック信号 C K を高周波数化して、セル情報の読み出し動作を高速化することができる。

(3) 選択されたメモリ領域に入力される最初のアドレス信号 A d d は、通常の読み出しサイクルの 2 倍の時間維持される。すなわち、最初のアドレス信号 A d d による読み出しサイクルは、それ以後の読み出しサイクルの 2 倍の時間が確保される。

【0043】

従って、クロック信号 C K を高周波数化して読み出しサイクルを短縮しても、最初の読み出しサイクルでは活性化信号 C S 1 ~ C S 3 の立ち下がりから、クロック信号 C K の立ち上がりまでのセットアップ時間 t 2 を十分に確保することができる。

(第二の実施の形態)

図 4 は、第二の実施の形態を示す。この実施の形態の CPU 1 2 は、アドレスデコーダ 1 3 及びメモリ領域 1 4 にアドレス信号 A d d を所定の読み出しサイクルで出力する。

【0044】

10

20

30

40

50

また、CPU 12 はあらかじめ設定された所定サイクル分のアドレス信号 A d d を連続して出力するプログラムを備え、そのプログラムの実行に先立って、レジスタ 15 にアドレス信号 A d d を出力する回数、すなわちメモリ領域 14 へのアクセス回数 A C を出力する。

【0045】

前記レジスタ 15 は、前記 CPU 12 からアクセス回数 A C が入力されると、その数値をダウンカウンタ 16 に出力するとともに、メモリ領域 14 には活性化信号 C S を出力する。

【0046】

前記アドレスデコーダ 13 は、CPU 12 からメモリ領域 14 内の記憶セルを選択するアドレス信号 A d d が入力されると、デコード信号 D E C を前記ダウンカウンタ 16 に出力する。 10

【0047】

前記ダウンカウンタ 16 には、内部クロック信号 C K が入力される。そして、デコード信号 D E C が入力されると、クロック信号 C K の立ち上がりに基づいて前記レジスタ 15 から出力されたアクセス回数の数値をダウンカウントし、そのカウント値をレジスタ 15 に出力する。

【0048】

前記レジスタ 15 は、ダウンカウンタ 16 から出力されたカウント値が 0 か否かを検出し、0 であると活性化信号 C S の出力を停止する。 20

上記のように構成されたアクセス制御回路では、CPU 12 によりメモリ領域 14 への連続したアクセスが開始される時、その開始に先立ってあらかじめ設定されたアクセス回数が CPU 12 からレジスタ 15 に出力され、そのアクセス回数の入力に基づいてレジスタ 15 から出力される活性化信号 C S によりメモリ領域 14 が活性化される。

【0049】

そして、CPU 12 からアドレス信号 A d d が所定の読み出しサイクルで出力されると、メモリ領域 14 ではセル情報の読み出し動作が順次行われて、読み出しデータが出力される。

【0050】

このとき、ダウンカウンタ 16 では、レジスタ 15 から入力されたアクセス回数のダウンカウント動作が行われる。そして、メモリ領域 14 への所定のアクセス回数が終了すると、ダウンカウンタ 16 のカウント値が 0 となり、レジスタ 15 からの活性化信号 C S の出力が停止される。この結果、メモリ領域 14 は不活性化される。 30

【0051】

上記のように構成されたアクセス制御回路では、次に示す作用効果を得ることができる。

(1) メモリ領域 14 へのアクセスが発生した場合に限り、メモリ領域 14 が活性化されるので、メモリ領域を常時活性化する場合に比して、消費電力を低減することができる。

【0052】 40

(2) メモリ領域 14 を活性化する活性化信号 C S は、メモリ領域 14 へのアドレス信号 A d d の入力に先立って入力されるとともに、アドレス信号 A d d がメモリ領域 14 へ入力されている間は、入力され続ける。

【0053】

すると、最初のアドレス信号 A d d が入力されてから読み出し動作が終了するまでのすべての読み出しサイクルにおいて、前記セットアップ時間を省略することができる。

従って、アドレス信号 A d d の入力サイクル、すなわちクロック信号 C K を高周波数化して、セル情報の読み出し動作を高速化することができる。

【0054】

(3) 最初の読み出しサイクルと、後続の読み出しサイクルとを同一時間としながら、 50

クロック信号 C Kを高周波数化して、セル情報の読み出し動作を高速化することができる。

【 0 0 5 5 】

上記実施の形態は、次に示すように変更することもできる。

・第一の実施の形態において、メモリ領域は一つとし、アドレスデコーダ、活性化信号生成部及び待機信号生成部を一つのメモリ領域に対応するように構成してもよい。

・第二の実施の形態において、メモリ領域を複数とし、アドレスデコーダ及びレジスタを複数のメモリ領域に対応するように構成してもよい。

【 図面の簡単な説明 】

【 0 0 5 6 】

【 図 1 】 本発明の原理説明図である。

【 図 2 】 第一の実施の形態のアクセス制御回路を示す回路図である。

【 図 3 】 第一の実施の形態の動作を示すタイミング波形図である。

【 図 4 】 第二の実施の形態を示すブロック図である。

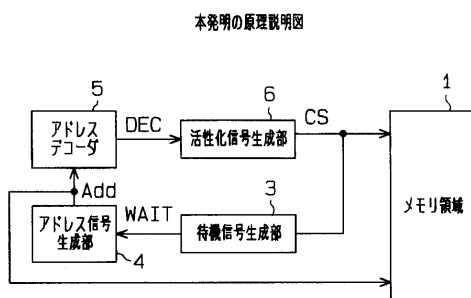
【 図 5 】 従来例の動作を示すタイミング波形図である。

【 符号の説明 】

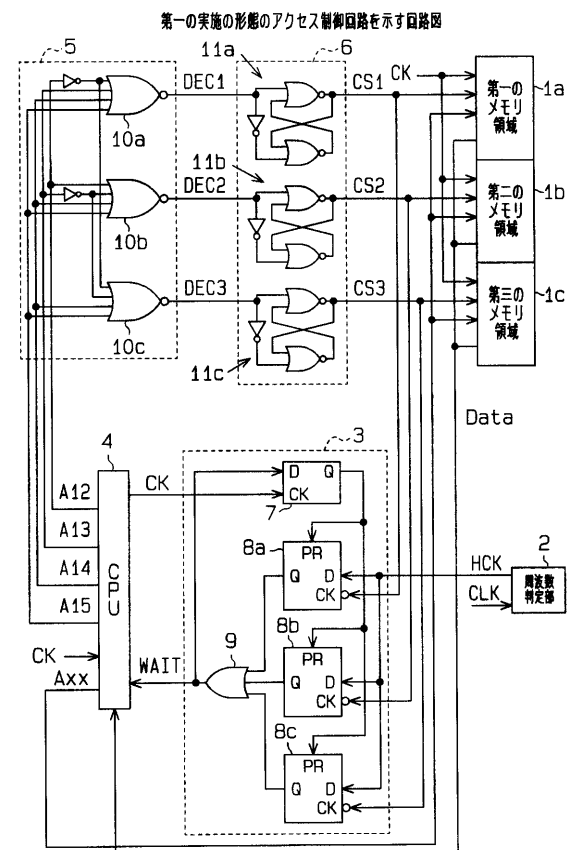
【 0 0 5 7 】

1	メモリ領域
3	待機信号生成部
4	アドレス信号生成部 (C P U)
5	アドレスデコーダ
A d d	アドレス信号
W A I T	待機信号
D E C	デコード信号
C S	活性化信号

【 図 1 】

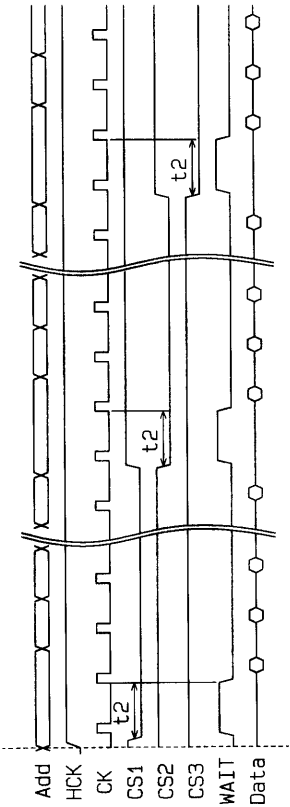


【 図 2 】



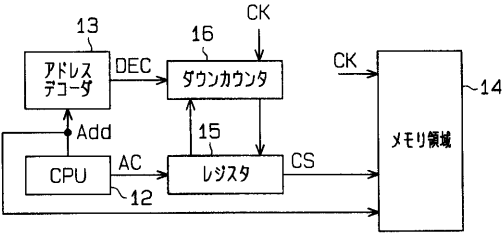
【 図 3 】

第一の実施の形態の動作を示すタイミング波形図



【 図 4 】

第二の実施の形態を示すブロック図



【 図 5 】

従来の動作を示すタイミング波形図

