



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I776472 B

(45) 公告日：中華民國 111 (2022) 年 09 月 01 日

(21) 申請案號：110113865

(22) 申請日：中華民國 110 (2021) 年 04 月 19 日

(51) Int. Cl. : H01L33/32 (2010.01)

H01L33/36 (2010.01)

(30) 優先權：2020/04/24 日本

2020-077634

(71) 申請人：日商日機裝股份有限公司 (日本) NIKKISO CO., LTD. (JP)

日本

(72) 發明人：稻津哲彦 INAZU, TETSUHIKO (JP) ; 深堀真也 FUKAHORI, SHINYA (JP) ; 保樂

喜爾 PERNOT, CYRIL (FR)

(74) 代理人：張耀暉

(56) 參考文獻：

TW 201909443A

CN 1677703A

EP 3413359A1

US 2008/0121914A1

審查人員：許勝宗

申請專利範圍項數：8 項 圖式數：8 共 29 頁

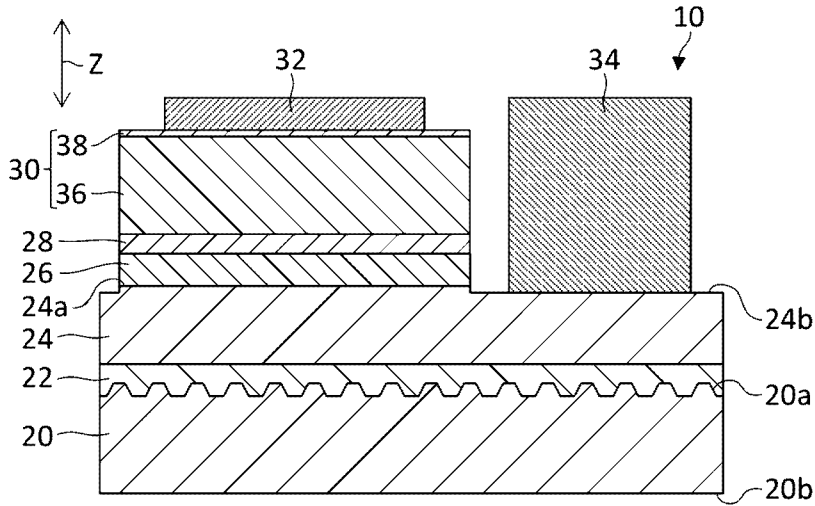
(54) 名稱

半導體發光元件以及半導體發光元件的製造方法

(57) 摘要

本發明的課題在於使半導體發光元件的壽命提升。半導體發光元件 10 係具備 n 型包覆層 24、活性層 26、p 型包覆層 28、第一 p 型接觸層 36、第二 p 型接觸層 38 以及 p 側電極 32。p 型包覆層 28 的氮化鋁比率為 50% 以上。第一 p 型接觸層 36 係具有 5% 以下的氮化鋁比率，並具有 $8 \times 10^{18} / \text{cm}^3$ 以上至 $5 \times 10^{19} / \text{cm}^3$ 以下的 p 型摻雜物濃度，且具有大於 500nm 的厚度。第二 p 型接觸層 38 係具有 5% 以下的氮化鋁比率，並具有 $8 \times 10^{19} / \text{cm}^3$ 以上至 $4 \times 10^{20} / \text{cm}^3$ 以下的 p 型摻雜物濃度，且具有 8nm 以上至 28nm 以下的厚度。p 側電極 32 相對於第二 p 型接觸層 38 的接觸電阻為 $1 \times 10^{-2} \Omega \cdot \text{cm}^2$ 以下。

指定代表圖：



【圖1】

符號簡單說明：

- 10: 半導體發光元件
- 20: 基板
- 20a: 第一主表面
- 20b: 第二主表面
- 22: 基底層
- 24: n 型包覆層
- 24a: 第一上表面
- 24b: 第二上表面
- 26: 活性層
- 28: p 型包覆層
- 30: p 型接觸層
- 32: p 側電極
- 34: n 側電極
- 36: 第一 p 型接觸層
- 38: 第二 p 型接觸層



I776472

【發明摘要】

【中文發明名稱】 半導體發光元件以及半導體發光元件的製造方法

【中文】

本發明的課題在於使半導體發光元件的壽命提升。半導體發光元件 10 係具備 n 型包覆層 24、活性層 26、p 型包覆層 28、第一 p 型接觸層 36、第二 p 型接觸層 38 以及 p 側電極 32。p 型包覆層 28 的氮化鋁比率為 50% 以上。第一 p 型接觸層 36 係具有 5% 以下的氮化鋁比率，並具有 $8 \times 10^{18} / \text{cm}^3$ 以上至 $5 \times 10^{19} / \text{cm}^3$ 以下的 p 型摻雜物濃度，且具有大於 500nm 的厚度。第二 p 型接觸層 38 係具有 5% 以下的氮化鋁比率，並具有 $8 \times 10^{19} / \text{cm}^3$ 以上至 $4 \times 10^{20} / \text{cm}^3$ 以下的 p 型摻雜物濃度，且具有 8nm 以上至 28nm 以下的厚度。p 側電極 32 相對於第二 p 型接觸層 38 的接觸電阻為 $1 \times 10^{-2} \Omega \cdot \text{cm}^2$ 以下。

【指定代表圖】 圖1。

【代表圖之符號簡單說明】

10: 半導體發光元件

20: 基板

20a 第一主表面

20b: 第二主表面

22: 基底層

24: n型包覆層

24a: 第一上表面

24b: 第二上表面

26: 活性層

110P000645TW

第 1 頁，共 2 頁(發明摘要)

28:p型包覆層

30:p型接觸層

32:p側電極

34:n側電極

36:第一p型接觸層

38:第二p型接觸層

【發明說明書】

【中文發明名稱】 半導體發光元件以及半導體發光元件的製造方法

【技術領域】

【0001】 本發明係有關於一種半導體發光元件以及半導體發光元件的製造方法。

【先前技術】

【0002】 用以輸出波長355nm以下的深紫外光之半導體發光元件係具有層疊於基板上的氮化鋁鎵(AlGaIn)系的n型包覆層(clad layer)、活性層以及p型包覆層。為了降低p側電極的接觸電阻(contact resistance)，於p側電極與p型包覆層之間設置有由p型氮化鎵(GaN)所構成的p型接觸層。由於p型氮化鎵的深紫外光的吸收係數高，因此從光取出效率(light extraction efficiency)的觀點來看，較佳為薄薄地形成。p型接觸層的厚度係例如為300nm以下或者50nm以下(參照專利文獻1、2)。

[先前技術文獻]

[專利文獻]

【0003】

[專利文獻1]日本特開2014-96539號公報。

[專利文獻2]國際公開第2015/029281號公報。

【發明內容】

[發明所欲解決之課題]

【0004】 依據本發明人們的卓見，當減小p型接觸層的厚度時，半導體發光元件的壽命會降低。

【0005】 本發明有鑑於此種課題而研創，目的在於使半導體發光元件的壽命提升。

[用以解決課題之手段]

【0006】 本發明的一個態樣為一種半導體發光元件，係具備：n型包覆層，係由n型氮化鋁鎵系半導體材料所構成；活性層，係設置於n型包覆層上，以發出波長240nm以上至320nm以下的深紫外光之方式由氮化鋁鎵系半導體材料所構成；p型包覆層，係設置於活性層上，由氮化鋁(AIN)比率為50%以上的p型氮化鋁鎵系半導體材料或者p型氮化鋁系半導體材料所構成；第一p型接觸層，係接觸地設置於p型包覆層上，由氮化鋁比率為5%以下的p型氮化鋁鎵系半導體材料或者p型氮化鎵系半導體材料所構成，並具有 $8 \times 10^{18} / \text{cm}^3$ 以上至 $5 \times 10^{19} / \text{cm}^3$ 以下的p型摻雜物(dopant)濃度，且具有大於500nm的厚度；第二p型接觸層，係接觸地設置於第一p型接觸層上，由氮化鋁比率為5%以下的p型氮化鋁鎵系半導體材料或者p型氮化鎵系半導體材料所構成，並具有 $8 \times 10^{19} / \text{cm}^3$ 以上至 $4 \times 10^{20} / \text{cm}^3$ 以下的p型摻雜物濃度，且具有8nm以上至28nm以下的厚度；以及p側電極，係接觸地設置於第二p型接觸層上，且相對於第二p型接觸層之接觸電阻為 $1 \times 10^{-2} \Omega \cdot \text{cm}^2$ 以下。

【0007】 依據此態樣，藉由設置氮化鋁比率為5%以下的低氮化鋁組成的第一p型接觸層以及第二p型接觸層，能降低p側電極的接觸電阻並能減低半導體發光元件的動作電壓。此外，當於氮化鋁比率為50%以下的高氮化鋁組成的p型包覆層上直接形成第一p型接觸層時，因為大的氮化鋁比率差導致晶格不匹配

(lattice mismatch)變大，第一p型接觸層於p型包覆層上島狀地逐漸成長。此時，當第一p型接觸層的厚度小時，第一p型接觸層的上表面的平坦性降低且元件壽命降低。依據本發明人們的卓見，藉由將第一p型接觸層的厚度作成大於500nm，能提高第一p型接觸層的上表面的平坦性，並能使元件壽命大幅地提升。此外，與p側電極接觸的第二p型接觸層係具有 $8 \times 10^{19} / \text{cm}^3$ 以上至 $4 \times 10^{20} / \text{cm}^3$ 以下的p型摻雜物濃度且具有8nm以上至28nm以下的厚度，藉此能將p側電極的接觸電阻作成 $1 \times 10^{-2} \Omega \cdot \text{cm}^2$ 以下。另一方面，第一p型接觸層係具有 $8 \times 10^{18} / \text{cm}^3$ 以上至 $5 \times 10^{19} / \text{cm}^3$ 以下的p型摻雜物濃度，藉此能提高第一p型接觸層中的載子移動率(carrier mobility)並能減低半導體發光元件的動作電壓。

【0008】 第二p型接觸層亦可具有 $1 \times 10^{20} / \text{cm}^3$ 以上至 $2 \times 10^{20} / \text{cm}^3$ 以下的p型摻雜物濃度。

【0009】 第二p型接觸層亦可具有11nm以上至20nm以下的厚度。

【0010】 第一p型接觸層的厚度亦可為700nm以上至1000nm以下。

【0011】 p型包覆層亦可由氮化鋁比率為60%以上的p型氮化鋁鎵系半導體材料所構成。

【0012】 第一p型接觸層以及第二p型接觸層亦可由p型氮化鎵所構成。

【0013】 本發明的另一個態樣為一種半導體發光元件的製造方法。半導體發光元件的製造方法係具備下述步驟：於由n型氮化鋁鎵系半導體材料所構成的n型半導體層上以發出波長240nm以上至320nm以下的深紫外光之方式形成由氮化鋁鎵系半導體材料所構成的活性層；於活性層上形成由氮化鋁比率為50%以上的p型氮化鋁鎵系半導體材料或者p型氮化鋁系半導體材料所構成的p型包覆層；以接觸至p型包覆層上之方式形成第一p型接觸層，第一p型接觸層係由氮化

鋁比率為5%以下的p型氮化鋁鎵系半導體材料或者p型氮化鎵系半導體材料所構成，第一p型接觸層係具有 $8 \times 10^{18} / \text{cm}^3$ 以上至 $5 \times 10^{19} / \text{cm}^3$ 以下的p型摻雜物濃度且具有大於500nm的厚度；以接觸至第一p型接觸層上之方式形成第二p型接觸層，第二p型接觸層係由氮化鋁比率為5%以下的p型氮化鋁鎵系半導體材料或者p型氮化鎵系半導體材料所構成，第二p型接觸層係具有 $8 \times 10^{19} / \text{cm}^3$ 以上至 $4 \times 10^{20} / \text{cm}^3$ 以下的p型摻雜物濃度且具有8nm以上至28nm以下的厚度；以及以接觸至第二p型接觸層上之方式形成p側電極，p側電極相對於第二p型接觸層之接觸電阻為 $1 \times 10^{-2} \Omega \cdot \text{cm}^2$ 以下。

【0014】 依據本態樣，能達成與上述態樣同樣的功效。

【0015】 第二p型接觸層的成長率(growth rate)亦可為第一p型接觸層的成長率的20%以上至60%以下。

[發明功效]

【0016】 依據本發明，能提升半導體發光元件的壽命。

【圖式簡單說明】

【0017】

[圖1]係概略性地顯示實施形態的半導體發光元件的構成之剖視圖。

[圖2]係概略性地顯示半導體發光元件的製造步驟之剖視圖。

[圖3]係概略性地顯示半導體發光元件的製造步驟之剖視圖。

[圖4]係顯示實施例的半導體發光元件的發光強度的時間經過變化之圖表。

[圖5]係顯示實施例的半導體發光元件的壽命與第一p型接觸層的厚度的關係之圖表。

[圖6]係顯示p側電極的接觸電阻與第二p型接觸層的摻雜物濃度的關係之圖表。

[圖7]係顯示p側電極的接觸電阻與第二p型接觸層的厚度的關係之圖表。

[圖8]係顯示p側電極的接觸電阻與第二p型接觸層的摻雜物濃度以及厚度的關係之圖表。

【實施方式】

【0018】 以下一邊參照圖式一邊詳細地說明用以實施本發明之形態。此外，在說明書中針對相同的要素附上相同的元件符號並適當地省略重複的說明。此外，為了幫助理解說明，各個圖式中的各個構成要素的尺寸比例並未必與實際的發光元件的尺寸比例一致。

【0019】 本實施形態為一種半導體發光元件，係以發出中心波長 λ 成為360nm以下的「深紫外光」之方式所構成，且為所謂的DUV-LED(Deep UltraViolet-Light Emitting Diode；深紫外發光二極體)晶片。為了輸出此種波長的深紫外光，使用能隙(bandgap)成為約3.4eV以上的氮化鋁鎵系半導體材料。在本實施形態中，尤其顯示發出中心波長 λ 為約240nm至320nm的深紫外光之情形。

【0020】 在本說明書中，所謂「氮化鋁鎵系半導體材料」係指至少包含氮化鋁以及氮化鎵的半導體材料，且為含有氮化銦(InN)等的其他材料的半導體材料。因此，本說明書中所稱的「氮化鋁鎵系半導體材料」係例如能以 $\text{In}_{1-x-y}\text{Al}_x\text{Ga}_y\text{N}$ ($0 < x+y \leq 1$ ； $0 < x < 1$ ； $0 < y < 1$)的組成來表示，且包含氮化鋁鎵或者氮化鋁銦鎵(InAlGaN)。本說明書中的「氮化鋁鎵系半導體材料」係例如為氮化鋁以

及氮化鎵各者的莫耳分率(mole fraction)為1%以上，較佳為5%以上、10%以上或者20%以上。

【0021】此外，為了區別未包含氮化鋁的材料，會有稱為「氮化鎵系半導體材料」之情形。於「氮化鎵系半導體材料」包含有氮化鎵或者氮化銦鎵(InGaN)。同樣地，為了區別未包含氮化鎵的材料，會有稱為「氮化鋁系半導體材料」之情形。於「氮化鋁系半導體材料」包含有氮化鋁或者氮化鋁銦(InAlN)。

【0022】圖1係概略地顯示實施形態的半導體發光元件10的構成之剖視圖。半導體發光元件10係具備基板20、基底層(base layer)22、n型包覆層24、活性層26、p型包覆層28、p型接觸層30、p側電極32以及n側電極34。

【0023】會有將在圖1中以箭頭Z所示的方向稱為「上下方向」或者「厚度方向」之情形。此外，會有下述情形：將從基板20觀看時離開基板20之方向稱為上側，將從基板20觀看時朝向基板20之方向稱為下側。

【0024】基板20為對半導體發光元件10所發出的深紫外光具有透光性之基板，例如為藍寶石(sapphire)(氧化鋁(Al_2O_3))基板。基板20係具有第一主表面20a以及第二主表面20b，第二主表面20b為第一主表面20a的相反側。第一主表面20a為成為結晶成長面之一個主表面，結晶成長面係用以使從基底層22至p型接觸層30為止的各層成長。於第一主表面20a形成有深度以及間距(pitch)為次微米(submicron)($1\ \mu\text{m}$ 以下)之細微的凹凸圖案。此種基板20亦被稱為圖案化藍寶石基板(PSS；Patterned Sapphire Substrate)。第二主表面20b為成為光取出面之一個主表面，光取出面係用以將活性層26所發出的深紫外光取出至外部。此外，基板20亦可為氮化鋁基板，亦可為氮化鋁鎵基板。基板20亦可為由第一主表面20a未被圖案化的平坦面所構成之通常的基板。

【0025】 基底層22係設置於基板20的第一主表面20a上。基底層22為用以形成n型包覆層24之底層(under layer)(模板層(template layer))。基底層22係例如為無摻雜(undoped)的氮化鋁層，具體而言為經過高溫成長的氮化鋁(高溫氮化鋁(HT-AlN；High Temperature ALN))層。基底層22亦可包含形成於氮化鋁層上之未摻雜的氮化鋁鎵層。在基板20為氮化鋁基板或者氮化鋁鎵基板之情形中，基底層22亦可僅由未摻雜的氮化鋁鎵層所構成。亦即，基底層22係包含未摻雜的氮化鋁層以及氮化鋁鎵層的至少一者。

【0026】 n型包覆層24係設置於基底層22上。n型包覆層24為n型的氮化鋁鎵系半導體材料層，例如為摻雜矽作為n型的雜質之氮化鋁鎵層。n型包覆層24係以讓活性層26所發出的深紫外光透過之方式選擇組成比，並以氮化鋁的莫耳分率成為40%以上或者50%以上之方式形成。n型包覆層24係具有比活性層26所發出的深紫外光的波長還大的能隙，例如以能隙成為3.85eV以上之方式形成。n型包覆層24係較佳為以氮化鋁的莫耳分率成為80%以下(亦即能隙成為5.5eV以下)之方式形成，較佳為以氮化鋁的的莫耳分率成為70%以下(亦即能隙成為5.2eV以下)之方式形成。n型包覆層24係具有1 μ m至3 μ m左右的厚度，例如具有2 μ m左右的厚度。

【0027】 n型包覆層24係以屬於雜質的矽的濃度成為 $1 \times 10^{18} / \text{cm}^3$ 以上至 $5 \times 10^{19} / \text{cm}^3$ 以下之方式形成。n型包覆層24較佳為以矽濃度成為 $5 \times 10^{18} / \text{cm}^3$ 以上至 $3 \times 10^{19} / \text{cm}^3$ 以下之方式形成，更佳為以矽濃度成為 $7 \times 10^{18} / \text{cm}^3$ 以上至 $2 \times 10^{19} / \text{cm}^3$ 以下之方式形成。在某個實施例中，n型包覆層24的矽濃度為 $1 \times 10^{19} / \text{cm}^3$ 前後，且為 $8 \times 10^{18} / \text{cm}^3$ 以上至 $1.5 \times 10^{19} / \text{cm}^3$ 以下的範圍。

【0028】 n型包覆層24係具有第一上表面24a以及第二上表面24b。第一上表面24a為形成有活性層26之部分。第二上表面24b為未形成有活性層26而是形成有n側電極34之部分。

【0029】 活性層26係設置於n型包覆層24的第一上表面24a上。活性層26係由氮化鋁鎵系半導體材料所構成，被夾在n型包覆層24與p型包覆層28之間而形成雙異質界面(double heterojunction)構造。為了輸出波長355nm以下的深紫外光，活性層26係以能隙成為3.4eV以上之方式所構成，例如以能輸出波長320nm以下的深紫外光之方式選擇氮化鋁組成比。

【0030】 活性層26係例如具有單層或者多層的量子阱(quantum well)構造，並由障蔽層以及阱層的層疊體所構成，障蔽層係由無摻雜的氮化鋁鎵系半導體材料所形成，阱層係由無摻雜的氮化鋁鎵系半導體材料所形成。活性層26係例如包含：第一障蔽層，係與n型包覆層24直接接觸；以及第一阱層，係設置於第一障蔽層上。亦可於第一障蔽層與第一阱層之間追加性地設置有阱層以及障蔽層的一個以上的配對(pair)。障蔽層以及阱層係具有1nm至20nm左右的厚度，例如具有2nm至10nm左右的厚度。

【0031】 活性層26亦可進一步包含與p型包覆層28接觸之電子阻擋層(electron blocking layer)。電子阻擋層為無摻雜的氮化鋁鎵系半導體材料層，例如以氮化鋁的莫耳分率成為80%以上之方式形成。電子阻擋層亦可由實質性未包含氮化鎵之氮化鋁系半導體材料所形成。電子阻擋層係具有1nm至10nm左右的厚度，例如具有2nm至5nm左右的厚度。

【0032】 p型包覆層28係形成於活性層26上。p型包覆層28為p型氮化鋁鎵系半導體材料層，例如為摻雜有鎂(Mg)作為p型的雜質之氮化鋁鎵層。p型包覆

層28為氮化鋁比率比p型接觸層30還高之高氮化鋁組成層(或者亦稱為第一氮化鋁組成層)。p型包覆層28係以氮化鋁的莫耳分率成為50%以上之方式形成，較佳為以氮化鋁的莫耳分率成為60%以上或者70%以上之方式形成。p型包覆層28係具有10nm至100nm左右的厚度，例如具有15nm至70nm左右的厚度。

【0033】 p型接觸層30係形成於p型包覆層28上，並直接接觸至p型包覆層28。p型接觸層30為p型的氮化鋁鎵系半導體材料層或者p型的氮化鎵系半導體材料層。p型接觸層30為氮化鋁比率比p型包覆層28還低之低氮化鋁組成層(或者亦稱為第二氮化鋁組成層)。p型接觸層30的氮化鋁比率與p型包覆層28的氮化鋁比率的差為50%以上，較佳為60%以上。為了獲得與p側電極32良好的歐姆接觸(ohmic contact)，p型接觸層30係以氮化鋁比率成為20%以下之方式所構成，較佳為以氮化鋁比率成為10%以下、5%以下或者0%之方式形成。亦即，p型接觸層30亦可為實質性未包含氮化鋁之p型氮化鎵層。結果，p型接觸層30係吸收活性層26發出的深紫外光。

【0034】 p型接觸層30係包含第一p型接觸層36以及第二p型接觸層38。第一p型接觸層36係與p型包覆層28直接接觸。第一p型接觸層36係以氮化鋁比率成為20%以下之方式所構成，較佳為以氮化鋁比率成為10%以下、5%以下或者0%之方式形成。第一p型接觸層36係具有超過500nm的厚度，例如具有520nm以上的厚度。第一p型接觸層36較佳為具有950nm以上的厚度，例如具有700nm以上至1000nm以下的厚度。第一p型接觸層36的p型摻雜物濃度為 $8 \times 10^{18} / \text{cm}^3$ 以上至 $5 \times 10^{19} / \text{cm}^3$ 以下的範圍，較佳為 $1 \times 10^{19} / \text{cm}^3$ 以上至 $2 \times 10^{19} / \text{cm}^3$ 以下的範圍。將第一p型接觸層36的p型摻雜物濃度設定成此種值，藉此能提高第一p型接觸層36中的載子移動率，並能減低厚度大的第一p型接觸層36的體電阻(bulk resistance)。

【0035】第二p型接觸層38係設置於第一p型接觸層36上，且與第一p型接觸層36直接接觸。第二p型接觸層38係以氮化鋁比率成為20%以下之方式所構成，較佳為以氮化鋁比率成為10%以下、5%以下或者0%之方式形成。第二p型接觸層38的氮化鋁比率亦可為與第一p型接觸層36的氮化鋁比率相同，亦可比第一p型接觸層36的氮化鋁比率還低。例如，在第一p型接觸層36的氮化鋁比率超過0%且為10%以下之情形中，第二p型接觸層38的氮化鋁比率亦可為0%。第二p型接觸層38係具有8nm以上至28nm以下的厚度，較佳為具有9nm以上至25nm以下的厚度，更佳為具有11nm以上至20nm以下的厚度。第二p型接觸層38亦可具有16nm左右的厚度。第二p型接觸層38的p型摻雜物濃度係比第一p型接觸層36的p型摻雜物濃度還大，且為第一p型接觸層36的p型摻雜物濃度的5倍至20倍左右。第二p型接觸層38的p型摻雜物濃度係具有 $8 \times 10^{18} / \text{cm}^3$ 以上至 $5 \times 10^{19} / \text{cm}^3$ 以下的p型摻雜物濃度，較佳為具有 $1 \times 10^{20} / \text{cm}^3$ 以上至 $2 \times 10^{20} / \text{cm}^3$ 以下的p型摻雜物濃度。將第二p型接觸層38的p型摻雜物濃度設定成此種值，藉此能將p側電極32的接觸電阻設定成 $1 \times 10^{-2} \Omega \cdot \text{cm}^2$ 以下，更佳為能將p側電極32的接觸電阻設定成 $1 \times 10^{-3} \Omega \cdot \text{cm}^2$ 以下。

【0036】p側電極32係設置於p型接觸層30上，且與p型接觸層30歐姆接觸。更具體而言，p側電極32係與第二p型接觸層38直接接觸。p側電極32係以相對於p型接觸層30之接觸阻抗成為 $1 \times 10^{-2} \Omega \cdot \text{cm}^2$ 以下之方式所構成。p側電極32的材料並無特別限定，例如由氧化銦錫(ITO；Indium Tin Oxide)等透明導電性氧化物、銻(Rh)等鉑(platinum)族金屬或者鎳與金的層疊構造(Ni/Au)所構成。

【0037】n側電極34係設置於n側包覆層24的第二上表面24b上。n側電極34係由能夠與n型包覆層24歐姆接觸且相對於活性層26所發出的深紫外光之反射

率高的材料所構成。n側電極34的材料並未特別限定，例如由直接接觸至n型包覆層24之鈦(Ti)層以及直接接觸至鈦層之鋁(Al)層所構成。

【0038】 接著，一邊參照圖2以及圖3一邊說明半導體發光元件10的製造方法。首先，如圖2所示，於基板20的第一主表面20a上依序形成有基底層22、n型包覆層24、活性層26、p型包覆層28、第一p型接觸層36以及第二p型接觸層38。基底層22、n型包覆層24、活性層26、第一p型接觸層36以及第二p型接觸層38係能使用有機金屬化學氣相磊晶成長(MOVPE；metal organic vapor phase epitaxy)法、分子束磊晶(MBE；molecular beam epitaxy)法等周知的磊晶成長法來形成。

【0039】 第一p型接觸層36係直接形成於p型包覆層28上。由於p型包覆層28的氮化鋁比率與第一p型接觸層36的氮化鋁比率的差為50%以上，因此p型包覆層28與第一p型接觸層36的界面中的晶格不匹配差非常地大。因此，第一p型接觸層36係於p型包覆層28上島狀地逐漸成長(所謂的島狀成長(island growth))。在成為島狀成長之情形中，由於成為結晶成長的起點之部位的厚度相對性地變大且遠離起點的部位的厚度相對性地變小，因此於已結晶成長的半導體層的上表面殘留有凹凸構造，平坦性容易變低。依據本發明人們的卓見，越將第一p型接觸層36的厚度增大則越能改善p型接觸層30的上表面30a的平坦性，尤其藉由使第一p型接觸層36成長達至超過500nm的厚度，能顯著地改善p型接觸層30的上表面30a的平坦性。

【0040】 第二p型接觸層38係直接形成於第一p型接觸層36上。與第一p型接觸層36相比，第二p型接觸層38的p型摻雜物濃度高，具體而言第二p型接觸層38的鎂的摻雜物濃度高。第二p型接觸層38的成長率係比第一p型接觸層36的成長率還低，且為第一p型接觸層36的成長率的20%以上至60%以下。例如，第一p

型接觸層36的成長率為 $1\ \mu\text{m}/\text{分鐘}$ 至 $1.3\ \mu\text{m}/\text{分鐘}$ 左右；相對於此，第二p型接觸層38的成長率為 $0.3\ \mu\text{m}/\text{分鐘}$ 至 $0.6\ \mu\text{m}/\text{分鐘}$ 左右。藉由降低第二p型接觸層38的成長率，能適當地提高第二p型接觸層38的摻雜物濃度。例如，在將屬於p型摻雜物的原料之雙(環戊二烯基)鎂(Cp_2Mg ；bis(cyclopenta dienyl) magnesium)的供給率設定成固定的狀態下，降低成為氮化鋁鎵系半導體材料的原料之三甲基鎵(TMGa ；Trimethyl Gallium)或三甲基鋁(TMA ；Trimethyl Aluminium)的供給率，藉此能降低第二p型接觸層38的成長率並提高摻雜物濃度。

【0041】接著，如圖3所示，於p型接觸層30上的一部分的區域形成遮罩40，從遮罩40上進行乾蝕刻(dry etching)。遮罩40係例如能使用公知的光微影(photolithographic)技術來形成。藉由乾蝕刻去除未形成有遮罩40的區域中的p型接觸層30、p型包覆層28以及活性層26。乾蝕刻係執行直至未形成有遮罩40的區域中的n型包覆層24露出為止。藉此，形成有n型包覆層24的第二上表面24b。在執行乾蝕刻後，遮罩40係被去除。

【0042】之後，於n型包覆層24的第二上表面24b形成有n側電極34，對n側電極34進行退火處理。此外，於p型接觸層30的上表面30a形成有p型電極32，並對p側電極32進行退火處理。此外，p側電極32以及n側電極34的形成順序以及退火處理的時序並無特別限定。例如，亦可先形成p側電極32後，再形成n側電極34。藉此，完成圖1所示的半導體發光元件10。

【0043】依據本實施形態，將p型接觸層30的厚度增大，藉此能提升p型接觸層30的上表面30a的平坦性。於平坦性高的上表面30a上形成p側電極32，藉此能提高通過p側電極32朝向活性層26之電流密度的面內均勻性。換言之，由於p型接觸層30與p側電極32的界面存在凹凸構造，因此能防止電流局部性地集中導

致電流密度在面內變得不均勻。藉此，能防止過度的電流於半導體發光元件10的一部分的部位流動導致元件壽命降低之影響。

【0044】 以往，在發光波長為320nm以下的深紫外光用的半導體發光元件中，為了避免p型接觸層30所致使的深紫外光的吸收，較佳為盡可能地縮小p型接觸層30的厚度。具體而言，較佳為將p型氮化鎵層的厚度設定成300nm以下或者50nm以下的厚度。另一方面，本案發明人們係研究出：反其道而行地增大p型接觸層30的厚度並設定成超過500nm的厚度，藉此能大幅地提升p型接觸層30的上表面30a的平坦性。依據本實施形態，藉由將p型接觸層30的厚度設定成大於500nm，能實現以下所說明的顯著的功效。

【0045】 圖4係顯示實施例的半導體發光元件的發光強度的時間經過變化之圖表。圖4係顯示將第一p型接觸層36的厚度設定成16nm、300nm、500nm、700nm、1000nm時的半導體發光元件10的發光強度。在實施例中，活性層26的發光波長為280nm至285nm左右，p型包覆層28的氮化鋁比率為75%，p型接觸層30的氮化鋁比率為0%。n型包覆層24的氮化鋁比率為55%。在圖4中將開始點亮時的發光強度設定成1。

【0046】 如圖4所示可知，第一p型接觸層36的厚度越小則發光強度的降低越快。第一p型接觸層36的厚度為16nm時的發光強度係在24小時後降低至75%，在48小時後降低至70%。第一p型接觸層36的厚度為300nm時的發光強度係在200小時後降低至81%，在950小時後降低至70%。另一方面，第一p型接觸層36的厚度為500nm時的發光強度在200小時後為90%以上，在1000小時後為80%以上。同樣地，第一p型接觸層36的厚度為700nm時的發光強度係在200小時後為90%以上，在1000小時後為85%以上。此外，第一p型接觸層36的厚度為1000nm時的發

光強度係在200小時後為90%左右，在1000小時後為85%左右。如此，藉由增大第一p型接觸層36的厚度，能延遲發光強度的降低，能增長能維持一定以上的發光強度之時間，亦即能增長元件壽命。

【0047】圖5係顯示實施例的半導體發光元件10的壽命與第一p型接觸層36的厚度的關係之圖表。在圖5中將半導體發光元件10的發光強度降低至70%的時間。如圖所示可知，隨著第一p型接觸層36的厚度變大則元件壽命亦延長，當第一p型接觸層36的厚度超過500nm時則元件壽命顯著的延長。具體而言，當第一p型接觸層36的厚度超過500nm時，則元件壽命超過5000小時。第一p型接觸層36的厚度為520nm時的元件壽命為6500小時，第一p型接觸層36的厚度為550nm時的元件壽命為8000小時。此外，當第一p型接觸層36的厚度為590nm以上時，則壽命元件變成10000小時以上。再者，當第一p型接觸層36的厚度為700nm以上至1000nm以下時，則能實現20000小時以上的元件壽命。

【0048】此外，亦能將第一p型接觸層36的厚度設定成大於1000nm，例如即使將第一p型接觸層36的厚度設定成1500nm或者2000nm，亦能實現一萬小時以上的較佳的元件壽命。然而，當第一p型接觸層36的厚度增大時，圖2的步驟中使第一p型接觸層36成長的時間變長，圖3的步驟中將第一p型接觸層36乾蝕刻的時間亦變長。此外，在第一p型接觸層36的厚度大之情形中，p型接觸層30的上表面30a的高度與n型包覆層24的第二上表面24b的高度的差變大。為了減低半導體發光元件10的安裝時的不良，需要將p側電極32的高度與n側電極34的高度齊平，故必須增大n側電極34的厚度。如此，會增加n側電極34的形成時間以及材料費。從此種觀點來看，第一p型接觸層36的厚度較佳為1000nm以下。

【0049】此外，依據本實施形態，藉由適當地設定第一p型接觸層36以及第二p型接觸層38的摻雜物濃度，能適當地減小p側電極32相對於第二p型接觸層38之接觸電阻。一般而言，會有p型接觸層30的摻雜物濃度越高則p側電極32的接觸電阻越變小的傾向。然而，會有下述傾向：當p型接觸層30的摻雜物濃度過高時，因為p型摻雜物的活性化率降低導致無法作為載子(孔(hole))有效地發揮作用之比率增加，p型接觸層30中的載子移動率降低而成為摻雜物過剩的結果。依據本實施形態，將厚度大的第一p型接觸層36的摻雜物濃度設定在適當的範圍內，避免朝第一p型接觸層36過度的摻雜，藉此能減低p型接觸層30整體的體電阻。此外，藉由將摻雜物濃度比第一p型接觸層36還高的第二p型接觸層38的厚度減小，能抑制p型接觸層30整體的體電阻的增大並能改善p側電極32的接觸電阻。

【0050】依據本實施形態，藉由適當地設定第二p型接觸層38的摻雜物濃度以及厚度，能將p型接觸層30的接觸電阻設定成 $1 \times 10^{-2} \Omega \cdot \text{cm}^2$ 以下，較佳為能將p型接觸層30的接觸電阻設定成 $1 \times 10^{-3} \Omega \cdot \text{cm}^2$ 以下。針對第二p型接觸層38的較佳的摻雜物濃度以及厚度係一邊參照圖6至圖8一邊說明如下。

【0051】圖6係顯示p側電極32的接觸電阻與第二p型接觸層38的摻雜物濃度的關係之圖表。圖6係將第二p型接觸層38的厚度固定於10nm，並使第二p型接觸層38的摻雜物濃度在 $5 \times 10^{19} / \text{cm}^3$ 至 $8 \times 10^{19} / \text{cm}^3$ 的範圍變化。如圖所示，在 $8 \times 10^{19} / \text{cm}^3$ 至 $8 \times 10^{20} / \text{cm}^3$ 的範圍能實現 $1 \times 10^{-2} \Omega \cdot \text{cm}^2$ 以下的接觸電阻。此外，可知在第二p型接觸層38的摻雜物濃度變成 $1 \times 10^{20} / \text{cm}^3$ 至 $2 \times 10^{20} / \text{cm}^3$ 左右之情形中，能將接觸電阻降低至 $1 \times 10^{-3} \Omega \cdot \text{cm}^2$ 左右。

【0052】圖7係顯示p側電極32的接觸電阻與第二p型接觸層38的厚度的關係之圖表。圖7係將第二p型接觸層38的摻雜物濃度固定成 $2 \times 10^{20} / \text{cm}^3$ ，並使第二p型接觸層38的厚度在5nm至40nm的範圍變化。如圖所示，認為在第二p型接觸層38的厚度成為6nm至40nm的範圍W1中能實現 $1 \times 10^{-2} \Omega \cdot \text{cm}^2$ 以下的接觸電阻。此外，認為在第二p型接觸層38的厚度成為9nm至23nm的範圍W2中能實現 $1 \times 10^{-3} \Omega \cdot \text{cm}^2$ 以下的接觸電阻。

【0053】圖8係顯示p側電極32的接觸電阻與第二p型接觸層38的摻雜物濃度以及厚度的關係之圖表。圖8係組合了圖6以及圖7的圖表之圖表。圖8的曲線A係與圖7的曲線相同。圖8的曲線B至曲線E係已使曲線A平行移動的曲線，且將圖6的厚度為10nm的資料作為基準。在圖8的圖表所示的各個繪圖(plot)係與圖6或者圖7所示的繪圖對應。

【0054】如圖8所示，認為在第二p型接觸層38的厚度成為8nm至28nm的範圍W3中，當第二p型接觸層38的摻雜物濃度為 $8 \times 10^{19} / \text{cm}^3$ 以上至 $4 \times 10^{20} / \text{cm}^3$ 以下時，能實現 $1 \times 10^{-2} \Omega \cdot \text{cm}^2$ 以下的接觸電阻。此外，認為在第二p型接觸層38的厚度成為9nm至25nm的範圍W4中，當第二p型接觸層38的摻雜物濃度為 $8 \times 10^{19} / \text{cm}^3$ 以上至 $8 \times 10^{20} / \text{cm}^3$ 以下時，能實現 $1 \times 10^{-2} \Omega \cdot \text{cm}^2$ 以下的接觸電阻。再者，認為在第二p型接觸層38的厚度成為11nm至20nm的範圍W5中，當第二p型接觸層38的摻雜物濃度為 $1 \times 10^{20} / \text{cm}^3$ 以上至 $2 \times 10^{20} / \text{cm}^3$ 以下時，能實現 $1 \times 10^{-3} \Omega \cdot \text{cm}^2$ 以下的最佳的接觸電阻。

【0055】以上已基於實施例說明本發明。本發明係未限定於上述實施形態，所屬技術領域中具有通常知識者能夠理解本發明能夠進行各種設計變更且能夠有各種的變化例，且這些變化例亦為本發明的範圍。

【0056】 在其他的實施形態中，p型包覆層28亦可由氮化鋁比率不同的複數個p型半導體層所構成。例如，p型包覆層28亦可包含：p型第一半導體層，係與p型接觸層30接觸；以及p型第二半導體層，係設置於活性層26與p型第一半導體層之間。與p型接觸層30接觸之p型第一半導體層係由與p型接觸層30的氮化鋁比率差為50%以上的p型氮化鋁鎵系半導體材料所構成。p型第二半導體層係由氮化鋁比率比p型第一半導體層還高的p型氮化鋁鎵系半導體材料或者p型氮化鋁系半導體材料所構成。

【0057】 在其他的實施形態中，亦可以p型包覆層28的氮化鋁比率於厚度方向變化之方式所構成。p型包覆層28的氮化鋁比率亦可以從活性層26朝向p型接觸層30之方向緩緩地變小之方式所構成。在此情形中，p型包覆層28的上表面28a係以與p型接觸層30之間的氮化鋁差成為50%以上之方式所構成。

【0058】 在其他的實施形態中，亦可於活性層26與p型包覆層28之間追加性地設置有任意的氮化鋁鎵系半導體材料層或者氮化鋁系半導體材料層。設置於活性層26與p型包覆層28之間的半導體材料層亦可為p型層，亦可為無摻雜層。

【符號說明】

【0059】

10: 半導體發光元件

20: 基板

20a: 第一主表面

20b: 第二主表面

22: 基底層

110P000645TW

第 17 頁，共 18 頁(發明說明書)

24:n型包覆層

24a:第一上表面

24b:第二上表面

26:活性層

28:p型包覆層

30:p型接觸層

30a: 上表面

32:p側電極

34:n側電極

36:第一p型接觸層

38:第二p型接觸層

40: 遮罩

A至E: 曲線

W1至W5:範圍

【發明申請專利範圍】

【請求項1】 一種半導體發光元件，係具備：

n型包覆層，係由n型氮化鋁鎵系半導體材料所構成；

活性層，係設置於前述n型包覆層上，以發出波長240nm以上至320nm以下的深紫外光之方式由氮化鋁鎵系半導體材料所構成；

p型包覆層，係設置於前述活性層上，由氮化鋁比率為50%以上的p型氮化鋁鎵系半導體材料或者p型氮化鋁系半導體材料所構成；

第一p型接觸層，係接觸地設置於前述p型包覆層上，由氮化鋁比率為5%以下的p型氮化鋁鎵系半導體材料或者p型氮化鎵系半導體材料所構成，並具有 $8 \times 10^{18} / \text{cm}^3$ 以上至 $5 \times 10^{19} / \text{cm}^3$ 以下的p型摻雜物濃度，且具有大於500nm的厚度；

第二p型接觸層，係接觸地設置於前述第一p型接觸層上，由氮化鋁比率為5%以下的p型氮化鋁鎵系半導體材料或者p型氮化鎵系半導體材料所構成，並具有 $8 \times 10^{19} / \text{cm}^3$ 以上至 $4 \times 10^{20} / \text{cm}^3$ 以下的p型摻雜物濃度，且具有8nm以上至28nm以下的厚度；以及

p側電極，係接觸地設置於前述第二p型接觸層上，且相對於前述第二p型接觸層之接觸電阻為 $1 \times 10^{-2} \Omega \cdot \text{cm}^2$ 以下。

【請求項2】 如請求項1所記載之半導體發光元件，其中前述第二p型接觸層係具有 $1 \times 10^{20} / \text{cm}^3$ 以上至 $2 \times 10^{20} / \text{cm}^3$ 以下的p型摻雜物濃度。

【請求項3】 如請求項1或2所記載之半導體發光元件，其中前述第二p型接觸層係具有11nm以上至20nm以下的厚度。

【請求項4】 如請求項1或2所記載之半導體發光元件，其中前述第一p型接觸層的厚度為700nm以上至1000nm以下。

【請求項5】 如請求項1或2所記載之半導體發光元件，其中前述p型包覆層係由氮化鋁比率為60%以上的p型氮化鋁鎵系半導體材料所構成。

【請求項6】 如請求項1或2所記載之半導體發光元件，其中前述第一p型接觸層以及前述第二p型接觸層係由p型氮化鎵所構成。

【請求項7】 一種半導體發光元件的製造方法，係具備下述步驟：

於由n型氮化鋁鎵系半導體材料所構成的n型半導體層上以發出波長240nm以上至320nm以下的深紫外光之方式形成由氮化鋁鎵系半導體材料所構成的活性層；

於活性層上形成由氮化鋁比率為50%以上的p型氮化鋁鎵系半導體材料或者p型氮化鋁系半導體材料所構成的p型包覆層；

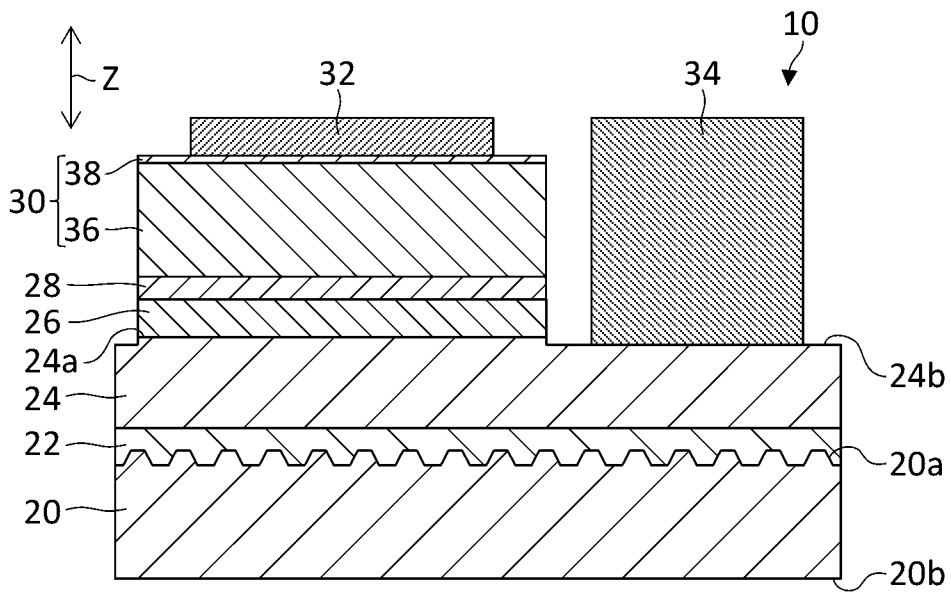
以接觸至前述p型包覆層上之方式形成第一p型接觸層，前述第一p型接觸層係由氮化鋁比率為5%以下的p型氮化鋁鎵系半導體材料或者p型氮化鎵系半導體材料所構成，且前述第一p型接觸層係具有 $8 \times 10^{18} / \text{cm}^3$ 以上至 $5 \times 10^{19} / \text{cm}^3$ 以下的p型摻雜物濃度且具有大於500nm的厚度；

以接觸至前述第一p型接觸層上之方式形成第二p型接觸層，前述第二p型接觸層係由氮化鋁比率為5%以下的p型氮化鋁鎵系半導體材料或者p型氮化鎵系半導體材料所構成，前述第二p型接觸層係具有 $8 \times 10^{19} / \text{cm}^3$ 以上至 $4 \times 10^{20} / \text{cm}^3$ 以下的p型摻雜物濃度且具有8nm以上至28nm以下的厚度；以及

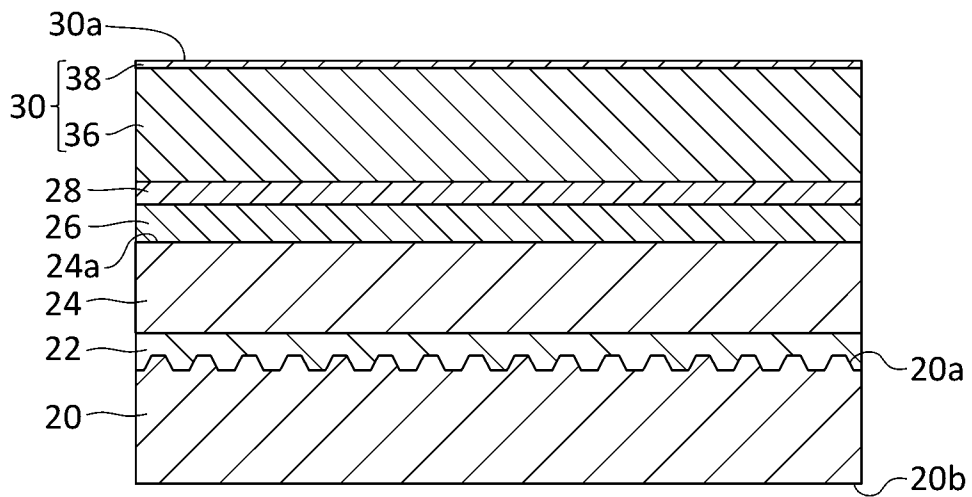
以接觸至前述第二p型接觸層上之方式形成p側電極，前述p側電極相對於前述第二p型接觸層之接觸電阻為 $1 \times 10^{-2} \Omega \cdot \text{cm}^2$ 以下。

【請求項8】 如請求項7所記載之半導體發光元件的製造方法，其中前述第二p型接觸層的成長率為前述第一p型接觸層的成長率的20%以上至60%以下。

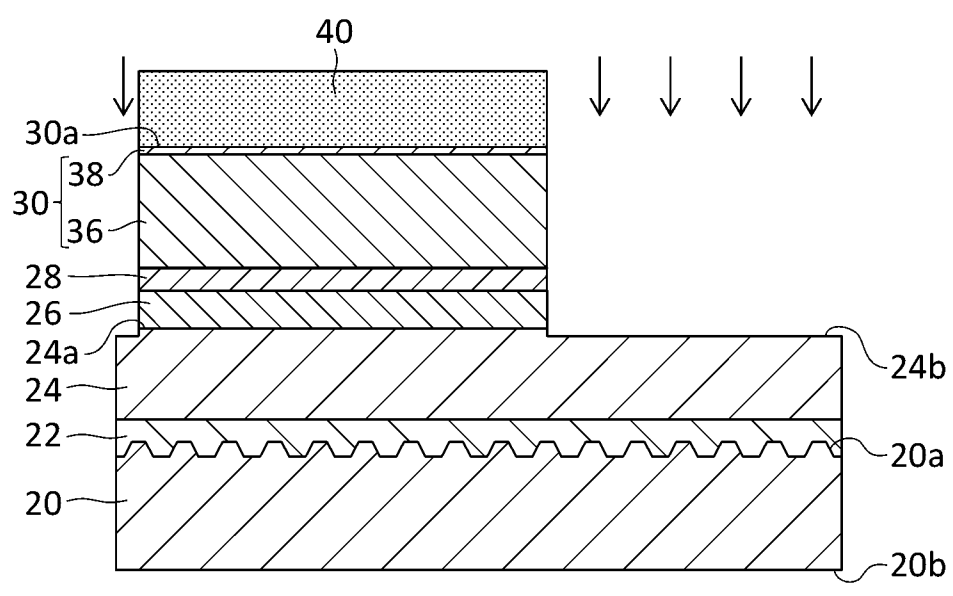
【發明圖式】



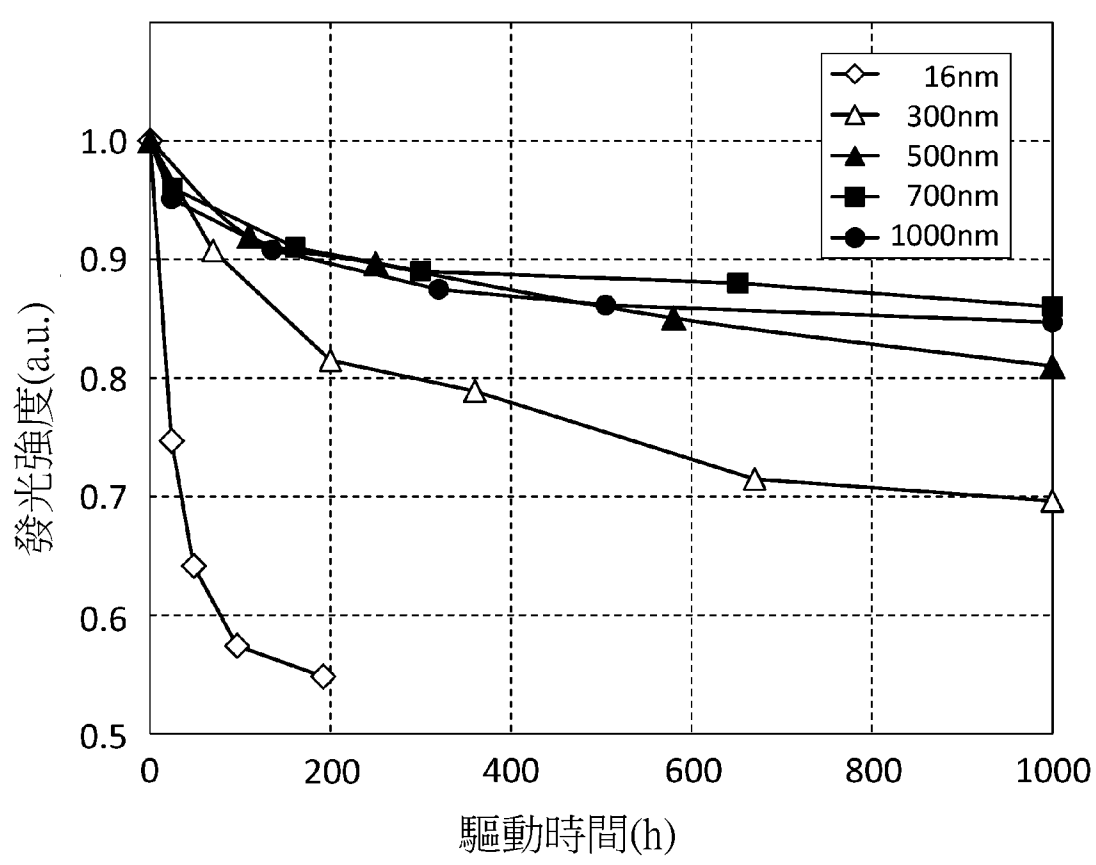
【圖1】



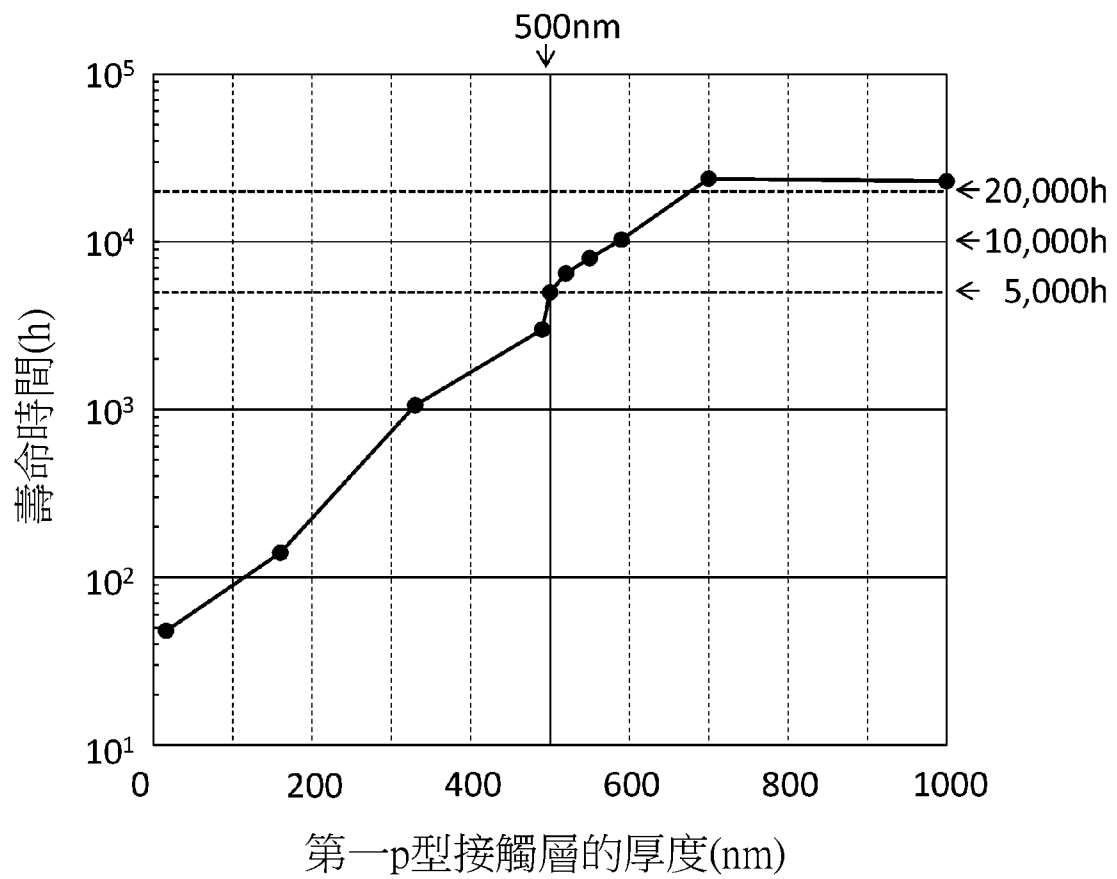
【圖2】



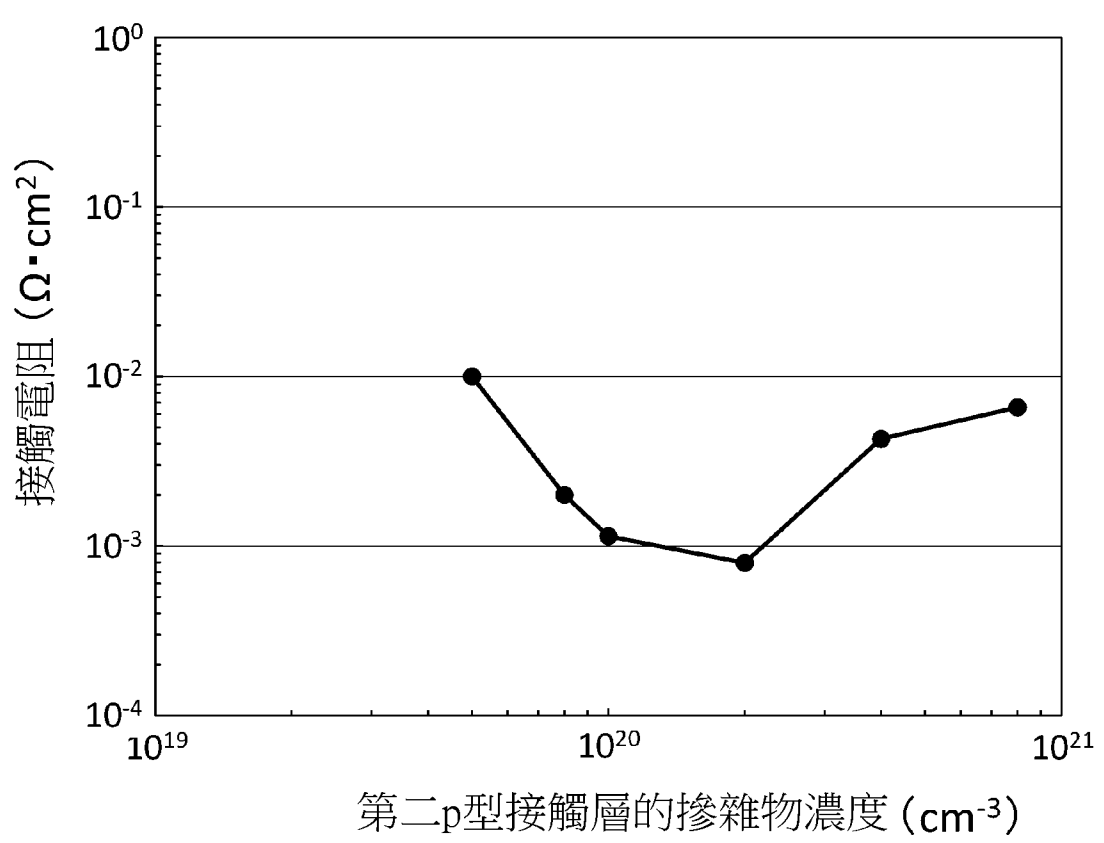
【圖3】



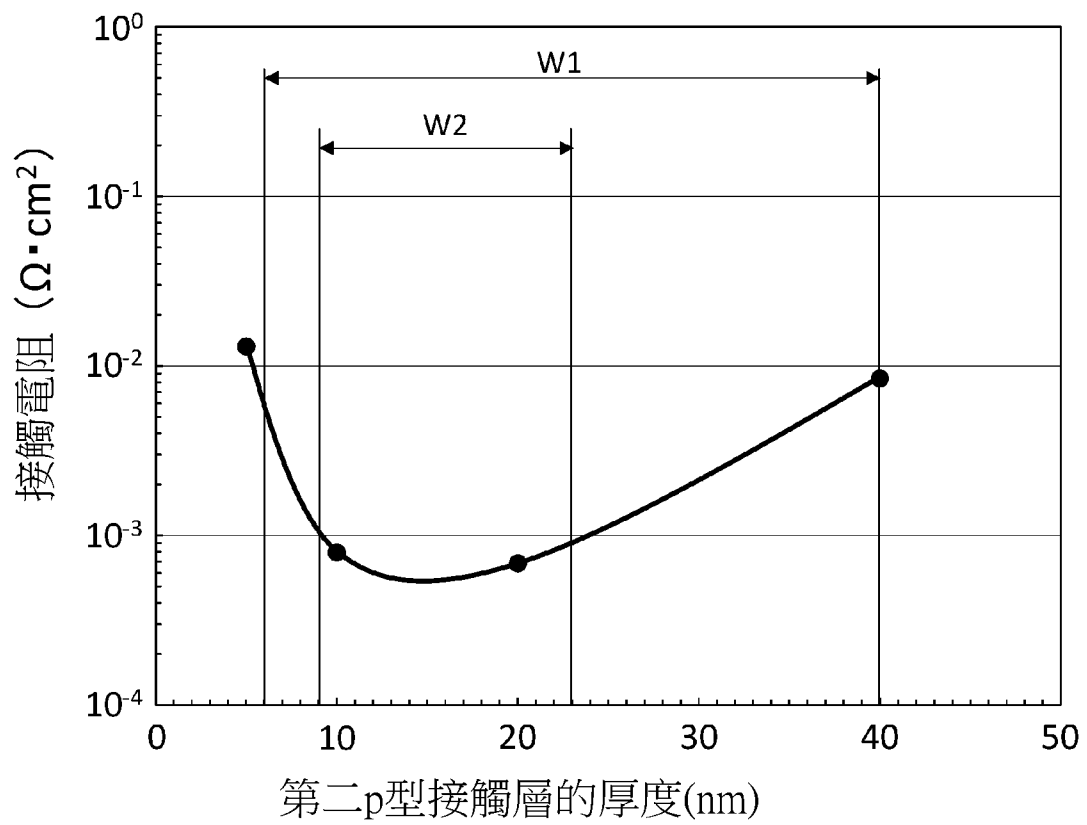
【圖4】



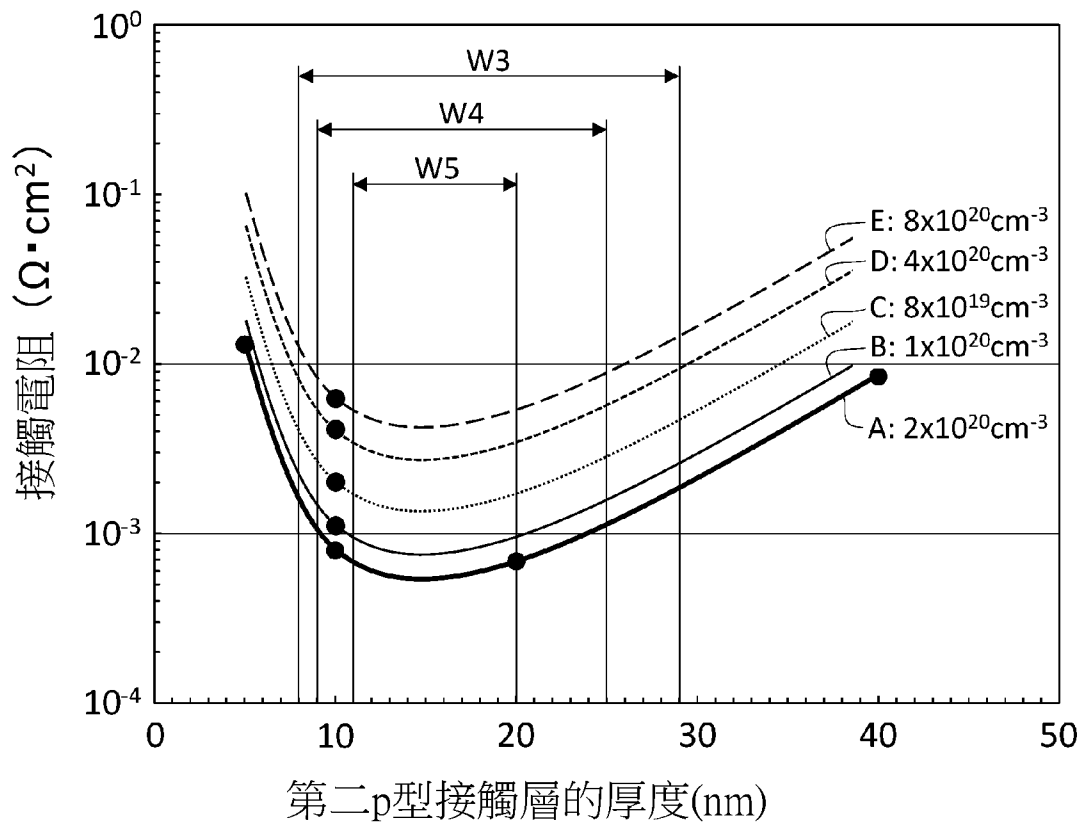
【圖5】



【圖6】



【圖7】



【圖8】