



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년04월28일
(11) 등록번호 10-0825336
(24) 등록일자 2008년04월21일

(51) Int. Cl.
H03K 19/00 (2006.01) H03K 19/0175 (2006.01)
(21) 출원번호 10-2005-0120493
(22) 출원일자 2005년12월09일
심사청구일자 2005년12월09일
(65) 공개번호 10-2006-0065557
(43) 공개일자 2006년06월14일
(30) 우선권주장 JP-P-2004-00357869 2004년12월10일 일본(JP)
(56) 선행기술조사문헌 JP55045250 A*
(뒷면에 계속)

(73) 특허권자
미쓰비시덴키 가부시카가이샤
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고
(72) 발명자
교우도 신스케
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고 미쓰비시덴키가부시카가이샤 나이
(74) 대리인
권태복, 이화익

전체 청구항 수 : 총 14 항

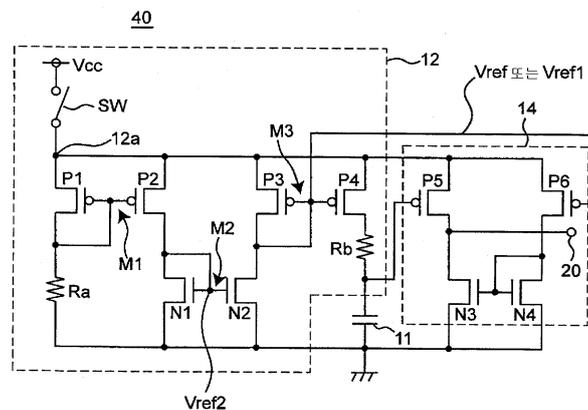
심사관 : 선동국

(54) 반도체 회로

(57) 요약

보다 낮은 전압으로부터 광범위한 전원전압범위에서 안정되게 동작할 수 있는 타이머 회로 또는 발진회로인 반도체 회로를 제공한다. 전원전압Vcc으로 구동되고, 전원전압Vcc에 의존한 전류를 출력함과 동시에, 전원전압Vcc으로부터 소정의 저하 전압만큼 저하하여 이루어지는 기준전압Vref를 출력하는 전류원(12)을 이용하여 콘덴서(11)를 충전한다. 비교레이터(14)는, 콘덴서(11)의 전압을 전류원(12)으로부터 출력되는 기준전압Vref과 비교하여, 기준전압Vref이상이 되었을 때 출력 신호를 출력한다. 타이머 회로(40)는, 전원전압Vcc의 공급 시작부터, 콘덴서(11)의 전압이 그 충전에 의해 경과 시간에 실질적으로 비례하여 상승하고, 기준전압Vref에 도달할 때까지의 지연시간 후에, 출력 신호를 출력한다.

대표도 - 도2



(56) 선행기술조사문헌

JP55085138 A

JP61164471 A

KR101997049151 A

KR101998012836 A

*는 심사관에 의하여 인용된 문헌

특허청구의 범위

청구항 1

삭제

청구항 2

전원전압으로 구동되고, 상기 전원전압에 의존한 전류를 출력함과 동시에, 상기 전원전압으로부터 소정의 저하 전압만큼 저하하여 이루어지는 기준전압을 출력하는 전류원과,

상기 전류원으로부터 출력되는 전류에 의해 충전되는 콘덴서와,

상기 콘덴서의 전압을, 상기 전류원으로부터 출력되는 기준전압과 비교하여, 상기 기준전압이상이 되었을 때, 출력 신호를 출력하는 콤퍼레이터를 구비하고,

전원전압의 공급 개시부터, 상기 콘덴서의 전압이 상기 콘덴서의 충전에 의해 경과 시간에 비례하여 상승하고, 상기 기준전압에 도달할 때까지의 지연시간 후에, 상기 출력신호를 출력하는 타이머 회로를 구성하고,

상기 전류원은,

제 1과 제 2의 P채널 MOSFET를 포함하는 커런트 미러 회로와,

제 1의 저항과,

제 2의 저항을 구비하고,

상기 전원전압과 접지와의 사이에, 상기 제1의 P채널 MOSFET와 상기 제 1의 저항이 삽입되며,

상기 전류원은 상기 전원전압으로부터 상기 제 1의 P채널 MOSFET의 문턱값 전압만큼 저하한 전압값인 상기 제 1의 저항의 양단의 전압을 기준전압으로서 출력하고,

상기 전류원은, 상기 전원전압으로부터 상기 제 2의 P채널 MOSFET 및 상기 제 2의 저항을 통해 전류를 상기 콘덴서에 출력하는 것을 특징으로 하는 반도체 회로.

청구항 3

전원전압으로 구동되고, 상기 전원전압에 의존한 전류를 출력함과 동시에, 상기 전원전압으로부터 소정의 저하 전압만큼 저하하여 이루어지는 기준전압을 출력하는 전류원과,

상기 전류원으로부터 출력되는 전류에 의해 충전되는 콘덴서와,

상기 콘덴서의 전압을, 상기 전류원으로부터 출력되는 기준전압과 비교하여, 상기 기준전압이상이 되었을 때, 출력 신호를 출력하는 콤퍼레이터를 구비하고,

전원전압의 공급 개시부터, 상기 콘덴서의 전압이 상기 콘덴서의 충전에 의해 경과 시간에 비례하여 상승하고, 상기 기준전압에 도달할 때까지의 지연시간 후에, 상기 출력신호를 출력하는 타이머 회로를 구성하고,

상기 전류원은,

제 1과 제 2의 N채널 MOSFET를 포함하는 제 1의 커런트 미러 회로와,

제 1과 제 2의 P채널 MOSFET를 포함하는 제 2의 커런트 미러 회로와,

제 1의 저항과,

제 2의 저항을 구비하고,

상기 제 1의 커런트 미러 회로와, 상기 제 2의 커런트 미러 회로가 종속 접속되며,

상기 전원전압과 접지와의 사이에, 상기 제 1의 저항과 상기 제 1의 N채널 MOSFET가 삽입되고,

상기 전류원은, 상기 전원전압으로부터 상기 제 1의 저항을 통해 저하한 전압값인 상기 제 1의 N채널 MOSFET의 양단의 전압을, 상기 제 2의 N채널 MOSFET를 통해 출력한 전압을 기준전압으로서 출력하며,

상기 전류원은, 상기 전원전압으로부터 상기 제 2의 P채널 MOSFET 및 상기 제 2의 저항을 통해 전류를 상기 콘

텐서에 출력하는 것을 특징으로 하는 반도체 회로.

청구항 4

전원전압으로 구동되고, 상기 전원전압에 의존한 전류를 출력함과 동시에, 상기 전원전압으로부터 소정의 저하 전압만큼 저하하여 이루어지는 기준전압을 출력하는 전류원과,

상기 전류원으로부터 출력되는 전류에 의해 충전되는 콘덴서와,

상기 콘덴서의 전압을, 상기 전류원으로부터 출력되는 기준전압과 비교하여, 상기 기준전압이상이 되었을 때, 출력 신호를 출력하는 콤퍼레이터를 구비하고,

전원전압의 공급 개시부터, 상기 콘덴서의 전압이 상기 콘덴서의 충전에 의해 경과 시간에 비례하여 상승하고, 상기 기준전압에 도달할 때까지의 지연시간 후에, 상기 출력신호를 출력하는 타이머 회로를 구성하고,

상기 전류원은,

제 1과 제 2의 P채널 MOSFET를 포함하는 제 1의 커런트 미러 회로와,

제 1과 제 2의 N채널 MOSFET를 포함하는 제 2의 커런트 미러 회로와,

제 3과 제 4의 P채널 MOSFET를 포함하는 제 3의 커런트 미러 회로와,

제 1의 저항과,

제 2의 저항을 구비하고,

상기 제 1의 커런트 미러 회로와, 상기 제 2의 커런트 미러 회로와, 상기 제 3의 커런트 미러 회로가 종속 접속 되며,

상기 전원전압과 접지와의 사이에, 상기 제 1의 P채널 MOSFET와 상기 제 1의 저항이 삽입되고,

상기 전류원은, 상기 전원전압으로부터 상기 제 1의 P채널 MOSFET의 문턱값 전압만큼 저하한 값인 상기 제 1의 저항의 양단의 전압을, 상기 제 2의 P채널 MOSFET 및 상기 제 2의 커런트 미러 회로를 통해 출력한 전압을 기준 전압으로서 출력하고,

상기 전류원은, 상기 전원전압으로부터 상기 제 4의 P채널 MOSFET 및 상기 제 2의 저항을 통해 전류를 상기 콘덴서에 출력하는 것을 특징으로 하는 반도체 회로.

청구항 5

전원전압으로 구동되고, 상기 전원전압에 의존한 전류를 출력함과 동시에, 상기 전원전압으로부터 소정의 제 1의 저하 전압만큼 저하하여 이루어지는 제 1의 기준전압과, 상기 제 1의 기준전압으로부터 소정의 제 2의 저하 전압만큼 저하하여 이루어지는 제 2의 기준전압을 출력하는 전류원과,

상기 전류원으로부터 출력되는 전류에 의해 충전되는 콘덴서와,

상기 콘덴서의 전압을 상기 제 1의 기준전압과 비교하여, 상기 제 1의 기준전압이상이 되었을 때, 세트 신호를 출력하는 제 1의 콤퍼레이터와,

상기 콘덴서의 전압을, 상기 제 2의 기준전압과 비교하여, 상기 제 2의 기준전압 이하가 되었을 때, 리셋 신호를 출력하는 제 2의 콤퍼레이터와,

상기 세트 신호에 응답하여 세트되고, 상기 리셋 신호에 응답하여 리셋되며, 상기 세트된 후 상기 리셋될 때까지 출력신호를 출력하는 세트 리셋형 플립플롭과,

상기 세트 신호에 응답하여 상기 콘덴서를 방전하는 방전 회로를 구비하고,

상기 리셋 신호에 응답하여, 상기 콘덴서의 전압이 상기 콘덴서의 충전에 의해 상기 제 2의 기준전압으로부터 경과 시간에 비례하여 상승하고, 상기 제 1의 기준전압에 도달한 후, 상기 세트 신호에 응답하여, 상기 콘덴서의 방전에 의해 상기 제 1의 기준전압으로부터 경과 시간에 따라서 하강하여 상기 제 2의 기준전압에 도달하는 동작을 반복함으로써, 상기 세트 리셋형 플립플롭으로부터의 출력 신호를, 소정 주기를 갖는 발진 신호로서 출력하는 발진회로를 구성한 것을 특징으로 하는 반도체 회로.

청구항 6

제 5항에 있어서,
 상기 전류원은,
 제 1과 제 2의 N채널 MOSFET를 포함하는 제 1의 커런트 미러 회로와,
 제 1과 제 2의 P채널 MOSFET를 포함하는 제 2의 커런트 미러 회로와,
 제 1의 저항과,
 제 2의 저항을 구비하고,
 상기 제 1의 커런트 미러 회로와, 상기 제 2의 커런트 미러 회로가 종속 접속되며,
 상기 전원전압과 접지와 사이에, 상기 제 1의 저항과 상기 제 1의 N채널 MOSFET이 삽입되고,
 상기 전류원은, 상기 전원전압으로부터 상기 제 1의 저항을 통해 저하한 전압값인 상기 제 1의 N채널 MOSFET의 양단의 전압을 상기 제 2의 기준전압으로서 출력하고, 상기 제 2의 기준전압을 상기 제 2의 N채널 MOSFET를 통해 출력한 전압을 제 1의 기준전압으로서 출력하며,
 상기 전류원은, 상기 전원전압으로부터 상기 제 2의 P채널 MOSFET 및 상기 제 2의 저항을 통해 전류를 상기 콘덴서에 출력하는 것을 특징으로 하는 반도체 회로.

청구항 7

제 5항에 있어서,
 상기 전류원은,
 제 1과 제 2의 P채널 MOSFET를 포함하는 제 1의 커런트 미러 회로와,
 제 1과 제 2의 N채널 MOSFET를 포함하는 제 2의 커런트 미러 회로와,
 제 3과 제 4의 P채널 MOSFET를 포함하는 제 3의 커런트 미러 회로와,
 제 1의 저항과,
 제 2의 저항을 구비하고,
 상기 제 1의 커런트 미러 회로와, 상기 제 2의 커런트 미러 회로와, 상기 제 3의 커런트 미러 회로가 종속 접속되며,
 상기 전원 전압과 접지와 사이에, 상기 제 1의 P채널 MOSFET와 상기 제 1의 저항이 삽입되고,
 상기 전류원은, 상기 전원전압으로부터 상기 제 1의 P채널 MOSFET의 문턱값 전압만큼 저하한 값인 상기 제 1의 저항의 양단의 전압을, 상기 제 2의 P채널 MOSFET를 통해 출력한 전압을 제 2의 기준전압으로서 출력하고, 상기 제 2의 기준전압을 상기 제 2의 커런트 미러 회로를 통해 출력한 전압을 제 1의 기준전압으로서 출력하며,
 상기 전류원은, 상기 전원전압으로부터 상기 제 4의 P채널 MOSFET 및 상기 제 2의 저항을 통해 전류를 상기 콘덴서에 출력하는 것을 특징으로 하는 반도체 회로.

청구항 8

제 5항 내지 제 7항 중 어느 한 항에 있어서,
 상기 방전 회로는, N채널 MOSFET로 구성된 것을 특징으로 하는 반도체 회로.

청구항 9

전원전압으로 구동되고, 상기 전원전압에 의존한 전류를 출력함과 동시에, 상기 전원전압으로부터 소정의 저하 전압만큼 저하하여 이루어지는 기준전압을 출력하고, 서로 소정의 시간간격만큼 지연되어 동작이 개시되는 3이상의 정수 N개의 전류원과,

상기 N개의 전류원으로부터 각각 출력되는 전류에 의해 충전되는 N개의 콘덴서와,

세트 신호에 응답하여 세트되고, 리셋 신호에 응답하여 리셋되며, 상기 리셋된 후 상기 세트 될 때까지 출력 신호를 출력하는 N개의 세트 리셋형 플립플롭과,

상기 N개의 콘덴서로부터 출력되는 신호전압이 소정의 문턱값 이상이 되었을 때 각각, 문턱값 결과 신호를 출력하는 N개의 문턱값 소자와,

상기 N개의 문턱값 소자 중, 각 한 쌍의 문턱값 소자로부터의 문턱값 결과신호가 동시에 출력되는 것을 나타내는 동시 출력신호를, 상기 N개의 세트 리셋형 플립플롭 중 대응하는 각 한쌍의 세트 리셋형 플립플롭의 세트 신호와 리셋 신호로서 출력하는 N개의 게이트 소자와,

상기 N개의 세트 리셋형 플립플롭으로부터 출력되는 출력 신호에 응답하여 각각 상기 N개의 콘덴서를 방전하는 N개의 방전 회로를 구비하고,

상기 리셋 신호에 응답하여, 상기 각 콘덴서의 전압이 상기 각 콘덴서의 충전에 의해 경과 시간에 비례하여 상승하고, 상기 기준전압에 도달한 후, 상기 세트 신호에 응답하여, 상기 각 콘덴서의 방전에 의해 상기 기준전압으로부터 경과 시간에 따라서 하강하는 동작을 상기 각 콘덴서에 있어서 상기 시간간격만큼 어긋나게 반복함으로써, 상기 각 세트 리셋형 플립플롭으로부터의 출력 신호를 각각, 소정의 주기를 갖는 발진 신호로서 출력하는 발진회로를 구성한 것을 특징으로 하는 반도체 회로.

청구항 10

제 9항에 있어서,

상기 각 문턱값 소자는 인버터이며, 상기 각 게이트 소자는 노어 게이트인 것을 특징으로 하는 반도체 회로.

청구항 11

제 9항에 있어서,

상기 각 문턱값 소자는 문턱값 버퍼이며, 상기 각 게이트 소자는 반전입력 단자 부착 오아 게이트인 것을 특징으로 하는 반도체 회로.

청구항 12

제 9항 내지 제 11항 중 어느 한 항에 있어서,

상기 각 전류원은,

제 1과 제 2의 P채널 MOSFET를 포함하는 커런트 미러 회로와,

제 1의 저항과,

제 2의 저항을 구비하고,

상기 전원전압과 접지와 사이에, 상기 제 1의 P채널 MOSFET와 상기 제 1의 저항이 삽입되고,

상기 각 전류원은 상기 전원전압으로부터 상기 제 1의 P채널 MOSFET의 문턱값 전압만큼 저하한 전압값인 상기 제 1의 저항의 양단의 전압을 기준전압으로서 출력하며,

상기 각 전류원은, 상기 전원전압으로부터 상기 제 2의 P채널 MOSFET 및 상기 제 2의 저항을 통해 전류를 상기 콘덴서에 출력하는 것을 특징으로 하는 반도체 회로.

청구항 13

제 9항 내지 제 11항 중 어느 한 항에 있어서,

상기 각 전류원은,

제 1과 제 2의 N채널 MOSFET를 포함하는 제 1의 커런트 미러 회로와,

제 1과 제 2의 P채널 MOSFET를 포함하는 제 2의 커런트 미러 회로와,

제 1의 저항과,

제 2의 저항을 구비하고,

상기 제 1의 커런트 미러 회로와, 상기 제 2의 커런트 미러 회로가 종속 접속되며,

상기 전원전압과 접지와의 사이에, 상기 제 1의 저항과 상기 제 1의 N채널 MOSFET가 삽입되고,

상기 각 전류원은, 상기 전원전압으로부터 상기 제 1의 저항을 통해 저하한 전압값인 상기 제 1의 N채널 MOSFET의 양단의 전압을, 상기 제 2의 N채널 MOSFET를 통해 출력한 전압을 기준전압으로서 출력하며,

상기 각 전류원은, 상기 전원전압으로부터 상기 제 2의 P채널 MOSFET 및 상기 제 2의 저항을 통해 전류를 상기 콘덴서에 출력하는 것을 특징으로 하는 반도체 회로.

청구항 14

제 9항 내지 제 11항 중 어느 한 항에 있어서,

상기 각 전류원은,

제 1과 제 2의 P채널 MOSFET를 포함하는 제 1의 커런트 미러 회로와,

제 1과 제 2의 N채널 MOSFET를 포함하는 제 2의 커런트 미러 회로와,

제 3과 제 4의 P채널 MOSFET를 포함하는 제 3의 커런트 미러 회로와,

제 1의 저항과,

제 2의 저항을 구비하고,

상기 제 1의 커런트 미러 회로와, 상기 제 2의 커런트 미러 회로와, 상기 제 3의 커런트 미러 회로가 종속 접속되고,

상기 전원전압과 접지와의 사이에, 상기 제 1의 P채널 MOSFET와 상기 제 1의 저항이 삽입되며,

상기 각 전류원은, 상기 전원전압으로부터 상기 제 1의 P채널 MOSFET의 문턱값 전압만큼 저하한 값인 상기 제 1의 저항의 양단의 전압을, 상기 제 2의 P채널 MOSFET 및 상기 제 2의 커런트 미러 회로를 통해 출력한 전압을 기준전압으로서 출력하고,

상기 각 전류원은, 상기 전원전압으로부터 상기 제 4의 P채널 MOSFET 및 상기 제 2의 저항을 통해 전류를 상기 콘덴서에 출력하는 것을 특징으로 하는 반도체 회로.

청구항 15

제 9항 내지 제 11항 중 어느 한 항에 있어서,

상기 각 방전 회로는, N채널 MOSFET로 구성된 것을 특징으로 하는 반도체 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<42> 본 발명은, 예를 들면 CMOS회로 등으로 형성된, 예를 들면 타이머 회로나 발진회로 등의 반도체 회로에 관한 것이다.

<43> 예를 들면 특허문헌 1에 있어서, 타이머 회로 및 이 타이머 회로를 내장한 반도체 기억장치가 개시되고 있다. 이 타이머 회로에서는, 온도의 상승에 따라 타이머 주기가 감소하는 경향을 나타내며, 온도의 저하에 따라 타이머 주기가 증가하는 경향을 나타내는 타이머 회로를 제공하기 위해, 이하의 구성을 갖고 있다. 다이오드는, 온도에 의존한 전류특성을 갖고, 이 순방향 전류는, 커런트 미러의 1차측을 구성하는 n형MOS트랜지스터N1를 흐른다. 이 n형MOS트랜지스터N1를 흐르는 전류에 따라, 커런트 미러의 2차측을 구성하는 p형MOS트랜지스터P2 및 n

형MOS트랜지스터N3를 흐르는 전류가 정해진다. 이들 p형MOS트랜지스터P2 및 n형MOS트랜지스터N3를 흐르는 전류는, 인버터I1내지 I3으로 이루어지는 링 오실레이터의 동작 전류로서 공급된다. 따라서, 이 링 오실레이터로부터 출력되는 클럭 신호CLK의 주기(타이머 주기)에는, 다이오드D의 온도특성이 반영되어, 온도의 상승에 따라 타이머 주기가 감소한다.

<44> [특허문헌 1] 일본국 공개특허공보 특개2002-117671호 공보

발명이 이루고자 하는 기술적 과제

<45> 그러나, 상기의 특허문헌 1에 있어서 개시된 타이머 회로를 포함하고, 종래기술의 일반적인 타이머 회로에서는, 전원전압이 저하했을 때는, 이 회로동작이 정지한다는 문제점이 있었다.

<46> 본 발명의 목적은 이상의 문제점을 해결하고, 보다 낮은 전압으로부터 광범위한 전원전압범위에서 안정되게 동작할 수 있는 타이머 회로 또는 발진회로인 반도체 회로를 제공하는 데에 있다.

발명의 구성 및 작용

<47> 본 발명에 따른 반도체 회로는, 전원전압으로 구동되고, 상기 전원전압에 의존한 전류를 출력함과 동시에, 상기 전원전압으로부터 소정의 저하 전압만큼 저하하여 이루어지는 기준전압을 출력하는 전류원과,

<48> 상기 전류원으로부터 출력되는 전류에 의해 충전되는 콘덴서와,

<49> 상기 콘덴서의 전압을, 상기 전류원으로부터 출력되는 기준전압과 비교하여, 상기 기준전압이상이 되었을 때, 출력 신호를 출력하는 콤퍼레이터를 구비하고,

<50> 전원전압의 공급 시작부터, 상기 콘덴서의 전압이 상기 콘덴서의 충전에 의해 경과 시간에 실질적으로 비례하여 상승하고, 상기 기준전압에 도달할 때까지의 지연시간 후에, 상기 출력 신호를 출력하는 타이머 회로를 구성한 것을 특징으로 한다.

<51> 이하, 본 발명에 따른 실시예에 대해서 도면을 참조하여 설명한다. 또, 동일한 구성요소에 관해서는 동일한 부호를 붙이고 있다.

실시예 1

<53> 도 1은 본 발명의 실시예 1에 따른 반도체 회로인 타이머 회로(40)의 구성을 도시하는 회로도이다.

<54> 도 1에 있어서, 타이머 회로(40)는, 전류원(12)과, 전류원(12)으로부터의 전류의 공급을 온/오프하는 스위치SW와, 이 전류에 의해 전하를 충전하는 콘덴서(11)와, 기준 전압원(13)과, 콤퍼레이터(14)를 구비하여 구성된다. 여기에서, 전류원(12)은, 전원전압Vcc으로 구동되고, 전원전압Vcc에 의존한 전류를 출력함과 동시에, 전원전압Vcc으로부터 소정의 저하 전압만큼 저하하여 이루어지는 기준전압Vref을 출력한다. 전류원(12)의 일단은 스위치SW를 통해 콘덴서(11)의 일단에 접속되고, 전류원(12)의 타단은 접지된다. 또한 콘덴서(11)의 일단은 콤퍼레이터(14)의 반전 입력 단자에 접속되며, 콘덴서(11)의 타단은 접지된다. 또한, 전류원(12)으로부터 공급되는 기준전압Vref을 갖는 기준 전압원(13)의 정극(正極)은 콤퍼레이터(14)의 비반전 입력 단자에 접속되고, 기준 전압원(13)의 부극(負極)은 접지된다. 콤퍼레이터(14)의 출력 단자는 출력 단자(20)에 접속된다. 콤퍼레이터(14)에 있어서, 반전 입력 단자에 입력되는 전압이 기준 전압원(13)의 기준전압Vref이상이 되면, 콤퍼레이터(14)로부터의 출력 신호는, 예를 들면 +5V의 하이 레벨에서, 예를 들면 0V의 로우 레벨로 하강한다. 또, 스위치SW는, 타이머 회로(40)에 전원전압Vcc이 공급되었을 때 온이 되는 가상적인 스위치이다.

<55> 이상과 같이 구성된 타이머 회로(40)에 있어서, 콘덴서(11)에 전하가 축적되지 않은 상태에서, 타이머 회로(40)의 전원전압Vcc이 공급되어 스위치SW가 온 되었을 때, 전류원(12)으로부터 전류가 콘덴서(11)에 흐르고, 콘덴서(11)에 전하가 축적된다. 그리고, 시간경과에 따라서 콘덴서(11)의 양단 전압이 경과 시간에 실질적으로 비례하여 상승하고, 그 전압이 기준전압Vref이상이 되었을 때, 콤퍼레이터(14)로부터의 출력 신호는 하이 레벨에서 로우 레벨로 하강한다. 즉, 전원전압Vcc의 공급에 의한 스위치SW가 온하고 나서 소정 시간만큼 지연한 시점에 콤퍼레이터(14)로부터의 출력 신호는 하이 레벨에서 로우 레벨로 하강하여, 타이머 회로(40)로서 동작하게 된다.

<56> 즉, 타이머 회로(40)에 있어서, 전원전압Vcc으로 구동되고, 전원전압Vcc에 의존한 전류를 출력함과 동시에, 전원전압Vcc로부터 소정의 저하 전압만큼 저하하여 이루어지는 기준전압Vref을 출력하는 전류원(12)을 이용하여 콘덴서(11)를 충전하고, 콘덴서(11)의 전압을, 전류원(12)으로부터 출력되는 기준전압Vref과 비교하여, 기준전

압Vref이상이 되었을 때, 출력 신호를 출력하는 콤퍼레이터(14)을 구비하며, 전원전압Vcc의 공급 시작부터, 콘덴서(11)의 전압이 그 충전에 의해 경과 시간에 실질적으로 비례하여 상승하고 기준전압Vref에 도달할 때까지의 지연 시간 후에, 출력 신호를 출력하는 타이머 회로(40)를 구성하고 있다. 그러므로, 전원전압Vcc이 저하되어도, 전원전압Vcc에 의존한 충전 전류도 작아지는 한편, 전원전압Vcc으로부터 저하 전압만큼 저하하여 이루어지는 기준전압Vref도 작아지므로, 콘덴서(11)의 전압이 그 충전에 의해 경과 시간에 실질적으로 비례하여 상승하고 기준전압Vref에 도달할 때까지의 지연시간은 거의 변화되지 않는다. 즉, 전원전압Vcc이 저하해도 타이머 회로(40)의 지연시간을 유지하면서 동작할 수 있다. 따라서, 보다 낮은 전압으로부터 광범위한 전원전압범위로 안정되게 동작할 수 있는 타이머 회로(40)를 제공할 수 있다.

- <57> 또, 예를 들면 전류원(12)은 전원전압Vcc에 의존하지 않는 일정 전류를 공급하는 회로가 이용되는 경우에는, 전류원(12)을 반도체 회로내에 구성하기 위해서는 최저 2단의 트랜지스터 직렬 회로와 저항 또는 다이오드라는 능동소자의 캐스캐이드 접속이 필요하고, 최저동작 전압을 낮게 설정하는 것은 극히 곤란하며, 보다 넓은 전원전압범위에서 동작하는 타이머 회로를 작성하는 것은 곤란하다. 이 문제점을 해결하기 위해서, 본 발명자들은, 도 1의 타이머 회로(40)의 구체적인 예를 제안한다.
- <58> 도 2는 도 1의 타이머 회로(40)의 구체적인 예를 도시하는 회로도이다. 도 2에 있어서, 타이머 회로(40)는, 3개의 커런트 미러 회로M1, M2, M3와 저항Ra, Rb을 구비한 전류원(12)과, 콘덴서(11)와, 콤퍼레이터(14)를 구비하여 구성되고, 전류원(12) 및 콤퍼레이터(14)는 CMOS회로로 형성된다.
- <59> 도 2에 있어서, 전류원(12)은, 스위치SW와, 4개의 P채널 MOSFET P1 내지 P4과, 2개의 N채널 MOSFET N1, N2과, 2개의 저항Ra, Rb을 구비하여 구성된다. 여기에서, 한쌍의 P채널 MOSFET P1, P2에 의해 커런트 미러 회로M1를 구성하고, 한쌍의 N채널 MOSFET N1, N2에 의해 커런트 미러 회로M2를 구성하며, 한쌍의 P채널 MOSFET P3, P4에 의해 커런트 미러 회로M3를 구성하고, 이들 3개의 커런트 미러 회로M1, M2, M3가 종속 접속되어 있다. 또한 콤퍼레이터(14)는, 2개의 P채널 MOSFET P5, P6과, 2개의 N채널 MOSFET N3, N4을 구비하여 구성된다.
- <60> 전원전압Vcc은 스위치SW를 통해 전원 접속점(12a)에 접속된다. 전원 접속점(12a)은, 6개의 P채널 MOSFET P1 내지 P6의 각 소스에 접속된다. 또한 4개의 N채널 MOSFET N1 내지 N4의 각 소스는 접지된다. P채널 MOSFET P1, P2의 각 게이트는 서로 접속됨과 동시에, P채널 MOSFET P1의 드레인에 접속되고, 또한, 저항Ra을 통해 접지된다. 또한 P채널 MOSFET P2의 드레인은, N채널 MOSFET N1의 드레인 및 게이트 및 N채널 MOSFET N2의 게이트에 접속된다. 또한, 3개의 P채널 MOSFET P3, P4, P6의 각 게이트는 서로 접속됨과 동시에, P채널 MOSFET P3의 드레인에 접속되고, 또한, N채널 MOSFET N2의 드레인에 접속된다. P채널 MOSFET P4의 드레인은 저항Rb을 통해 P채널 MOSFET P5의 게이트에 접속됨과 동시에, 콘덴서(11)를 통해 접지된다. 또한 P채널 MOSFET P5의 드레인은 N채널 MOSFET N3의 드레인에 접속됨과 동시에, 출력 단자(20)에 접속된다. 또한, P채널 MOSFET P6의 드레인은 N채널 MOSFET N4의 드레인 및 게이트 및 N채널 MOSFET N3의 게이트에 접속된다.
- <61> 이상과 같이 구성된 도 2의 타이머 회로(40)에 있어서, 2개의 P채널 MOSFET P1, P2로 이루어지는 커런트 미러 회로M1와, 2개의 N채널 MOSFET N1, N2로 이루어지는 커런트 미러 회로M2와, 2개의 P채널 MOSFET P3, P4로 이루어지는 커런트 미러 회로M3와, 2개의 저항Ra, Rb에 의하여, 전류원(12)의 회로를 구성하고 있다. 또한 2개의 P채널 MOSFET P5, P6과, 2개의 N채널 MOSFET N3, N4에 의하여, 콤퍼레이터(14)를 구성하고 있다.
- <62> 도 2의 타이머 회로(12)에 있어서, 전원전압Vcc이 투입되어서 스위치SW가 온 되면, 전원전압Vcc로부터 P채널 MOSFET P1과 저항Ra을 통해 접지를 향해서 전류가 흐른다. 이때, 저항Ra의 양단에 유기되는 전압은, 전원전압Vcc로부터, 다이오드 접속하고 있는 P채널 MOSFET P1의 문턱값(임계값) 전압분 만큼 감한 전압값이 되고, 상기 저항Ra에 흐르는 전류는 전원전압Vcc에 실질적으로 비례하여, 즉 전원전압Vcc에 의존한 전류가 된다. 이 전류를 이용하여, 한쌍의 P채널 MOSFET P1, P2로 구성되는 커런트 미러 회로M1와, 한쌍의 N채널 MOSFET N1, N2로 구성되는 커런트 미러 회로M2와, 한쌍의 P채널 MOSFET P3, P4로 구성되는 커런트 미러 회로M3를 통해, 전원전압Vcc로부터 P채널 MOSFET P4 및 저항Rb을 통해 콘덴서(11)에 흐르는 충전 전류를 얻는다. 따라서, 충전 전류는, 전원전압Vcc에 의존하여, 전원전압Vcc에 실질적으로 비례하는 전류가 된다. 여기에서, 각 커런트 미러 회로M1, M2, M3의 MOSFET의 각 게이트 폭을 조정함으로써, 사용자가 원하는 충전 전류를 얻을 수 있다.
- <63> 또한 기준전압Vref는, 커런트 미러 회로M3에 있어서의 한쌍의 P채널 MOSFET P3, P4의 게이트 전위로부터 얻고 있다. 이 기준전압Vref는 P채널 MOSFET P3, P4의 문턱값 전압분 만큼 저하하여 이루어지는 전압값이며, 전원전압Vcc의 저하에 의해 저하한다. 또, 후술하는 실시예에 있어서, 상기 기준전압Vref을 제1의 기준전압Vref1으로서 이용하고, 커런트 미러 회로M2의 한쌍의 N채널 MOSFET N1, N2의 게이트 전위(이 MOSFET의 문턱값 전압값이다.)를 제 1의 기준전압Vref1보다도 낮은 제 2의 기준전압Vref2로서 이용할 수 있다.

- <64> 전술한 바와 같이 얻어진 전원전압Vcc에 의존하는 전류에서, 콘덴서(11)의 충전이 진행되고, 콤퍼레이터(14)의 반전 입력 단자(P채널 MOSFET P5의 게이트)의 전위가 기준전압Vref 이상이 되면 출력 단자(20)의 전압값이, 전원전압 레벨인 하이 레벨로부터 접지전위인 로우 레벨까지 반전한다.
- <65> 이때의 기준전압Vref의 전위(P채널 MOSFET P3, P4의 게이트 전위)와, P채널 MOSFET P1의 게이트 전위는, 트랜지스터의 드레인·소스간 전압의 변화에 의해 실효 채널길이가 변화되는 채널길이 변조효과를 무시할 수 있는 트랜지스터 구성으로 하면 같은 전위가 된다. 따라서, 이 회로구성에서는, 출력 단자(20)에 있어서의 전압의 반전은, 전원전압Vcc에 의존한 충전 전류로 충전된 콘덴서(11)가, 전원전압Vcc로부터 P채널 MOSFET P1의 문턱값 전압을 감한 전압값인 기준전압Vref에 도달함으로써 발생한다. 각 MOSFET의 문턱값 전압이 일정하면, 전원전압Vcc이 저하해도, 전원전압Vcc에 의존한 충전 전류도 작아지는 한편, 전원전압Vcc로부터 저하 전압만큼 저하하여 이루어지는 기준전압Vref도 작아지므로, 콘덴서(11)의 전압이 그 충전에 의해 경과 시간에 실질적으로 비례하여 상승하고 기준전압Vref에 도달할 때까지의 지연시간은 거의 변화되지 않는다. 즉, 전원투입부터 출력 단자(20)의 논리반전이 발생할 때까지의 지연시간은, 전원전압Vcc의 변동의 영향을 받기 어려우며, 또한, 충전 전류의 발생원은, 하나의 P채널 MOSFET P1과 하나의 저항Ra으로 구성되므로, 비교적 낮은 전압에서의 시동이 가능하게 된다. 즉, 전원전압Vcc이 저하해도 타이머 회로(40)의 지연시간을 유지하면서 동작할 수 있고, 보다 낮은 전압으로부터 광범위한 전원전압범위에서 안정되게 동작할 수 있는 타이머 회로(40)를 제공할 수 있다.
- <66> 도 3은 도 2의 타이머 회로(40)의 변형예40A를 도시하는 회로도이다. 도 3의 타이머 회로40A는, 도 2의 타이머 회로(40)와 비교하여, 전류원(12)에 있어서 커런트 미러 회로M2, M3를 생략한 것을 특징으로 하고 있다. 도 3에 있어서, 차이점에 대해서 설명하면 충전 전류는, 전원전압Vcc로부터 P채널 MOSFET P2 및 저항Rb를 통해 콘덴서(11)에 흐른다. 이상과 같이 구성해도, 도 3의 타이머 회로40A는, 도 2의 타이머 회로(40)와 같이 동작한다.
- <67> 도 4는 도 1의 타이머 회로(40)의 다른 구체적인 변형예 40B를 도시하는 회로도이다. 도 4의 타이머 회로40B는, 도 2의 타이머 회로(40)에 비교하여, 2개의 P채널 MOSFET P1, P2과, 1개의 저항Ra으로 이루어지는 회로를, 1개의 저항Rc로 구성한 것을 특징으로 하고 있다. 이상과 같이 구성해도, 도 4의 타이머 회로 40B는, 도 2의 타이머 회로(40)와 마찬가지로 동작한다.
- <68> 이상에서 설명한 바와 같이, 본 발명의 실시예 1에 따른 반도체 회로에 의하면, 전원전압Vcc이 저하해도, 전원전압Vcc에 의존한 충전 전류도 작아지는 한편, 전원전압Vcc로부터 저하 전압만큼 저하하여 이루어지는 기준전압Vref도 작아지므로, 콘덴서(11)의 전압이 그 충전에 의해 경과 시간에 실질적으로 비례하여 상승하고, 기준전압Vref에 도달할 때까지의 지연시간은 거의 변화되지 않는다. 즉, 전원전압Vcc이 저하해도 타이머 회로(40)의 지연시간을 유지하면서 동작할 수 있다. 따라서, 보다 낮은 전압으로부터 광범위한 전원전압범위에서 안정되게 동작할 수 있는 타이머 회로(40, 40A, 40B)를 제공할 수 있다.
- <69> 실시예 2
- <70> 도 5는 본 발명의 실시예 2에 따른 반도체 회로인 발진회로40C의 구성을 도시하는 회로도이다. 본 실시예 2에 따른 발진회로40C는, 도 1의 타이머 회로(40)를 기초로 한 CMOS회로로 형성된 발진회로이며 (실시예 3 내지 5도, 마찬가지로 형성되는 CMOS회로의 발진회로이다.), 도 1의 타이머 회로(40)에 비교하여, 기준 전압원(13)을 갖는 콤퍼레이터(14)대신에, 제1의 기준전압Vref1을 갖는 기준 전압원(21)을 갖는 콤퍼레이터(17)와, 제2의 기준전압Vref2을 갖는 기준 전압원(22)을 갖는 콤퍼레이터(18)와, 세트 리셋형 플립플롭(19)과, 방전 회로D1를 구비하여 구성한 것을 특징으로 하고 있다. 또, 콤퍼레이터(17, 18) 및 세트 리셋형 플립플롭(19)은 예를 들면 CMOS회로로 형성된다. 또한 기준 전압원(21, 22)도, 실시예 1과 같이 CMOS회로로 형성된 전류원12 또는 12B에서 발생되고, 구체적으로는, 도 2 및 도 4에 있어서 도시된 2개의 기준전압Vref1, Vref2을 이용한다.
- <71> 도 5에 있어서, 콘덴서(11)의 양단 전압을 전압V11로 하고, 그 양단에 각각 방전 회로D1의 단자T2, T3가 접속된다. 콘덴서(11)의 일단은, 콤퍼레이터(17)의 비반전 입력 단자 및 콤퍼레이터(18)의 반전 입력 단자에 접속된다. 기준 전압원(21)으로부터의 기준전압Vref1은 콤퍼레이터(17)의 반전 입력 단자에 인가되고, 기준 전압원(22)으로부터의 기준전압Vref2은 콤퍼레이터(18)의 비반전 입력 단자에 인가된다. 또한 콤퍼레이터(17)로부터의 출력 신호의 전압Vs은 세트 리셋형 플립플롭(19)의 세트 단자S에 입력되고, 콤퍼레이터(18)로부터의 출력 신호의 전압Vr은 세트 리셋형 플립플롭(19)의 리셋 단자R에 입력된다. 여기에서, 세트 리셋형 플립플롭(19)은, 비반전 출력 단자Q와, 반전 출력 단자/Q(본원 명세서 및 도면에 있어서, /Q 중 /은 상측 바를 나타내고, 로우 액티브를 나타낸다.)를 갖고, 세트 신호에 응답하여 세트되며, 리셋 신호에 응답하여 리셋되고, 상기 세트된 후 상기 리셋될 때까지 비반전 출력 단자Q로부터 출력 신호Vq를 출력함과 동시에, 그 반전 신호를 반전 출력 단자/Q로부터 출력한다. 여기에서, 세트 리셋형 플립플롭(19)의 비반전 출력 단자Q로부터의 출력 신호의 전압Vq은

출력 단자(30)에 출력됨과 동시에, 방전 회로D1의 제어 단자T1에 대하여 방전 시작 신호로서 인가된다.

- <72> 여기서, 콤퍼레이터(17)는, 비반전 입력단자에 입력되는 전압V11이 기준전압Vref1이상이 되었을 때, 하이 레벨의 펄스 신호를 출력하고, 또한 콤퍼레이터(18)는, 비반전 입력단자에 입력되는 전압V11이 기준전압Vref2이하가 되었을 때, 하이 레벨의 펄스 신호를 출력한다.
- <73> 도 6은, 도 5의 발진회로40C의 제1의 구체적인 예40Ca의 구성을 도시하는 회로도이다. 도 6에 있어서, 발진회로40Ca는, 도 2의 전류원(12)과, 도 2의 콤퍼레이터(14)와 동일한 구성을 갖는 2개의 콤퍼레이터(17, 18)를 이용하여 구성된 것을 특징으로 한다.
- <74> 도 6에 있어서, 전류원(12)의 전원접속 점(12a)은 콤퍼레이터(17)의 전원단자에 접속되어 전원전압Vcc이 공급되고, 또한 콤퍼레이터(18)의 전원단자에도 접속되어 전원전압Vcc이 공급된다. 전류원(12)의 P채널 MOSFET P3, P4의 각 게이트 전압은 기준전압Vref1으로서 콤퍼레이터(17)의 반전 입력 단자에 인가되고, 전류원(12)의 N채널 MOSFET N1, N2의 각 게이트 전압은 기준전압Vref2으로서 콤퍼레이터(18)의 비반전 입력 단자에 인가된다. 또한, 전류원(12)의 P채널 MOSFET P4의 소스는 저항Rb 및 콘덴서(11)를 통해 접지되고, 콘덴서(11)의 양단 전압V11은, 콤퍼레이터(17)의 비반전 입력 단자에 인가되며, 콤퍼레이터(18)의 반전 입력 단자에 인가되고, 방전 회로D1의 단자T2에 인가된다. 콤퍼레이터(17)로부터의 출력 신호는, 세트 리셋형 플립플롭(19)의 세트 단자S에 입력된다. 또한 콤퍼레이터(18)로부터의 출력 신호는, 세트 리셋형 플립플롭(19)의 리셋 단자R에 입력된다. 또한, 세트 리셋형 플립플롭(19)의 비반전 출력 단자Q로부터의 출력 신호는 방전 회로D1의 제어 단자T1에 입력된다.
- <75> 도 7은, 도 5의 발진회로40C의 제2의 구체적인 예40Cb의 구성을 도시하는 회로도이다. 도 7에 있어서, 발진회로40Cb는, 도 4의 전류원12B과, 도 4의 콤퍼레이터(14)와 동일한 구성을 갖는 2개의 콤퍼레이터(17, 18)를 이용하여 구성된 것을 특징으로 한다. 즉, 발진회로40Cb는, 도 6의 발진회로40Ca에 비교하여, 도 2의 전류원(12) 대신에, 도 4의 전류원12B을 구비한 것이며, 그 밖의 구성은, 도 6과 같다.
- <76> 도 8은 도 5 내지 도 7의 방전 회로D1의 구성을 도시하는 회로도이다. 방전 회로D1는, 예를 들면 도 8에 나타나 있는 바와 같이 CMOS회로 중 1개의 N채널 MOSFET(23)로 구성되고, 그 게이트는 제어 단자T1에 접속되며, 드레인은 단자T2에 접속되고, 소스는 접지된 단자T3에 접속된다. 이상과 같이 구성된 방전 회로D1에 있어서, 하이 레벨 신호가 제어 단자T1를 통해 N채널 MOSFET(23)의 게이트에 인가될 때, N채널 MOSFET(23)이 온이 되고, 단자T2와 단자T3사이에서 소정의 저항값을 갖는 방전 회로를 구성한다.
- <77> 도 9는 도 5 내지 도 7의 방전 회로D1의 변형예 D1A의 구성을 도시하는 회로도이다. 도 9의 방전 회로D1A는, 도 8의 방전 회로D1과 비교하여, 제어 단자T1와, N채널 MOSFET(23)의 게이트와의 사이에 커런트 미러 회로(24)를 삽입하고, 제어 단자T1에 입력되는 전압신호에 의거하여 전류를 발생하여 N채널 MOSFET(23)를 전류로 구동하도록 구성된 것을 특징으로 한다.
- <78> 도 10은, 도 5의 발진회로40C의 동작을 도시하는 타이밍 차트이다. 또, 도 5의 발진회로40C에 있어서, 도 10에 나타나 있는 바와 같이 기준전압Vref1은, 전원전압Vcc로부터 P채널 MOSFET의 문턱값 전압Vthp를 감한 전압으로 설정되고, 기준전압Vref2은, 기준전압Vref1보다도 낮은 전압으로 설정된다.
- <79> 도 10에서 알 수 있는 바와 같이, 스위치SW가 온 된 후, 콘덴서(11)가 충전되어, 콘덴서(11)의 양단 전압V11이 기준전압Vref1이상이 되었을 때, 콤퍼레이터(17)는 하이 레벨의 펄스 신호를 출력하고, 이에 따라 세트 리셋형 플립플롭(19)은 세트되며, 비반전 출력 단자Q로부터 이 하이 레벨 신호Vq가 출력된다. 그 때 이 하이 레벨 신호에 응답하여 방전회로D1가 온 되며, 콘덴서(11)에 축적된 전하는, 콘덴서(11)와 방전 회로D1의 N채널 MOSFET(23)의 저항 분으로 결정되는 시정수로 방전된다. 그리고 콘덴서(11)의 양단 전압이 기준전압Vref2이하가 되었을 때, 콤퍼레이터(18)는 하이 레벨의 펄스신호를 세트 리셋형 플립플롭(19)의 리셋 단자R에 출력한다. 이에 응답하여, 세트 리셋형 플립플롭(19)은 리셋되고, 비반전 출력 단자Q로부터 신호Vq는 로우 레벨이 된다. 이에 따라 방전 회로D1로의 신호가 로우 레벨이 되므로, 방전 회로D1가 오프되고, 방전 회로D1의 방전이 종료된다. 이어서, 또한 콘덴서(11)에 대한 충전이 개시되고, 상기의 동작이 반복된다. 따라서, 도 10에서 알 수 있는 바와 같이, 출력 단자(30)로부터는, 소정의 펄스폭을 갖는 하이 레벨 신호가 소정 주기로 출력되며, 즉, 소정의 발진 신호가 출력된다.
- <80> 이상과 같이 구성된 도 5의 발진회로40C에 있어서는, 리셋 신호에 응답하여, 콘덴서(11)의 전압이 그 충전에 의해 제2의 기준전압Vref2로부터 경과 시간에 실질적으로 비례하여 상승하고, 제1의 기준전압Vref1에 도달한 후, 세트 신호에 응답하여, 콘덴서(11)의 방전에 의해 제1의 기준전압Vref1으로부터 경과 시간에 따라서 하강하여

제2의 기준전압Vref2에 도달하는 동작을 반복함으로써, 세트 리셋형 플립플롭(19)으로부터의 출력 신호를, 소정 주기를 갖는 발진 신호로서 출력할 수 있다.

<81> 이상 설명한 바와 같이, 본 발명의 실시예 2에 따른 반도체 회로의 발진회로40C에 있어서도, 실시예 1의 전류원 12 또는 12B로부터의 충전 전류와, 전류원12 또는12B로부터의 기준전압Vref1을 이용하여, 실시예 1의 타이머 회로의 동작을 포함하는 발진회로의 동작을 실행하고 있으므로, 전원전압Vcc이 저하해도, 전원전압Vcc에 의존한 충전 전류도 작아지는 한편, 전원전압Vcc로부터 저하 전압만큼 저하하여 이루어지는 기준전압Vref1도 작아진다. 그러므로, 콘덴서(11)의 전압이 그 충전에 의해 기준전압Vref2으로부터 경과 시간에 실질적으로 비례하여 상승하고, 기준전압Vref1에 도달할 때까지의 시간은 거의 변화되지 않는다. 즉, 전원전압Vcc이 저하해도 발진회로의 발진 주기를 유지하면서 동작할 수 있다. 따라서, 보다낮은 전압으로부터 광범위한 전원전압범위에서 안정되게 동작할 수 있는 발진회로를 제공할 수 있다.

<82> 실시예 3

<83> 도 11은 본 발명의 실시예 3에 따른 반도체 회로인 발진회로40D의 구성을 도시하는 회로도이다. 도 11의 발진 회로40D는, 도 5의 발진회로40C에 비교하여, 2개의 전류원(12-1, 12-2)에 각각 대응하는 콘덴서(11-1, 11-2) 및 방전 회로D1, D2를 구비하고, 또한 상기 2개의 전류원(12-1, 12-2)의 동작을 각각 온/오프하는 2개의 스위치 SW1, SW2를 구비하며, 이들 2개의 스위치SW1, SW2의 온/오프를 제어하는 콘트롤러(25)를 구비한 것을 특징으로 하고 있다. 전술한 도 5의 발진회로40C에서는, 도 10에서 분명하게 알 수 있는 바와 같이, 기준전압Vref1과 기준전압Vref2이 실질적으로 동일한 전압으로 설정되었을 때는, 발진 동작이 정지되게 되지만, 도 11의 발진회로 40D에서는 이 문제점을 해결한다. 또, 기준 전압원(21)은, 실시예 1과 마찬가지로 CMOS회로로 형성된 전류원 12, 12A 또는 12B에서 발생되고, 구체적으로는, 도 2 내지 도 4에 있어서 도시된 기준전압Vref을 이용한다. 또한 방전 회로D1, D2도 각각 상기의 방전 회로D1와 마찬가지로 구성된다.

<84> 도 11에 있어서, 전류원(12-1)의 일단은 스위치SW1를 통해 접지되고, 전류원(12-1)의 타단은 콘덴서(11-1)를 통해 접지된다. 또한 전류원(12-2)의 일단은 스위치SW2를 통해 접지되고, 전류원(12-2)의 타단은 콘덴서(11-2)를 통해 접지된다. 콘덴서(11-1)의 양단 전압V11은 방전 회로D1 및 콤퍼레이터(17)의 비반전 입력단자에 인가된다. 또 콘덴서(11-2)의 양단 전압V12은 방전 회로D2 및 콤퍼레이터(18)의 비반전 입력단자에 인가된다. 또한, 2개의 콤퍼레이터(17, 18)의 각 반전 입력 단자에는, 기준 전압원(21)으로부터의 기준전압Vref이 인가된다. 여기에서, 콤퍼레이터(17, 18)는 각각, 각 비반전 입력 단자에 인가되는 전압V11, V12이 기준전압Vref이상 이 되었을 때, 하이 레벨의 펄스 신호를 출력한다. 콤퍼레이터(17)로부터의 출력 신호는 전압Vs으로 세트 리셋형 플립플롭(19)의 세트 단자S에 출력되고, 콤퍼레이터(18)로부터의 출력 신호는 전압Vr으로 세트 리셋형 플립플롭(19)의 리셋 단자R에 출력된다. 또한, 세트 리셋형 플립플롭(19)의 비반전 출력 단자Q로부터 출력되는 신호는 전압Vq으로 출력 단자(30)에 출력됨과 동시에, 방전 회로D1의 제어 단자T1에 출력된다. 또한 세트 리셋형 플립플롭(19)의 반전 출력 단자/Q로부터 출력되는 신호는 전압Vqb으로 출력 단자(31)에 출력됨과 동시에, 방전 회로D2의 제어 단자T1에 출력된다. 또, 콘트롤러(25)는, 이 발진회로40D의 동작 개시후, 스위치SW1를 온 한 후, 소정의 시간간격 만큼 지연하여 스위치SW2를 온 한다.

<85> 도 12은 도 11의 발진회로40D의 제1의 구체적인 예40Da의 구성을 도시하는 회로도이다. 도 12에 있어서, 발진 회로40Da는, 도 2의 전류원(12)과 동일한 구성을 갖는 전류원(12-1,12-2)과, 도 2의 콤퍼레이터(14)와 동일한 구성을 갖는 2개의 콤퍼레이터(17,18)를 이용하여 구성한 것을 특징으로 한다.

<86> 도 12에 있어서, 전류원(12-1)은 콘트롤러(25)에 의해 제어되는 스위치SW1를 갖고, 전류원(12-2)은 콘트롤러 (25)에 의해 제어되는 스위치SW2를 갖는다. 전류원(12-1)의 전원 접속점(12a)은 콤퍼레이터(17)의 전원단자에 접속되어 전원전압Vcc이 공급된다. 또한 전류원(12-2)의 전원 접속점(12a)은 콤퍼레이터(18)의 전원단자에도 접속되어 전원전압Vcc이 공급된다. 전류원(12-1)의 P채널 MOSFET P3, P4의 각 게이트 전압은 기준전압Vref1으로서 콤퍼레이터(17)의 반전 입력 단자에 인가되고, 또한 전류원(12-2)의 P채널 MOSFET P3, P4의 각 게이트 전압은 기준전압Vref1으로서 콤퍼레이터(18)의 반전 입력 단자에 인가된다. 또한, 전류원(12-1)의 P채널 MOSFET P4의 소스는 저항Rb 및 콘덴서(11-1)를 통해 접지되고, 콘덴서(11-1)의 양단 전압V11은, 콤퍼레이터(17)의 비반전 입력 단자에 인가되며, 방전 회로D1의 단자T2에 인가된다. 전류원(12-2)의 P채널 MOSFET P4의 소스는 저항 Rb 및 콘덴서(11-2)를 통해 접지되고, 콘덴서(11-2)의 양단 전압V12은, 콤퍼레이터(18)의 비반전 입력 단자에 인가되며, 방전 회로D2의 단자T2에 인가된다. 콤퍼레이터(17)로부터의 출력 신호는, 세트 리셋형 플립플롭(19)의 세트 단자S에 입력된다. 또한 콤퍼레이터(18)로부터의 출력 신호는, 세트 리셋형 플립플롭(19)의 리셋 단자R에 입력된다. 또한, 세트 리셋형 플립플롭(19)의 비반전 출력 단자Q로부터의 출력 신호는 방전 회로D1의 제

어 단자T1에 입력되고, 세트 리셋형 플립플롭(19)의 반전 출력 단자/Q로부터의 출력 신호는 방전 회로D2의 제어 단자T1에 입력된다.

<87> 도 13은 도 11의 발진회로40D의 제2의 구체적인 예40Db의 구성을 도시하는 회로도이다. 도 13에 있어서, 발진 회로40Db는, 도 3의 전류원12A과 동일한 구성을 갖는 전류원12A-1, 12A-2과, 도 3의 콤퍼레이터(14)와 동일한 구성을 갖는 2개의 콤퍼레이터(17, 18)를 이용하여 구성된 것을 특징으로 한다. 즉, 발진회로40Db는, 도 12의 발진회로40Da에 비교하여, 도 2의 전류원(12)대신에, 도 3의 전류원12A을 구비한 것이며, 그 밖의 구성은, 이하의 점을 제외하고 도 12와 같다. 전류원12A-1은 콘트롤러(25)에 의해 제어되는 스위치SW1를 갖고, 전류원12A-2은 콘트롤러(25)에 의해 제어되는 스위치SW2를 갖는다. 또한 전류원12A-1의 P채널 MOSFET P1, P2의 각 게이트 전압은 기준전압Vref1으로서 콤퍼레이터(17)의 반전 입력 단자에 인가되고, 또한 전류원12A-2의 P채널 MOSFET P1, P2의 각 게이트 전압은 기준전압Vref1으로서 콤퍼레이터(18)의 반전 입력 단자에 인가된다.

<88> 도 14는 도 11의 발진회로40D의 제3의 구체적인 예40Dc의 구성을 도시하는 회로도이다. 도 14에 있어서, 발진 회로40Dc는, 도 4의 전류원12B과 동일한 구성을 갖는 전류원12B-1, 12B-2과, 도 4의 콤퍼레이터(14)와 동일한 구성을 갖는 2개의 콤퍼레이터(17, 18)를 이용하여 구성된 것을 특징으로 한다. 즉, 발진회로40Dc는, 도 12의 발진회로40Da에 비교하여, 도 2의 전류원(12)대신에, 도 4의 전류원12B을 구비한 것이며, 그 밖의 구성은, 이하의 점을 제외하고 도 12와 같다. 전류원12B-1은 콘트롤러(25)에 의해 제어되는 스위치SW1를 갖고, 전류원12B-2은 콘트롤러(25)에 의해 제어되는 스위치SW2를 갖는다.

<89> 도 15는 도 11의 발진회로40D의 동작을 도시하는 타이밍 차트이다. 도 15에 있어서, 콘트롤러(25)는, 이 발진 회로40D의 동작 시작후, 스위치SW1를 온 한 후, 소정의 시간간격만큼 지연하여 스위치SW2를 온 한다. 이에 따라 우선, 콘덴서(11-1)가 충전되고, 그 양단 전압V11이 기준전압Vref이상인 되었을 때, 콤퍼레이터(17)는 하이 레벨의 펄스 신호를 세트 리셋형 플립플롭(19)의 세트 단자S에 출력하고, 이에 따라 세트 리셋형 플립플롭(19)은 세트되어, 그 비반전 출력 단자Q로부터 소정의 하이 레벨 신호Vq가 출력 단자(30) 및 방전 회로D1의 제어 단자T1에 출력됨과 동시에, 그 반전 출력 단자/Q로부터 소정의 로우 레벨 신호Vqb가 출력 단자(31) 및 방전 회로 D2의 제어 단자T1에 출력된다. 이때, 방전 회로D1은 온이 되고, 콘덴서(11-1)에 축적된 전하는 방전되는 한편, 방전 회로D2는 오프가 되고, 콘덴서(11-2)에 전류원(12-2)으로부터의 전류가 흘러, 전하의 축적이 행해진다.

<90> 그리고, 콘덴서(11-2)가 충전되고, 그 양단 전압V12이 기준전압Vref이상인 되었을 때, 콤퍼레이터(18)는 하이 레벨의 펄스 신호를 세트 리셋형 플립플롭(19)의 리셋 단자R에 출력하고, 이에 따라 세트 리셋형 플립플롭(19)은 리셋되어, 그 비반전 출력 단자Q로부터 소정의 로우 레벨 신호Vq가 출력 단자(30) 및 방전 회로D1의 제어 단자T1에 출력됨과 동시에, 그 반전 출력 단자/Q로부터 소정의 하이 레벨 신호Vqb가 출력 단자(31) 및 방전 회로 D2의 제어 단자T1에 출력된다. 이때, 방전 회로D1은 오프되어 충전이 다시 개시되는 한편, 방전 회로D2는 온이 되고, 콘덴서(11-2)에 축적된 전하가 방전된다. 이상의 동작이 반복되어, 출력 단자(30)로부터 출력되는 신호 Vq로서, 소정의 펄스폭을 갖는 하이 레벨 신호가 소정 주기로 출력되며, 즉, 소정의 발진 신호가 출력된다.

<91> 이상과 같이 구성된 발진회로에 있어서는, 리셋 신호에 응답하고, 콘덴서(11-1)의 전압이 그 충전에 의해 경과 시간에 실질적으로 비례하여 상승하고, 기준전압Vref에 도달한 후, 세트 신호에 응답하고, 콘덴서(11-1)의 방전에 의해 기준전압Vref으로부터 경과 시간에 따라 하강함과 동시에, 세트 신호에 응답하여, 콘덴서(11-2)의 전압이 그 충전에 의해 경과 시간에 실질적으로 비례하여 상승하고, 기준전압Vref에 도달한 후, 리셋 신호에 응답하여, 콘덴서(11-2)의 방전에 의해 기준전압Vref으로부터 경과 시간에 따라서 하강하는 동작을 반복함으로써, 세트 리셋형 플립플롭(19)으로부터의 2개의 출력 신호Vq, Vqb를 각각, 소정 주기를 갖는 발진 신호로서 출력할 수 있다.

<92> 이상 설명한 바와 같이, 본 발명의 실시예 3에 따른 반도체 회로의 발진회로에 있어서도, 실시예 1의 전류원12, 12A 또는 12B로부터의 충전 전류와, 전류원12, 12A 또는 12B로부터의 기준전압Vref를 이용하여, 실시예 1의 타이머 회로의 동작을 포함하는 발진회로의 동작을 실행하고 있으므로, 전원전압Vcc이 저하해도, 전원전압Vcc에 의존한 전류도 작아지는 한편, 전원전압Vcc로부터 저하 전압만큼 저하하여 이루어지는 기준전압Vref도 작아진다. 그 때문에, 콘덴서(11-1, 11-2)의 각 전압이 그 충전에 의해 경과 시간에 실질적으로 비례하여 상승하고, 기준전압Vref에 도달할 때까지의 시간은 거의 변화되지 않는다. 즉, 전원전압Vcc이 저하해도 발진회로의 발진 주기를 유지하면서 동작할 수 있다. 따라서, 보다 낮은 전압으로부터 광범위한 전원전압범위에서 안정되게 동작할 수 있는 발진회로를 제공할 수 있다.

<93> 실시예 4

- <94> 도 16은 본 발명의 실시예 4에 따른 반도체 회로인 발진회로40E의 구성을 도시하는 회로도이다. 도 16의 발진 회로40E는, 도 11의 발진회로40D와 비교하여, 3개의 전류원(12-1, 12-2, 12-3)과, 3개의 인버터NOT1, NOT2, NOT3와, 3개의 세트 리셋형 플립플롭FF1, FF2, FF3과, 3개의 방전 회로D1, D2, D3를 구비하여 구성한 것을 특징으로 하고 있다. 또, 전류원(12-1, 12-2, 12-3)은, 상기의 전류원(12)과 같이 CMOS회로로 구성되고, 방전 회로D1, D2, D3도 각각 상기의 방전 회로D1과 마찬가지로 구성된다.
- <95> 도 16에 있어서, 전류원(12-1)의 일단은 스위치SW1를 통해 접지되고, 전류원(12-1)의 타단은 콘덴서C1를 통해 접지된다. 또한 전류원(12-2)의 일단은 스위치SW2를 통해 접지되고, 전류원(12-2)의 타단은 콘덴서C2를 통해 접지된다. 또한, 전류원(12-3)의 일단은 스위치SW3를 통해 접지되고, 전류원(12-3)의 타단은 콘덴서C3를 통해 접지된다. 콘덴서C1의 양단 전압V1은 방전 회로D3에 인가됨과 동시에, 인버터NOT1를 통해 전압Va으로서 노어 게이트NOR1의 제1의 입력 단자 및 노어 게이트NOR2의 제1의 입력 단자에 입력된다. 또한 콘덴서C2의 양단 전압V2은 방전 회로D2에 인가됨과 동시에, 인버터NOT2를 통해 전압Vb으로서 노어 게이트NOR2의 제2의 입력 단자 및 노어 게이트NOR3의 제2의 입력 단자에 출력된다. 또한, 콘덴서C3의 양단 전압V3은 방전 회로D1에 인가됨과 동시에, 인버터NOT3를 통해 전압Vc으로서 노어 게이트NOR1의 제2의 입력 단자 및 노어 게이트NOR3의 제1의 입력 단자에 입력된다. 또, 각 인버터NOT1, NOT2, NOT3는 각각, 입력 신호가 소정의 문턱값 전압이상이 되었을 때, 반전된 로우 레벨 신호를 출력한다. 여기에서, 각 인버터NOT1, NOT2, NOT3의 문턱값 전압은, 바람직하게는, 상기의 실시예와 마찬가지로, 전원전압Vcc으로부터 P채널 MOSFET의 문턱값 전압Vthp만큼 감한 값으로 설정된다.
- <96> 노어 게이트NOR1로부터의 출력 신호는 전압Vd으로서 세트 리셋형 플립플롭FF1의 세트 단자S 및 세트 리셋형 플립플롭FF2의 리셋 단자R에 출력된다. 또한 노어 게이트NOR2로부터의 출력 신호는 전압Ve으로서 세트 리셋형 플립플롭FF1의 리셋 단자R 및 세트 리셋형 플립플롭FF3의 세트 단자S에 출력된다. 또한, 노어 게이트NOR3로부터의 출력 신호는 전압Vf로서 세트 리셋형 플립플롭FF2의 세트 단자S 및 세트 리셋형 플립플롭FF3의 리셋 단자R에 출력된다. 세트 리셋형 플립플롭FF1의 비반전 출력 단자Q로부터의 출력 신호는 전압Vq1으로서 출력 단자(30)에 출력됨과 동시에, 방전 회로D1의 제어 단자T1에 출력된다. 또, 세트 리셋형 플립플롭FF2의 비반전 출력 단자Q로부터의 출력 신호는 전압Vq2으로서 방전 회로D2의 제어 단자T1에 출력된다. 또한, 세트 리셋형 플립플롭FF3의 비반전 출력 단자Q로부터의 출력 신호는 전압Vq3으로서 방전 회로D3의 제어 단자T1에 출력된다. 또, 콘트롤러(26)는, 이 발진회로40E의 동작 시작후, 스위치SW1를 온 한 후, 소정의 시간간격만큼 지연하여 스위치SW2를 온 하고, 또한, 상기 같은 시간간격만큼 지연하여 스위치SW3를 온 한다.
- <97> 도 17은 도 16의 발진회로40E의 제1의 구체적인 예40Ea의 구성을 도시하는 회로도이다. 또, 도 17은, 발진회로 40E의 콘트롤러(26)로부터 인버터NOT1, NOT2, NOT3 및 방전 회로D1, D2, D3까지의 회로만을 도시하고 있다. 도 17의 발진회로40Ea는, 도 2의 전류원(12)과 동일한 구성을 갖는 3개의 전류원(12-1, 12-2, 12-3)을 이용하여 구성한 것을 특징으로 한다.
- <98> 도 17에 있어서, 전류원(12-1)은 콘트롤러(26)에 의해 제어되는 스위치SW1를 갖고, 전류원(12-2)은 콘트롤러(26)에 의해 제어되는 스위치SW2를 가지며, 전류원(12-3)은 콘트롤러(26)에 의해 제어되는 스위치SW3를 갖는다. 전류원(12-1)의 P채널 MOSFET P4의 소스는 저항Rb 및 콘덴서C1를 통해 접지되고, 콘덴서C1의 양단 전압V1은 인버터NOT1 및 방전 회로D3의 단자T2에 인가된다. 또한 전류원(12-2)의 P채널 MOSFET P4의 소스는 저항Rb 및 콘덴서C2를 통해 접지되고, 콘덴서C2의 양단 전압V2은 인버터NOT2 및 방전 회로D2의 단자T2에 인가된다. 또한, 전류원(12-3)의 P채널 MOSFET P4의 소스는 저항Rb 및 콘덴서C3를 통해 접지되고, 콘덴서C3의 양단 전압V3은 인버터NOT3 및 방전 회로D1의 단자T2에 인가된다.
- <99> 도 18은 도 16의 발진회로40E의 제2의 구체적인 예40Eb의 구성을 도시하는 회로도이다. 또, 도 18은, 발진회로 40E의 콘트롤러(26)로부터 인버터NOT1, NOT2, NOT3 및 방전 회로D1, D2, D3까지의 회로만을 도시하고 있다. 도 18의 발진회로40Eb는, 도 3의 전류원12A와 동일한 구성을 갖는 3개의 전류원12A-1, 12A-2, 12A-3을 이용하여 구성한 것을 특징으로 한다. 도 18에 있어서, 전류원12A-1은 콘트롤러(26)에 의해 제어되는 스위치SW1를 갖고, 전류원12A-2은 콘트롤러(26)에 의해 제어되는 스위치SW2를 가지며, 전류원12A-3은 콘트롤러(26)에 의해 제어되는 스위치SW3를 갖는다. 그 밖의 구성은, 도 17과 같다.
- <100> 도 19는 도 16의 발진회로40E의 제3의 구체적인 예40Ec의 구성을 도시하는 회로도이다. 또, 도 19는, 발진회로 40E의 콘트롤러(26)로부터 인버터NOT1, NOT2, NOT3 및 방전 회로D1, D2, D3까지의 회로만을 도시하고 있다. 도 19의 발진회로40Ec는, 도 4의 전류원12B과 동일한 구성을 갖는 3개의 전류원12B-1, 12B-2, 12B-3을 이용하여 구성한 것을 특징으로 한다. 도 19에 있어서, 전류원12B-1은 콘트롤러(26)에 의해 제어되는 스위치SW1를 갖고, 전류원12B-2은 콘트롤러(26)에 의해 제어되는 스위치SW2를 가지며, 전류원12B-3은 콘트롤러(26)에 의해 제어되

는 스위치SW3를 갖는다. 그 밖의 구성은, 도 17 및 도 18과 같다.

- <101> 도 20은 도 16의 발진회로40E의 동작을 도시하는 타이밍 차트이다. 도 20에 있어서, 콘트롤러(26)는, 이 발진 회로40E의 동작 시작 후, 스위치SW1를 온 한 후, 소정의 시간간격만큼 지연하여 스위치SW2를 온 하고, 또한, 상 기 동일한 시간간격만큼 지연하여 스위치SW3를 온 한다. 이에 따라 우선, 콘덴서C1가 충전되어, 그 양단 전압 V1이 인버터NOT1의 문턱값 전압이상 이 되었을 때, 로우 레벨 신호Va가 인버터NOT1로부터 출력된다. 다음에, 콘 덴서C2가 충전되고, 그 양단 전압V2이 인버터NOT2의 문턱값 전압이상 이 되었을 때, 로우 레벨 신호Vb가 인버터 NOT2로부터 출력된다. 그리고, 콘덴서C3가 충전되고, 그 양단 전압V3이 인버터NOT3의 문턱값 전압이상 이 되었 을 때, 로우 레벨 신호Vc가 인버터NOT3로부터 출력된다. 여기에서, 로우 레벨 신호Va와 로우 레벨 신호Vb가 소 정의 시간기간에서 겹치도록, 또한 로 우 레벨 신호Vb와 로우 레벨 신호Vc가 소정의 시간기간에서 겹치도록, 로 우 레벨 신호Vc와, 다음 사이클의 로우 레벨 신호Va가 소정의 시간기간에서 겹치도록, 콘트롤러(26)에 의한 기 동시(전원투입 시)의 제어가 실행된다. 또, 도 20에 있어서, 로우 레벨 신호Va, Vb, Vc에 대해서는, 도시를 간략화하기 위해, 로우 액티브 신호의 형식/Va, /Vb, /Vc으로 도시하고 있다.
- <102> 이상 설명한 바와 같이, 로우 레벨 신호Va, Vb, Vc가 순차적으로 서로 겹치도록 출력되므로, 노어 게이트NOR2, NOR3, NOR1 순서로, 순차적으로 동일 주기에서 하이 펄스 신호Ve, Vf, Vd가 순차적으로 출력되고, 이에 응답하 여, 세트 리셋형 플립플롭FF3으로부터의 하이 레벨 출력 신호Vq3와, 세트 리셋형 플립플롭FF2으로부터의 하이 레벨 출력 신호Vq2와, 세트 리셋형 플립플롭FF1로부터의 하이 레벨 출력 신호Vq1가 순차적으로 출력된다. 여기 에서, 방전 회로D3, D2, D1도 순차적으로 방전의 오프/온이 반복된다. 따라서, 도 20에 나타나 있는 바와 같이 이상의 동작이 반복되고, 출력 단자(30)로부터 출력되는 신호Vq1로서, 소정의 펄스폭을 갖는 하이 레벨 신호가 소정 주기로 출력되며, 즉, 소정의 발진 신호가 출력된다.
- <103> 이상의 실시예 4에 따른 도 16의 발진회로40E에서는, 3개의 전류원12-1, 12-2, 12-3을 이용하는 예를 도시하고 있지만, 4개 이상의 전류원과 그것에 대응한 소자회로를 이용하여 동일한 발진회로를 구성해도 좋다.
- <104> 이 발진회로에 있어서는, 리셋 신호에 응답하여, 각 콘덴서C1, C2, C3의 전압이 각각 그것들의 충전에 의해 경 과 시간에 실질적으로 비례하여 상승하고, 기준전압Vref에 도달한 후, 세트 신호에 응답하여, 각 콘덴서C1, C2, C3의 방전에 의해 기준전압Vref으로부터 경과 시간에 따라서 하강하는 동작을 각 콘덴서C1, C2, C3에 있어서 시 간간격만큼 어긋나게 반복함으로써, 각 세트 리셋형 플립플롭FF1, FF2, FF3으로부터의 출력 신호를 각각, 소정 주기를 갖는 발진 신호로서 출력할 수 있다.
- <105> 이상에서 설명한 바와 같이, 본 발명의 실시예 4에 따른 반도체 회로의 발진 회로에 있어서도, 실시예 1의 전류 원12, 12A 또는 12B로부터의 충전전류와, 전류원12, 12A 또는 12B로부터의 기준전압Vref를 이용하여, 실시예 1의 타이머 회로의 동작을 포함하는 발진회로의 동작을 실행하고 있으므로, 전원전압Vcc이 저하해도, 전원전압Vcc에 의존한 충전 전류도 작아지는 한편, 전원전압Vcc으로부터 저하 전압만큼 저하하여 이루어지는 기준전압Vref도 작아진다. 그러므로 콘덴서C1, C2, C3의 각 전압이 그것들 충전에 의해 경과 시간에 실질적으로 비례하여 상승 하고, 기준전압Vref에 도달할 때까지의 시간은 거의 변화되지 않는다. 즉, 전원전압Vcc이 저하해도 발진회로의 발진 주기를 유지하면서 동작할 수 있다. 따라서, 보다 낮은 전압으로부터 광범위한 전원전압범위에서 안정되 게 동작할 수 있는 발진회로를 제공할 수 있다.
- <106> 실시예 5
- <107> 도 21은 본 발명의 실시예 5에 따른 반도체 회로인 발진회로40F의 구성을 도시하는 회로도이다. 도 21의 발진 회로40F는, 도 16의 발진회로40E와 비교하여, 인버터NOT1, NOT2, NOT3대신에, 문턱값 버퍼THB1, THB2, THB3를 구비하고, 또한 노어 게이트NOR1, NOR2, NOR3대신에, 2개의 반전 입력 단자가 있는 오아 게이트OR1, OR2, OR3를 구비한 것을 특징으로 한다. 이상과 같이 구성된 발진회로40F에 있어서는, 출력 신호Va, Vb, Vc가 도 16의 발진 회로40E에 비교하여 반전되는 것을 제외하고, 발진회로40E와 마찬가지로 동작한다.
- <108> 이상의 실시예 5에 따른 도 21의 발진회로40F에서는, 3개의 전류원(12-1, 12-2, 12-3)을 이용하는 예를 도시하 고 있지만, 4개 이상의 전류원과 그것에 대응한 소자회로를 이용하여 동일한 발진회로를 구성해도 좋다.
- <109> 도 22는 도 21의 발진회로40F의 제1의 구체적인 예40Fa의 구성을 도시하는 회로도이다. 또, 도 22는, 발진회로 40F의 콘트롤러(26)로부터 문턱값 버퍼THB1, THB2, THB3 및 방전 회로D1, D2, D3까지의 회로만을 도시하고 있다. 도 22의 발진회로40Fa는, 도 2의 전류원(12)과 동일한 구성을 갖는 3개의 전류원(12-1, 12-2, 12-3)을 이용하여 구성된 것을 특징으로 한다. 여기에서, 도 22의 발진회로40Fa는, 도 17의 발진회로40Ea에 비교하여, 인버터NOT1, NOT2, NOT3대신에 각각, 문턱값 버퍼THB1, THB2, THB3를 구비한 것만이 다르다.

<110> 도 23은 도 21의 발진회로40F의 제2의 구체적인 예40Fb의 구성을 도시하는 회로도이다. 또, 도 23은, 발진회로 40F의 콘트롤러(26)로부터 문턱값 버퍼THB1, THB2, THB3 및 방전 회로D1, D2, D3까지의 회로만을 도시하고 있다. 도 23의 발진회로40Fb는, 도 3의 전류원12A과 동일한 구성을 갖는 3개의 전류원12A-1, 12A-2, 12A-3을 이용하여 구성된 것을 특징으로 한다. 여기에서, 도 23의 발진회로40Fb는, 도 18의 발진회로40Eb에 비교하여, 인버터NOT1, NOT2, NO3대신에 각각, 문턱값 버퍼THB1, THB2, THB3을 구비한 것만이 다르다.

<111> 도 24는 도 21의 발진회로40F의 제3의 구체적인 예40Fc의 구성을 도시하는 회로도이다. 도 24는, 발진회로40F의 콘트롤러(26)로부터 문턱값 버퍼THB1, THB2, THB3 및 방전 회로D1, D2, D3까지의 회로 만을 도시하고 있다. 도 24의 발진회로40Fc는, 도 4의 전류원12B과 동일한 구성을 갖는 3개의 전류원12B-1, 12B-2, 12B-3을 이용하여 구성 한것을 특징으로 한다. 여기에서, 도 24의 발진회로40Fc는, 도 19의 발진회로40Ec에 비교하여, 인버터 NOT1, NOT2, NOT3대신에 각각, 문턱값 버퍼THB1, THB2, THB3를 구비한 것만이 다르다.

<112> 이상 설명한 바와 같이, 본 발명의 실시예 5에 따른 반도체 회로의 발진회로에 있어서, 실시예 4와 동일한 작용 효과를 갖고, 전원전압Vcc이 저하해도 발진회로의 발진 주기를 유지하면서 동작할 수 있으며, 보다 낮은 전압으로부터 광범위한 전원전압범위에서 안정되게 동작할 수 있는 발진회로를 제공할 수 있다.

발명의 효과

<113> 따라서, 본 발명에 따른 반도체 회로에 의하면, 전원전압으로 구동되고, 상기 전원전압에 의존한 전류를 출력함과 동시에, 상기 전원전압으로부터 소정의 저하 전압만큼 저하하여 이루어지는 기준전압을 출력하는 전류원을 이용하여 콘덴서를 충전하고, 상기 콘덴서의 전압을, 상기 전류원으로부터 출력되는 기준전압과 비교하여, 상기 기준전압이상이 되었을 때, 출력 신호를 출력하는 콤퍼레이터를 구비하며, 전원전압의 공급 시작부터, 상기 콘덴서의 전압이 상기 콘덴서의 충전에 의해 경과 시간에 실질적으로 비례하여 상승하고, 상기 기준전압에 도달할 때까지의 지연시간 후에, 상기 출력 신호를 출력하는 타이머 회로를 구성했다. 그러므로, 상기 전원전압이 저하해도, 상기 전원전압에 의존한 충전 전류도 작아지는 한편, 상기 전원전압으로부터 상기 저하 전압만큼 저하하여 이루어지는 기준전압도 작아지므로, 상기 콘덴서의 전압이 상기 콘덴서의 충전에 의해 경과 시간에 실질적으로 비례하여 상승하고, 상기 기준전압에 도달할 때까지의 지연시간은 거의 변화되지 않는다. 즉, 상기 전원전압이 저하해도 타이머 회로의 지연시간을 유지하면서 동작할 수 있다. 따라서, 보다 낮은 전압으로부터 광범위한 전원전압범위에서 안정되게 동작할 수 있는 타이머 회로를 제공할 수 있다.

<114> (산업상의 이용가능성)

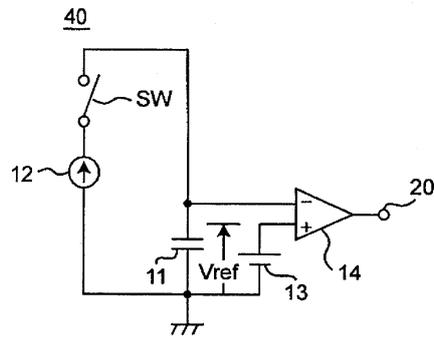
<115> 이상에서 상세하게 설명한 바와 같이, 본 발명에 따른 반도체 회로에 의하면, 전원전압으로 구동되고, 상기 전원전압에 의존한 전류를 출력함과 동시에, 상기 전원전압으로부터 소정의 저하 전압만큼 저하하여 이루어지는 기준전압을 출력하는 전류원을 이용하여 콘덴서를 충전하고, 상기 콘덴서의 전압을, 상기 전류원으로부터 출력되는 기준전압과 비교하여, 상기 기준전압이상이 되었을 때, 출력 신호를 출력하는 콤퍼레이터를 구비하며, 전원전압의 공급 시작부터, 상기 콘덴서의 전압이 상기 콘덴서의 충전에 의해 경과 시간에 실질적으로 비례하여 상승하고, 상기 기준전압에 도달할 때까지의 지연시간 후에, 상기 출력 신호를 출력하는 타이머 회로를 구성했다. 그 때문에, 상기 전원전압이 저하해도, 상기 전원전압에 의존한 충전 전류도 작아지는 한편, 상기 전원전압으로부터 상기 저하 전압만큼 저하하여 이루어지는 기준전압도 작아지므로, 상기 콘덴서의 전압이 상기 콘덴서의 충전에 의해 경과 시간에 실질적으로 비례하여 상승하고, 상기 기준전압에 도달할 때까지의 지연시간은 거의 변화되지 않는다. 즉, 상기 전원전압이 저하해도 타이머 회로의 지연시간을 유지하면서 동작할 수 있다. 따라서, 보다 낮은 전압으로부터 광범위한 전원전압범위에서 안정되게 동작할 수 있는 타이머 회로나 그것을 포함하는 발진회로를 제공할 수 있다.

도면의 간단한 설명

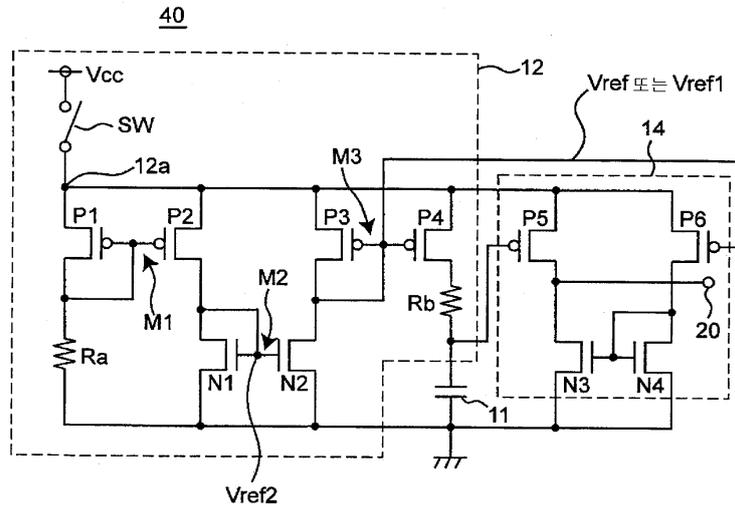
- <1> 도 1은 본 발명의 실시예 1에 따른 반도체 회로인 타이머 회로(40)의 구성을 도시하는 회로도,
- <2> 도 2는 도 1의 타이머 회로(40)의 구체적인 예를 도시하는 회로도,
- <3> 도 3은 도 2의 타이머 회로(40)의 변형예40A를 도시하는 회로도,
- <4> 도 4는 도 1의 타이머 회로(40)의 다른 구체적인 예 40B를 도시하는 회로도,
- <5> 도 5는 본 발명의 실시예 2에 따른 반도체 회로인 발진회로40C의 구성을 도시하는 회로도,

도면

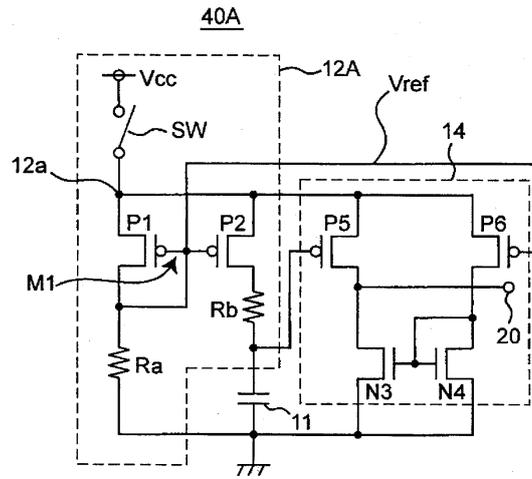
도면1



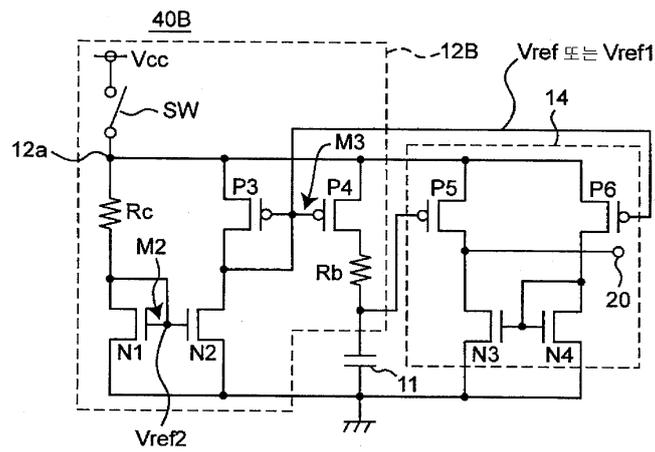
도면2



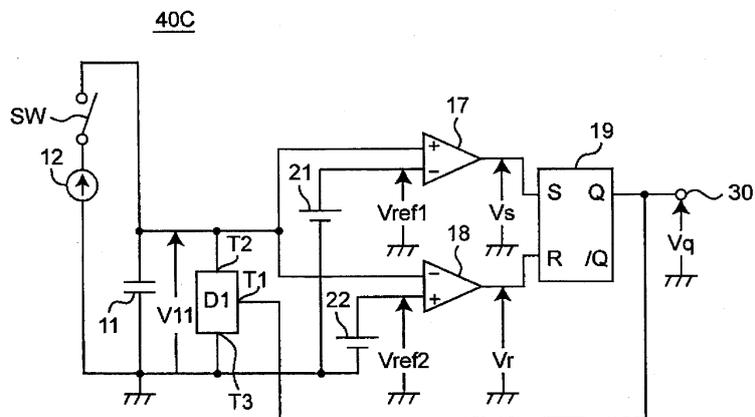
도면3



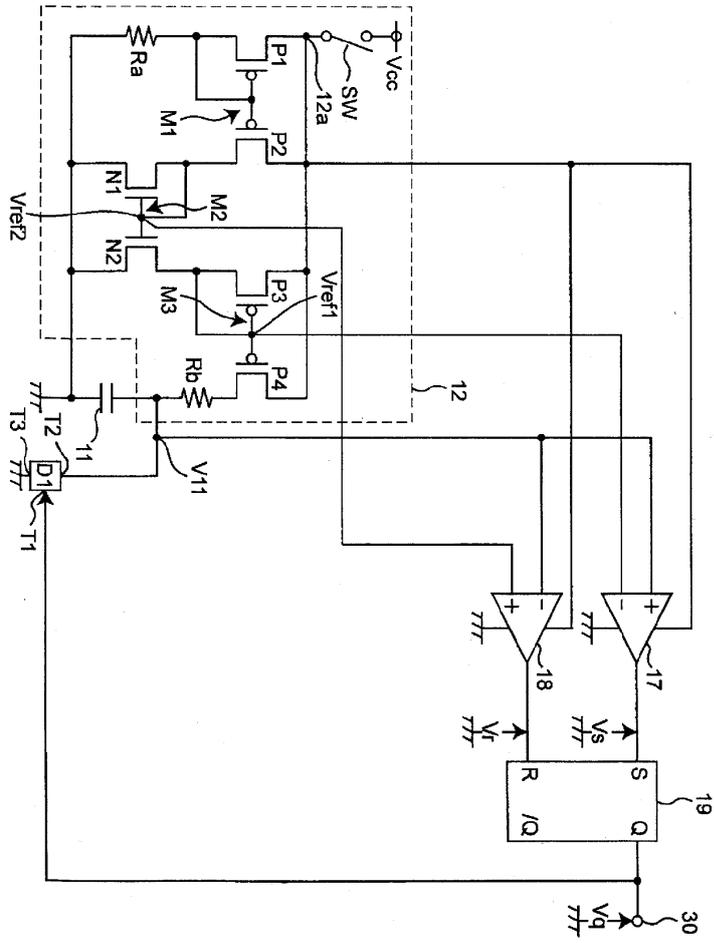
도면4



도면5

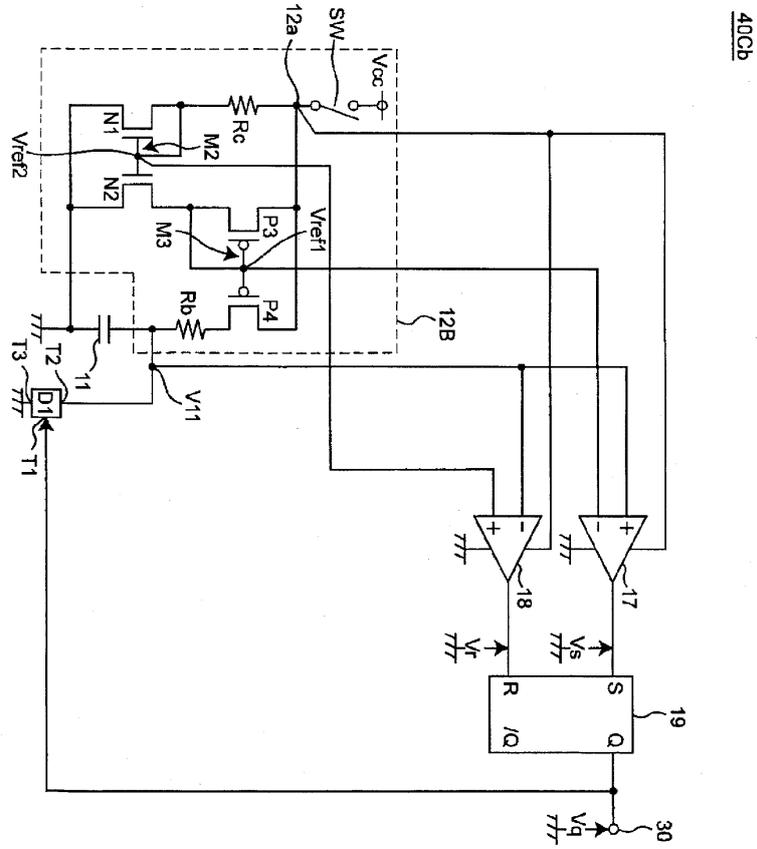


도면6

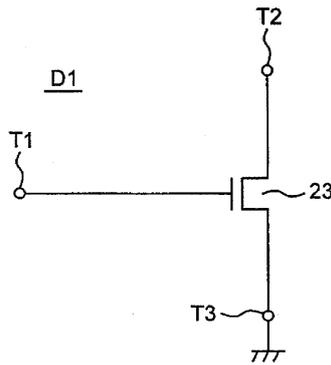


40Ca

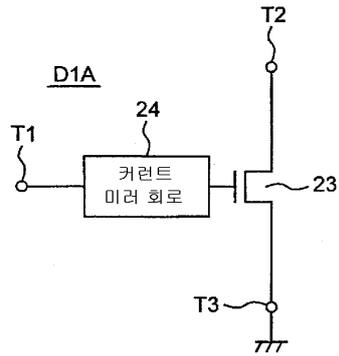
도면7



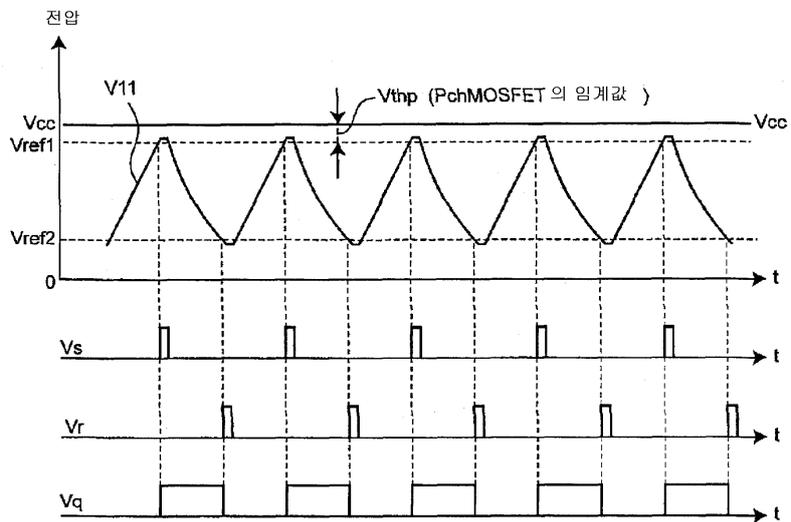
도면8



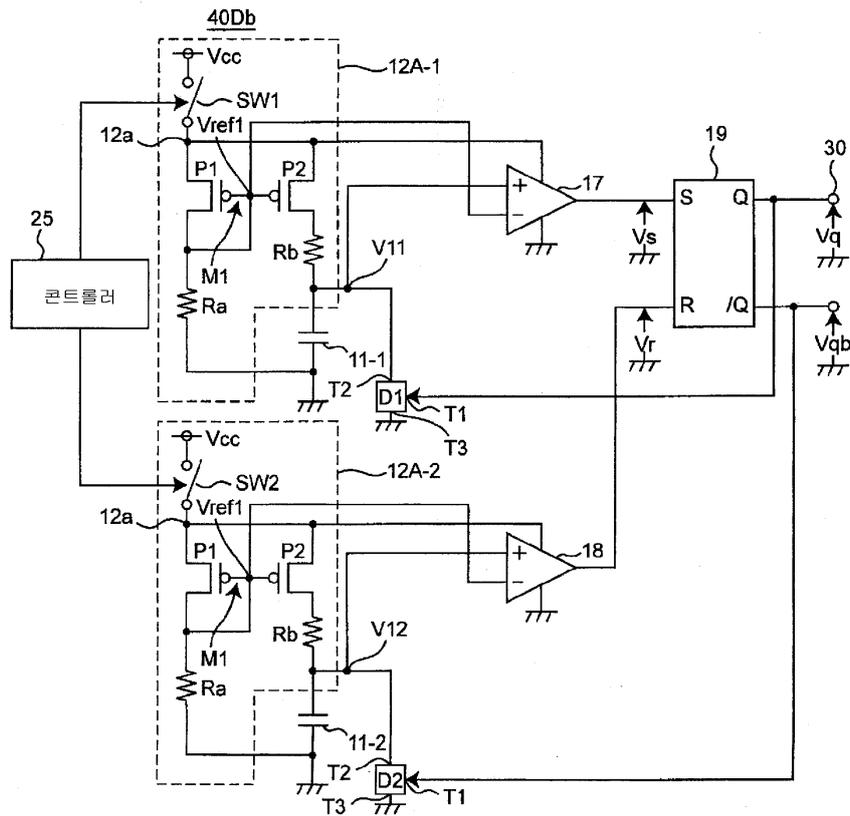
도면9



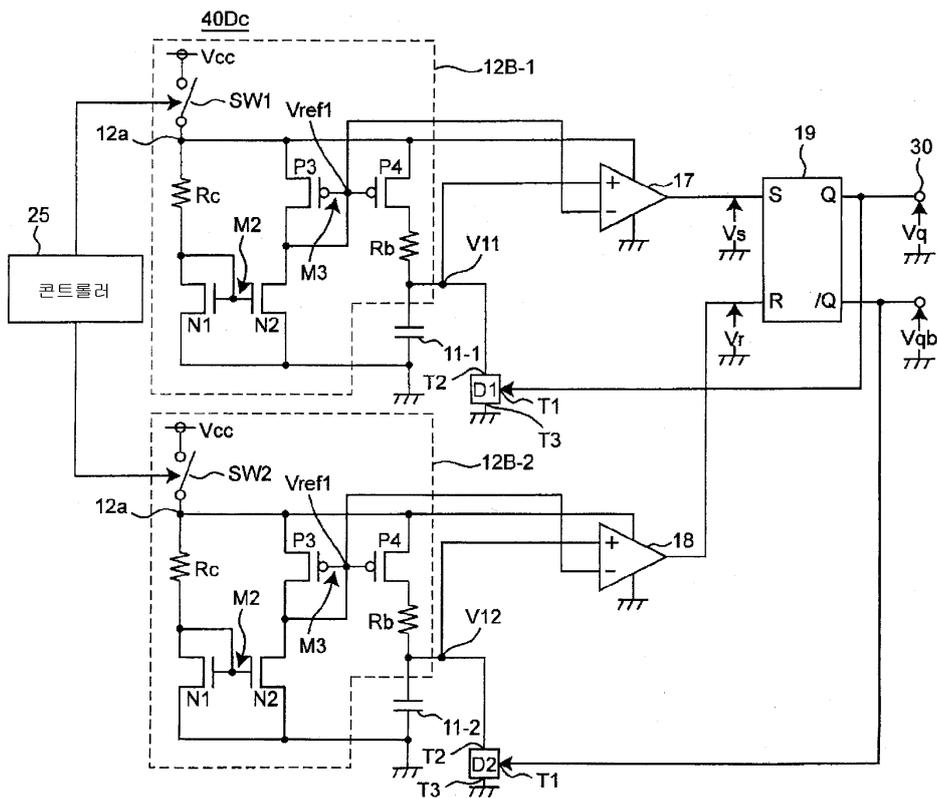
도면10



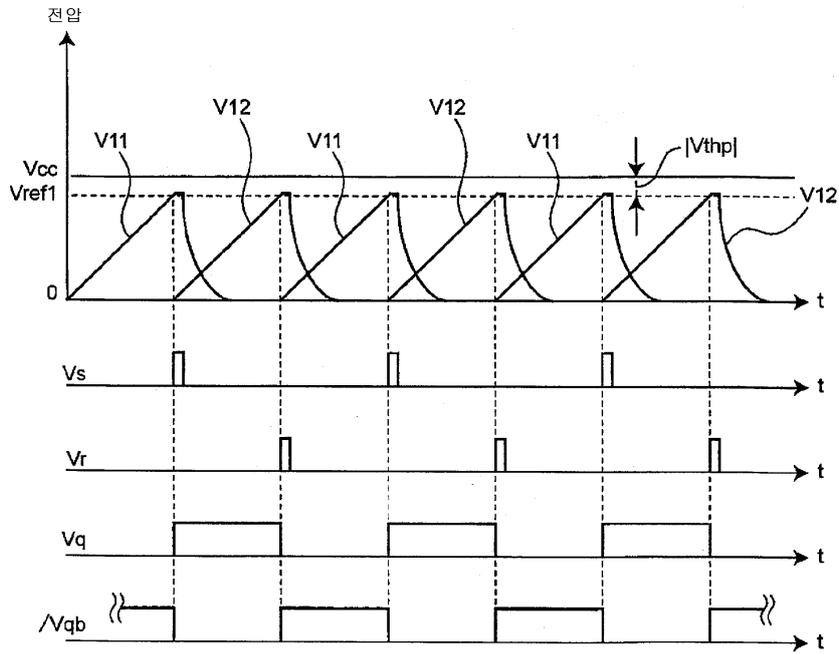
도면13



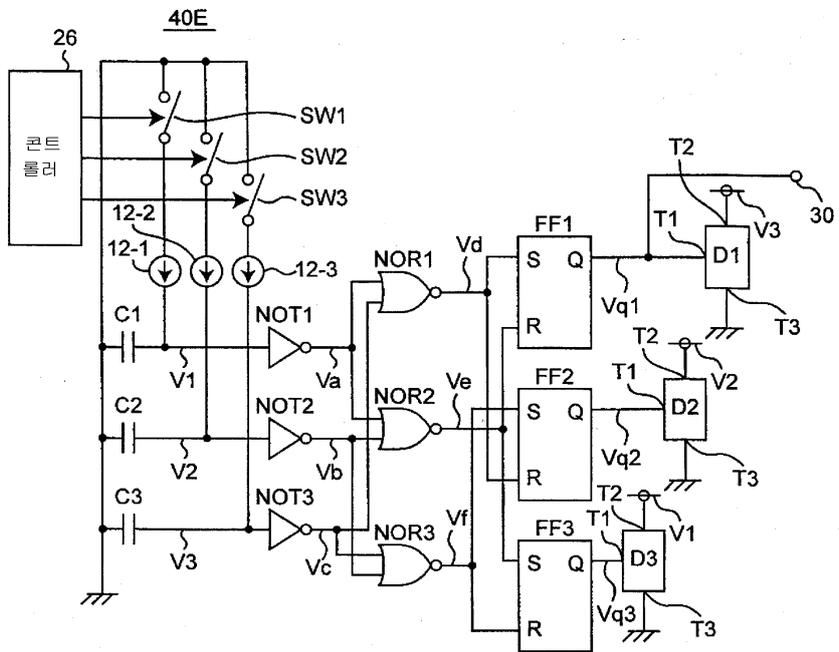
도면14



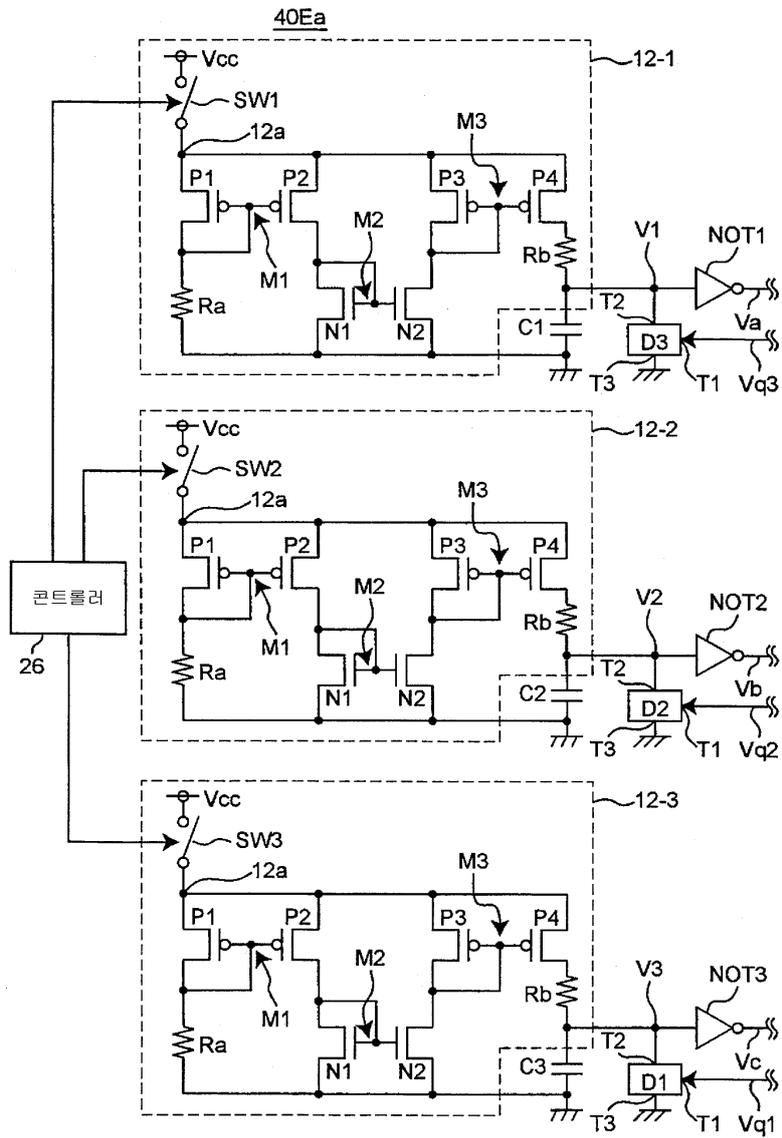
도면15



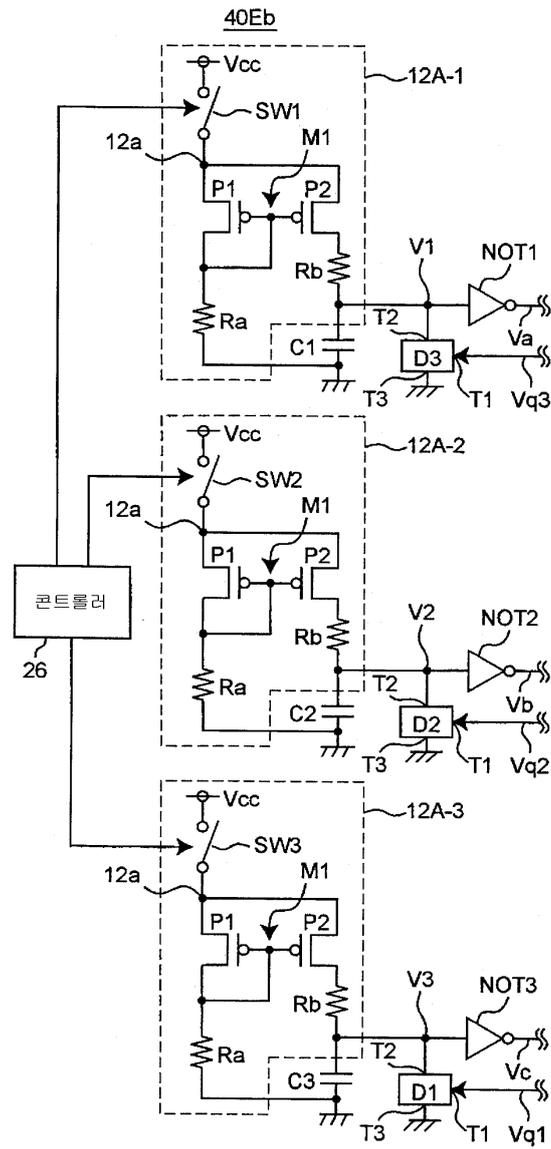
도면16



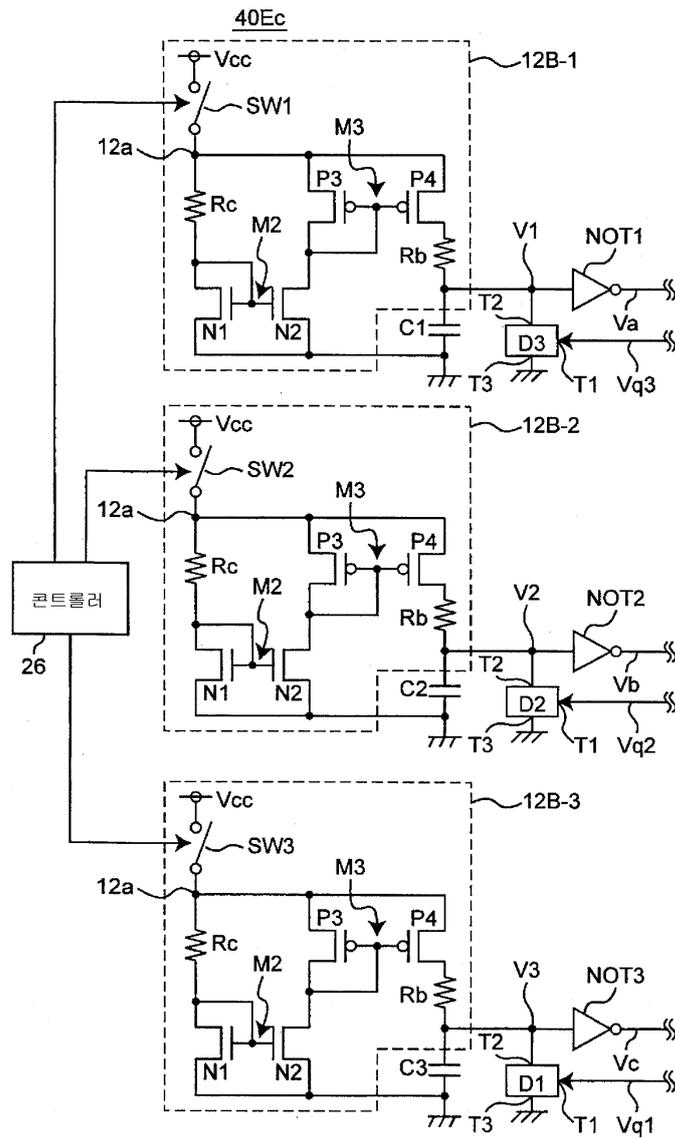
도면17



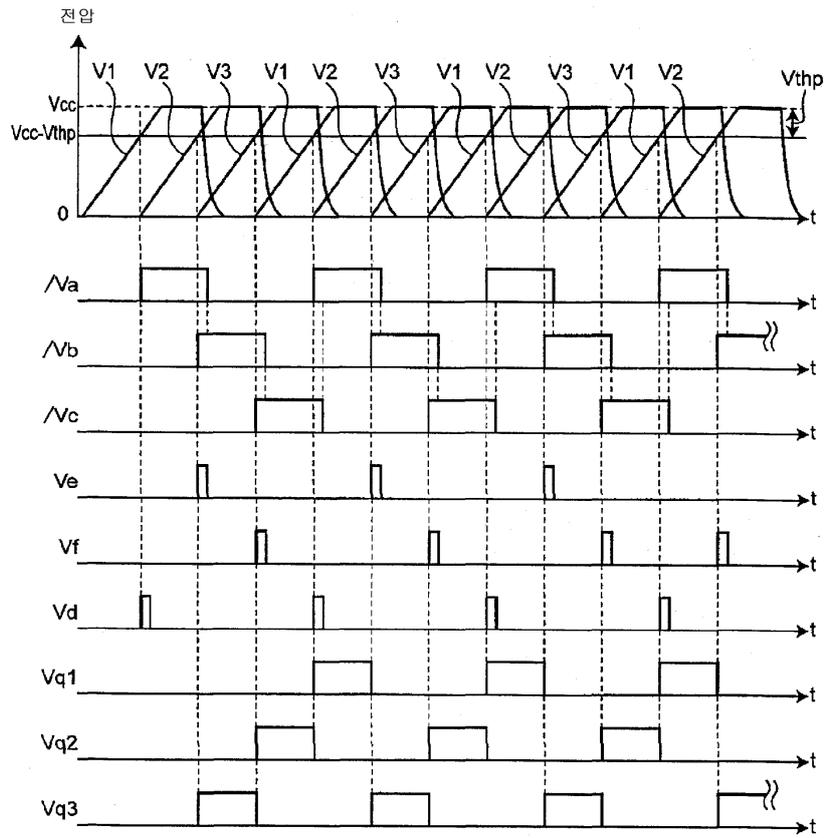
도면18



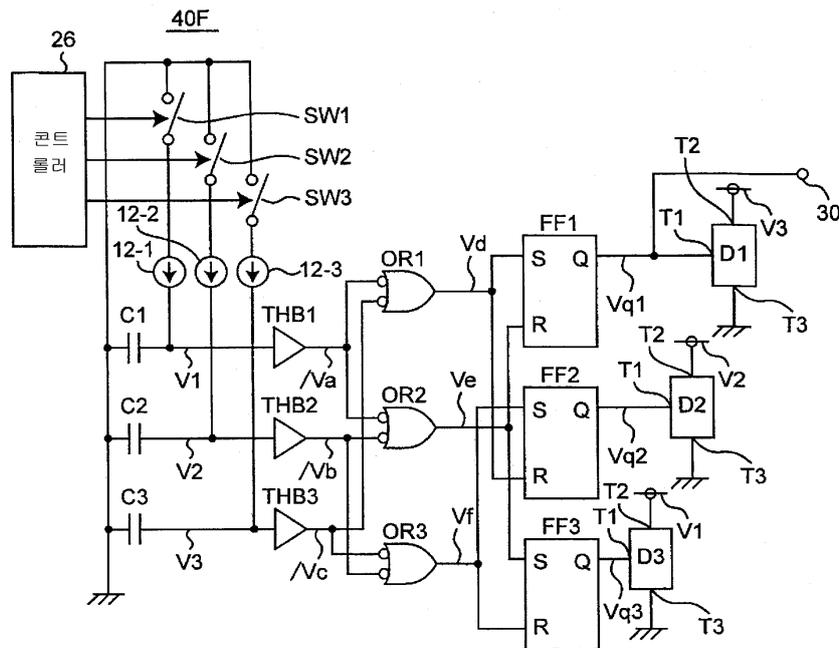
도면19



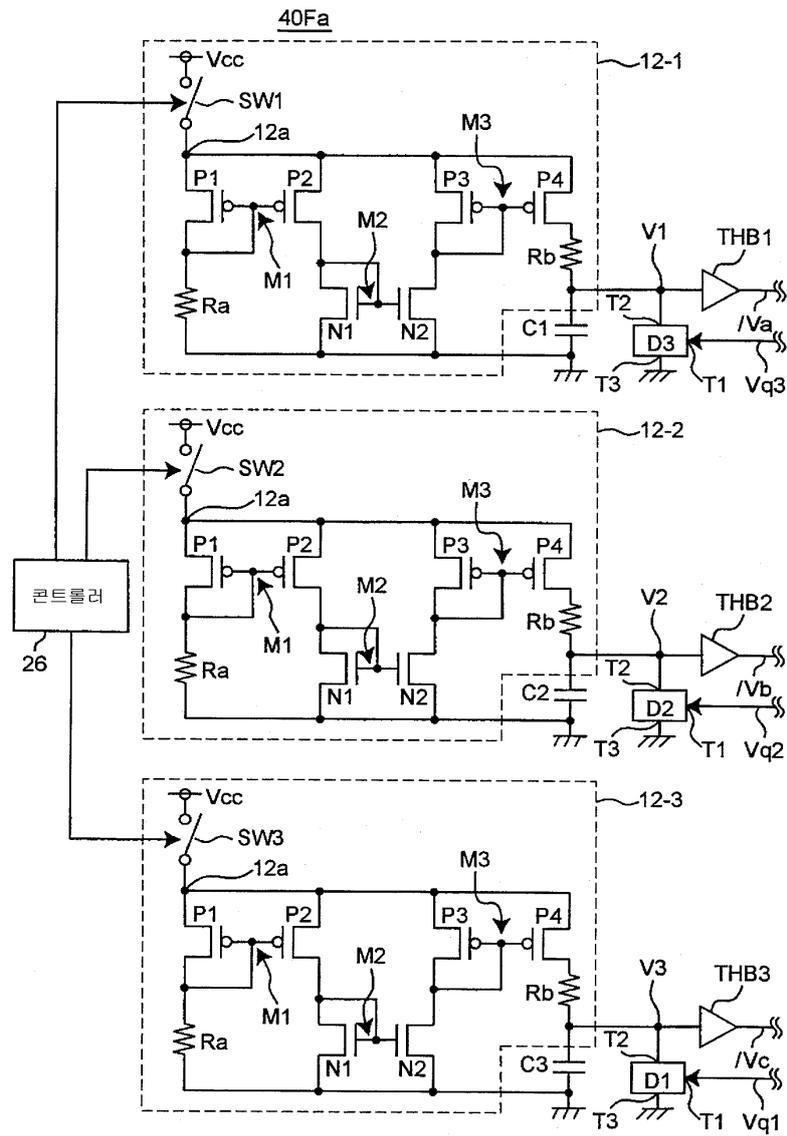
도면20



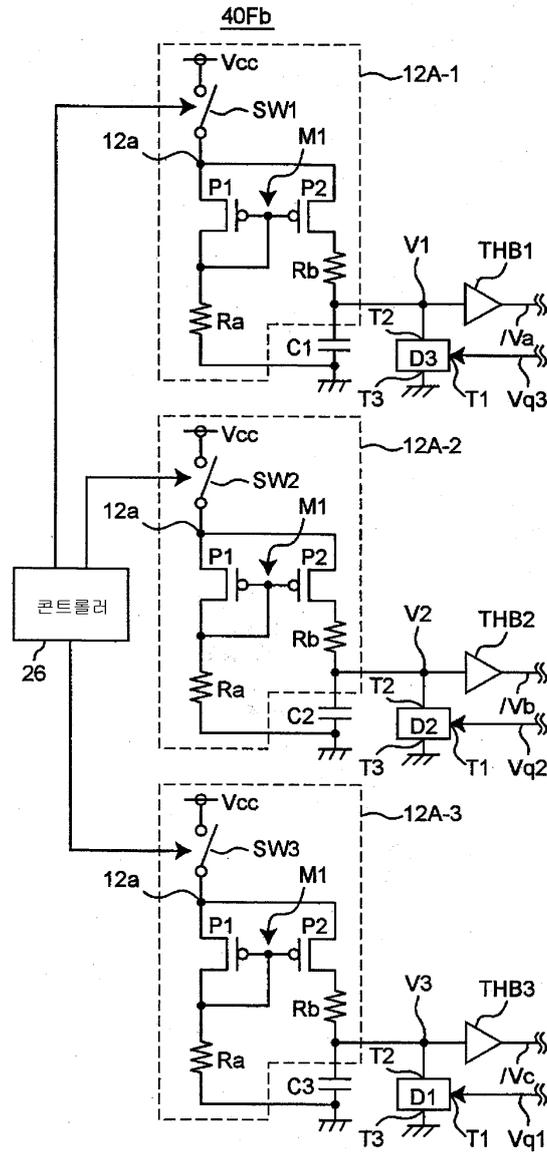
도면21



도면22



도면23



도면24

