

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-221255

(P2011-221255A)

(43) 公開日 平成23年11月4日(2011.11.4)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/20 (2006.01)	G09G 3/20 623R	3K107
G09F 9/30 (2006.01)	G09F 9/30 338	5C080
G09G 3/30 (2006.01)	G09G 3/20 623V	5C094
H01L 27/32 (2006.01)	G09G 3/20 623D	5C380
H01L 51/50 (2006.01)	G09G 3/20 623C	

審査請求 未請求 請求項の数 20 O L (全 54 頁) 最終頁に続く

(21) 出願番号 特願2010-89803 (P2010-89803)  
 (22) 出願日 平成22年4月8日 (2010.4.8)

(71) 出願人 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100120640  
 弁理士 森 幸一  
 (74) 代理人 100118290  
 弁理士 吉井 正明  
 (74) 代理人 100094363  
 弁理士 山本 孝久  
 (72) 発明者 浅野 慎  
 東京都港区港南1丁目7番1号 ソニー株式会社内  
 Fターム(参考) 3K107 AA01 BB01 CC21 CC35 CC45  
 EE03 GG54 HH05

最終頁に続く

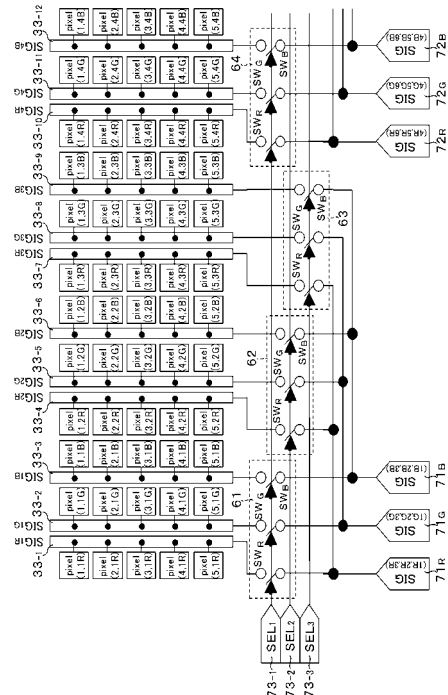
(54) 【発明の名称】 表示装置、表示装置のレイアウト方法、及び、電子機器

(57) 【要約】

【課題】 隣接する2つの画素列に属する画素回路にそれぞれ接続される2つの信号線に対する表示信号の書込みタイミングが異なっても、正確な表示信号の書込みを可能とする。

【解決手段】 隣接する2つの画素列に属する画素回路にそれぞれ接続される2つの信号線の組み合わせにおいて、セクタ回路61, 62, 63, ...によって異なるタイミングで表示信号が分配される組み合わせについては2つの信号線を隣接しないように配線する。また、セクタ回路61, 62, 63, ...によって同一のタイミングで表示信号が分配される組み合わせについては2つの信号線を隣接して配線する。

【選択図】 図13



**【特許請求の範囲】****【請求項 1】**

発光部を含む画素回路が行列状に配列されてなる画素アレイ部と、  
前記画素回路の行列状の配列に対して画素列毎に配線され、各画素列に属する画素回路に接続される信号線と、

1つの入力信号線から時系列に与えられる表示信号を、複数の信号線に対して時間分割的に分配するセクタ回路と

を備え、

前記画素アレイ部は、

隣接する2つの画素列に属する画素回路にそれぞれ接続される2つの信号線の組み合わせにおいて、

前記セクタ回路によって異なるタイミングで表示信号が分配される組み合わせについては2つの信号線が隣接しないように配線された第1の配線領域と、

前記セクタ回路によって同一のタイミングで表示信号が分配される組み合わせについては2つの信号線が隣接して配線された第2の配線領域とを少なくとも一部に有する表示装置。

**【請求項 2】**

前記画素回路は、当該画素回路に接続される信号線から見て、前記画素アレイ部の行列状の画素配列の行方向の一方側にレイアウトされている

請求項 1 に記載の表示装置。

**【請求項 3】**

前記隣接する2つの画素列に属する画素回路は、前記画素アレイ部の行列状の画素配列の列方向の軸に関して対称にレイアウトされている

請求項 2 に記載の表示装置。

**【請求項 4】**

前記隣接する2つの画素列に属する画素回路の各々は、隣接する辺と反対側に信号線を有し、隣接する辺側で前記画素アレイ部の行列状の画素配列の列方向に配線された電源配線を共有する

請求項 2 に記載の表示装置。

**【請求項 5】**

前記画素回路において、前記信号線に供給される表示信号に応じた直流電流を前記発光部に流すことによって当該発光部を発光駆動する

請求項 4 に記載の表示装置。

**【請求項 6】**

前記セクタ回路は、1水平期間中の前記複数の信号線に対して時間分割的に分配する分配順序が一定周期で変化する

請求項 5 に記載の表示装置。

**【請求項 7】**

前記一定周期は、1フレーム周期を基準とする

請求項 6 に記載の表示装置。

**【請求項 8】**

前記セクタ回路の分配順序は、一定フレーム周期で反転する

請求項 7 に記載の表示装置。

**【請求項 9】**

前記セクタ回路の分配順序は、一定フレーム周期でシフトしかつローテーションする

請求項 7 に記載の表示装置。

**【請求項 10】**

前記一定周期は、1水平期間周期を基準とする

請求項 6 に記載の表示装置。

**【請求項 11】**

10

20

30

40

50

前記セクタ回路の分配順序は、一定水平期間周期で反転する  
請求項 10 に記載の表示装置。

【請求項 12】

前記セクタ回路の分配順序は、一定水平期間周期でシフトしかつローテーションする  
請求項 10 に記載の表示装置。

【請求項 13】

前記一定周期は、前記セクタ回路の動作期間周期を基準とする  
請求項 6 に記載の表示装置。

【請求項 14】

前記セクタ回路の分配順序は、一定セクタ回路数に対応する動作期間周期で反転する  
請求項 13 に記載の表示装置。

10

【請求項 15】

前記セクタ回路の分配順序は、一定セクタ回路数に対応する動作期間周期でシフト  
しかつローテーションする  
請求項 13 に記載の表示装置。

【請求項 16】

前記セクタ回路は、前記複数の信号線に対して時間分割的に表示信号を分配する以前  
に、前記複数の信号線に対して一括して同一信号を入力する  
請求項 6 乃至請求項 15 のいずれか 1 項に記載の表示装置。

20

【請求項 17】

前記セクタ回路は、前記画素回路の非選択状態において、前記複数の信号線に対して  
時間分割的に表示信号を分配し、

前記画素回路は、前記セクタ回路による表示信号の分配後画素選択が行われる  
請求項 6 乃至請求項 15 のいずれか 1 項に記載の表示装置。

【請求項 18】

前記発光部は、有機 EL 素子から成る  
請求項 17 に記載の表示装置。

【請求項 19】

発光部を含む画素回路が行列状に配列されてなる画素アレイ部と、  
前記画素回路の行列状の配列に対して画素列毎に配線され、各画素列に属する画素回路  
に接続される信号線と、

30

1つの入力信号線から時系列に与えられる表示信号を、複数の信号線に対して時間分割  
的に分配するセクタ回路と

を備える表示装置の前記信号線のレイアウトに当たって、

隣接する2つの画素列に属する画素回路にそれぞれ接続される2つの信号線の組み合わ  
せにおいて、

前記セクタ回路によって異なるタイミングで表示信号が分配される組み合わせについ  
ては2つの信号線を隣接しないように配線し、

前記セクタ回路によって同一のタイミングで表示信号が分配される組み合わせについ  
ては2つの信号線を隣接して配線する

40

表示装置のレイアウト方法。

【請求項 20】

発光部を含む画素回路が行列状に配列されてなる画素アレイ部と、

前記画素回路の行列状の配列に対して画素列毎に配線され、各画素列に属する画素回路  
に接続される信号線と、

1つの入力信号線から時系列に与えられる表示信号を、複数の信号線に対して時間分割  
的に分配するセクタ回路と

を備え、

前記画素アレイ部は、

50

隣接する２つの画素列に属する画素回路にそれぞれ接続される２つの信号線の組み合わせにおいて、

前記セクタ回路によって異なるタイミングで表示信号が分配される組み合わせについては２つの信号線が隣接しないように配線された第１の配線領域と、

前記セクタ回路によって同一のタイミングで表示信号が分配される組み合わせについては２つの信号線が隣接して配線された第２の配線領域とを少なくとも一部に有する表示装置を有する電子機器。

【発明の詳細な説明】

【技術分野】

【０００１】

10

本発明は、表示装置、表示装置のレイアウト方法、及び、電子機器に関し、特に、発光部を含む画素回路が行列状（マトリクス状）に２次元配列されてなる平面型の表示装置、当該表示装置のレイアウト方法、及び、当該表示装置を有する電子機器に関する。

【背景技術】

【０００２】

近年、画像表示を行う表示装置の分野では、画素回路（以下、単に「画素」と記述する場合もある）が行列状に配列（配置）されてなる平面型（フラットパネル型）の表示装置が急速に普及している。平面型の表示装置の一つとして、デバイスに流れる電流値に応じて発光輝度に変化する、所謂電流駆動型の電気光学素子を画素の発光部（発光素子）として用いた表示装置がある。電流駆動型の電気光学素子としては、有機材料のエレクトロルミネッセンス(Electroluminescence; EL)を利用し、有機薄膜に電界をかけると発光する現象を用いた有機EL素子が知られている。

20

【０００３】

画素の発光部として有機EL素子を用いた有機EL表示装置は次のような特長を持っている。すなわち、有機EL素子は、10V以下の印加電圧で駆動できるために低消費電力である。有機EL素子は、自発光素子であるために液晶表示装置に比べて、画像の視認性が高く、しかもバックライト等の照明部材を必要としないために軽量化及び薄型化が容易である。更に、有機EL素子は、応答速度が数 $\mu$ s程度と非常に高速であるために動画表示時の残像が発生しない。

【０００４】

30

有機EL表示装置や液晶表示装置等の平面型表示装置では、その駆動方式としてパッシブマトリクス方式とアクティブマトリクス方式とを採ることができる。これらの方式のうち、アクティブマトリクス方式の表示装置は、電気光学素子が1表示フレームの期間に亘って発光を持続するために、大型でかつ高精細な表示装置の実現が容易である。このアクティブマトリクス方式の表示装置では、電気光学素子に流れる電流を、当該電気光学素子と同じ画素内に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタによって制御する。絶縁ゲート型電界効果トランジスタとしては、一般には、TFT(Thin Film Transistor; 薄膜トランジスタ)が用いられる。

【０００５】

ところで、有機EL表示装置や液晶表示装置等の平面型表示装置では、画素が行列状に配列されてなる画素アレイ部において、隣接する２つの画素列に属する画素回路に接続される２つの信号線を隣接して配線するレイアウト構造を採る場合がある。この種のレイアウト構造として、例えば、行列表の画素配列の列方向の軸を挟んで隣接する奇数列の画素回路と偶数列の画素回路とを、当該列方向の軸に関して対称にレイアウトする構造が知られている。

40

【０００６】

以下では、列方向の軸を挟んで隣接する奇数列の画素回路と偶数列の画素回路とを、当該列方向の軸に関して対称にレイアウトする構造をミラー型レイアウト構造と呼ぶこととする。このミラー型レイアウト構造によれば、画素アレイ部の効率的なレイアウトが可能になるとともに、レイアウトの自由度が上がる等のメリットがある。

50

## 【0007】

ここで、ミラー型レイアウト構造を採った場合、列方向の信号線が、列方向に沿う信号線が奇数列と偶数列の画素回路間で隣接することがある。従って、隣接する信号線間に寄生容量が存在しないようにするために、隣接する信号線間にシールド線を配線するようにしている（例えば、特許文献1を参照）。

## 【0008】

一方で、有機EL表示装置や液晶表示装置等の平面型表示装置において、表示パネルに対して表示パネルの外部から表示信号を供給する駆動部の出力数の削減を図るために、所謂セクタ駆動方式が採用されている（例えば、特許文献2を参照）。このセクタ駆動方式は、時（時間）分割駆動方式と呼ばれることもある。

10

## 【0009】

セクタ駆動方式では、表示パネル外の駆動部の1つの出力に対して、表示パネル上の信号線を複数の信号線を単位（組）として割り当て、駆動部から時系列で出力される表示信号を、セクタ回路で複数の信号線に対して時間分割的（時分割）に分配する駆動が行われる。このセクタ駆動方式によれば、単位となる信号線の本数を例えば3本とした場合、表示パネル上の信号線の総数に対して、表示パネル外の駆動部の出力数を1/3にできるメリットがある。

## 【先行技術文献】

## 【特許文献】

## 【0010】

20

【特許文献1】特開2005-338592号公報

【特許文献2】特開2002-032051号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0011】

特許文献1に記載の従来技術は、隣接する信号線間にシールド線を配線することで、隣接する信号線間に寄生容量が存在しないようにできるものの、信号線の他にシールド線を配線することになるため、必ずしも最適な手法であるとは言えない。具体的には、シールド線はそもそも画素回路の駆動には本来不要な配線であるため画素配列における配線数を増やすことになるため、配線のレイアウトに制約を与えることになる。

30

## 【0012】

また、一方で、ミラー型レイアウト構造とセクタ駆動方式とを併用する場合、隣接する2つの信号線間に寄生容量が存在していると、当該2つの信号線に対するセクタ回路の選択タイミングが異なると不具合が生じる。具体的には、先に信号線に書き込まれた表示信号が、後に信号線に書き込まれる表示信号の影響を受けるため、正確な表示信号を書き込むことができない（その詳細については後述する）。正確な表示信号を信号線に書き込めないと、表示画像の画質の劣化を招くことになる。

## 【0013】

ここでは、ミラー型レイアウト構造とセクタ駆動方式とを併用する場合の不具合について述べたが、セクタ駆動方式単独の場合であっても、隣接する2つの信号線に対する表示信号の書込みのタイミングが異なっていると同様の不具合が発生することになる。

40

## 【0014】

そこで、本発明は、隣接する2つの画素列に属する画素回路に接続される2つの信号線に対する表示信号の書込みのタイミングが異なっても、正確な表示信号の書込みが可能な表示装置、表示装置のレイアウト方法、及び、電子機器を提供することを目的とする。

## 【課題を解決するための手段】

## 【0015】

上記目的を達成するために、本発明は、

発光部を含む画素回路が行列状に配列されてなる画素アレイ部と、

前記画素回路の行列状の配列に対して画素列毎に配線され、各画素列に属する画素回路

50

に接続される信号線と、

1つの入力信号線から時系列に与えられる表示信号を、複数の信号線に対して時間分割的に分配するセクタ回路と

を備える表示装置において、

前記信号線をレイアウトするに当たって、

隣接する2つの画素列に属する画素回路にそれぞれ接続される2つの信号線の組み合わせにおいて、

前記セクタ回路によって異なるタイミングで表示信号が分配される組み合わせについては2つの信号線を隣接しないように配線し、

前記セクタ回路によって同一のタイミングで表示信号が分配される組み合わせについては2つの信号線を隣接して配線する

構成を採る。

【0016】

隣接する2つの画素列に属する画素回路にそれぞれ接続される2つの信号線の組み合わせにおいて、セクタ回路によって異なるタイミングで表示信号が分配される組み合わせについては、2つの信号線が隣接していないことで、当該2つの信号線間には寄生容量が存在しない。従って、2つの信号線に対して異なるタイミングで表示信号が書き込まれても、先に信号線に書き込まれた表示信号が、後に信号線に書き込まれる表示信号の影響を受けることはない。また、セクタ回路によって同一のタイミングで表示信号が分配される組み合わせについては、2つの信号線が隣接していることで、当該2つの信号線間には寄生容量が存在することになる。しかし、寄生容量が存在していても、2つの信号線に対して表示信号が同一タイミングで書き込まれるため、相互に相手方の表示信号の影響を受けることはない。従って、2つの信号線の組み合わせのいずれの場合にも、信号線に対する正確な表示信号の書込みが可能になる。

【発明の効果】

【0017】

本発明によれば、隣接する2つの画素列の各信号線に対する表示信号の書込みのタイミングが異なっても、正確な表示信号を信号線に書き込むことができる。従って、従来技術のような、寄生容量の影響による画質劣化を抑えることができる。その結果、ミラー型レイアウト構造による画素アレイ部の効率的なレイアウトによって高歩留まり、高精細な表示装置を実現できるとともに、信号線に対する正確な表示信号の書込みによって高画質な表示装置を提供できる。

【図面の簡単な説明】

【0018】

【図1】本発明が適用される有機EL表示装置の構成の概略を示すシステム構成図である。

【図2】本発明が適用される有機EL表示装置の画素の回路構成の一例を示す回路図である。

【図3】本発明が適用される有機EL表示装置の基本的な回路動作の説明に供するタイミング波形図である。

【図4】本発明が適用される有機EL表示装置の基本的な回路動作の動作説明図(その1)である。

【図5】本発明が適用される有機EL表示装置の基本的な回路動作の動作説明図(その2)である。

【図6】駆動トランジスタの閾値電圧 $V_{th}$ のばらつきに起因する課題の説明(A)、及び、駆動トランジスタの移動度 $\mu$ のばらつきに起因する課題の説明(B)に供する特性図である。

【図7】ミラー型レイアウト構造の一例を示す回路図である。

【図8】セクタ駆動方式を採る信号出力回路の構成の一例を示す回路図である。

【図9】セクタ駆動方式の動作タイミングを示すタイミングチャートである。

10

20

30

40

50

【図10】2つの信号線が画素列間において隣接して配線されるレイアウト構造の一例を示す回路図である。

【図11】画素列間において隣接する2つの信号線間に寄生容量が形成される様子を示す断面図である。

【図12】2つの信号線が画素列間において隣接して配線されるレイアウト構造におけるセクタ駆動方式の基本的な動作タイミングを示すタイミングチャートである。

【図13】第1実施形態の実施例1に係る画素アレイ部のレイアウト構造を示す回路図である。

【図14】第1実施形態の実施例1の場合における、隣接する2つの信号線間に寄生容量が形成される様子を示す断面図である。

【図15】第1実施形態の実施例1の場合の動作タイミングを示すタイミングチャートである。

【図16】第1実施形態の実施例1の変形例に係る画素アレイ部のレイアウト構造を示す回路図である。

【図17】第1実施形態の実施例1の変形例の場合の動作タイミングを示すタイミングチャートである。

【図18】第1実施形態の実施例2に係る画素アレイ部のレイアウト構造を示す回路図である。

【図19】画素の他の回路構成を示す回路図である。

【図20】2つの画素列に属する画素回路間で電源線を共有する場合のレイアウト構造を示す回路図である。

【図21】第1実施形態の実施例3に係る画素アレイ部のレイアウト構造を示す回路図である。

【図22】1画素のRGBの副画素に対して時間分割的に書込みを行う方式の場合の画素アレイ部のレイアウト構造を示す回路図である。

【図23】1画素のRGBの副画素に対して時間分割的に書込みを行う方式の場合の不具合の説明に供するタイミングチャートである。

【図24】第1実施形態の実施例4に係る画素アレイ部のレイアウト構造を示す回路図である。

【図25】第1実施形態の実施例4の場合の動作タイミングを示すタイミングチャートである。

【図26】第2のセレクト方式を採用した、画素が単色の場合の表示パネルの構成を示すブロック図である。

【図27】第2のセレクト方式を採用した、画素が単色の場合の従来例に係る駆動タイミングを示すタイミングチャートである。

【図28】第2のセレクト方式を採用した、画素がRGBの副画素からなる場合の表示パネルの構成を示すブロック図である。

【図29】第2のセレクト方式を採用した、画素がRGBの副画素からなる場合の従来例に係る駆動タイミングを示すタイミングチャートである。

【図30】第1のセレクト方式を採用した、画素がRGBの副画素からなる場合の表示パネルの構成を示すブロック図である。

【図31】第1のセレクト方式を採用した、画素がRGBの副画素からなる場合の従来例に係る駆動タイミングを示すタイミングチャートである。

【図32】第1のセレクト方式を採用した、画素が単色の場合の従来例に係る駆動タイミングを示すタイミングチャートである。

【図33】第2のセレクト方式を採用した、画素が単色の場合の実施例1に係る駆動タイミングを示すタイミングチャートである。

【図34】第2実施形態の各実施例の作用効果の説明に供する図(その1)である。

【図35】第2のセレクト方式を採用した、画素がRGBの副画素からなる場合の実施例2に係る駆動タイミングを示すタイミングチャートである。

10

20

30

40

50

【図 3 6】第 1 のセレクト方式を採用した、画素が R G B の副画素からなる場合の実施例 3 に係る駆動タイミングを示すタイミングチャートである。

【図 3 7】第 1 のセレクト方式を採用した、画素が単色の場合の実施例 4 に係る駆動タイミングを示すタイミングチャートである。

【図 3 8】第 1 のセレクト方式を採用した、画素が単色の場合の実施例 5 に係る駆動タイミングを示すタイミングチャートである。

【図 3 9】第 1 のセレクト方式を採用した、画素が単色の場合の実施例 6 に係る駆動タイミングを示すタイミングチャートである。

【図 4 0】第 1 のセレクト方式を採用した、画素が単色の場合の実施例 7 に係る駆動タイミングを示すタイミングチャートである。

10

【図 4 1】第 1 のセレクト方式を採用した、画素が単色の場合の実施例 8 に係る駆動タイミングを示すタイミングチャートである。

【図 4 2】第 2 実施形態の各実施例の作用効果の説明に供する図（その 2）である。

【図 4 3】第 1 のセレクト方式を採用した、画素が単色の場合の実施例 9 に係る駆動タイミングを示すタイミングチャートである。

【図 4 4】第 2 のセレクト方式を採用した、画素が単色の場合の表示パネルの他の構成を示すブロック図である。

【図 4 5】第 2 のセレクト方式を採用した、画素が単色の場合の実施例 1 0 に係る駆動タイミングを示すタイミングチャートである。

【図 4 6】第 2 のセレクト方式を採用した、画素が単色の場合の実施例 1 1 に係る駆動タイミングを示すタイミングチャートである。

20

【図 4 7】第 2 のセレクト方式を採用した、画素が単色の場合の表示パネルの更に他の構成を示すブロック図である。

【図 4 8】第 2 のセレクト方式を採用した、画素が単色の場合の実施例 1 2 に係る駆動タイミングを示すタイミングチャートである。

【図 4 9】本発明が適用されるテレビジョンセットの外観を示す斜視図である。

【図 5 0】本発明が適用されるデジタルカメラの外観を示す斜視図であり、（ A ）は表側から見た斜視図、（ B ）は裏側から見た斜視図である。

【図 5 1】本発明が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。

30

【図 5 2】本発明が適用されるビデオカメラの外観を示す斜視図である。

【図 5 3】本発明が適用される携帯電話機を示す外観図であり、（ A ）は開いた状態での正面図、（ B ）はその側面図、（ C ）は閉じた状態での正面図、（ D ）は左側面図、（ E ）は右側面図、（ F ）は上面図、（ G ）は下面図である。

【発明を実施するための形態】

【 0 0 1 9 】

以下、発明を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。なお、説明は以下の順序で行う。

1．本発明が適用される有機 E L 表示装置

1 - 1．システム構成

40

1 - 2．基本的な回路動作

1 - 3．ミラー型レイアウト構造について

1 - 4．セレクト駆動方式について

1 - 5．2 つの信号線が隣接する場合の不具合について

2．第 1 実施形態

2 - 1．実施例 1

2 - 2．実施例 2

2 - 3．実施例 3

2 - 4．第 2 のセレクト方式について

2 - 5．実施例 4

50



### 3. セレクタ駆動方式の課題について

#### 4. 第2実施形態

4-1. 実施例1

4-2. 実施例2

4-3. 実施例3

4-4. 実施例4

4-5. 実施例5

4-6. 実施例6

4-7. 実施例7

4-8. 実施例8

4-9. 実施例9

4-10. 実施例10

4-11. 実施例11

4-12. 実施例12

4-13. 有機EL表示装置に適用した場合の作用効果

#### 5. 変形例

#### 6. 電子機器

#### 【0020】

< 1. 本発明が適用される有機EL表示装置 >

#### [ 1-1. システム構成 ]

図1は、本発明が適用されるアクティブマトリクス型表示装置の構成の概略を示すシステム構成図である。

#### 【0021】

アクティブマトリクス型表示装置は、電気光学素子に流れる電流を、当該電気光学素子と同じ画素内に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタにより制御する表示装置である。絶縁ゲート型電界効果トランジスタとしては、一般には、TFT（薄膜トランジスタ）が用いられる。

#### 【0022】

ここでは、一例として、デバイスに流れる電流値に応じて発光輝度に変化する電流駆動型の電気光学素子、例えば有機EL素子を画素（画素回路）の発光素子として用いたアクティブマトリクス型有機EL表示装置の場合を例に挙げて説明するものとする。

#### 【0023】

図1に示すように、本適用例に係る有機EL表示装置10は、有機EL素子を含む複数の画素20と、当該画素20が行列状に2次元配列されてなる画素アレイ部30と、当該画素アレイ部30の周辺に配置された駆動部とを有する構成となっている。駆動部は、書込み走査回路40、電源供給走査回路50及び信号出力回路60等からなり、画素アレイ部30の各画素20を駆動する。

#### 【0024】

ここで、有機EL表示装置10がカラー表示対応の場合は、1つの画素（単位画素）は複数の副画素（サブピクセル）から構成され、この副画素の各々が画素20に相当することになる。より具体的には、カラー表示用の表示装置では、1つの画素は、赤色光（R）を発光する副画素、緑色光（G）を発光する副画素、青色光（B）を発光する副画素の3つの副画素から構成される。

#### 【0025】

但し、1つの画素としては、RGBの3原色の副画素の組み合わせに限られるものではなく、3原色の副画素に更に1色あるいは複数色の副画素を加えて1つの画素を構成することも可能である。より具体的には、例えば、輝度向上のために白色光（W）を発光する副画素を加えて1つの画素を構成したり、色再現範囲を拡大するために補色光を発光する少なくとも1つの副画素を加えて1つの画素を構成したりすることも可能である。

#### 【0026】

10

20

30

40

50

画素アレイ部 30 には、 $m$  行  $n$  列の画素 20 の配列に対して、行方向（画素行の画素の配列方向）に沿って走査線  $31_{.1} \sim 31_{.m}$  と電源供給線  $32_{.1} \sim 32_{.m}$  とが画素行毎に配線されている。更に、列方向（画素列の画素の配列方向）に沿って信号線  $33_{.1} \sim 33_{.n}$  が画素列毎に配線されている。

【0027】

走査線  $31_{.1} \sim 31_{.m}$  は、書込み走査回路 40 の対応する行の出力端にそれぞれ接続されている。電源供給線  $32_{.1} \sim 32_{.m}$  は、電源供給走査回路 50 の対応する行の出力端にそれぞれ接続されている。信号線  $33_{.1} \sim 33_{.n}$  は、信号出力回路 60 の対応する列の出力端にそれぞれ接続されている。

【0028】

画素アレイ部 30 は、通常、ガラス基板などの透明絶縁基板上に形成されている。これにより、有機 EL 表示装置 10 は、平面型（フラット型）のパネル構造となっている。画素アレイ部 30 の各画素 20 の駆動回路は、アモルファスシリコン TFT または低温ポリシリコン TFT を用いて形成することができる。低温ポリシリコン TFT を用いる場合には、図 1 に示すように、書込み走査回路 40、電源供給走査回路 50、及び、信号出力回路 60 についても、画素アレイ部 30 を形成する表示パネル（基板）70 上に実装することができる。

【0029】

書込み走査回路 40 は、クロックパルス  $ck$  に同期してスタートパルス  $sp$  を順にシフト（転送）するシフトレジスタ等によって構成されている。この書込み走査回路 40 は、画素アレイ部 30 の各画素 20 への映像信号の書込みに際し、走査線  $31_{.1} \sim 31_{.m}$  に対して書込み走査信号  $WS$  ( $WS_1 \sim WS_m$ ) を順次供給することによって画素アレイ部 30 の各画素 20 を行単位で順番に走査（線順次走査）する。

【0030】

電源供給走査回路 50 は、クロックパルス  $ck$  に同期してスタートパルス  $sp$  を順にシフトするシフトレジスタ等によって構成されている。この電源供給走査回路 50 は、書込み走査回路 40 による線順次走査に同期して、第 1 電源電位  $V_{ccp}$  と当該第 1 電源電位  $V_{ccp}$  よりも低い第 2 電源電位  $V_{ini}$  とで切り替わることが可能な電源電位  $DS$  ( $DS_1 \sim DS_m$ ) を電源供給線  $32_{.1} \sim 32_{.m}$  に供給する。後述するように、電源電位  $DS$  の  $V_{ccp} / V_{ini}$  の切替えにより、画素 20 の発光 / 非発光の制御が行なわれる。

【0031】

信号出力回路 60 は、信号供給源（図示せず）から供給される輝度情報に応じた映像信号の信号電圧（以下、単に「信号電圧」と記述する場合もある） $V_{sig}$  と基準電圧  $V_{ofs}$  とを選択的に出力する。ここで、基準電圧  $V_{ofs}$  は、映像信号の信号電圧  $V_{sig}$  の基準となる電圧（例えば、映像信号の黒レベルに相当する電圧）であり、後述する閾値補正処理の際に用いられる。

【0032】

信号出力回路 60 から出力される信号電圧  $V_{sig} /$  基準電圧  $V_{ofs}$  は、信号線  $33_{.1} \sim 33_{.n}$  を介して画素アレイ部 30 の各画素 20 に対して、書込み走査回路 40 による走査によって選択された画素行単位で書き込まれる。すなわち、信号出力回路 60 は、信号電圧  $V_{sig}$  を行（ライン）単位で書き込む線順次書込みの駆動形態を採っている。

【0033】

（画素回路）

図 2 は、画素（画素回路）20 の具体的な回路構成を示す回路図である。画素 20 の発光部は、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子である有機 EL 素子 21 から成る。

【0034】

図 2 に示すように、画素 20 は、有機 EL 素子 21 と、当該有機 EL 素子 21 に電流を流すことによって有機 EL 素子 21 を駆動する駆動回路とによって構成されている。有機 EL 素子 21 は、全ての画素 20 に対して共通に配線（所謂、ベタ配線）された共通電源

10

20

30

40

50

供給線 3 4 にカソード電極が接続されている。

【 0 0 3 5 】

有機 E L 素子 2 1 を駆動する駆動回路は、駆動トランジスタ 2 2、書込みトランジスタ 2 3、及び、保持容量 2 4 を有する構成となっている。駆動トランジスタ 2 2 及び書込みトランジスタ 2 3 として N チャネル型の T F T を用いることができる。但し、ここで示した、駆動トランジスタ 2 2 及び書込みトランジスタ 2 3 の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

【 0 0 3 6 】

尚、駆動トランジスタ 2 2 及び書込みトランジスタ 2 3 として N チャネル型の T F T を用いると、アモルファスシリコン ( a - S i ) プロセスを用いて形成することができる。 a - S i プロセスを用いることで、T F T を作成する基板の低コスト化、ひいては本有機 E L 表示装置 1 0 の低コスト化を図ることが可能になる。また、駆動トランジスタ 2 2 及び書込みトランジスタ 2 3 を同じ導電型の組み合わせにすると、両トランジスタ 2 2、2 3 を同じプロセスで作成することができるために低コスト化に寄与できる。

【 0 0 3 7 】

駆動トランジスタ 2 2 は、一方の電極 ( ソース / ドレイン電極 ) が有機 E L 素子 2 1 のアノード電極に接続され、他方の電極 ( ドレイン / ソース電極 ) が電源供給線 3 2 ( 3 2<sub>-1</sub> ~ 3 2<sub>-m</sub> ) に接続されている。

【 0 0 3 8 】

書込みトランジスタ 2 3 は、一方の電極 ( ソース / ドレイン電極 ) が信号線 3 3 ( 3 3<sub>-1</sub> ~ 3 3<sub>-n</sub> ) に接続され、他方の電極 ( ドレイン / ソース電極 ) が駆動トランジスタ 2 2 のゲート電極に接続されている。また、書込みトランジスタ 2 3 のゲート電極は、走査線 3 1 ( 3 1<sub>-1</sub> ~ 3 1<sub>-m</sub> ) に接続されている。

【 0 0 3 9 】

駆動トランジスタ 2 2 及び書込みトランジスタ 2 3 において、一方の電極とは、ソース / ドレイン領域に電氣的に接続された金属配線を言い、他方の電極とは、ドレイン / ソース領域に電氣的に接続された金属配線を言う。また、一方の電極と他方の電極との電位関係によって一方の電極がソース電極ともなればドレイン電極ともなり、他方の電極がドレイン電極ともなればソース電極ともなる。

【 0 0 4 0 】

保持容量 2 4 は、一方の電極が駆動トランジスタ 2 2 のゲート電極に接続され、他方の電極が駆動トランジスタ 2 2 の他方の電極、及び、有機 E L 素子 2 1 のアノード電極に接続されている。

【 0 0 4 1 】

尚、有機 E L 素子 2 1 の駆動回路としては、駆動トランジスタ 2 2 及び書込みトランジスタ 2 3 の 2 つのトランジスタと保持容量 2 4 の 1 つの容量素子とからなる回路構成のものに限られるものではない。例えば、一方の電極が有機 E L 素子 2 1 のアノード電極に、他方の電極が固定電位にそれぞれ接続されることで、有機 E L 素子 2 1 の容量不足分を補う補助容量を必要に応じて設けた回路構成を採ることも可能である。

【 0 0 4 2 】

上記構成の画素 2 0 において、書込みトランジスタ 2 3 は、書込み走査回路 4 0 から走査線 3 1 を通してゲート電極に印加される H i g h アクティブの書込み走査信号 W S に応答して導通状態となる。これにより、書込みトランジスタ 2 3 は、信号線 3 3 を通して信号出力回路 6 0 から供給される、輝度情報に応じた映像信号の信号電圧  $V_{sig}$  または基準電圧  $V_{ofs}$  をサンプリングして画素 2 0 内に書き込む。この書き込まれた信号電圧  $V_{sig}$  または基準電圧  $V_{ofs}$  は、駆動トランジスタ 2 2 のゲート電極に印加されるとともに保持容量 2 4 に保持される。

【 0 0 4 3 】

駆動トランジスタ 2 2 は、電源供給線 3 2 ( 3 2<sub>-1</sub> ~ 3 2<sub>-m</sub> ) の電位 D S が第 1 電源電位  $V_{ccp}$  にあるときには、一方の電極がドレイン電極、他方の電極がソース電極となって

10

20

30

40

50

飽和領域で動作する。これにより、駆動トランジスタ 22 は、電源供給線 32 から電流の供給を受けて有機 EL 素子 21 を電流駆動にて発光駆動する。より具体的には、駆動トランジスタ 22 は、飽和領域で動作することにより、保持容量 24 に保持された信号電圧  $V_{sig}$  の電圧値に応じた電流値の駆動電流（直流電流）を有機 EL 素子 21 に供給し、当該有機 EL 素子 21 を電流駆動することによって発光させる。

【0044】

駆動トランジスタ 22 は更に、電源電位 DS が第 1 電源電位  $V_{ccp}$  から第 2 電源電位  $V_{ini}$  に切り替わったときには、一方の電極がソース電極、他方の電極がドレイン電極となってスイッチングトランジスタとして動作する。これにより、駆動トランジスタ 22 は、有機 EL 素子 21 への駆動電流の供給を停止し、有機 EL 素子 21 を非発光状態にする。すなわち、駆動トランジスタ 22 は、有機 EL 素子 21 の発光 / 非発光を制御するトランジスタとしての機能をも併せ持っている。

10

【0045】

この駆動トランジスタ 22 のスイッチング動作により、有機 EL 素子 21 が非発光状態となる期間（非発光期間）を設け、有機 EL 素子 21 の発光期間と非発光期間の割合（デューティ）を制御することができる。このデューティ制御により、1 表示フレーム期間に亘って画素が発光することに伴う残像ボケを低減できるために、特に動画の画品位をより優れたものとすることができる。

【0046】

電源供給走査回路 50 から電源供給線 32 を通して選択的に供給される第 1, 第 2 電源電位  $V_{ccp}$ ,  $V_{ini}$  のうち、第 1 電源電位  $V_{ccp}$  は有機 EL 素子 21 を発光駆動する駆動電流を駆動トランジスタ 22 に供給するための電源電位である。また、第 2 電源電位  $V_{ini}$  は、有機 EL 素子 21 に対して逆バイアスを掛けるための電源電位である。この第 2 電源電位  $V_{ini}$  は、基準電圧  $V_{ofs}$  よりも低い電位、例えば、駆動トランジスタ 22 の閾値電圧を  $V_{th}$  とするとき  $V_{ofs} - V_{th}$  よりも低い電位、好ましくは、 $V_{ofs} - V_{th}$  よりも十分に低い電位に設定される。

20

【0047】

[ 1 - 2 . 基本的な回路動作 ]

続いて、上記構成の有機 EL 表示装置 10 の基本的な回路動作について、図 3 のタイミング波形図を基に図 4 及び図 5 の動作説明図を用いて説明する。尚、図 4 及び図 5 の動作説明図では、図面の簡略化のために、書込みトランジスタ 23 をスイッチのシンボルで図示している。また、有機 EL 素子 21 の等価容量 25 についても図示している。

30

【0048】

図 3 のタイミング波形図には、走査線 31 の電位（書込み走査信号）WS、電源供給線 32 の電位（電源電位）DS、信号線 33 の電位（ $V_{sig} / V_{ofs}$ ）、駆動トランジスタ 22 のゲート電位  $V_g$  及びソース電位  $V_s$  のそれぞれの変化を示している。

【0049】

（前表示フレームの発光期間）

図 3 のタイミング波形図において、時刻  $t_{11}$  以前は、前の表示フレームにおける有機 EL 素子 21 の発光期間となる。この前表示フレームの発光期間では、電源供給線 32 の電位 DS が第 1 電源電位（以下、「高電位」と記述する） $V_{ccp}$  にあり、また、書込みトランジスタ 23 が非導通状態にある。

40

【0050】

このとき、駆動トランジスタ 22 は飽和領域で動作するように設計されている。これにより、図 4 (A) に示すように、駆動トランジスタ 22 のゲート - ソース間電圧  $V_{gs}$  に応じた駆動電流（ドレイン - ソース間電流） $I_{ds}$  が、電源供給線 32 から駆動トランジスタ 22 を通して有機 EL 素子 21 に供給される。よって、有機 EL 素子 21 が駆動電流  $I_{ds}$  の電流値に応じた輝度で発光する。

【0051】

（閾値補正準備期間）

50

時刻  $t_{11}$  になると、線順次走査の新しい表示フレーム（現表示フレーム）に入る。そして、図 4（B）に示すように、電源供給線 3 2 の電位 DS が高電位  $V_{ccp}$  から、信号線 3 3 の基準電圧  $V_{ofs}$  に対して  $V_{ofs} - V_{th}$  よりも十分に低い第 2 電源電位（以下、「低電位」と記述する） $V_{ini}$  に切り替わる。

【0052】

ここで、有機 EL 素子 2 1 の閾値電圧を  $V_{thel}$ 、共通電源供給線 3 4 の電位（カソード電位）を  $V_{cath}$  とする。このとき、低電位  $V_{ini}$  を  $V_{ini} < V_{thel} + V_{cath}$  とすると、駆動トランジスタ 2 2 のソース電位  $V_s$  が低電位  $V_{ini}$  にほぼ等しくなるために、有機 EL 素子 2 1 は逆バイアス状態となって消光する。

【0053】

次に、時刻  $t_{12}$  で走査線 3 1 の電位 WS が低電位側から高電位側に遷移することで、図 4（C）に示すように、書込みトランジスタ 2 3 が導通状態となる。このとき、信号出力回路 6 0 から信号線 3 3 に対して基準電圧  $V_{ofs}$  が供給された状態にあるために、駆動トランジスタ 2 2 のゲート電位  $V_g$  が基準電圧  $V_{ofs}$  になる。また、駆動トランジスタ 2 2 のソース電位  $V_s$  は、基準電圧  $V_{ofs}$  よりも十分に低い電位  $V_{ini}$  にある。

【0054】

このとき、駆動トランジスタ 2 2 のゲート - ソース間電圧  $V_{gs}$  は  $V_{ofs} - V_{ini}$  となる。ここで、 $V_{ofs} - V_{ini}$  が駆動トランジスタ 2 2 の閾値電圧  $V_{th}$  よりも大きくないと、後述する閾値補正処理を行うことができないために、 $V_{ofs} - V_{ini} > V_{th}$  なる電位関係に設定する必要がある。

【0055】

このように、駆動トランジスタ 2 2 のゲート電位  $V_g$  を基準電圧  $V_{ofs}$  に固定し、ソース電位  $V_s$  を低電位  $V_{ini}$  に固定して（確定させて）初期化する処理が、後述する閾値補正処理（閾値補動作）を行う前の準備（閾値補正準備）の処理である。従って、基準電圧  $V_{ofs}$  及び低電位  $V_{ini}$  が、駆動トランジスタ 2 2 のゲート電位  $V_g$  及びソース電位  $V_s$  の各初期化電位となる。

【0056】

（閾値補正期間）

次に、時刻  $t_{13}$  で、図 4（D）に示すように、電源供給線 3 2 の電位 DS が低電位  $V_{ini}$  から高電位  $V_{ccp}$  に切り替わると、駆動トランジスタ 2 2 のゲート電位  $V_g$  が保たれた状態で閾値補正処理が開始される。すなわち、ゲート電位  $V_g$  から駆動トランジスタ 2 2 の閾値電圧  $V_{th}$  を減じた電位に向けて駆動トランジスタ 2 2 のソース電位  $V_s$  が上昇を開始する。

【0057】

ここでは、便宜上、駆動トランジスタ 2 2 のゲート電極の初期化電位  $V_{ofs}$  を基準とし、当該初期化電位  $V_{ofs}$  から駆動トランジスタ 2 2 の閾値電圧  $V_{th}$  を減じた電位に向けてソース電位  $V_s$  を変化させる処理を閾値補正処理と呼んでいる。この閾値補正処理が進むと、やがて、駆動トランジスタ 2 2 のゲート - ソース間電圧  $V_{gs}$  が駆動トランジスタ 2 2 の閾値電圧  $V_{th}$  に収束する。この閾値電圧  $V_{th}$  に相当する電圧は保持容量 2 4 に保持される。

【0058】

尚、閾値補正処理を行う期間（閾値補正期間）において、電流が専ら保持容量 2 4 側に流れ、有機 EL 素子 2 1 側には流れないようにするために、有機 EL 素子 2 1 がカットオフ状態となるように共通電源供給線 3 4 の電位  $V_{cath}$  を設定しておくこととする。

【0059】

次に、時刻  $t_{14}$  で走査線 3 1 の電位 WS が低電位側に遷移することで、図 5（A）に示すように、書込みトランジスタ 2 3 が非導通状態となる。このとき、駆動トランジスタ 2 2 のゲート電極が信号線 3 3 から電氣的に切り離されることによってフローティング状態になる。しかし、ゲート - ソース間電圧  $V_{gs}$  が駆動トランジスタ 2 2 の閾値電圧  $V_{th}$  に等しいために、当該駆動トランジスタ 2 2 はカットオフ状態にある。従って、駆動トランジ

10

20

30

40

50

スタ 2 2 にドレイン - ソース間電流  $I_{ds}$  は流れない。

【 0 0 6 0 】

( 信号書込み & 移動度補正期間 )

次に、時刻  $t_{15}$  で、図 5 ( B ) に示すように、信号線 3 3 の電位が基準電圧  $V_{ofs}$  から映像信号の信号電圧  $V_{sig}$  に切り替わる。続いて、時刻  $t_{16}$  で、走査線 3 1 の電位  $WS$  が高電位側に遷移することで、図 5 ( C ) に示すように、書込みトランジスタ 2 3 が導通状態になって映像信号の信号電圧  $V_{sig}$  をサンプリングして画素 2 0 内に書き込む。

【 0 0 6 1 】

この書込みトランジスタ 2 3 による信号電圧  $V_{sig}$  の書込みにより、駆動トランジスタ 2 2 のゲート電位  $V_g$  が信号電圧  $V_{sig}$  となる。そして、映像信号の信号電圧  $V_{sig}$  による駆動トランジスタ 2 2 の駆動の際に、当該駆動トランジスタ 2 2 の閾値電圧  $V_{th}$  が保持容量 2 4 に保持された閾値電圧  $V_{th}$  に相当する電圧と相殺される。この閾値キャンセルの原理の詳細については後述する。

10

【 0 0 6 2 】

このとき、有機 EL 素子 2 1 はカットオフ状態 ( ハイインピーダンス状態 ) にある。従って、映像信号の信号電圧  $V_{sig}$  に応じて電源供給線 3 2 から駆動トランジスタ 2 2 に流れる電流 ( ドレイン - ソース間電流  $I_{ds}$  ) は有機 EL 素子 2 1 の等価容量 2 5 に流れ込み、当該等価容量 2 5 の充電が開始される。

【 0 0 6 3 】

有機 EL 素子 2 1 の等価容量 2 5 が充電されることにより、駆動トランジスタ 2 2 のソース電位  $V_s$  が時間の経過と共に上昇していく。このとき既に、駆動トランジスタ 2 2 の閾値電圧  $V_{th}$  の画素毎のばらつきがキャンセルされており、駆動トランジスタ 2 2 のドレイン - ソース間電流  $I_{ds}$  は当該駆動トランジスタ 2 2 の移動度  $\mu$  に依存したものとなる。駆動トランジスタ 2 2 の移動度  $\mu$  は、当該駆動トランジスタ 2 2 のチャンネルを構成する半導体薄膜の移動度である。

20

【 0 0 6 4 】

ここで、映像信号の信号電圧  $V_{sig}$  に対する保持容量 2 4 の保持電圧  $V_{gs}$  の比率、即ち、書込みゲイン  $G$  が 1 ( 理想値 ) であると仮定する。すると、駆動トランジスタ 2 2 のソース電位  $V_s$  が  $V_{ofs} - V_{th} + V$  の電位まで上昇することで、駆動トランジスタ 2 2 のゲート - ソース間電圧  $V_{gs}$  は  $V_{sig} - V_{ofs} + V_{th} - V$  となる。

30

【 0 0 6 5 】

すなわち、駆動トランジスタ 2 2 のソース電位  $V_s$  の上昇分  $V$  は、保持容量 2 4 に保持された電圧 (  $V_{sig} - V_{ofs} + V_{th}$  ) から差し引かれるように、換言すれば、保持容量 2 4 の充電電荷を放電するように作用し、負帰還がかけられたことになる。従って、ソース電位  $V_s$  の上昇分  $V$  は負帰還の帰還量となる。

【 0 0 6 6 】

このように、駆動トランジスタ 2 2 に流れるドレイン - ソース間電流  $I_{ds}$  に応じた帰還量  $V$  でゲート - ソース間電圧  $V_{gs}$  に負帰還をかけることで、駆動トランジスタ 2 2 のドレイン - ソース間電流  $I_{ds}$  の移動度  $\mu$  に対する依存性を打ち消すことができる。この打ち消す処理が、駆動トランジスタ 2 2 の移動度  $\mu$  の画素毎のばらつきを補正する移動度補正処理である。

40

【 0 0 6 7 】

より具体的には、駆動トランジスタ 2 2 のゲート電極に書き込まれる映像信号の信号振幅  $V_{in}$  ( =  $V_{sig} - V_{ofs}$  ) が高い程ドレイン - ソース間電流  $I_{ds}$  が大きくなるため、負帰還の帰還量  $V$  の絶対値も大きくなる。従って、発光輝度レベルに応じた移動度補正処理が行われる。

【 0 0 6 8 】

また、映像信号の信号振幅  $V_{in}$  を一定とした場合、駆動トランジスタ 2 2 の移動度  $\mu$  が大きいほど負帰還の帰還量  $V$  の絶対値も大きくなるため、画素毎の移動度  $\mu$  のばらつきを取り除くことができる。従って、負帰還の帰還量  $V$  は、移動度補正の補正量とも言え

50

る。移動度補正の原理の詳細については後述する。

【0069】

(発光期間)

次に、時刻  $t_{17}$  で走査線 31 の電位  $W_5$  が低電位側に遷移することで、図 5 (D) に示すように、書込みトランジスタ 23 が非導通状態となる。これにより、駆動トランジスタ 22 のゲート電極は、信号線 33 から電氣的に切り離されるためにフローティング状態になる。

【0070】

ここで、駆動トランジスタ 22 のゲート電極がフローティング状態にあるときは、駆動トランジスタ 22 のゲート - ソース間に保持容量 24 が接続されていることにより、駆動トランジスタ 22 のソース電位  $V_s$  の変動に連動してゲート電位  $V_g$  も変動する。このように、駆動トランジスタ 22 のゲート電位  $V_g$  がソース電位  $V_s$  の変動に連動して変動する動作が、保持容量 24 によるブートストラップ動作である。

10

【0071】

駆動トランジスタ 22 のゲート電極がフローティング状態になり、それと同時に、駆動トランジスタ 22 のドレイン - ソース間電流  $I_{ds}$  が有機 EL 素子 21 に流れ始めることにより、当該電流  $I_{ds}$  に応じて有機 EL 素子 21 のアノード電位が上昇する。

【0072】

そして、有機 EL 素子 21 のアノード電位が  $V_{thel} + V_{cath}$  を越えると、有機 EL 素子 21 に駆動電流が流れ始めるため有機 EL 素子 21 が発光を開始する。また、有機 EL 素子 21 のアノード電位の上昇は、即ち、駆動トランジスタ 22 のソース電位  $V_s$  の上昇に他ならない。そして、駆動トランジスタ 22 のソース電位  $V_s$  が上昇すると、保持容量 24 のブートストラップ動作により、駆動トランジスタ 22 のゲート電位  $V_g$  も連動して上昇する。

20

【0073】

このとき、ブートストラップゲインが 1 (理想値) であると仮定した場合、ゲート電位  $V_g$  の上昇量はソース電位  $V_s$  の上昇量に等しくなる。故に、発光期間中、駆動トランジスタ 22 のゲート - ソース間電圧  $V_{gs}$  は、 $V_{sig} - V_{ofs} + V_{th} - V$  で一定に保持される。そして、時刻  $t_{18}$  で信号線 33 の電位が映像信号の信号電圧  $V_{sig}$  から基準電圧  $V_{ofs}$  に切り替わる。

30

【0074】

以上説明した一連の回路動作において、閾値補正準備、閾値補正、信号電圧  $V_{sig}$  の書込み (信号書込み)、及び、移動度補正の各処理動作は、1 水平走査期間 (1H) において実行される。また、信号書込み及び移動度補正の各処理動作は、時刻  $t_6 - t_7$  の期間において並行して実行される。

【0075】

〔分割閾値補正〕

尚、ここでは、閾値補正処理を 1 回だけ実行する駆動法を採る場合を例に挙げて説明したが、この駆動法は一例に過ぎず、この駆動法に限られるものではない。例えば、閾値補正処理を移動度補正及び信号書込み処理と共に行う 1H 期間に加えて、当該 1H 期間に先行する複数の水平走査期間に亘って分割して複数回閾値補正処理を実行する、所謂分割閾値補正を行う駆動法を採ることも可能である。

40

【0076】

この分割閾値補正の駆動法によれば、高精細化に伴う多画素化によって 1 水平走査期間に割り当てられる時間が短くなったとしても、閾値補正期間として複数の水平走査期間に亘って十分な時間を確保することができるために、閾値補正処理を確実に行うことができる。

【0077】

〔閾値キャンセルの原理〕

ここで、駆動トランジスタ 22 の閾値キャンセル (即ち、閾値補正) の原理について説

50

明する。駆動トランジスタ 22 は、飽和領域で動作するように設計されているために定電流源として動作する。これにより、有機 EL 素子 21 には駆動トランジスタ 22 から、次式 (1) で与えられる一定のドレイン - ソース間電流 (駆動電流)  $I_{ds}$  が供給される。

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \quad \dots \dots (1)$$

ここで、 $W$  は駆動トランジスタ 22 のチャンネル幅、 $L$  はチャンネル長、 $C_{ox}$  は単位面積当たりのゲート容量である。

【0078】

図 6 (A) に、駆動トランジスタ 22 のドレイン - ソース間電流  $I_{ds}$  対ゲート - ソース間電圧  $V_{gs}$  の特性を示す。

【0079】

この特性図に示すように、駆動トランジスタ 22 の閾値電圧  $V_{th}$  の画素毎のばらつきに対するキャンセル処理を行わないと、閾値電圧  $V_{th}$  が  $V_{th1}$  のとき、ゲート - ソース間電圧  $V_{gs}$  に対応するドレイン - ソース間電流  $I_{ds}$  が  $I_{ds1}$  になる。

【0080】

これに対して、閾値電圧  $V_{th}$  が  $V_{th2}$  ( $V_{th2} > V_{th1}$ ) のとき、同じゲート - ソース間電圧  $V_{gs}$  に対応するドレイン - ソース間電流  $I_{ds}$  が  $I_{ds2}$  ( $I_{ds2} < I_{ds1}$ ) になる。すなわち、駆動トランジスタ 22 の閾値電圧  $V_{th}$  が変動すると、ゲート - ソース間電圧  $V_{gs}$  が一定であってもドレイン - ソース間電流  $I_{ds}$  が変動する。

【0081】

一方、上記構成の画素 (画素回路) 20 では、先述したように、発光時の駆動トランジスタ 22 のゲート - ソース間電圧  $V_{gs}$  は  $V_{sig} - V_{ofs} + V_{th} - V$  である。従って、これを式 (1) に代入すると、ドレイン - ソース間電流  $I_{ds}$  は、次式 (2) で表される。

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{sig} - V_{ofs} - V)^2 \quad \dots \dots (2)$$

【0082】

すなわち、駆動トランジスタ 22 の閾値電圧  $V_{th}$  の項がキャンセルされており、駆動トランジスタ 22 から有機 EL 素子 21 に供給されるドレイン - ソース間電流  $I_{ds}$  は、駆動トランジスタ 22 の閾値電圧  $V_{th}$  に依存しない。その結果、駆動トランジスタ 22 の製造プロセスのばらつきや経時変化等により、駆動トランジスタ 22 の閾値電圧  $V_{th}$  が画素毎に変動したとしても、ドレイン - ソース間電流  $I_{ds}$  が変動しないために、有機 EL 素子 21 の発光輝度を一定に保つことができる。

【0083】

〔移動度補正の原理〕

次に、駆動トランジスタ 22 の移動度補正の原理について説明する。図 6 (B) に、駆動トランジスタ 22 の移動度  $\mu$  が相対的に大きい画素 A と、駆動トランジスタ 22 の移動度  $\mu$  が相対的に小さい画素 B とを比較した状態で特性カーブを示す。駆動トランジスタ 22 をポリシリコン薄膜トランジスタなどで構成した場合、画素 A や画素 B のように、画素間で移動度  $\mu$  がばらつくことは避けられない。

【0084】

画素 A と画素 B で移動度  $\mu$  にばらつきがある状態で、駆動トランジスタ 22 のゲート電極に例えば両画素 A, B に同レベルの信号振幅  $V_{in}$  ( $= V_{sig} - V_{ofs}$ ) を書き込んだ場合を考える。この場合、何ら移動度  $\mu$  の補正を行わないと、移動度  $\mu$  の大きい画素 A に流れるドレイン - ソース間電流  $I_{ds1}$  と移動度  $\mu$  の小さい画素 B に流れるドレイン - ソース間電流  $I_{ds2}$  との間には大きな差が生じてしまう。このように、移動度  $\mu$  の画素毎のばらつきに起因してドレイン - ソース間電流  $I_{ds}$  に画素間で大きな差が生じると、画面のユニフォームティ (一様性) が損なわれる。

【0085】

ここで、先述した式 (1) のトランジスタ特性式から明らかなように、移動度  $\mu$  が大きいとドレイン - ソース間電流  $I_{ds}$  が大きくなる。従って、負帰還における帰還量  $V$  は移動度  $\mu$  が大きくなるほど大きくなる。図 6 (B) に示すように、移動度  $\mu$  の大きな画素 A の帰還量  $V_1$  は、移動度の小さな画素 B の帰還量  $V_2$  に比べて大きい。

10

20

30

40

50



## 【0086】

そこで、移動度補正処理によって駆動トランジスタ22のドレイン・ソース間電流 $I_{ds}$ に応じた帰還量 $V$ でゲート・ソース間電圧 $V_{gs}$ に負帰還をかけることにより、移動度 $\mu$ が大きいほど負帰還が大きくなることになる。その結果、移動度 $\mu$ の画素毎のばらつきを抑制することができる。

## 【0087】

具体的には、移動度 $\mu$ の大きな画素Aで帰還量 $V_1$ の補正をかけると、ドレイン・ソース間電流 $I_{ds}$ は $I_{ds1}$ から $I_{ds1}$ まで大きく下降する。一方、移動度 $\mu$ の小さな画素Bの帰還量 $V_2$ は小さいために、ドレイン・ソース間電流 $I_{ds}$ は $I_{ds2}$ から $I_{ds2}$ までの下降となり、それ程大きく下降しない。結果的に、画素Aのドレイン・ソース間電流 $I_{ds1}$ と画素Bのドレイン・ソース間電流 $I_{ds2}$ とはほぼ等しくなるために、移動度 $\mu$ の画素毎のばらつきが補正される。

10

## 【0088】

以上をまとめると、移動度 $\mu$ の異なる画素Aと画素Bがあった場合、移動度 $\mu$ の大きい画素Aの帰還量 $V_1$ は移動度 $\mu$ の小さい画素Bの帰還量 $V_2$ に比べて大きくなる。つまり、移動度 $\mu$ が大きい画素ほど帰還量 $V$ が大きく、ドレイン・ソース間電流 $I_{ds}$ の減少量が大きくなる。

## 【0089】

従って、駆動トランジスタ22のドレイン・ソース間電流 $I_{ds}$ に応じた帰還量 $V$ で、ゲート・ソース間電圧 $V_{gs}$ に負帰還をかけることで、移動度 $\mu$ の異なる画素のドレイン・ソース間電流 $I_{ds}$ の電流値が均一化される。その結果、移動度 $\mu$ の画素毎のばらつきを補正することができる。すなわち、駆動トランジスタ22に流れる電流(ドレイン・ソース間電流 $I_{ds}$ )に応じた帰還量 $V$ で、駆動トランジスタ22のゲート・ソース間電圧 $V_{gs}$ に負帰還をかける処理が移動度補正処理となる。

20

## 【0090】

[1-3.ミラー型レイアウト構造について]

以上説明した有機EL表示装置10において、画素アレイ部30の効率的なレイアウトを図ったり、レイアウトの自由度を上げたりするには、画素(画素回路)20に関して、基本的に同じレイアウト形状とした上で、ミラー型レイアウト構造を採るのが好ましい。前にも述べたように、ミラー型レイアウト構造は、画素アレイ部30の行列状の画素配列の列方向の軸を挟んで隣接する奇数列の画素回路と偶数列の画素回路とを、当該列方向の軸に関して対称にレイアウトする構造である。

30

## 【0091】

ここで言う、「列方向の軸に関して対称」の「対称」の概念には、奇数列の画素回路と偶数列の画素回路とが物理的に厳密に対称である場合の他、回路構成素子の設計上あるいは製造上生ずる種々のばらつきや、色の違いに伴う素子サイズの違い等の存在も含まれるものとする。ここで、ミラー型レイアウト構造について具体的に説明する。

## 【0092】

図7は、ミラー型レイアウト構造の一例を示す回路図であり、図中、図2と同等部位には同一符号を付して示している。ここでは、図面の簡略化のために、 $i$ 行、 $i+1$ 行の2行、及び、 $j-1$ 列、 $j$ 列、 $j+1$ 列の2列の計6画素についての行列状の画素配列を示している。また、便宜上、例えば、 $j-1$ 列、 $j+1$ 列を奇数列とし、 $j$ 列を偶数列とする。

40

## 【0093】

図7では、上記の画素配列において、当該画素配列の列方向の軸 $Y$ を挟んで隣接する偶数列 $j$ に属する画素回路 $20_{i,j}$ 及び画素回路 $20_{i+1,j}$ と、奇数列 $j+1$ に属する画素回路 $20_{i,j+1}$ 及び画素回路 $20_{i+1,j+1}$ とをミラー型レイアウト構造としている。具体的には、図7から明らかなように、偶数列 $j$ の信号線 $33_j$ 及び奇数列 $j+1$ の信号線 $33_{j+1}$ が共に列方向の軸 $Y$ 側に配線されている。そして、有機EL素子21、駆動トランジスタ22、書込みトランジスタ23、及び、保持容量24の各回路構成素子が、列方向の軸

50

Yに関して左右対称に配置されている。

【0094】

このミラー型レイアウト構造によれば、画素アレイ部30の効率的なレイアウトを図ることができる。具体的には、隣接する2列の画素回路間に、列方向に沿って電源線を配線して当該電源線を2列の画素回路間で共有したり、2列の画素回路間でコンタクトホールを共有したり、配線の引き込みラインを途中まで共用したりすることができる。また、ミラー型レイアウト構造によれば、レイアウトの自由度が上がるとともに、レイアウトの密度を下げることもできるために、高歩留り化を図ることができる。

【0095】

ここで、共有する電源線としては、例えば、次の例を挙げることができる。図2に示す画素回路20では、信号線33から書込みトランジスタ23を通して閾値補正のための基準電圧 $V_{ofs}$ を、駆動トランジスタ22のゲート電極に書き込む構成を採っている。これに対して、基準電圧 $V_{ofs}$ を伝送する専用の電源線を、例えばj-1列の画素列とj列の画素列との間に列方向に沿って配線し、当該電源線をj-1列に属する画素回路 $20_{i,j-1}$ 及び画素回路 $20_{i+1,j-1}$ と、j列に属する画素回路 $20_{i,j}$ 及び画素回路 $20_{i+1,j}$ とで共有する構成などが考えられる(その詳細については後述する)。

10

【0096】

上述したように、2列の画素回路間で電源線を共有したり、コンタクトホールを共有したり、配線の引き込みラインを途中まで共用したりすることで、画素アレイ部30の効率的なレイアウトを図ることができる。

20

【0097】

[1-4.セレクトラ駆動方式について]

図1において、表示パネル70上の信号出力回路60には、表示パネル70の外部に設けられる駆動部、例えばドライバICから映像信号の信号電圧 $V_{sig}$ と閾値補正のための基準電圧 $V_{ofs}$ とが選択的に供給される。ここでは、理解を容易にするために、映像信号の信号電圧 $V_{sig}$ が表示信号として供給される場合の信号出力回路60について説明する。

【0098】

信号出力回路60は、ドライバICの出力数の削減を図るために、周知のセレクトラ駆動方式を採用している。前にも述べたように、セレクトラ駆動方式は、ドライバICの1つの出力に対して、表示パネル70上の信号線 $33_{.1} \sim 33_{.n}$ を複数の信号線を単位(組)として割り当て、ドライバICから時系列で出力される信号電圧 $V_{sig}$ を、複数の信号線に対して時間分割的(時分割)に分配する駆動方式である。

30

【0099】

一般的には、ドライバICの出力数と表示パネル70上の信号線 $33_{.1} \sim 33_{.n}$ の本数とは等しく設定され、ドライバICの出力端と表示パネル70上の信号線 $33_{.1} \sim 33_{.n}$ とは1対1の対応関係をもって入力信号線によって接続される。しかし、この構成を採ると、ドライバICの出力数がn個、当該ドライバICの出力端と表示パネル70とを電気的に接続する配線(入力信号線)がn本必要となるとともに、表示パネル70側の端子数もn個必要となるため、システム全体の構成が煩雑になる。

40

【0100】

これに対して、セレクトラ駆動方式を採用し、ドライバICの出力と表示パネル70上の信号線 $33_{.1} \sim 33_{.n}$ との関係を1対x(xは2以上の整数)の対応関係をもって設定する。そして、ドライバICの1つの出力端に対して割り当てられたx本の信号線に対し、当該1つの出力端から時系列で出力される信号電圧 $V_{sig}$ を時間分割的に分配する。このセレクトラ駆動方式を採用することで、ドライバICの出力数、当該ドライバICと表示パネル70との間の配線数、及び、表示パネル70側の端子数を信号線 $33_{.1} \sim 33_{.n}$ の本数nの $1/x$ に削減可能になる。

【0101】

セレクトラ駆動方式を採用する際の単位となる信号線の本数x、即ち、時分割数xとして

50

は、例えば、RGBの3つの副画素によって1つの単位画素を形成する、カラー表示対応の有機EL表示装置の場合には、 $x = 3$ 、またはその倍数に設定するのが好ましい。そして、RGBRGB・・・と3つの副画素が繰り返し配列される1つの画素行に対する、セレクト回路による信号のセレクト方式は、2つのセレクト方式に大別される。

#### 【0102】

2つのセレクト方式のうち、第1のセレクト方式は、例えば、1画素がRGBの副画素から成るとき、3画素を組として1つの色の副画素に対して時間分割的に信号を書き込む方式である。第2のセレクト方式は、1画素のRGBの副画素に対して時間分割的に信号を書き込む方式である。尚、RGBの3つの副画素の色の配列順や信号の書き込み順は任意である。ここでは、1画素がRGBの副画素から成る場合を例に挙げたが、基本的には、単色の場合も同様である。

10

#### 【0103】

図8は、セクタ駆動方式を採る信号出力回路60の構成の一例を示す回路図である。ここでは、図面の簡略化のために、5行12列の画素配列として示している。また、RGBの3つの副画素に対応して時分割数 $x$ が $x = 3$ の場合で、信号のセレクト方式としては、3画素を組として1つの色の副画素に対して時間分割的に信号を書き込む第1のセレクト方式を採る場合を例に挙げて示している。

#### 【0104】

図8に示すように、RGBの各画素列に対応してセクタ回路61, 62, 63, ... が配置されている。セクタ回路61, 62, 63, ... は、RGBの各画素列に対応した3つのスイッチ $SW_R$ ,  $SW_G$ ,  $SW_B$ によって構成され、3つのセクタ回路を単位として繰り返し配列されている。

20

#### 【0105】

そして、3つのセクタ回路61, 62, 63の各3つのスイッチ $SW_R$ ,  $SW_G$ ,  $SW_B$ に対して、3つの端子 $71_R$ ,  $71_G$ ,  $71_B$ を介して時系列の信号 $SIG_{(1R, 2R, 3R)}$ ,  $SIG_{(1G, 2G, 3G)}$ ,  $SIG_{(1B, 2B, 3B)}$ が入力される。同様に、次の組の3つのセクタ回路64 (65, 66)の各3つのスイッチ $SW_R$ ,  $SW_G$ ,  $SW_B$ に対して、次の3つの端子 $72_R$ ,  $72_G$ ,  $72_B$ を介して時系列の信号 $SIG_{(4R, 5R, 6R)}$ ,  $SIG_{(4G, 5G, 6G)}$ ,  $SIG_{(4B, 5B, 6B)}$ が入力される。

#### 【0106】

また、セクタ回路61, 62, 63, ... には、3つのセクタ回路を単位として3つの選択信号 $SEL_1$ ,  $SEL_2$ ,  $SEL_3$ が端子 $73_{.1}$ ,  $73_{.2}$ ,  $73_{.3}$ を介して与えられる。これらの選択信号 $SEL_1$ ,  $SEL_2$ ,  $SEL_3$ は、3つを組とするセクタ回路61, 62, 63, ... の3つのスイッチ $SW_R$ ,  $SW_G$ ,  $SW_B$ をON/OFF制御する。

30

#### 【0107】

図9は、セクタ駆動方式の動作タイミングを示すタイミングチャートである。図9には、垂直走査信号 $V_{scan}$ 、3つの選択信号 $SEL_1$ ,  $SEL_2$ ,  $SEL_3$ 、及び、時系列の信号 $SIG_{(1R, 2R, 3R)}$ ,  $SIG_{(1G, 2G, 3G)}$ ,  $SIG_{(1B, 2B, 3B)}$ , ... のタイミング関係を示している。このタイミングチャートから明らかなように、時系列の信号 $SIG_{(1R, 2R, 3R)}$ ,  $SIG_{(1G, 2G, 3G)}$ ,  $SIG_{(1B, 2B, 3B)}$ , ... が、セクタ回路61, 62, 63, ... によって時間分割的に3本を単位とする信号線33に対して書き込まれる。

40

#### 【0108】

[ 1 - 5 . 2つの信号線が隣接する場合の不具合について ]

先述したように、例えば、ミラー型レイアウト構造を採ると、隣接する画素列に属する画素回路に接続される2つの信号線が隣接して配線されるレイアウト構造となる場合がある。このように、2つの信号線が隣接して配線されるレイアウト構造に対して、セクタ駆動方式を適用する際に、隣接する2つの信号線に対する表示信号の書き込みのタイミングが異なると、不具合が生じる場合がある。具体的には、先に信号線に書き込まれた表示信

50

号が、後に信号線に書き込まれる表示信号の影響を受けるため、正確な表示信号を書き込むことができないことになる。この不具合について、以下に具体的に説明する。

【0109】

図10は、2つの信号線が隣接して配線されるレイアウト構造の一例を示す回路図であり、図中、図8と同等部位には同一符号を付して示している。

【0110】

図10に示す5行12列の画素配列において、2列目、3列目の画素列間で信号線33<sub>.2</sub>と信号線33<sub>.3</sub>が隣接し、4列目、5列目の画素列間で信号線33<sub>.4</sub>と信号線33<sub>.5</sub>が隣接している。同様に、6列目、7列目の画素列間で信号線33<sub>.6</sub>と信号線33<sub>.7</sub>が隣接し、8列目、9列目の画素列間で信号線33<sub>.8</sub>と信号線33<sub>.9</sub>が隣接し、10列目、11列目の画素列間で信号線33<sub>.10</sub>と信号線33<sub>.11</sub>が隣接している。

10

【0111】

このように、2つの信号線が隣接すると、図11に示すように、隣接する2つの信号線33<sub>.2</sub>、33<sub>.3</sub>間、信号線33<sub>.4</sub>、33<sub>.5</sub>間、信号線33<sub>.6</sub>、33<sub>.7</sub>間、信号線33<sub>.8</sub>、33<sub>.9</sub>間、及び、信号線33<sub>.10</sub>、33<sub>.11</sub>間に寄生容量 $C_p$ が形成される。そして、寄生容量 $C_p$ が形成された状態において、先述したセクタ駆動方式の場合と同様の動作タイミングでセクタ回路61、62、63、・・・の駆動が行われるものとする。

【0112】

このときの動作タイミングを図12に示す。図12の動作タイミングは、基本的に、図9の動作タイミングと同等である。そのため、配線間に寄生容量 $C_p$ が形成された状態にある2つの信号線に対する、セクタ回路61、62、63、・・・の選択タイミングが同じであれば、正確な表示信号を書き込むことが可能である。例えば、2つの信号線33<sub>.2</sub>、33<sub>.3</sub>に対するセクタ回路61の選択タイミングが同じであるため、正確な表示信号SIG<sub>1G</sub>、SIG<sub>1B</sub>を書き込むことができる。

20

【0113】

一方、配線間に寄生容量 $C_p$ が形成された状態にある2つの信号線に対する、セクタ回路61、62、63、・・・の選択タイミングが異なれば、正確な表示信号を書き込むことができない。例えば、2つの信号線33<sub>.6</sub>、33<sub>.7</sub>に対するセクタ回路62、63の選択タイミングが異なるため、図12のタイミングチャートから明らかなように、正確な表示信号SIG<sub>2B</sub>、SIG<sub>3R</sub>を書き込むことができない。

30

【0114】

具体的には、信号線33<sub>.6</sub>に表示信号SIG<sub>2B</sub>を書き込み、当該表示信号SIG<sub>2B</sub>を信号線33<sub>.6</sub>に保持した後、信号線33<sub>.7</sub>に表示信号SIG<sub>3R</sub>を書き込むときに、寄生容量 $C_p$ によるカップリングのために、先に書き込んだ表示信号SIG<sub>2B</sub>が変動してしまう。表示信号SIG<sub>3R</sub>の書込み時の表示信号SIG<sub>2B</sub>の電圧変動量をSIG<sub>2B</sub>とすると、当該電圧変動量SIG<sub>2B</sub>は、次式(3)で与えられる。

$$SIG_{2B} = C_{6-7} / C_6 \cdot SIG_{3R} \quad \dots \dots (3)$$

ここで、 $C_{6-7}$ は2つの信号線33<sub>.6</sub>、33<sub>.7</sub>の寄生容量 $C_p$ の容量値、 $C_6$ は信号線33<sub>.6</sub>の容量値、SIG<sub>3R</sub>は表示信号SIG<sub>3R</sub>の書込み時の当該表示信号SIG<sub>3R</sub>の電圧変動量である。

40

【0115】

図12のタイミングチャートに示すように、表示信号SIG<sub>2B</sub>、SIG<sub>4B</sub>、SIG<sub>7R</sub>に関して、本来破線で示す信号波形であるべきところが、寄生容量 $C_p$ によるカップリングの影響を受けて、実線で示す信号波形のように電圧の変動が発生する。図12のタイミングチャートにおいて、印で示したポイントが、垂直走査信号V<sub>scan</sub>がアクティブ状態から非アクティブ状態に遷移する瞬間、即ち、書き込んだ表示信号のホールドポイントである。従って、寄生容量 $C_p$ のカップリングによる電圧変動が生じた状態のまま、書き込んだ表示信号がホールドされることになる。

【0116】

このように、隣接する2つの信号線間に寄生容量 $C_p$ が存在していると、当該2つの信

50

号線に対するセクタ回路 6 1 , 6 2 , 6 3 , . . . の選択タイミングが異なると不具合が生じる。具体的には、上述したように、先に信号線に書き込まれた表示信号が、後に信号線に書き込まれる表示信号の影響を受けるため、正確な表示信号を書き込むことができない。そして、正確な表示信号を信号線に書き込めないと、表示画像の画質の劣化を招くことになる。

【 0 1 1 7 】

かかる不具合を解消するための、即ち、隣接する 2 つの画素列に属する各信号線に対する表示信号の書込みのタイミングが異なっても、正確な表示信号の書込みを可能にするための具体的な実施形態について、以下に、第 1 実施形態として説明する。

【 0 1 1 8 】

< 2 . 第 1 実施形態 >

上述したミラー型レイアウト構造やセクタ駆動方式については、有機 E L 表示装置や液晶表示装置等の平面型表示装置において適宜採用することができる。但し、以下に説明する本発明の各実施形態に係る有機 E L 表示装置においては、セクタ駆動方式の採用は必須であるが、ミラー型レイアウト構造の採用に関しては任意である。

【 0 1 1 9 】

そして、本発明の第 1 実施形態では、セクタ駆動方式を採用する有機 E L 表示装置において、信号線 3 3<sub>1</sub> ~ 3 3<sub>n</sub> をレイアウトするに当たって、隣接する 2 つの画素列に属する画素回路にそれぞれ接続される 2 つの信号線のレイアウト方法 ( レイアウト構造 ) を特徴とする。

【 0 1 2 0 】

具体的には、隣接する 2 つの画素列に属する画素回路にそれぞれ接続される 2 つの信号線の組み合わせにおいて、セクタ回路によって異なるタイミングで表示信号が分配される組み合わせについては 2 つの信号線を隣接しないように配線する ( 第 1 の配線領域 ) 。また、セクタ回路によって同一のタイミングで表示信号が分配される組み合わせについては 2 つの信号線を隣接して配線する ( 第 2 の配線領域 ) 。そして、画素アレイ部 3 0 がこれら第 1 , 第 2 の配線領域を少なくとも一部に有する。

【 0 1 2 1 】

セクタ回路 6 1 , 6 2 , 6 3 , . . . によって異なるタイミングで表示信号が分配される組み合わせについては、2 つの信号線が隣接していないことで、当該 2 つの信号線間には寄生容量  $C_p$  が存在しない。従って、2 つの信号線に対して異なるタイミングで表示信号が書き込まれても、先に信号線に書き込まれた表示信号が、寄生容量  $C_p$  によるカップリングより、後に信号線に書き込まれる表示信号の影響を受けない。

【 0 1 2 2 】

また、セクタ回路 6 1 , 6 2 , 6 3 , . . . によって同一のタイミングで表示信号が分配される組み合わせについては、2 つの信号線が隣接していることで、当該 2 つの信号線間には寄生容量  $C_p$  が存在することになる。しかし、寄生容量  $C_p$  が存在していても、2 つの信号線に対して表示信号が同一のタイミングで書き込まれるため、共に相手方の表示信号の影響を受けない。従って、2 つの信号線の組み合わせのいずれの場合においても、信号線に対する正確な表示信号の書込みが可能になる。

【 0 1 2 3 】

上述したように、隣接する 2 つの画素列に属する各信号線に対する、表示信号の書込みのタイミングが異なっても、正確な表示信号を信号線に書き込むことができる。従って、隣接する信号線間にシールド線を配線する構造を採らなくても、従来技術のような、寄生容量  $C_p$  のカップリングの影響による画質劣化を抑えることができるため、高画質の表示画像を得ることができる。

【 0 1 2 4 】

尚、隣接する 2 つの画素列に属する画素回路にそれぞれ接続される 2 つの信号線が、画素列間において隣接するレイアウト構造としては、例えば、先述したミラー型レイアウト構造が挙げられるが、本実施形態は、ミラー型レイアウト構造への適用に限られるもので

10

20

30

40

50

はない。すなわち、本実施形態は、画素列間において2つの信号線が隣接するレイアウト構造全般に対して適用可能である。以下に、第1実施形態の具体的な実施例について説明する。

【0125】

[2-1. 実施例1]

図13は、実施例1に係る画素アレイ部のレイアウト構造を示す回路図であり、図中、図10と同等部位には同一符号を付して示している。ここでは、図面の簡略化のために、5行12列の画素配列として示している。また、RGBの3つの副画素に対応して時分割数 $x$ を $x=3$ としている。

【0126】

また、セクタ回路61, 62, 63, ...による信号のセレクト方式としては、3画素を組として1つの色の副画素に対して時間分割的に信号を書き込む第1のセレクト方式を採る場合を例に挙げて示している。第1のセレクト方式では、最初の組のセクタ回路61, 62, 63には、外部のドライバICから端子71<sub>R</sub>, 71<sub>G</sub>, 71<sub>B</sub>を介して各色の時系列の信号が表示信号として入力される。

【0127】

具体的には、端子71<sub>R</sub>を介してRの時系列の信号SIG<sub>1R</sub>, SIG<sub>2R</sub>, SIG<sub>3R</sub>が、端子71<sub>G</sub>を介してGの時系列の信号SIG<sub>1G</sub>, SIG<sub>2G</sub>, SIG<sub>3G</sub>が、端子71<sub>B</sub>を介してBの時系列の信号SIG<sub>1B</sub>, SIG<sub>2B</sub>, SIG<sub>3B</sub>がセクタ回路61, 62, 63に入力される。次の組以降のセクタ回路64, ...についても、最初の組のセクタ回路61, 62, 63と同様に時系列の信号が入力される。

【0128】

これにより、第1のセレクト方式を採るセクタ駆動方式では、1つの画素を構成するRGBの副画素には、選択信号SEL<sub>1</sub>, SEL<sub>2</sub>, SEL<sub>3</sub>による制御の下に、セクタ回路61, 62, 63の各々により同一のタイミングで表示信号が書き込まれる。また、組となる3つの画素には、選択信号SEL<sub>1</sub>, SEL<sub>2</sub>, SEL<sub>3</sub>によってセクタ回路61, 62, 63が順に駆動されることにより、異なるタイミングで制御信号が書き込まれる。

【0129】

図13に示す5行12列の画素配列において、1列目の画素列に属する画素回路と2列目の画素列に属する画素回路、3列目の画素列に属する画素回路と4列目の画素列に属する画素回路がそれぞれ対の関係となっている。また、4列目の画素列に属する画素回路と5列目の画素列に属する画素回路、6列目の画素列に属する画素回路と7列目の画素列に属する画素回路がそれぞれ対の関係となっている。更に、7列目の画素列に属する画素回路と8列目の画素列に属する画素回路、9列目の画素列に属する画素回路と10列目の画素列に属する画素回路、10列目の画素列に属する画素回路と11列目の画素列に属する画素回路がそれぞれ対の関係となっている。

【0130】

このレイアウト構造においては、1列目の画素列に属する画素回路に接続される信号線33<sub>.1</sub>と、2列目の画素列に属する画素回路に接続される信号線33<sub>.2</sub>とが隣接する。また、4列目の画素列に属する画素回路に接続される信号線33<sub>.4</sub>と、5列目の画素列に属する画素回路に接続される信号線33<sub>.5</sub>とが隣接する。また、7列目の画素列に属する画素回路に接続される信号線33<sub>.7</sub>と、8列目の画素列に属する画素回路に接続される信号線33<sub>.8</sub>とが隣接する。更に、10列目の画素列に属する画素回路に接続される信号線33<sub>.10</sub>と、11列目の画素列に属する画素回路に接続される信号線33<sub>.11</sub>とが隣接する。

【0131】

以上から明らかなように、セクタ回路によって表示信号が同一のタイミングで与えられる画素列の組み合わせにおいては、当該組の各画素列に属する信号線は、信号線同士が隣接するように配線されている。また、セクタ回路によって表示信号が異なるタイミングが与えられる画素列間においては、当該画素列に属する信号線は、信号線同士が隣接し

10

20

30

40

50

ないように配線されている。

【0132】

換言すれば、隣接する2つの画素列に属する画素回路にそれぞれ接続される2つの信号線の組み合わせにおいて、セクタ回路によって異なるタイミングで表示信号が分配される組み合わせについては2つの信号線が隣接しないように配線されている（第1の配線領域）。図13のミラー型レイアウト構造では、3行目の信号線33<sub>3</sub>と4行目の信号線33<sub>4</sub>、6行目の信号線33<sub>6</sub>と7行目の信号線33<sub>7</sub>、9行目の信号線33<sub>9</sub>と10行目の信号線33<sub>10</sub>が第1の配線領域に相当する。

【0133】

また、セクタ回路によって同一のタイミングで表示信号が分配される組み合わせについては2つの信号線が隣接して配線されている（第2の配線領域）。図13のレイアウト構造では、1行目の信号線33<sub>1</sub>と2行目の信号線33<sub>2</sub>、4行目の信号線33<sub>4</sub>と5行目の信号線33<sub>5</sub>、7行目の信号線33<sub>7</sub>と8行目の信号線33<sub>8</sub>、10行目の信号線33<sub>10</sub>と11行目の信号線33<sub>11</sub>が第2の配線領域に相当する。

【0134】

ここで、画素アレイ部30のレイアウト構造において、全ての画素列が第1の配線領域を含む一对の画素列と、第2の配線領域を含む一对の画素列とから構成されている訳ではない。すなわち、単独の画素列も一部に存在する。従って、画素アレイ部30は、第1の配線領域と第2の配線領域を全画素領域に亘って有するのではなく、少なくとも一部に有するレイアウト構造となる。

【0135】

上記構成の実施例1に係るレイアウト構造において、信号線が隣接すると、当該隣接する信号線間には寄生容量 $C_p$ が形成される。具体的には、図14に示すように、隣接する信号線33<sub>1</sub>、33<sub>2</sub>間、隣接する信号線33<sub>4</sub>、33<sub>5</sub>間、隣接する信号線33<sub>7</sub>、33<sub>8</sub>間、及び、隣接する信号線33<sub>10</sub>、33<sub>11</sub>間にそれぞれ寄生容量 $C_p$ が形成される。そして、寄生容量 $C_p$ が形成された状態において、先述したセクタ駆動方式の場合と同様の動作タイミングでセクタ回路61、62、63、・・・の駆動が行われるものとする。

【0136】

このときの動作タイミングを図15に示す。ここで、セクタ回路61、62、63、・・・によって異なるタイミングで表示信号が分配される画素列の組み合わせ、具体的には、信号SIG<sub>1B</sub>と信号SIG<sub>2R</sub>、信号SIG<sub>2B</sub>と信号SIG<sub>3R</sub>、信号SIG<sub>3B</sub>と信号SIG<sub>4R</sub>が書き込まれる2つの画素列の組み合わせを考える。この画素列の組み合わせにおいては、2つの画素列に属する2つの信号線が隣接していないことから、当該2つの信号線間には寄生容量 $C_p$ が存在しない。従って、2つの信号線に対して異なるタイミングで表示信号が書き込まれても、先に信号線に書き込まれた表示信号が、寄生容量 $C_p$ によるカップリングにより、後に信号線に書き込まれる表示信号の影響を受けない。

【0137】

次に、セクタ回路61、62、63、・・・によって同一のタイミングで表示信号が分配される画素列の組み合わせ、具体的には、信号SIG<sub>1R</sub>と信号SIG<sub>1G</sub>、信号SIG<sub>2R</sub>と信号SIG<sub>2G</sub>、信号SIG<sub>3R</sub>と信号SIG<sub>3G</sub>が書き込まれる2つの画素列の組み合わせを考える。この画素列の組み合わせにおいては、2つの画素列に属する2つの信号線が隣接していることで、当該2つの信号線間には寄生容量 $C_p$ が存在する。しかし、寄生容量 $C_p$ が存在していても、2つの信号線に対して表示信号が同一のタイミングで書き込まれるため、共に相手方の表示信号の影響を受けない。

【0138】

上述したように、隣接する画素列に属する2つの信号線に対する、表示信号の書込みタイミングが異なっても、当該2つの信号線が隣接していないことで、正確な表示信号を書き込むことができる。すなわち、2つの信号線が隣接していないことで、当該2つの信号線間に寄生容量 $C_p$ が存在しないため、寄生容量 $C_p$ のカップリングによる画質劣化を抑え

10

20

30

40

50

ることができる。これにより、信号線の各々に対する正確な表示信号の書込みによって高画質な表示装置を提供できる。

【0139】

尚、実施例1では、セクタ駆動方式における時分割数 $x$ を、RGBの3つの副画素に対応して $x = 3$ としているが、 $x = 3$ に限られるものではなく、時分割数 $x$ については2以上であればその分割数は問わない。以下の実施例においても同様とする。

【0140】

また、実施例1では、Rの画素列に属する信号線と、Gの画素列に属する信号線とが隣接するレイアウト構造を例に挙げたが、図16に示すように、Gの画素列に属する信号線と、Bの画素列に属する信号線とが隣接するレイアウト構造であってもよい。図16に示すレイアウト構造を採る場合の動作タイミングを図17に示す。

10

【0141】

更に、実施例1が適用の対象とするレイアウト構造は、隣接する画素列に属する2つの信号線が、画素列間において隣接するレイアウト構造であればよく、ミラー型レイアウト構造であるか否かは問わない。すなわち、ミラー型レイアウト構造でなくても、隣接する画素列に属する2つの信号線が、画素列間において隣接するレイアウト構造であれば、上記実施例1の場合と同様の作用効果を得ることができる。

【0142】

[2-2. 実施例2]

図18は、実施例2に係る画素アレイ部のレイアウト構造を示す回路図であり、図中、図13と同等部位には同一符号を付して示している。ここでも、図面の簡略化のために、5行12列の画素配列として示している。また、RGBの3つの副画素に対応して時分割数 $x$ を $x = 3$ としている。更に、セクタ回路61, 62, 63, ...による信号のセレクト方式として、3画素を組として1つの色の副画素に対して時間分割的に信号を書き込む第1のセレクト方式を採る場合を例に挙げて示している。

20

【0143】

実施例1に係るレイアウト構造では、画素回路の各々が同じレイアウト形状を有しているか否かは問わないのに対して、実施例2に係るレイアウト構造では、画素回路の各々が基本的に同じレイアウト形状を有していることを前提としている。そして、隣接する2つの画素列に属する画素回路が、図7に示すように、画素配列の列方向の軸Yに関しておおむね対称なミラー型レイアウト構造、もしくは、行方向に平行移動したレイアウト構造となっている。

30

【0144】

具体的には、図18において、1列目の画素列に属する画素回路と2列目の画素列に属する画素回路とが、3列目の画素列に属する画素回路と4列目の画素列に属する画素回路とがミラー型レイアウト構造となっている。また、4列目の画素列に属する画素回路と5列目の画素列に属する画素回路とが、6列目の画素列に属する画素回路と7列目の画素列に属する画素回路とがミラー型レイアウト構造となっている。

【0145】

更に、7列目の画素列に属する画素回路と8列目の画素列に属する画素回路とが、9列目の画素列に属する画素回路と10列目の画素列に属する画素回路とが、10列目の画素列に属する画素回路と11列目の画素列に属する画素回路とがミラー型レイアウト構造となっている。

40

【0146】

また、図18に示す5行12列の画素配列において、1画素を構成するRGBの3つの副画素の各画素列を単位として、隣接するR, Gの画素列に属する画素回路が、1画素ピッチずつ画素配列の行方向に平行移動したレイアウト構造となっている。

【0147】

上記のミラー型レイアウト構造においては、1列目の画素列に属する画素回路に接続される信号線33<sub>1</sub>と、2列目の画素列に属する画素回路に接続される信号線33<sub>2</sub>とが隣

50



接する。また、4列目の画素列に属する画素回路に接続される信号線33<sub>.4</sub>と、5列目の画素列に属する画素回路に接続される信号線33<sub>.5</sub>とが隣接する。また、7列目の画素列に属する画素回路に接続される信号線33<sub>.7</sub>と、8列目の画素列に属する画素回路に接続される信号線33<sub>.8</sub>とが隣接する。更に、10列目の画素列に属する画素回路に接続される信号線33<sub>.10</sub>と、11列目の画素列に属する画素回路に接続される信号線33<sub>.11</sub>とが隣接する。

【0148】

以上から明らかのように、セクタ回路によって表示信号が同一のタイミングが与えられる画素列の組み合わせにおいては、当該組の各画素列に属する信号線は、ミラー型レイアウト構造に伴って信号線同士が隣接するように配線されている。また、セクタ回路によって表示信号が異なるタイミングが与えられる画素列間においては、当該画素列に属する信号線は、信号線同士が隣接しないように配線されている。

10

【0149】

換言すれば、隣接する2つの画素列に属する画素回路にそれぞれ接続される2つの信号線の組み合わせにおいて、セクタ回路によって異なるタイミングで表示信号が分配される組み合わせについては2つの信号線が隣接しないように配線されている(第1の配線領域)。図13のミラー型レイアウト構造では、3行目の信号線33<sub>.3</sub>と4行目の信号線33<sub>.4</sub>、6行目の信号線33<sub>.6</sub>と7行目の信号線33<sub>.7</sub>、9行目の信号線33<sub>.9</sub>と10行目の信号線33<sub>.10</sub>が第1の配線領域に相当する。

【0150】

また、セクタ回路によって同一のタイミングで表示信号が分配される組み合わせについては2つの信号線が隣接して配線されている(第2の配線領域)。図13のミラー型レイアウト構造では、1行目の信号線33<sub>.1</sub>と2行目の信号線33<sub>.2</sub>、4行目の信号線33<sub>.4</sub>と5行目の信号線33<sub>.5</sub>、7行目の信号線33<sub>.7</sub>と8行目の信号線33<sub>.8</sub>、10行目の信号線33<sub>.10</sub>と11行目の信号線33<sub>.11</sub>が第2の配線領域に相当する。

20

【0151】

ここで、画素アレイ部30のレイアウト構造において、全ての画素列が第1の配線領域を含む一对の画素列と、第2の配線領域を含む一对の画素列とから構成されている訳ではない。すなわち、単独の画素列も一部に存在する。従って、画素アレイ部30は、第1の配線領域と第2の配線領域を全画素領域に亘って有する訳ではなく、少なくとも一部に有するレイアウト構造となる。

30

【0152】

上記構成の実施例2に係るミラー型レイアウト構造においても、隣接する信号線間には寄生容量 $C_p$ が形成される。そして、寄生容量 $C_p$ が形成された状態において、先述したセクタ駆動方式の場合と同様の動作タイミングでセクタ回路61, 62, 63, ...の駆動が行われるものとする。

【0153】

上述したように、ミラー型レイアウト構造とセクタ駆動方式とを併用する場合、隣接する画素列に属する2つの信号線に対する、表示信号の書込みタイミングが異なっても、当該2つの信号線が隣接していないことで、正確な表示信号を書き込むことができる。すなわち、2つの信号線が隣接していないことで、当該2つの信号線間に寄生容量 $C_p$ が存在しないため、寄生容量 $C_p$ のカップリングによる画質劣化を抑えることができる。

40

【0154】

これにより、ミラー型レイアウト構造による画素アレイ部30の効率的なレイアウトによって高歩留まり、高精細な表示装置を実現できるとともに、信号線の各々に対する正確な表示信号の書込みによって高画質な表示装置を提供できる。前にも述べたように、ミラー型レイアウト構造による作用効果の1つとして、列方向に沿って電源線を配線して当該電源線を2列の画素回路間で共有することが挙げられる。

【0155】

2列の画素回路間で共有する電源線としては、一例として、閾値補正のための基準電圧

50

$V_{ofs}$ を伝送する電源線を挙げるができる。図2に示す画素回路20では、信号線33から書込みトランジスタ23を通して閾値補正のための基準電圧 $V_{ofs}$ を、駆動トランジスタ22のゲート電極に書き込む構成を採っている。これに対して、図19に示すように、画素回路20にスイッチングトランジスタ25を追加し、信号線33からではなく、列方向に沿って配線された電源線35からスイッチングトランジスタ25によって画素内に取り込む画素構成を採る。

【0156】

そして、図20に示すように、間に信号線33が配線されていない2つの画素列間に列方向に沿って電源線35を配線し、当該電源線35を2つの画素列に属する画素回路間において共有するようにする。図20の例では、3列目と4列目の2つの画素列に属する画素回路間、6列目と7列目の2つの画素列に属する画素回路間、及び、9列目と10列目の2つの画素列に属する画素回路間において、閾値補正のための基準電圧 $V_{ofs}$ を伝送する電源線35を共有するレイアウト構造となっている。

10

【0157】

[2-3. 実施例3]

図21は、実施例3に係る画素アレイ部のレイアウト構造を示す回路図であり、図中、図13と同等部位には同一符号を付して示している。ここでも、図面の簡略化のために、5行12列の画素配列として示している。また、RGBの3つの副画素に対応して時分割数 $x$ を $x=3$ としている。更に、セレクト回路61, 62, 63, ...による信号のセレクト方式として、3画素を組として1つの色の副画素に対して時間分割的に信号を書き込む第1のセレクト方式を採る場合を例に挙げて示している。

20

【0158】

実施例2に係るレイアウト構造では、画素回路の各々が基本的に同じレイアウト形状を有していることを前提としている。図21において、画素中の「Fの文字」と、「Fの反転文字」とは、画素回路の各々が基本的に同じレイアウト形状を有し、かつ、ミラー型レイアウト構造の関係にあることを表している。しかし、有機EL表示装置等では、RGBの有機EL素子の発光効率の違いや、ホワイトバランスなどによってRGBの副画素で、異なる画素定数をもつ、即ち、RGBの画素回路で異なるレイアウト形状を有する場合がある。

30

【0159】

ここで、RGBの画素サイズについて考察する。有機EL素子の輝度が半減する寿命(以下、単に「寿命」と記述する)によって画素サイズを変更する場合がある。有機EL素子は、単位面積当たりの輝度が高い程、言い換えると、単位面積当たりに流れる電流が大きい程、寿命が短くなる。従って、表示パネルとしての発光輝度が一定であっても、発光エリアのサイズが大きくなる程寿命が長くなる。

【0160】

このため、RGBの有機EL素子のうち寿命の短い色の画素サイズを大きく設計することにより、表示パネルとしての寿命を、RGBの有機EL素子の全てが同一サイズの画素に設計する場合に比較して長くすることができる。有機EL表示装置では、一般的に、B(青)の画素サイズを大きくすることが多い。

40

【0161】

また、RGBの画素サイズの別の決定要因として、画素回路のトランジスタや容量のサイズに依存する場合もある。例えば、先述した移動度補正機能を持つ画素回路において、移動度補正時間を $t$ とすると、駆動トランジスタ22に流れる電流 $I_{ds}$ は、次式(4)で表わされる。

$$I_{ds} = ( \quad / 2 ) \cdot \{ 1 / ( 1 / V_{sig} ) \cdot ( \quad / 2 ) \cdot ( t / C ) \}^2 \quad \dots \dots ( 4 )$$

ここに、 $\quad$ は移動度 $\mu$ を含む係数(  $= \mu \cdot ( W / L ) \cdot C o x$  )であり、 $C$ は移動度補正を行うときに放電されるノードの容量値、例えば、保持容量24と有機EL素子21の容量成分との合成容量値である。

【0162】

50

ここで、発光効率や白色度設定によって、RGBで電流 $I_{ds}$ が異なる。もし、電流 $I_{ds}$ が大きくなり、かつ、移動度補正時間 $t$ を一定（RGBで補正時間は同一となるため一定とする必要がある）と設定する場合、次のような倍率にすることが、電流 $I_{ds}$ が異なっても、RGBで等価な動作をさせることが可能となる。

$I_{ds}$  : n倍  
 : n倍  
 C : n倍  
 t : 1倍  
 $V_{sig}$  : 1倍

【0163】

また、RGBで完全に同一（等価）な動作をさせることができなくても、電流 $I_{ds}$ が大きくなると、設計上、移動度補正を行うときに放電されるノードの容量値 $C$ を大きくすることが好ましい。当該容量値 $C$ を大きくすることは保持容量24、または、当該保持容量24を補助する容量のサイズを大きくすることである。有機EL表示装置では、一般的に、Bの有機EL素子の発光効率が低いことが多く、このため、Bの副画素の画素サイズを大きく設計することが多い。

【0164】

RGBの副画素で異なる画素定数をもつ、即ち、異なるレイアウト形状を有する場合、実施例2に係るレイアウト構造と異なり、隣接する2つの画素列に属する画素回路が必ずしもミラー型レイアウト構造とならない。この場合、図21に示すように、画素回路は、当該画素回路に接続される信号線からみて、右側にレイアウトされるか、もしくは、左側にレイアウトされることが好ましい。右側にレイアウトするか、左側にレイアウトするかは、画素サイズ等に基づいて適宜選定される。図21に示す例では、Bの副画素の画素サイズが一番大きく、Rの副画素の画素サイズが一番小さく設計されている。

【0165】

画素回路を信号線の右側にレイアウトするか、左側にレイアウトするかを、画素サイズ等に基づいて適宜設定することで、例えば図21に示すように、隣接する2つの画素列に属する2つの信号線が、画素列間において隣接するレイアウト構造となる。ここで、画素回路を信号線の右側にレイアウトするか、左側にレイアウトするかということは、換言すれば、信号線を画素回路の左側にレイアウトするか、右側にレイアウトするかということである。

【0166】

上述したように、RGBの副画素で異なるレイアウト形状を有する有機EL表示装置において、隣接する2つの画素列に属する2つの信号線が、画素列間において隣接するレイアウト構造を採ることで、ミラー型レイアウト構造の場合と同様の作用効果を得ることができる。

【0167】

すなわち、画素アレイ部30の効率的なレイアウトを図ることができる。具体的には、隣接する2列の画素回路間に、列方向に沿って電源線を配線して当該電源線を2列の画素回路間で共有したり、2列の画素回路間でコンタクトホールを共有したり、配線の引き込みラインを途中まで共用したりすることができる。また、レイアウトの自由度が上がるとともに、レイアウトの密度を下げるためにより高歩留り化を図ることができる。

【0168】

そして、実施例1や実施例2の場合と同様に、隣接する2つの画素列に属する画素回路にそれぞれ接続される2つの信号線の組み合わせにおいて、異なるタイミングで表示信号が分配される組み合わせについては2つの信号線を隣接しないように配線する。また、同一のタイミングで表示信号が分配される組み合わせについては2つの信号線を隣接して配線する。

【0169】

異なるタイミングで表示信号が分配される組み合わせについては、2つの信号線が隣接

10

20

30

40

50

していないことで、当該2つの信号線間には寄生容量 $C_p$ が存在しない。従って、2つの信号線に対して異なるタイミングで表示信号が書き込まれても、寄生容量 $C_p$ によるカップリングにより、先に信号線に書き込まれた表示信号が、後に信号線に書き込まれる表示信号の影響を受けることはない。

【0170】

また、同一のタイミングで表示信号が分配される組み合わせについては、2つの信号線が隣接していることで、当該2つの信号線間には寄生容量 $C_p$ が存在することになる。しかし、寄生容量 $C_p$ が存在していても、2つの信号線に対して表示信号が同一のタイミングで書き込まれるため、共に相手方の表示信号の影響を受けることはない。

【0171】

従って、2つの信号線の組み合わせのいずれの場合にも、信号線に対する正確な表示信号の書込みが可能になる。これにより、従来技術のように、隣接する信号線間にシールド線を配線する構造を採らなくても、寄生容量 $C_p$ のカップリングの影響による画質劣化を抑えることができるため、高画質の表示画像を得ることができる。

【0172】

(実施例2及び実施例3の変形例)

実施例2及び実施例3では、画素回路が信号線から見て(信号線が画素回路から見て)一方側に位置するレイアウト構造となっていた。しかし、必ずしも、相対的に一方側に位置するレイアウト構造でなくてもよい。例えば、一部の画素回路の真ん中を信号線が横切るようなレイアウト構造であってもよい。

【0173】

隣接する2つの画素列に属する画素回路にそれぞれ接続される2つの信号線の組み合わせにおいて、セクタ回路によって異なるタイミングで表示信号が分配される組み合わせについては2つの信号線を隣接しないように配線する。また、セクタ回路によって同一のタイミングで表示信号が分配される組み合わせについては2つの信号線を隣接して配線する。

【0174】

基本的に、上記のレイアウト構造とすることで、隣接する2つの画素列に属する各信号線に対する、表示信号の書込みのタイミングが異なっても、正確な表示信号を信号線に書き込むことができる。従って、従来技術のように、隣接する信号線間にシールド線を配線する構造を採らなくても、寄生容量 $C_p$ のカップリングの影響による画質劣化を抑えることができる。

【0175】

[2-4.第2のセレクト方式について]

実施例1乃至実施例3では、1画素がRGBの副画素から成るとき、3画素を組として1つの色の副画素に対して時間分割的に信号を書き込む第1のセレクト方式を採用している。ここでは、1画素のRGBの副画素に対して時間分割的に書込みを行う第2のセレクト方式について説明する。

【0176】

図22は、第2のセレクト方式の場合の画素アレイ部のレイアウト構造を示す回路図である。画素アレイ部30のレイアウト構造については、図10に示すレイアウト構造の場合と同様である。

【0177】

すなわち、図22に示す5行12列の画素配列において、2列目、3列目の画素列間で信号線33<sub>2</sub>と信号線33<sub>3</sub>が隣接し、4列目、5列目の画素列間で信号線33<sub>4</sub>と信号線33<sub>5</sub>が隣接している。同様に、6列目、7列目の画素列間で信号線33<sub>6</sub>と信号線33<sub>7</sub>が隣接し、8列目、9列目の画素列間で信号線33<sub>8</sub>と信号線33<sub>9</sub>が隣接し、10列目、11列目の画素列間で信号線33<sub>10</sub>と信号線33<sub>11</sub>が隣接している。

【0178】

このように、2つの信号線が隣接すると、隣接する2つの信号線33<sub>2</sub>、33<sub>3</sub>間、信

10

20

30

40

50

号線 33<sub>.4</sub>, 33<sub>.5</sub>間、信号線 33<sub>.6</sub>, 33<sub>.7</sub>間、信号線 33<sub>.8</sub>, 33<sub>.9</sub>間、及び、信号線 33<sub>.10</sub>, 33<sub>.11</sub>間に寄生容量  $C_p$  が形成される。そして、寄生容量  $C_p$  が形成された状態において、1画素の RGB の副画素に対して、セクタ回路 65, 66, 67, 68 によって時間分割的に表示信号を書き込む駆動が行われるものとする。

【0179】

このときの動作タイミングを図 23 に示す。セクタ回路 65 には、端子 74<sub>.1</sub> を介して時系列の信号  $SIG_{1R}$ ,  $SIG_{1G}$ ,  $SIG_{1B}$  が入力される。セクタ回路 66 には、端子 74<sub>.2</sub> を介して時系列の信号  $SIG_{2R}$ ,  $SIG_{2G}$ ,  $SIG_{2B}$  が入力される。セクタ回路 67 には、端子 74<sub>.3</sub> を介して時系列の信号  $SIG_{3R}$ ,  $SIG_{3G}$ ,  $SIG_{3B}$  が入力される。セクタ回路 68 には、端子 74<sub>.4</sub> を介して時系列の信号  $SIG_{4R}$ ,  $SIG_{4G}$ ,  $SIG_{4B}$  が入力される。そして、セクタ回路 65, 66, 67, 68 はいずれも、1画素の RGB の副画素に対して、例えば R G B の順番で時間分割的に書き込みを行う。

10

【0180】

ここで、画素列間において隣接する信号線 33<sub>.2</sub> と信号線 33<sub>.3</sub>、信号線 33<sub>.4</sub> と信号線 33<sub>.5</sub>、信号線 33<sub>.6</sub> と信号線 33<sub>.7</sub>、信号線 33<sub>.8</sub> と信号線 33<sub>.9</sub>、信号線 33<sub>.10</sub> と信号線 33<sub>.11</sub> には、異なるタイミングで信号が書き込まれる。このように、寄生容量  $C_p$  が形成された状態にある 2 つの信号線に対する、セクタ回路 65, 66, 67, 68 による信号の書き込みタイミングが異なれば、正確な表示信号を書き込むことができない。具体的には、先に信号線に書き込まれた表示信号が、寄生容量  $C_p$  によるカップリングにより、後に信号線に書き込まれる表示信号の影響を受けるため、正確な表示信号を書き込むことができない。

20

【0181】

図 23 のタイミングチャートに示すように、表示信号  $SIG_{1G}$ ,  $SIG_{2R}$ ,  $SIG_{3R}$ ,  $SIG_{3G}$ ,  $SIG_{4R}$  に関して、本来、破線で示す信号波形であるべきところが、寄生容量  $C_p$  によるカップリングの影響を受けて、実線で示す信号波形のように電圧の変動が発生する。図 23 のタイミングチャートにおいて、印で示したポイントが、垂直走査信号  $V_{scan}$  がアクティブ状態から非アクティブ状態に遷移する瞬間、即ち、書き込んだ表示信号のホールドポイントである。従って、寄生容量  $C_p$  によるカップリングにより、電圧変動が生じた状態のまま、書き込んだ表示信号がホールドされることになる。

30

【0182】

[ 2 - 5 . 実施例 4 ]

図 24 は、実施例 4 に係る画素アレイ部のレイアウト構造を示す回路図であり、図中、図 22 と同等部位には同一符号を付して示している。ここでも、図面の簡略化のために、5 行 12 列の画素配列として示している。また、RGB の 3 つの副画素に対応して時分割数  $x$  を  $x = 3$  としている。更に、セクタ回路 65, 66, 67, 68 による信号のセレクト方式として、1画素の RGB の副画素に対して時間分割的に書き込みを行う第 2 のセレクト方式を採る場合を例に挙げて示している。

【0183】

実施例 4 に係るレイアウト構造においては、RGB の副画素からなる画素同士（画素列同士）の境界において、B の画素列に属する画素回路に接続される信号線と、R の画素列に属する画素回路に接続される信号線とが隣接している。そして、このレイアウト構造に対して、セクタ回路 65, 67 が R G B の順番で信号の書き込みを行い、セクタ回路 66, 68 が B G R の順番で信号の書き込みを行う。

40

【0184】

これにより、画素列間において隣接する信号線 33<sub>.2</sub> と信号線 33<sub>.3</sub>、信号線 33<sub>.4</sub> と信号線 33<sub>.5</sub>、信号線 33<sub>.6</sub> と信号線 33<sub>.7</sub>、信号線 33<sub>.8</sub> と信号線 33<sub>.9</sub>、信号線 33<sub>.10</sub> と信号線 33<sub>.11</sub> には、同一のタイミングで信号が書き込まれる。従って、隣接する信号線間にシールド線を配線する構造を採らなくても、図 25 のタイミングチャートから明らかのように、隣接する信号線に対して正確な表示信号を信号線に書き込むことができるため、寄生容量  $C_p$  のカップリングの影響による画質劣化を抑えることができる。

50

## 【 0 1 8 5 】

## &lt; 3 . セレクタ駆動方式の課題について &gt;

ところで、セレクタ駆動方式を採用した場合、セレクタ回路の選択順に起因する輝度差が生ずる場合がある。そして、このセレクタ回路の選択順に起因する輝度差が生ずることにより、表示画像に周期的な輝度むらが発生するために画質が悪化する。

## 【 0 1 8 6 】

有機 E L 表示装置では、駆動能力が高く、画素サイズを小さく設計できるという理由から、能動素子であるトランジスタには、ポリシリコンを活性層としたポリシリコン T F T が一般的に用いられる。その反面、ポリシリコン T F T は、特性のばらつきが大きいことも広く知られている。従って、有機 E L 表示装置では、基本的な回路動作の説明でも述べたように、閾値補正や移動度補正などの各種の補正動作が行われる。

10

## 【 0 1 8 7 】

ここで、例えば、閾値補正動作を伴う場合のセレクタ回路の選択順に起因する輝度差について考えると、閾値補正の終了から信号書込みまでの期間に、セレクタ回路の選択順によって時間差が生じる。そして、閾値補正の終了から信号書込みまでの期間に微小なリーク電流が有機 E L 素子 2 1 に流れると、セレクタ回路の選択順、即ち、信号の書込み順によって輝度差が発生する。

## 【 0 1 8 8 】

移動度補正動作を伴う場合にも同様のことが言える。すなわち、移動度補正は信号書込みと並行して行われる訳であるが、信号書込みの終了から次のフレームの移動度補正までの期間に、セレクタ回路の選択順によって時間差が生じる。そして、信号書込みの終了から次のフレームの移動度補正までの期間に微小なリーク電流が有機 E L 素子 2 1 に流れると、セレクタ回路の選択順によって輝度差が発生する。これらのセレクタ回路の選択順に起因する輝度差により、表示画像に周期的な輝度むらが発生する。

20

## 【 0 1 8 9 】

液晶表示装置では、直流駆動すると寿命が短くなるため、交流電圧を印加することによって駆動する交流電圧駆動が行われている、即ち、液晶に印加する電圧の極性が、フレーム周期やライン周期等の一定周期で反転する駆動が行われている。従って、液晶表示装置の場合は、セレクタ回路の選択順によって輝度差が発生しても、反転駆動時に輝度差が反転して相殺されるため、平均的な輝度差が緩和されることがある。

30

## 【 0 1 9 0 】

これに対して、有機 E L 表示装置では、画素回路において、信号線に供給される表示信号に応じた直流電流を有機 E L 素子 2 1 に流すことによって当該有機 E L 素子 2 1 を発光駆動する。これにより、有機 E L 表示装置では、入力データ（表示信号）に対して表示輝度が単一方向の関係にある。従って、セレクタ回路の選択順に起因する輝度差が、液晶表示装置に比べて特に発生しやすい。

## 【 0 1 9 1 】

また、1 水平期間中において、複数の信号線に対して時間分割的に表示信号を分配（分割）する前に、一括して、同一信号を書き込む場合に、セレクタ回路によって表示信号を選択して書き込むまでの間に時間差が生じるため、特に輝度差が発生しやすくなる。ここで、複数の信号線に対して時間分割的に表示信号を分配する前に、一括して、同一信号を書き込む場合の例としては、例えば、閾値補正の際にその補正のための基準電圧  $V_{ofs}$  を、一括して、単一信号として書き込む場合が挙げられる。

40

## 【 0 1 9 2 】

更に、画素 2 0 の非選択状態において、1 水平期間中に複数の信号線に対して時間分割的に表示信号を分配した後、走査線 2 1 を選択する場合、セレクタ回路による信号線への信号書込みから走査線 2 1 の選択までの間に時間差が生じるため、特に輝度差が発生しやすい。有機 E L 表示装置では、上述したように、T F T の特性ばらつきに起因する輝度むらが問題になりやすく、この特性ばらつきを補正する動作を行うことが一般的である。有機 E L 表示装置では、特性ばらつきを補正動作として、信号の書込み時間、即ち、書込み

50

トランジスタ 2 3 の導通期間を制御する動作が行われている。

【 0 1 9 3 】

[ セレクタ駆動方式の従来技術 ]

ところで、前にも述べたように、1つの画素行に対する、セレクタ回路による信号のセレクト方式には、3画素を組として1つの色の副画素に対して時間分割的に信号を書き込む第1のセレクト方式と、1画素のRGBの副画素に対して時間分割的に信号を書き込む第2のセレクト方式がある。ここで、第1、第2のセレクト方式の従来技術について説明する。

【 0 1 9 4 】

( 第 2 のセレクト方式 )

先ず、第2のセレクト方式を採用した、画素が単色の場合の表示パネルの構成を図26に示し、そのタイミングチャートを図27に示す。また、第2のセレクト方式を採用した、画素がRGBの副画素からなる場合の表示パネルの構成を図28に示し、そのタイミングチャートを図29に示す。いずれの場合にも、時分割数  $x$  を  $x = 3$  としている。但し、 $x = 3$  に限られるものではない。

【 0 1 9 5 】

第2のセレクト方式では、従来、 $x = 3$  に対応した選択信号  $SEL_1$  ,  $SEL_2$  ,  $SEL_3$  による制御の下にセレクタ回路 65 , 66 , ... を、各フレームを通して

$SEL_1$   $SEL_2$   $SEL_3$

の選択順で選択していた。このように、セレクタ回路 65 , 66 , ... の選択順が各フレームを通して一定だと、「3. セレクタ駆動方式の課題について」において述べた理由から、セレクタ回路 65 , 66 , ... の選択順に起因する輝度差が発生する。

【 0 1 9 6 】

特に、画素がRGBの副画素からなる場合は、選択信号  $SEL_1$  ,  $SEL_2$  ,  $SEL_3$  が、それぞれ、Rの副画素、Gの副画素、Bの副画素の選択になる。従って、セレクタ回路 65 , 66 , ... の選択順が一定だと、RGBの輝度バランスが所定のバランスからずれるという問題がある。

【 0 1 9 7 】

( 第 1 のセレクト方式 )

次に、第1のセレクト方式を採用した、画素がRGBの副画素からなる場合の表示パネルの構成を図30に示し、そのタイミングチャートを図31に示す。また、第1のセレクト方式を採用した、画素が単色の場合のタイミングチャートを図32に示す。第1のセレクト方式の場合も、RGBの3つの副画素に対応して、時分割数  $x$  を  $x = 3$  としている。但し、 $x = 3$  に限られるものではない。

【 0 1 9 8 】

図31及び図32のタイミングチャートにおいて、その駆動タイミングの違いは、前者は、画素行を選択した後、表示信号  $d a t a$  を時間分割的に書き込むようにしている。これに対して、後者は、表示信号  $d a t a$  を時間分割的に書き込んだ後、画素行を選択してその選択した画素行の各画素に信号を書き込むようにしている点である。いずれの場合にも、RGBの副画素それぞれに対して、選択信号  $SEL_1$  ,  $SEL_2$  ,  $SEL_3$  が順番に選択されるため、R , G , Bの各色に対して周期的な輝度差が発生する。

【 0 1 9 9 】

かかるセレクタ駆動方式の課題を解決するための、即ち、セレクタ回路の選択順に起因する輝度差や輝度バランスのずれを軽減し、高画質で色再現性に優れた表示装置を実現するための具体的な実施形態について、以下に、第2実施形態として説明する。

【 0 2 0 0 】

< 4 . 第 2 実施形態 >

本発明の第2実施形態では、セレクタ回路の選択順（分割順序 / 分配順序）に起因する輝度差や輝度バランスのずれを軽減するために、セレクタ回路の選択順を、一定周期で変化、例えば反転させるようにする。ここで、一定周期とは、フレーム周期、あるいは、ラ

10

20

30

40

50

イン周期等を言う。セクタ回路の選択順を一定周期で変化させることで、周期的な輝度差が発生するものの、当該輝度差が平均化され、セクタ回路の選択順に起因する輝度差や輝度バランスのずれを軽減できるため、高画質で色再現性に優れた表示装置を実現できる。以下に、第2実施形態の具体的な実施例について説明する。

【0201】

[4-1. 実施例1]

図33は、第2のセレクト方式を採用した、画素が単色の場合の実施例1に係る駆動タイミングを示すタイミングチャートである。表示パネルの構成については、図26と同じとする。

【0202】

実施例1に係る駆動方法では、あるフレームで、

$SEL_1 \quad SEL_2 \quad SEL_3$

次のフレームで、

$SEL_3 \quad SEL_2 \quad SEL_1$

という具合に、セクタ回路65, 66, …の選択順(分配順序)を1フレーム単位(1フレーム周期)を基準として変化、例えば、反転する構成を採る。

【0203】

このように、セクタ回路65, 66, …の選択順を1フレーム単位で反転することで、セクタ回路65, 66, …選択順に起因する輝度差は2フレーム単位で平均化される。従って、実際に視認されるセクタ回路65, 66, …選択順に起因する輝度差を軽減できる。

【0204】

このことについて、図34を用いて説明する。ここでは、選択順が速い方が高輝度になる場合で説明する。従来例の場合は、図34(A)に示すように、セクタ回路65, 66, …の選択順に起因して、横方向に周期的な輝度差が発生する。これに対して、実施例1の場合は、図34(B)に示すように、1フレームの画像では従来例の場合と同様に横方向に周期的な輝度差が発生するが、当該輝度差が2フレームで平均化されることにより、横方向に周期的な輝度差が軽減することがわかる。

【0205】

図34において、左側の図があるフレームを示し、真ん中の図が次のフレームを示し、右側の図がその次のフレームを示している。また、左側の図において、横方向の1, 2, 3, …の数字は、1が一番明るく、2が次に明るく、3が一番暗い表示を表わしている。そして、4, 5, 6, 7, 8, 9は、1, 2, 3の繰り返しとなる。

【0206】

上述したように、実施例1に係る駆動方法によれば、画素が単色の場合の第2のセレクト方式において、セクタ回路65, 66, …の選択順に起因する輝度差を軽減できるため高画質な表示装置を実現できる。また、セクタ駆動方式を採用することで、前にも述べた、セクタ駆動方式に伴う作用効果を得ることができる。具体的には、図1において、表示パネル70の外部のドライバICから供給される表示信号を信号出力回路50に入力する入力信号線の数を減らすことができる。これにより、信号出力回路50の入力数が減少するために、低コストな表示装置を実現できる。また、入力信号線のピッチを狭くすることができるため、高精細な表示装置を実現できる。

【0207】

尚、セクタ回路65, 66, …の選択順を反転する周期が遅い場合、各周期間の輝度差が視認される可能性があり、フリッカ、即ち、画面のちらつきとして認識される可能性がある。従って、極力短い周期、例えば、1フレーム周期で反転することが好ましい。但し、1フレーム周期は好ましい例であって、これに限られるものではなく、2フレーム単位以上で選択順を反転する場合でも、選択順を反転しない場合に比べて、輝度差低減の効果を得ることができる。但し、選択順の反転周期が長いと、駆動システムを簡便にできるメリットがある。

10

20

30

40

50



## 【0208】

本実施例1では、セクタ回路65, 66, ...の選択数、即ち、時分割数 $x$ を3とした場合を例に挙げて説明したが、 $x=3$ に限られるものではなく、 $x=2$ 、もしくは、4以上であっても、 $x=3$ の場合と同様の作用効果を得ることができる。以下に説明する各実施例においても同様とする。

## 【0209】

## [4-2. 実施例2]

図35は、第2のセレクト方式を採用した、画素がRGBの副画素からなる場合の実施例2に係る駆動タイミングを示すタイミングチャートである。表示パネルの構成については、図28と同じとする。

10

## 【0210】

画素がRGBの副画素からなる場合の第2のセレクト方式では、選択信号 $SEL_1$ ,  $SEL_2$ ,  $SEL_3$ がそれぞれ、Rの副画素、Gの副画素、Bの副画素の選択になる。そこで、実施例2に係る駆動方法では、実施例1の場合と同様に、セクタ回路65, 66, ...の選択順をフレーム毎に反転させる構成を採る。これにより、RGBの輝度バランスのずれを軽減することが可能になる。

## 【0211】

上述したように、実施例2に係る駆動方法によれば、画素がRGBの副画素からなる場合の第2のセレクト方式において、RGBの輝度バランスのずれを軽減できるため、正確な色再現が可能な表示装置を実現できる。また、セクタ駆動方式を採用することで、実施例1の場合と同様の作用効果を得ることができる。

20

## 【0212】

## [4-3. 実施例3]

図36は、第1のセレクト方式を採用した、画素がRGBの副画素からなる場合の実施例2に係る駆動タイミングを示すタイミングチャートである。表示パネルの構成については、図30と同じとする。

## 【0213】

第1のセレクト方式では、RGBの副画素それぞれに対して、選択信号 $SEL_1$ ,  $SEL_2$ ,  $SEL_3$ が順番に選択される。そこで、実施例3に係る駆動方法では、選択信号 $SEL_1$ ,  $SEL_2$ ,  $SEL_3$ の選択順を、実施例1の場合と同様に、フレーム毎に反転させる構成を採る。これにより、選択信号 $SEL_1$ ,  $SEL_2$ ,  $SEL_3$ の選択順に起因する周期的な輝度差を軽減することが可能になる。

30

## 【0214】

上述したように、実施例3に係る駆動方法によれば、画素がRGBの副画素からなる場合の第1のセレクト方式において、選択信号 $SEL_1$ ,  $SEL_2$ ,  $SEL_3$ の選択順に起因する輝度差を軽減できるため高画質な表示装置を実現できる。また、セクタ駆動方式を採用することで、実施例1の場合と同様の作用効果を得ることができる。

## 【0215】

先述した、画素がRGBの副画素からなる場合の第2のセレクト方式の従来例では、RGBの輝度バランスの差であるために、輝度差が視認されにくい場合も存在する。これに対して、画素がRGBの副画素からなる場合の第1のセレクト方式の従来例では、RGBの副画素それぞれに対して周期的な輝度差が存在し、周期的な輝度差は視認されやすくなる。従って、実施例3に係る駆動方法を実施することにより、輝度差を軽減できる効果がより大きくなる。

40

## 【0216】

また、実施例2では、選択信号 $SEL_1$ ,  $SEL_2$ ,  $SEL_3$ がそれぞれRGBの選択になるため、輝度差が視認されにくいということが言える。例えば、3の倍数以外であれば、例えば、4つの選択信号 $SEL_1$ ,  $SEL_2$ ,  $SEL_3$ ,  $SEL_4$ による4時分割であれば、従来例では、選択信号 $SEL_1$ ,  $SEL_2$ ,  $SEL_3$ ,  $SEL_4$ に相当するRGBの色が周期的に変化するため、RGBそれぞれに周期的な輝度差が発生する。従って、実施例3に

50

係る駆動方法を実施することにより、輝度差を軽減できる効果がより大きくなる。

【0217】

また、3の倍数であっても、6, 9など、3以外であれば、例えば、6つの選択信号SEL<sub>1</sub>, SEL<sub>2</sub>, SEL<sub>3</sub>, SEL<sub>4</sub>, SEL<sub>5</sub>, SEL<sub>6</sub>による6時分割であれば、選択信号SEL<sub>1</sub>, SEL<sub>2</sub>, SEL<sub>3</sub>, SEL<sub>4</sub>, SEL<sub>5</sub>, SEL<sub>6</sub>のそれぞれは、常に、RGBの1色に割り振られる。しかし、RGBのそれぞれが2回周期で周期性のある輝度差を持つため、輝度差が視認されやすくなってしまふ。従って、実施例3に係る駆動方法を実施することにより、輝度差を軽減できる効果がより大きくなる。

【0218】

[4-4. 実施例4]

図37は、第1のセレクト方式を採用した、画素が単色の場合の実施例4に係る駆動タイミングを示すタイミングチャートである。表示パネルの構成については、画素が単色とRGBの副画素との違いはあるものの、基本的には、図30と同じであるとする。

【0219】

図33と図37の各タイミングチャートの比較から明らかなように、実施例4は、画素が同じ単色の実施例1の場合と比べて、選択信号SEL<sub>1</sub>~SEL<sub>3</sub>及び垂直走査信号V<sub>scan1</sub>~V<sub>scan4</sub>の位相関係が異なる。このように、全ての実施例において、詳細な信号の位相関係は、必ずしも実施例と同じである必要はない。すなわち、セクタ回路の選択順によって輝度差が生じる場合は、選択信号SEL<sub>1</sub>~SEL<sub>3</sub>及び垂直走査信号V<sub>scan1</sub>~V<sub>scan4</sub>の位相関係が異なっているとしても、本実施形態を適用することが可能である。

【0220】

これまで説明した実施例では、表示装置の走査線数が4本の場合を例に挙げて説明しており、また、タイミング上のライン数も4本としている。しかし、通常の実施例では、その走査線数よりもタイミング上のライン数の方が多い、即ち、垂直ブランキング期間を持つのが一般的である。このような場合にも、同様に考えることは可能である。

【0221】

また、実施例1では、垂直走査信号V<sub>scan1</sub>~V<sub>scan4</sub>によって画素行が選択された後、選択信号SEL<sub>1</sub>~SEL<sub>3</sub>による選択駆動により、信号線に対して時間分割的に信号の書込みが行われている。実施例4では、その逆の動作となる。すなわち、選択信号SEL<sub>1</sub>~SEL<sub>3</sub>による選択駆動により、信号線に対して時間分割的に信号の書込みが行われた後、垂直走査信号V<sub>scan1</sub>~V<sub>scan4</sub>によって画素行が選択され、その画素行の各画素に対して信号の書込みが行われる。

【0222】

このように、信号線に対して時間分割的に信号の書込みが行われた後、選択された画素行の各画素に対して信号の書込みが行われる駆動方式の場合、セクタ回路での信号の書込みまでの時間差が生じるため、特に輝度差が発生しやすい。従って、当該駆動方式に対して、実施例1乃至実施例3に係る駆動方法を実施することにより、輝度差を軽減できる効果がより大きくなる。

【0223】

[4-5. 実施例5]

図38は、第1のセレクト方式を採用した、画素が単色の場合の実施例5に係る駆動タイミングを示すタイミングチャートである。表示パネルの構成については、画素が単色とRGBの副画素との違いはあるものの、基本的には、図30と同じであるとする。

【0224】

図33と図38の各タイミングチャートの比較から明らかなように、実施例4は、画素が同じ単色の実施例1の場合と比べて、選択信号SEL<sub>1</sub>~SEL<sub>3</sub>をアクティブ状態にする仕方、即ち、セレクト回路による信号の選択の仕方が異なる。具体的には、実施例1の場合は、選択信号SEL<sub>1</sub>, SEL<sub>2</sub>, SEL<sub>3</sub>をその順番にアクティブ状態にしている。これに対して、実施例5の場合は、選択信号SEL<sub>1</sub>をアクティブ状態にするとき、選択信号SEL<sub>2</sub>, SEL<sub>3</sub>についても同時にアクティブ状態にし、以降、選択信号SEL<sub>1</sub>,

10

20

30

40

50

SEL<sub>2</sub>, SEL<sub>3</sub>をその順番に非アクティブ状態にしている。

【0225】

すなわち、選択信号SEL<sub>1</sub>がアクティブ状態のときは、選択信号SEL<sub>2</sub>, SEL<sub>3</sub>もアクティブ状態、選択信号SEL<sub>2</sub>がアクティブ状態のときは、選択信号SEL<sub>1</sub>が非アクティブ状態で選択信号SEL<sub>3</sub>がアクティブ状態、選択信号SEL<sub>3</sub>がアクティブ状態のときは、選択信号SEL<sub>1</sub>, SEL<sub>2</sub>が非アクティブ状態で、選択信号SEL<sub>3</sub>だけがアクティブ状態となる。この場合も、最終的には、セクタ回路に入力される信号が時系列の信号であるため、選択信号SEL<sub>1</sub>, SEL<sub>2</sub>, SEL<sub>3</sub>により、それらに対応する信号が書き込まれることになる。

【0226】

このように、セレクト回路による信号の選択の仕方については、いくつかのケースがあるが、セクタ回路の選択順によって輝度差が生じる場合は、実施例1乃至実施例3に係る駆動方法を適用することが可能である。

【0227】

[4-6. 実施例6]

図39は、第1のセレクト方式を採用した、画素が単色の場合の実施例6に係る駆動タイミングを示すタイミングチャートである。表示パネルの構成については、画素が単色とRGBの副画素との違いはあるものの、基本的には、図30と同じであるとする。

【0228】

実施例1乃至実施例5では、セレクト回路の選択順をフレーム毎に反転する、つまり、あるフレームで、

SEL<sub>1</sub> SEL<sub>2</sub> SEL<sub>3</sub>

次のフレームで、

SEL<sub>3</sub> SEL<sub>2</sub> SEL<sub>1</sub>

という具合に、セクタ回路61, 62, …の選択順を1フレーム単位(1フレーム周期)で反転するようにしている。

【0229】

これに対して、実施例6では、あるフレームで、

SEL<sub>1</sub> SEL<sub>2</sub> SEL<sub>3</sub>

次のフレームで、

SEL<sub>2</sub> SEL<sub>3</sub> SEL<sub>1</sub>

次のフレームで、

SEL<sub>3</sub> SEL<sub>2</sub> SEL<sub>1</sub>

という具合に、セクタ回路61, 62, …の選択順を、フレーム毎にシフトしてローテーションさせる構成を採る。

【0230】

実施例1乃至実施例5に係る駆動方法の場合は、選択順をフレーム毎に反転しているため、輝度差が2フレームで平均化される。これに対して、実施例6に係る駆動方法の場合は、選択順をフレーム毎にシフトしてローテーションさせているため、輝度差が複数フレーム、本例では3フレームで平均化されることになる。

【0231】

このように、実施例6に係る駆動方法によれば、平均化のためのフレーム周期が長くなる、即ち、フレーム周波数が高くなるものの、全てのラインに対して選択信号SEL<sub>1</sub>, SEL<sub>2</sub>, SEL<sub>3</sub>が発生するため、輝度差を確実に平均化できるメリットがある。

【0232】

[4-7. 実施例7]

図40は、第1のセレクト方式を採用した、画素が単色の場合の実施例7に係る駆動タイミングを示すタイミングチャートである。表示パネルの構成については、画素が単色とRGBの副画素との違いはあるものの、基本的には、図30と同じであるとする。

## 【 0 2 3 3 】

実施例 1 乃至実施例 5 では、セレクト回路の選択順をフレーム毎に反転するようにし、また、実施例 6 では、セレクト回路の選択順をフレーム毎にシフトしてローテーションするようにしている。これに対して、実施例 7 では、セレクト回路 6 1 , 6 2 , . . . の選択順を、ライン毎、即ち、1 水平期間毎に反転する構成を採る。

## 【 0 2 3 4 】

実施例 7 の駆動方法によれば、セレクト回路の選択順をライン毎に反転することで、図 3 4 ( C ) に示すように、横 1 ラインで明るい、暗い、の順番が入れ替わるために、空間的な輝度差の周期性を拡散させることができる。そして、空間的な輝度差の周期性を拡散させることによって、輝度差を視認させにくくすることができる。これにより、セレクト回路の選択順に起因する輝度差を軽減できるため高画質な表示装置を実現できる。また、セレクト駆動方式を採用することで、実施例 1 の場合と同様の作用効果を得ることができる。

10

## 【 0 2 3 5 】

実施例 7 の場合にも、セレクト回路の選択順をフレーム毎に反転する場合と同様に、時分割数  $x$  が 2、もしくは、4 以上であっても、同様の効果を得ることができる。また、セレクト回路の選択順の反転については、1 ライン周期が好ましいが、複数ライン周期であっても、セレクト回路の選択順に起因する輝度差の軽減効果を得ることは可能である。

## 【 0 2 3 6 】

有機 EL 表示装置では、交流反転駆動の液晶表示装置と違い、入力信号（表示データ）に対して表示輝度が常に単一方向であることから、セレクト回路の選択順に起因する輝度差を軽減する効果が特に得られやすい。また、垂直走査信号  $V_{scan1} \sim V_{scan4}$  や選択信号  $SEL_1 \sim SEL_3$  の位相については、実施例 1 , 4 , 5 などのように、複数の選択方法がある。更に、実施例 2 , 3 のように、RGB 表示の場合、複数の選択方法がある。

20

## 【 0 2 3 7 】

## [ 4 - 8 . 実施例 8 ]

図 4 1 は、第 1 のセレクト方式を採用した、画素が単色の場合の実施例 8 に係る駆動タイミングを示すタイミングチャートである。表示パネルの構成については、画素が単色と RGB の副画素との違いはあるものの、基本的には、図 3 0 と同じであるとする。

## 【 0 2 3 8 】

実施例 8 では、実施例 4 に係る駆動方法と実施例 7 に係る駆動方法を組み合わせて、セレクト回路の選択順をフレーム毎に反転し、かつ、反転ライン毎にする構成を採る。この実施例 8 に係る駆動方法によれば、図 3 4 ( A ) に示すように、フレーム毎の反転により時間平均的な輝度差の軽減効果と、ライン毎の反転により空間平均的な輝度差の軽減効果を同時に得ることができる。これにより、高画質な表示装置を実現できる。また、セレクト駆動方式を採用することで、実施例 1 の場合と同様の作用効果を得ることができる。

30

## 【 0 2 3 9 】

## [ 4 - 9 . 実施例 9 ]

図 4 3 は、第 1 のセレクト方式を採用した、画素が単色の場合の実施例 9 に係る駆動タイミングを示すタイミングチャートである。表示パネルの構成については、画素が単色と RGB の副画素との違いはあるものの、基本的には、図 3 0 と同じであるとする。

40

## 【 0 2 4 0 】

実施例 9 では、実施例 7 に係る駆動方法、即ち、セレクト回路の選択順をライン毎に反転する駆動方法を前提とした上で、例えば、実施例 6 に係る駆動方法、即ち、セレクト回路の選択順をシフトしてローテーションさせる構成を採る。図 4 3 に示す例は、セレクト回路の選択順を、フレーム毎、ライン毎にシフトしてローテーションさせる例である。

## 【 0 2 4 1 】

## [ 4 - 1 0 . 実施例 1 0 ]

図 4 4 は、第 2 のセレクト方式を採用した、画素が単色の場合の表示パネルの他の構成を示すブロック図である。図 4 5 に、第 2 のセレクト方式を採用した、画素が単色の場合

50

の実施例 10 に係る駆動タイミングを示す。

【0242】

実施例 1 乃至実施例 9 では、セレクト回路の選択順を、一定フレーム周期、あるいは、一定ライン周期で変化させる構成を採っている。これに対して、実施例 10 では、セレクト回路の動作期間を単位とし、セレクト回路数に対応する動作期間周期でセレクト回路の選択順を変化させる構成を採る。一例として、隣接するセレクト回路 65, 66 間で、当該セレクト回路 65, 66 の選択順を変化させている。具体的には、例えば、セレクト回路 65 では、1 番目の画素 (x, 1) 2 番目の画素 (x, 2) 3 番目の画素 (x, 3) の順で選択する。セレクト回路 66 ではその逆、即ち、3 番目の画素 (x, 6) 2 番目の画素 (x, 5) 1 番目の画素 (x, 4) の順で選択する。

10

【0243】

回路的には、図 44 に示すように、隣接するセレクト回路 65, 66 間で、当該セレクト回路 65, 66 に対する、選択信号  $SEL_1$ ,  $SEL_2$ ,  $SEL_3$  の接続順を変化させることで、セレクト回路 65, 66 の選択順を変化させている。この実施例 10 に係る駆動方法は、セレクト回路の選択順をフレーム毎やライン毎に変化させる駆動方法に対して、セレクト回路の選択順を画素 (副画素) 毎、即ち、ドット毎に変化させる駆動方法となる。

【0244】

この実施例 10 に係る駆動方法によれば、図 42 (B) に示すように、隣接するセレクト回路 65, 66 の方向での、これらセレクト回路 65, 66 の選択順に起因する輝度差を軽減することができるため高画質な表示装置を実現できる。また、セレクト駆動方式を採用することで、実施例 1 の場合と同様の作用効果を得ることができる。

20

【0245】

実施例 10 の場合にも、セレクト回路の選択順をフレーム毎、ライン毎に反転する場合と同様に、時分割数  $x$  が 2、もしくは、4 以上であっても、同様の効果を得ることができる。また、セレクト回路の選択順の反転については、1 セレクト周期が好ましいが、複数セレクト周期であっても、セレクト回路の選択順に起因する輝度差の軽減効果を得ることは可能である。

【0246】

有機 EL 表示装置では、交流反転駆動の液晶表示装置と違い、入力信号 (表示データ) に対して表示輝度が常に単一方向であることから、セレクト回路の選択順に起因する輝度差を軽減する効果が特に得られやすい。また、垂直走査信号  $V_{scan1} \sim V_{scan4}$  や選択信号  $SEL_1 \sim SEL_3$  の位相については、実施例 1, 4, 5 などのように、複数の選択方法がある。更に、実施例 2, 3 のように、RGB 表示の場合、複数の選択方法がある。更にまた、選択順の変化のさせ方は、反転だけでなく、シフトしてローテーションさせるなど、選択順に起因する輝度差が拡散する方法であればよい。

30

【0247】

[4-11. 実施例 11]

図 46 は、第 2 のセレクト方式を採用した、画素が単色の場合の実施例 10 に係る駆動タイミングを示すタイミングチャートである。表示パネルの構成については、図 44 と同じであるとする。

40

【0248】

実施例 11 では、実施例 10 の駆動方法、即ち、隣接するセレクト回路 65, 66 間で、当該セレクト回路 65, 66 の選択順を変化させる駆動方法に対して、フレーム反転、ライン反転を追加した構成を採る。

【0249】

この実施例 11 に係る駆動方法によれば、図 42 (C) に示すように、フレーム毎の反転による時間平均的な輝度差の軽減効果と、ライン毎の反転による縦方向の空間平均的な輝度差の軽減効果と、実施例 10 による輝度差の軽減効果とを同時に得ることができる。すなわち、時間平均的な輝度差の軽減効果、縦方向の空間平均的な輝度差の軽減効果、及

50

び、隣接セレクト回路間での選択順の変化による横方向の空間平均的な輝度差の軽減効果を得ることができる。

【 0 2 5 0 】

[ 4 - 1 2 . 実施例 1 2 ]

図 4 7 は、第 2 のセレクト方式を採用した、画素が単色の場合の表示パネルの更に他の構成を示すブロック図である。図 4 8 に、第 2 のセレクト方式を採用した、画素が単色の場合の実施例 1 2 に係る駆動タイミングを示す。

【 0 2 5 1 】

図 4 7 及び図 4 8 から明らかなように、実施例 1 2 では、複数の走査線を、複数行の画素に対して、周期的に変化させる構成を採る。ここでは、一例として、複数の走査線を 2 本の走査線とし、複数行を 2 行としている。

【 0 2 5 2 】

このように、複数の走査線を、複数行の画素に対して、周期的に変化させることによっても、実施例 1 1 の場合と同様に、ある行の画素に注目とすると、隣接するセレクト回路 6 5 , 6 6 間の選択順が実効的に変化しているようにすることが可能となる。その結果、実施例 1 1 の場合と同様の作用効果を得ることができる。

【 0 2 5 3 】

[ 4 - 1 3 . 有機 E L 表示装置に適用した場合の作用効果 ]

以上では、実施例 1 乃至実施例 1 2 について、有機 E L 表示装置に適用することを前提として説明したが、有機 E L 表示装置への適用に限られるものではなく、液晶表示装置など、セクタ駆動方式を採る表示装置全般に対して適用可能である。但し、以下に説明する理由からすると、有機 E L 表示装置に適用した場合の効果が大きいと言える。

【 0 2 5 4 】

先ず、1 水平期間中において、複数の信号線に対して、時間分割的に、表示信号を分割（分配）する以前に、当該複数の信号線へ、一括して、同一信号を入力する場合、セクタ回路での表示信号の書込みまでの時間差が生じるため、特に輝度差が発生しやすい。

【 0 2 5 5 】

最初に説明した、本発明が適用される有機 E L 表示装置では、映像信号の信号電圧  $V_{s_i g}$  を複数の信号線に書き込む前に、当該複数の信号線に対して、閾値補正のための基準電圧  $V_{o_f s}$  を一括して書き込む構成を採っている。そして、基準電圧  $V_{o_f s}$  を一括して書き込んだ後、セクタ回路で順次選択が行われるため、特に輝度差が発生しやすい。従って、有機 E L 表示装置に適用した場合に、実施例 1 乃至実施例 1 2 の効果が特に得られやすい。

【 0 2 5 6 】

また、1 水平期間中において、画素を選択しない状態で、複数の信号線へ、時間分割的に、表示信号を分割した後、画素を選択する場合、セクタ回路による信号線への表示信号の書込みから走査線を選択するまでの間に時間差が生じるため、特に輝度差が発生しやすい。

【 0 2 5 7 】

先述した有機 E L 表示装置では、基本的な動作説明から明らかなように、走査線の選択期間、即ち、図 2 の書込みトランジスタ 2 3 の導通期間によって補正時間が決定する。そして、セクタ回路によって各信号線に映像信号の信号電圧  $V_{s_i g}$  が書き込まれた後に、走査線が選択されるため、特に輝度差が発生しやすい。従って、有機 E L 表示装置に適用した場合に、実施例 1 乃至実施例 1 2 の効果が特に得られやすい。

【 0 2 5 8 】

しかも、有機 E L 表示装置では、交流反転駆動の液晶表示装置と違い、入力信号（表示データ）に対して表示輝度が常に単一方向の関係にあることから、セレクト回路の選択順に起因する輝度差を軽減する効果が特に得られやすい。

【 0 2 5 9 】

< 5 . 変形例 >

10

20

30

40

50

上記実施形態では、有機EL素子21の駆動回路が、基本的に、駆動トランジスタ22および書込みトランジスタ23の2つのトランジスタからなる画素構成の場合を例に挙げて説明したが、本発明はこの画素構成のものに限られるものではない。

【0260】

また、上記実施形態では、画素20の電気光学素子として、有機EL素子を用いた有機EL表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではない。具体的には、本発明は、無機EL素子、LED素子、半導体レーザー素子など、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子（発光素子）を用いた表示装置全般に対して適用可能である。

【0261】

<6.適用例>

以上説明した本発明による表示装置は、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。一例として、図49～図53に示す様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラなどの表示装置に適用することが可能である。

【0262】

このように、あらゆる分野の電子機器の表示装置として本発明による表示装置を用いることにより、各種の電子機器における表示画像の画質を改善できる。すなわち、先述した各実施形態の説明から明らかなように、本発明による表示装置は、ミラー型レイアウト構造とセレクト駆動方式とを併用する場合、正確な表示信号を信号線に書き込むことができるため高画質化を実現できる。従って、各種の電子機器において、表示画像の画質をより向上できる。

【0263】

本発明による表示装置は、封止された構成のモジュール形状のものをも含む。例えば、画素アレイ部30に透明なガラス等の対向部が貼り付けられて形成された表示モジュールが該当する。この透明な対向部には、カラーフィルタ、保護膜等、更には、上記した遮光膜が設けられてもよい。尚、表示モジュールには、外部から画素アレイ部への信号等を入力するための回路部やFPC（フレキシブルプリントサーキット）等が設けられていてもよい。

【0264】

以下に、本発明が適用される電子機器の具体例について説明する。

【0265】

図49は、本発明が適用されるテレビジョンセットの外観を示す斜視図である。本適用例に係るテレビジョンセットは、フロントパネル102やフィルターガラス103等から構成される映像表示画面部101を含み、その映像表示画面部101として本発明による表示装置を用いることにより作製される。

【0266】

図50は、本発明が適用されるデジタルカメラの外観を示す斜視図であり、(A)は表側から見た斜視図、(B)は裏側から見た斜視図である。本適用例に係るデジタルカメラは、フラッシュ用の発光部111、表示部112、メニュースイッチ113、シャッターボタン114等を含み、その表示部112として本発明による表示装置を用いることにより作製される。

【0267】

図51は、本発明が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。本適用例に係るノート型パーソナルコンピュータは、本体121に、文字等を入力するとき操作されるキーボード122、画像を表示する表示部123等を含み、その表示部123として本発明による表示装置を用いることにより作製される。

【0268】

図52は、本発明が適用されるビデオカメラの外観を示す斜視図である。本適用例に係

10

20

30

40

50

るビデオカメラは、本体部 1 3 1、前方を向いた側面に被写体撮影用のレンズ 1 3 2、撮影時のスタート/ストップスイッチ 1 3 3、表示部 1 3 4 等を含み、その表示部 1 3 4 として本発明による表示装置を用いることにより作製される。

【 0 2 6 9 】

図 5 3 は、本発明が適用される携帯端末装置、例えば携帯電話機を示す外観図であり、( A ) は開いた状態での正面図、( B ) はその側面図、( C ) は閉じた状態での正面図、( D ) は左側面図、( E ) は右側面図、( F ) は上面図、( G ) は下面図である。本適用例に係る携帯電話機は、上側筐体 1 4 1、下側筐体 1 4 2、連結部(ここではヒンジ部) 1 4 3、ディスプレイ 1 4 4、サブディスプレイ 1 4 5、ピクチャーライト 1 4 6、カメラ 1 4 7 等を含んでいる。そして、ディスプレイ 1 4 4 やサブディスプレイ 1 4 5 として本発明による表示装置を用いることにより本適用例に係る携帯電話機が作製される。

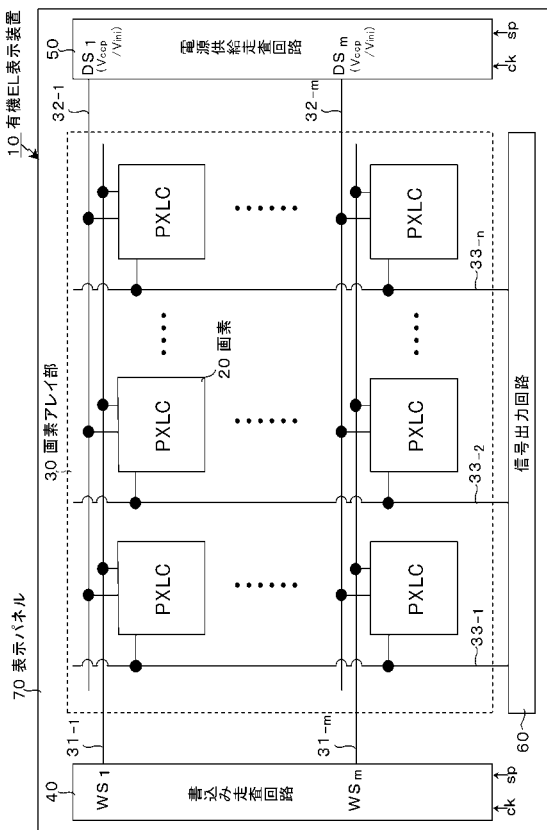
10

【 符号の説明 】

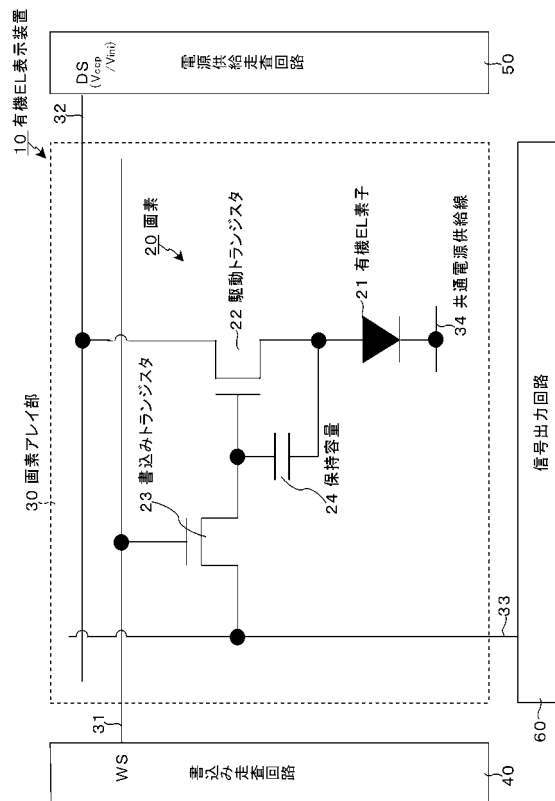
【 0 2 7 0 】

1 0 ... 有機 E L 表示装置、 2 0 ... 画素 ( 画素回路 ) 、 2 1 ... 有機 E L 素子、 2 2 ... 駆動トランジスタ、 2 3 ... 書込みトランジスタ、 2 4 ... 保持容量、 3 0 ... 画素アレイ部、 4 0 ... 書込み走査回路、 5 0 ... 電源供給走査回路、 6 0 ... 信号出力回路、 6 1 ~ 6 7 ... セレクタ回路、 7 0 ... 表示パネル

【 図 1 】

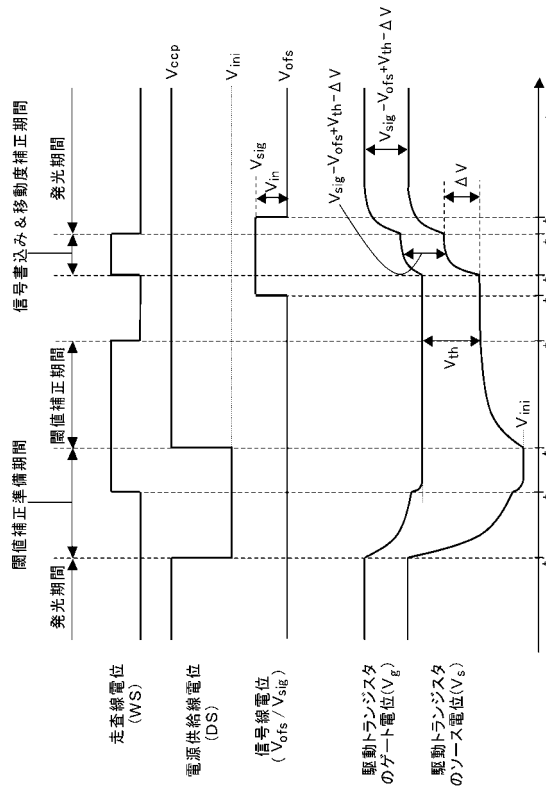


【 図 2 】

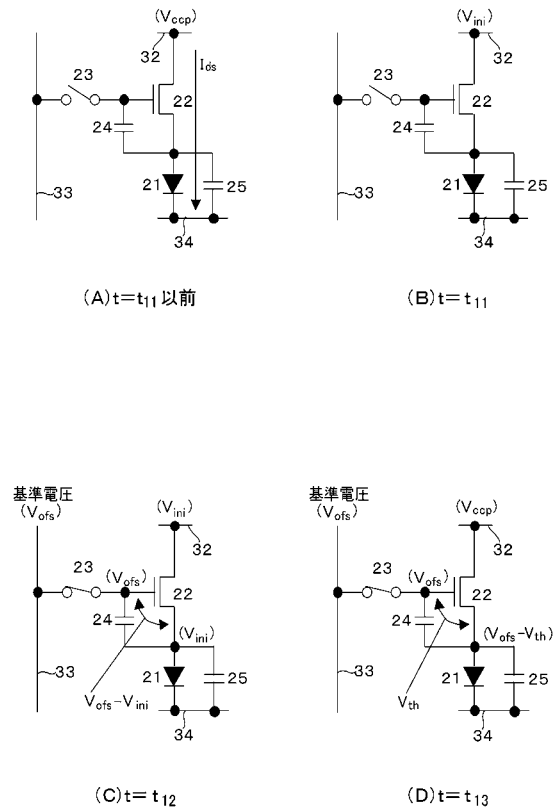




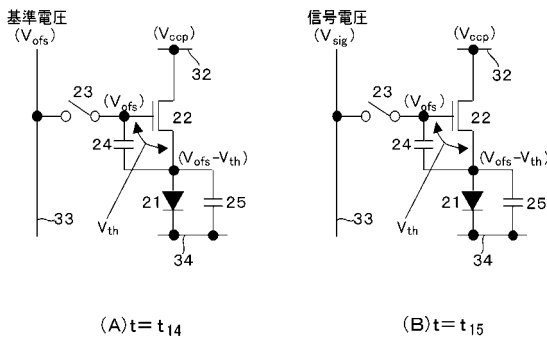
【 図 3 】



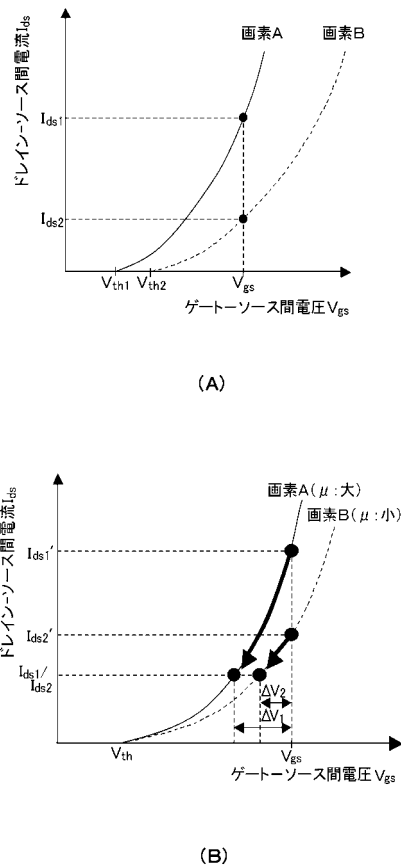
【 図 4 】



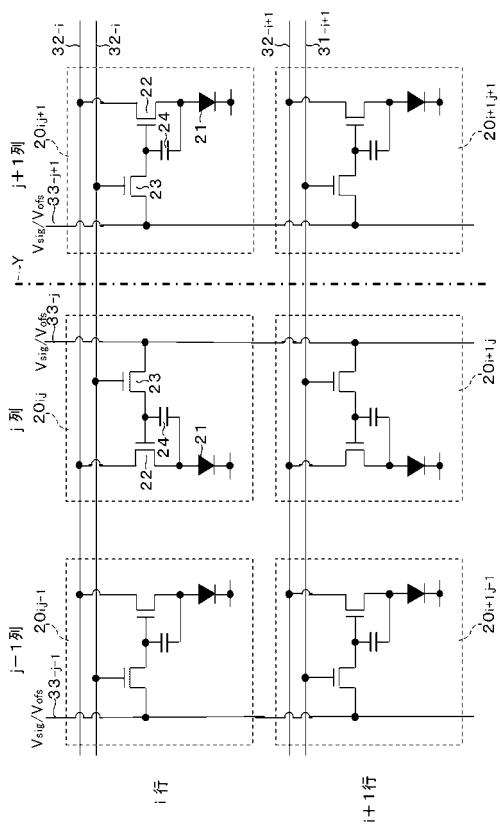
【 図 5 】



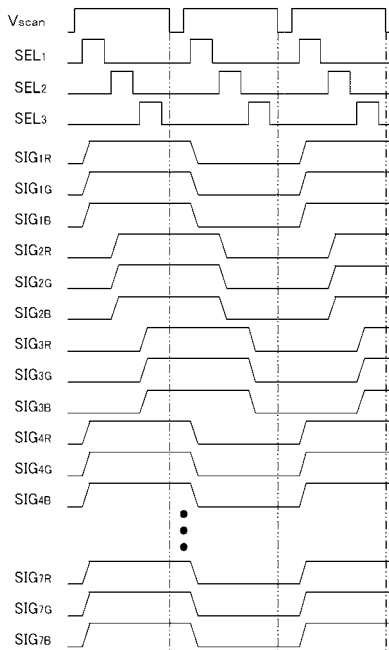
【 図 6 】



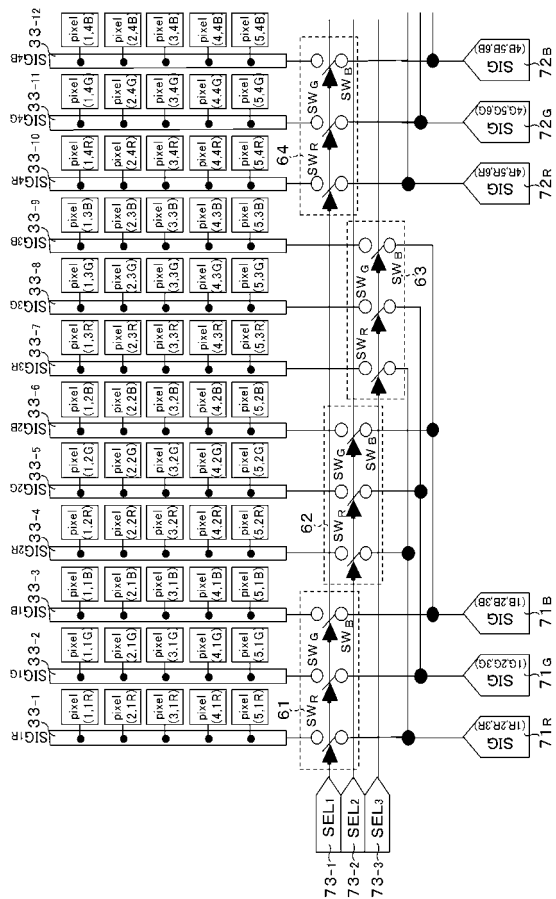
【 図 7 】



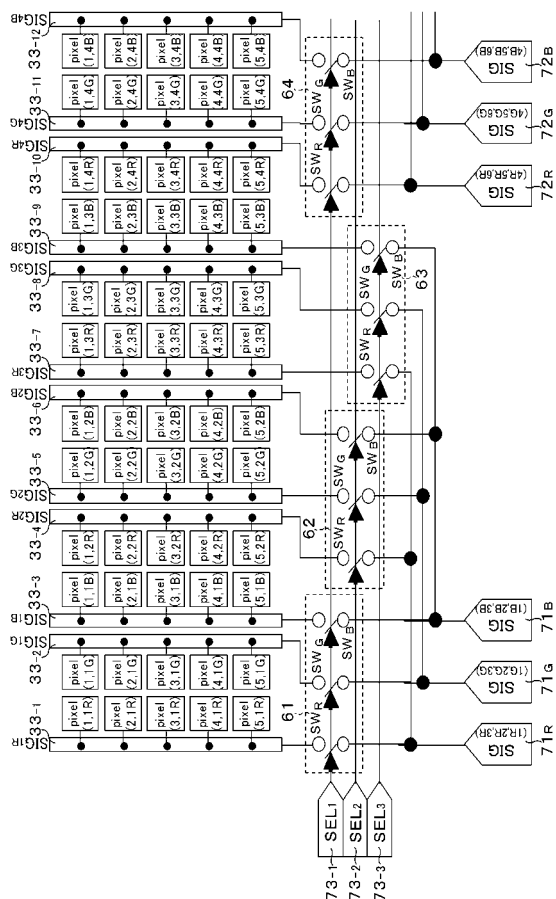
【 図 9 】



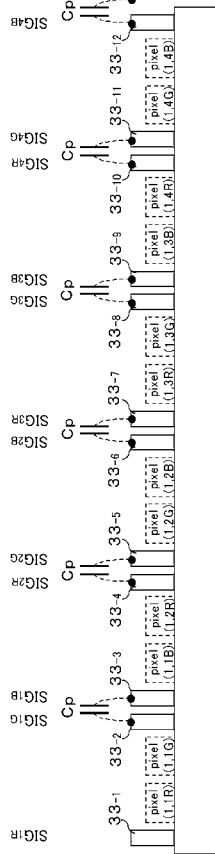
【 図 8 】



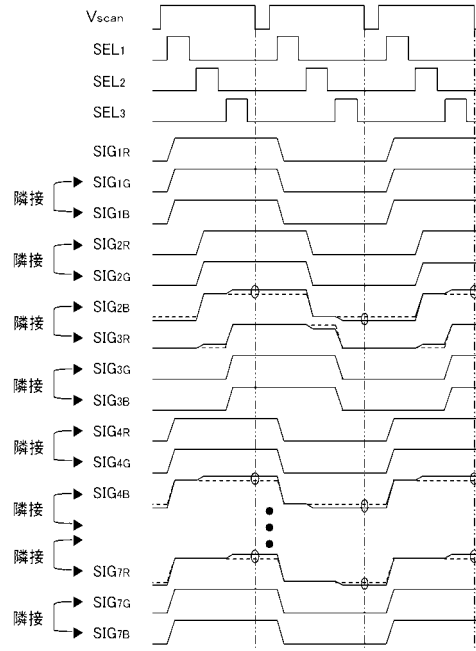
【 図 10 】



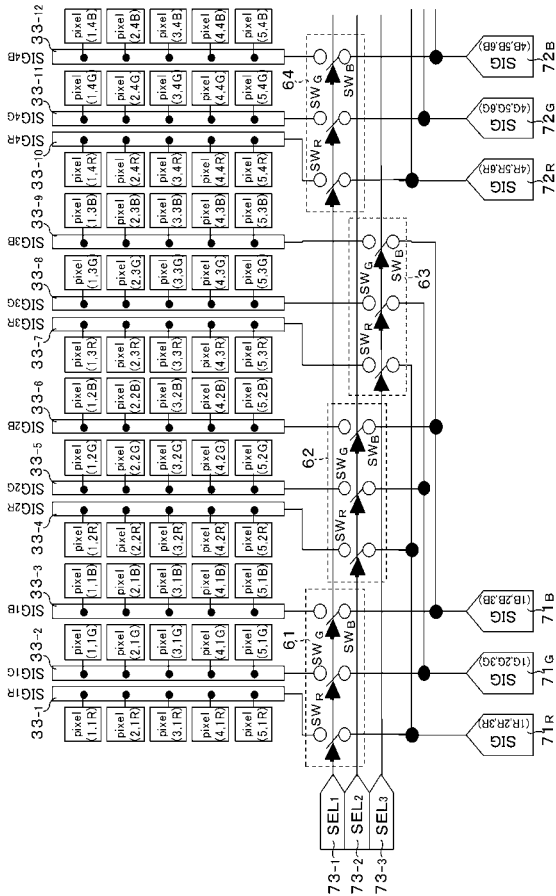
【 図 1 1 】



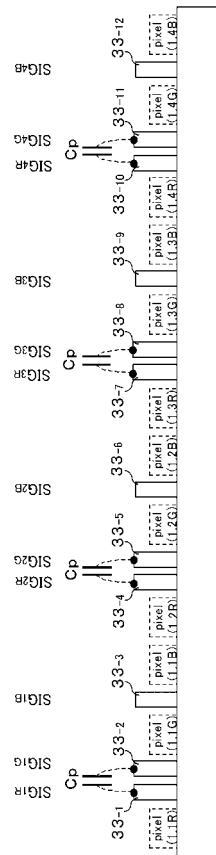
【 図 1 2 】



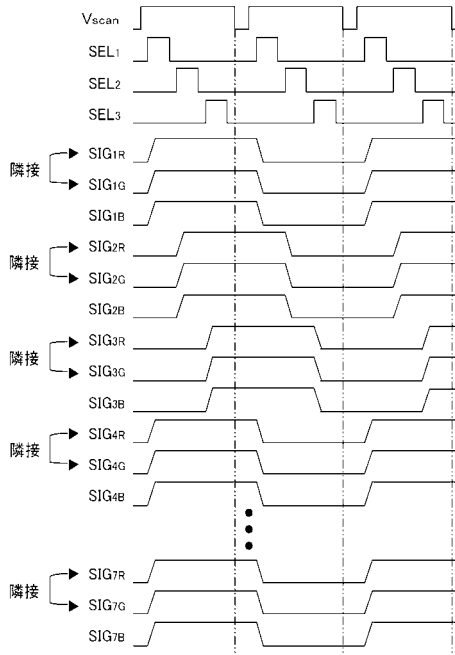
【 図 1 3 】



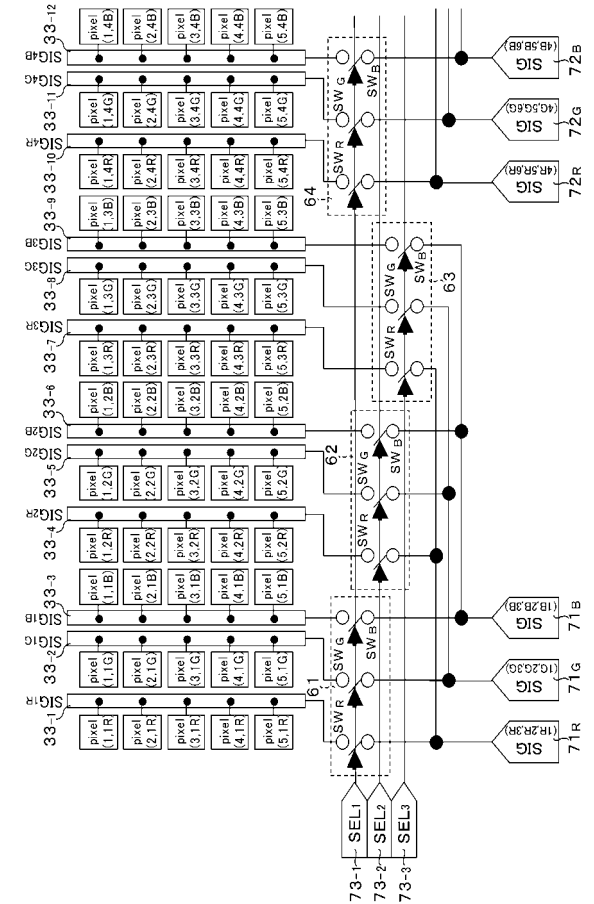
【 図 1 4 】



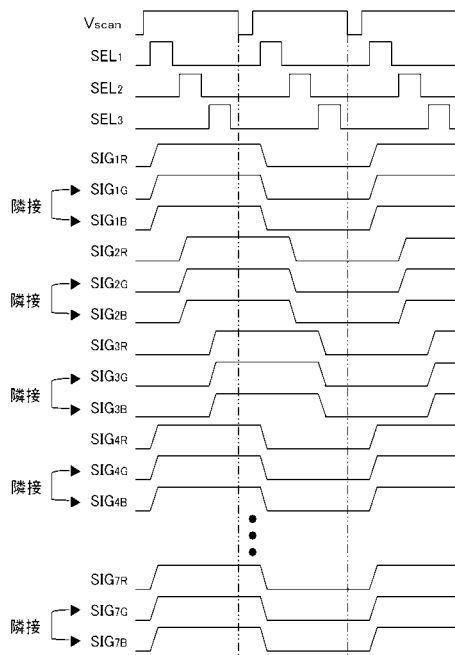
【図 15】



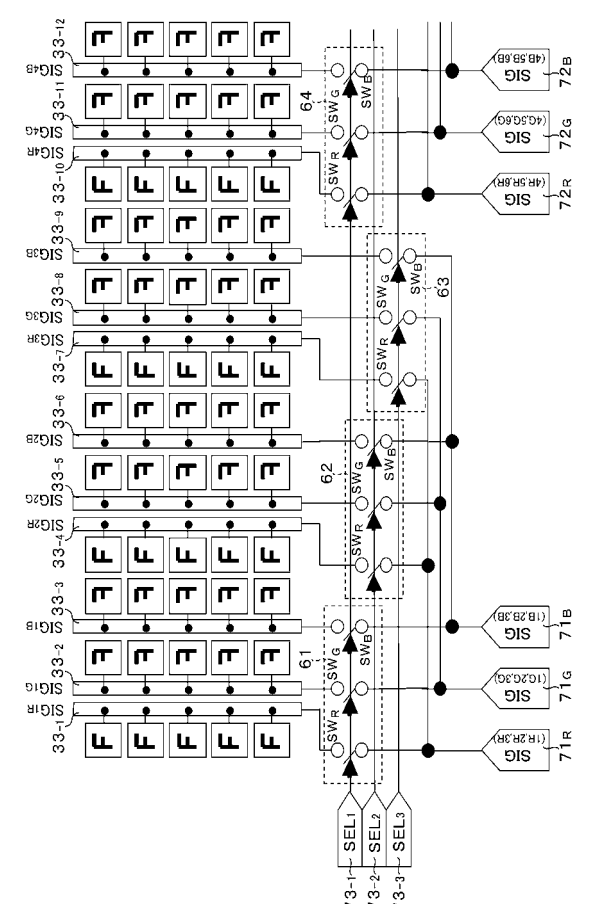
【図 16】



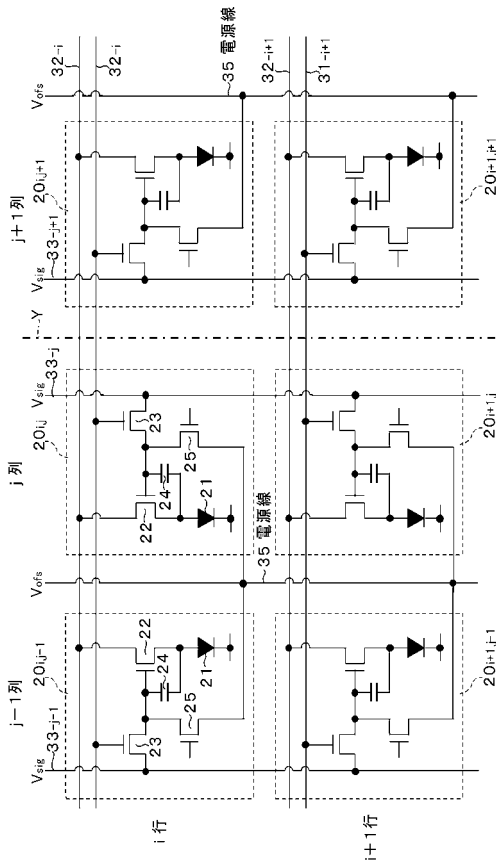
【図 17】



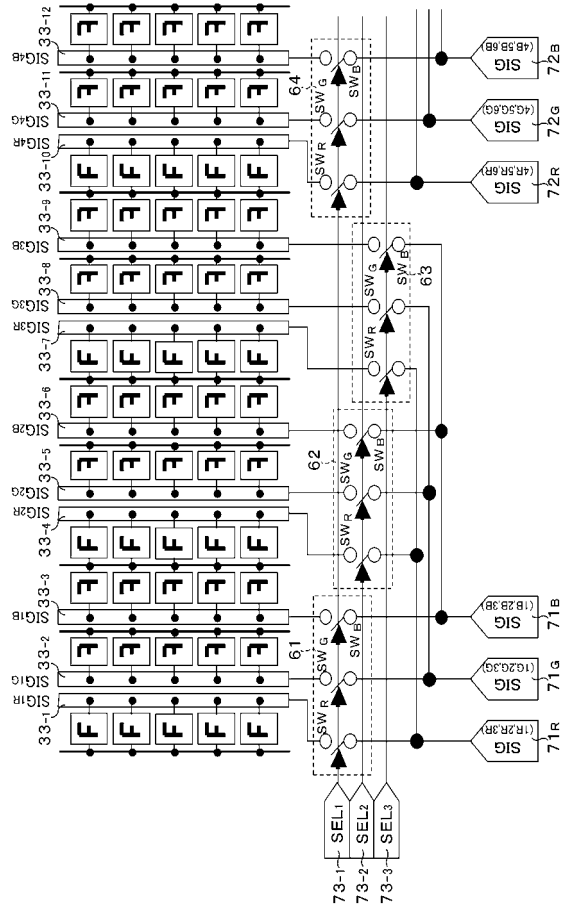
【図 18】



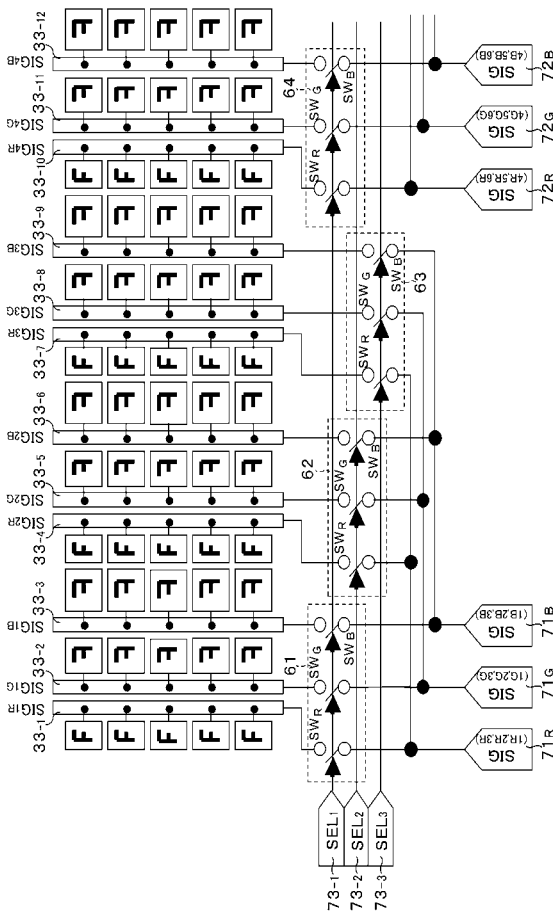
【 図 19 】



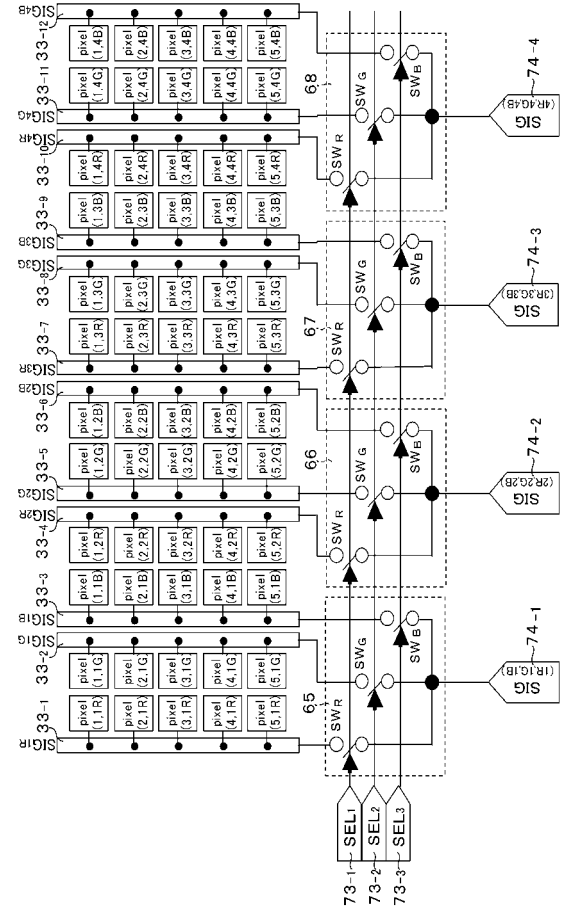
【 図 20 】



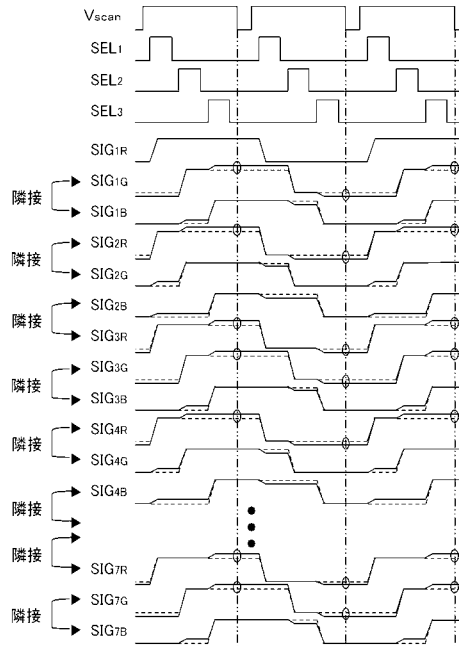
【 図 21 】



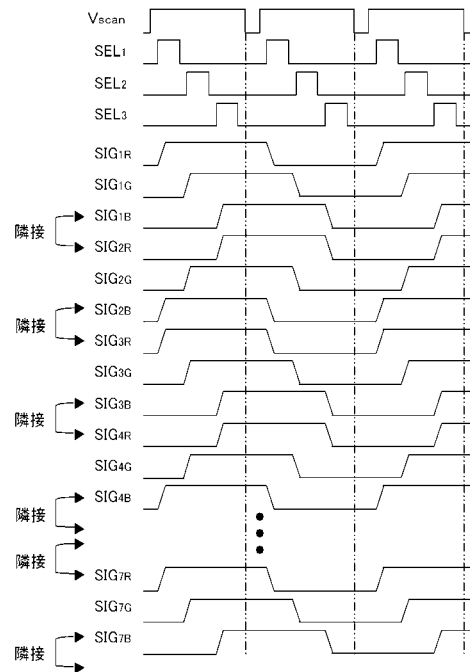
【 図 22 】



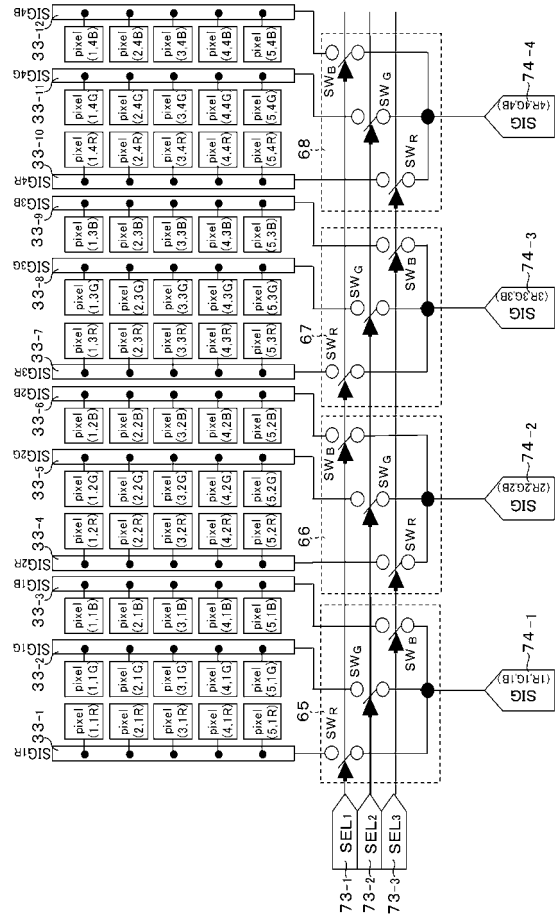
【図 2 3】



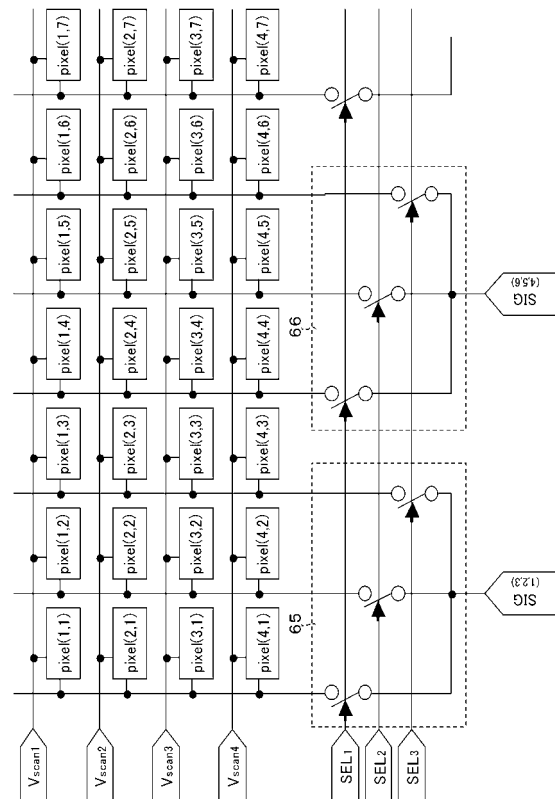
【図 2 5】



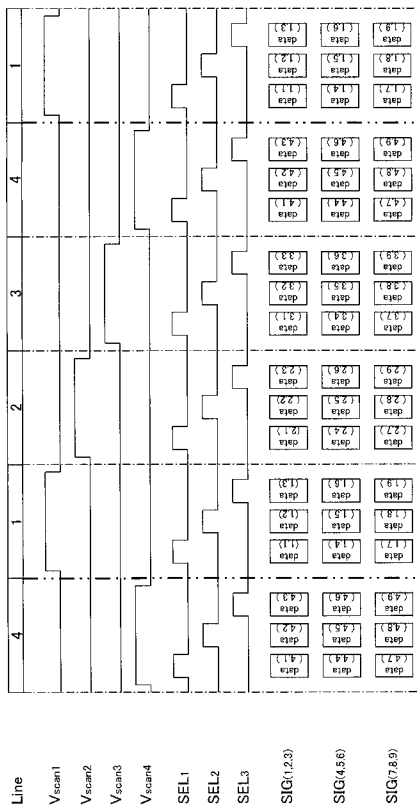
【図 2 4】



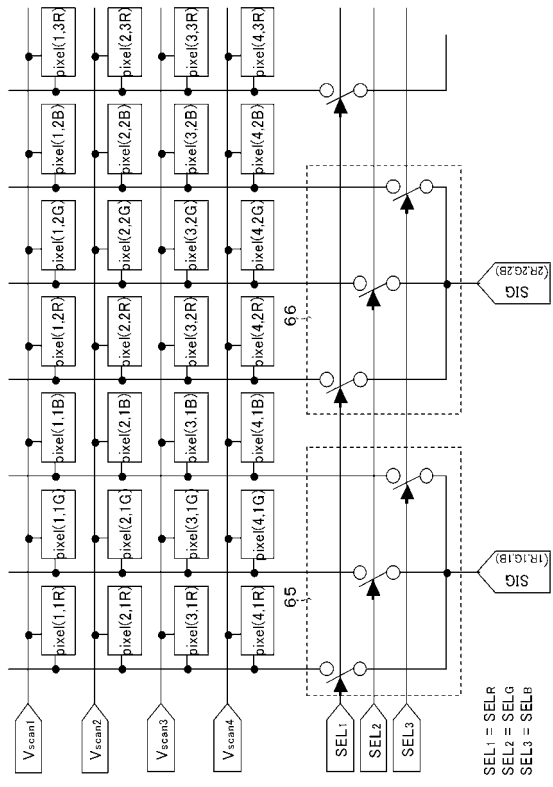
【図 2 6】



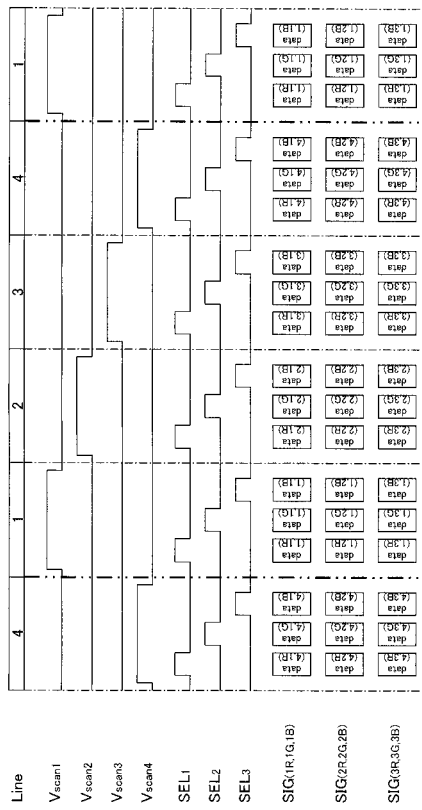
【 27 】



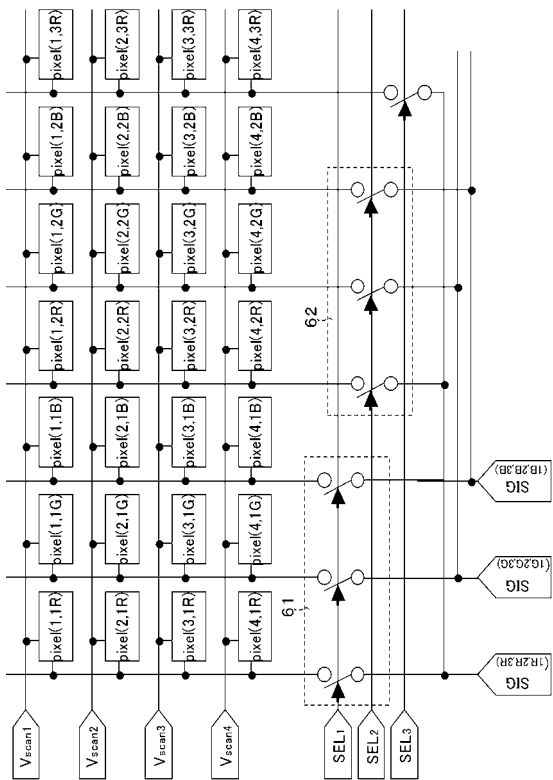
【 28 】



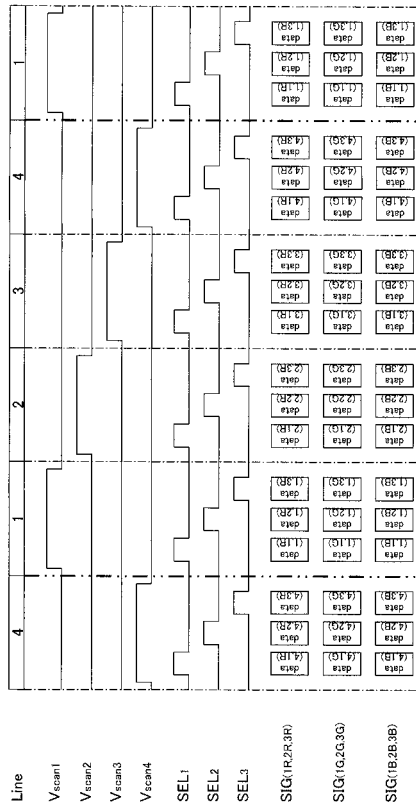
【 29 】



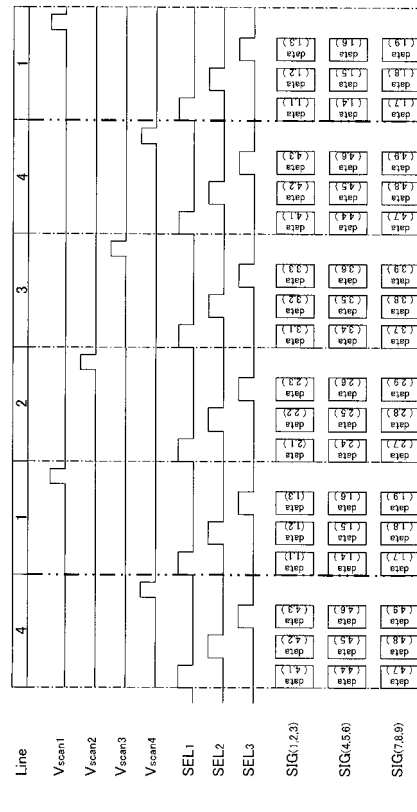
【 30 】



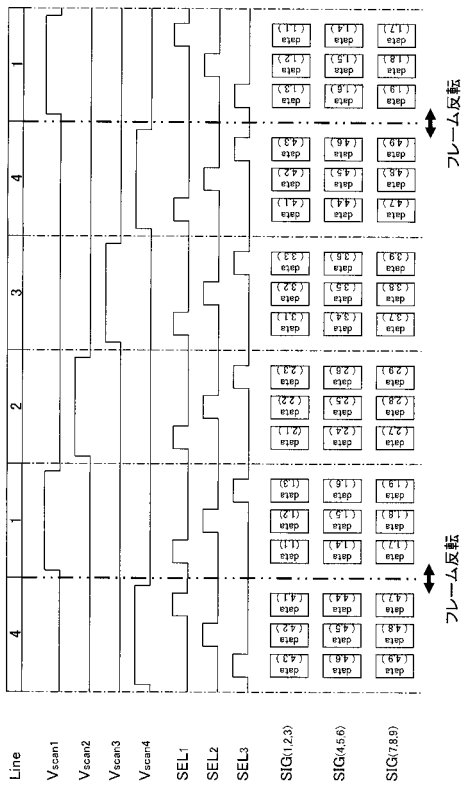
【図 3 1】



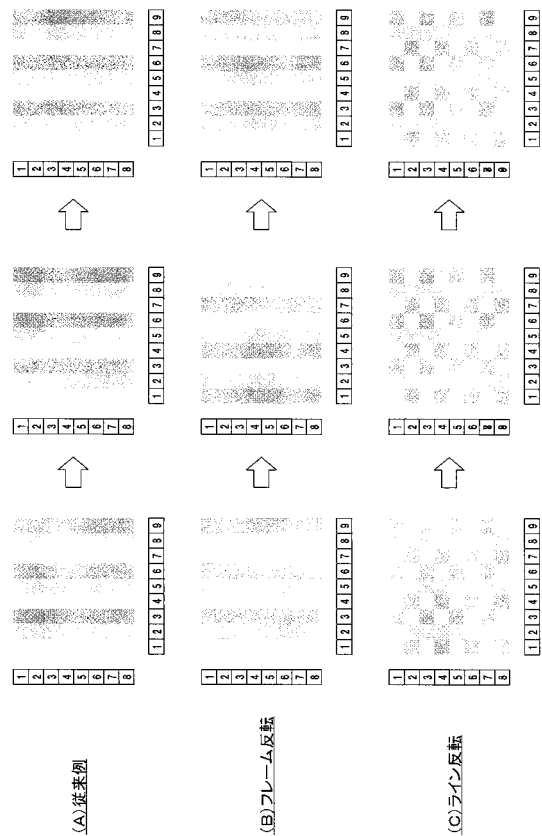
【図 3 2】



【図 3 3】

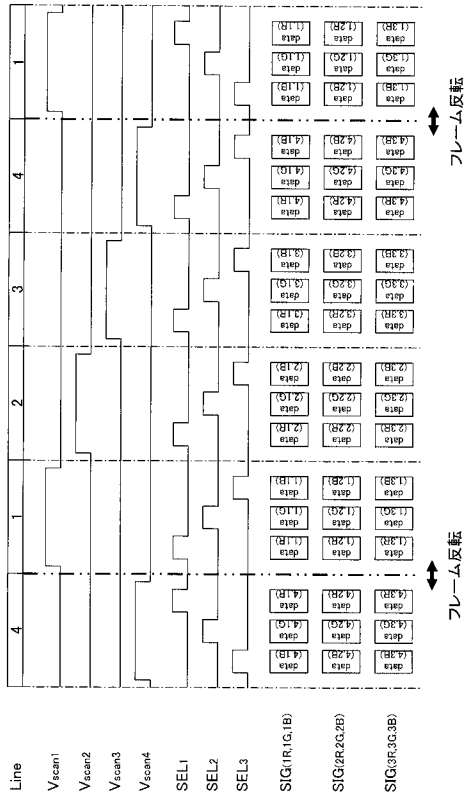


【図 3 4】

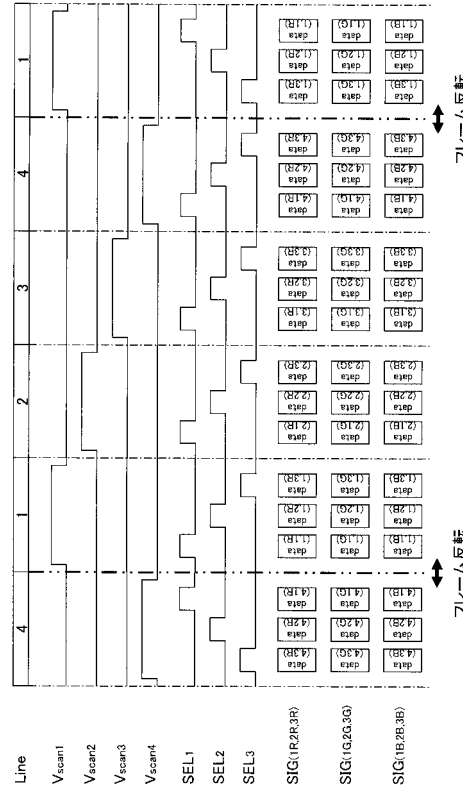




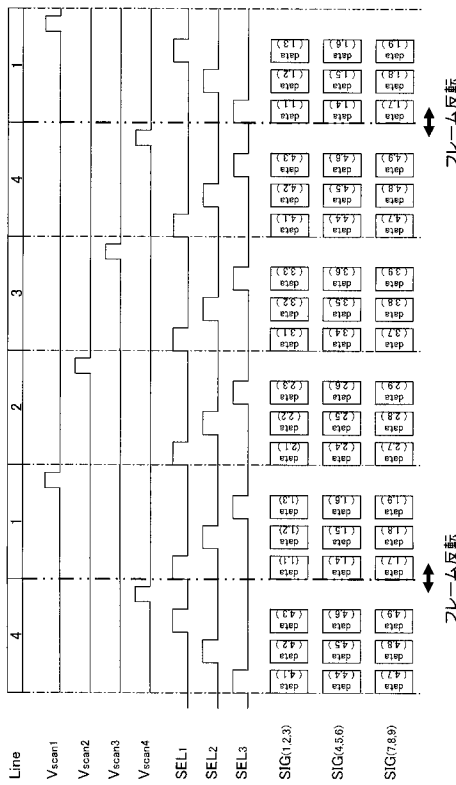
【図 3 5】



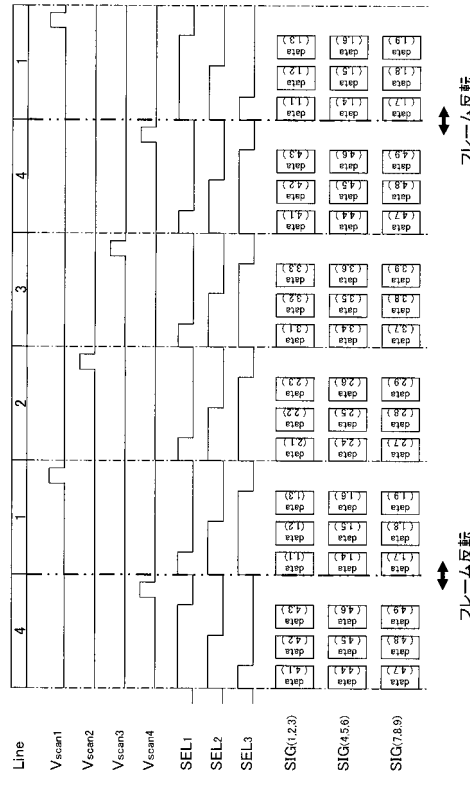
【図 3 6】



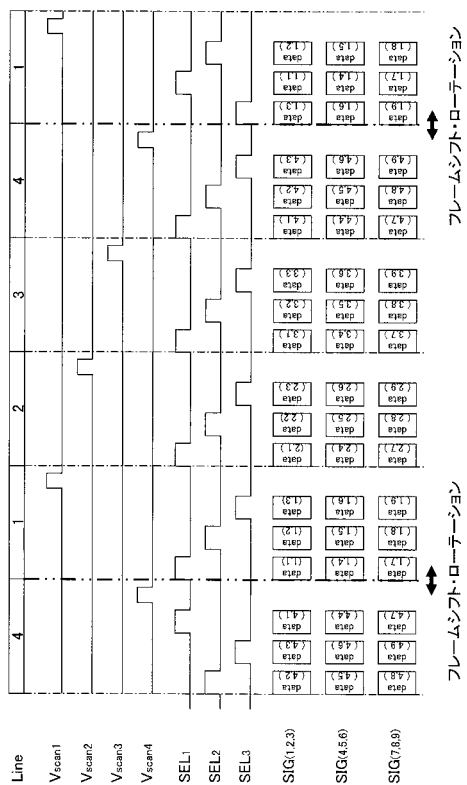
【図 3 7】



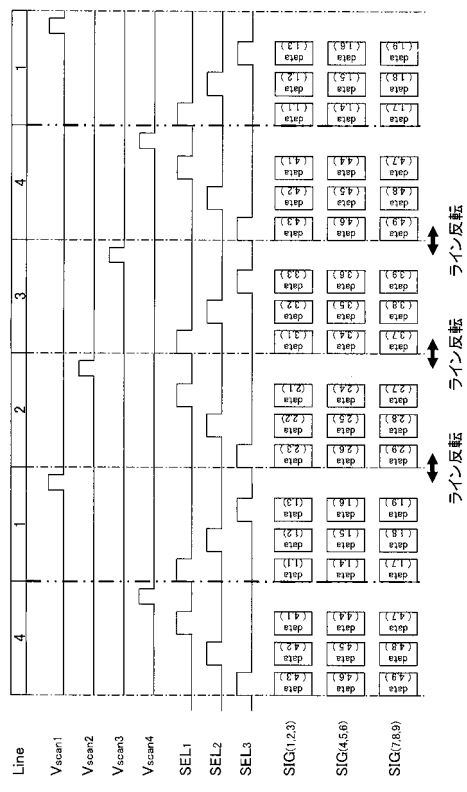
【図 3 8】



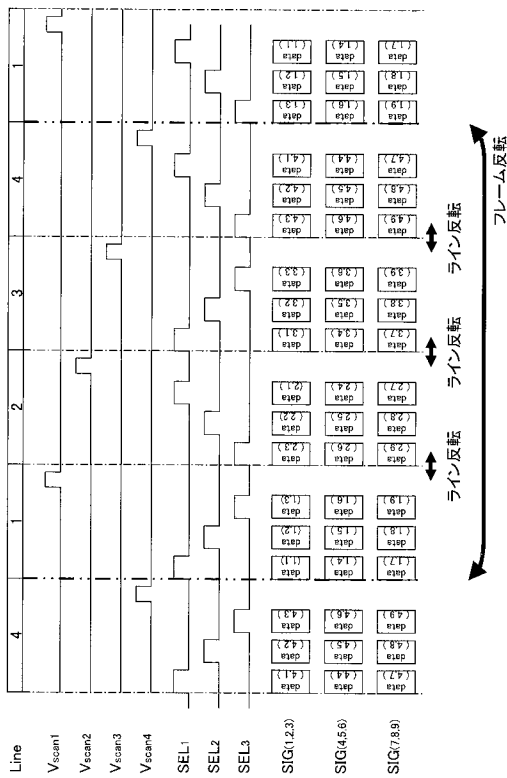
【図 39】



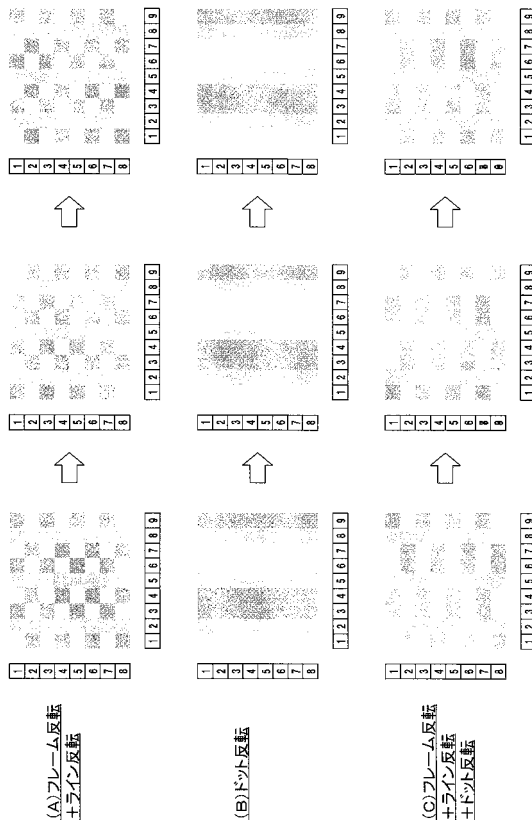
【図 40】



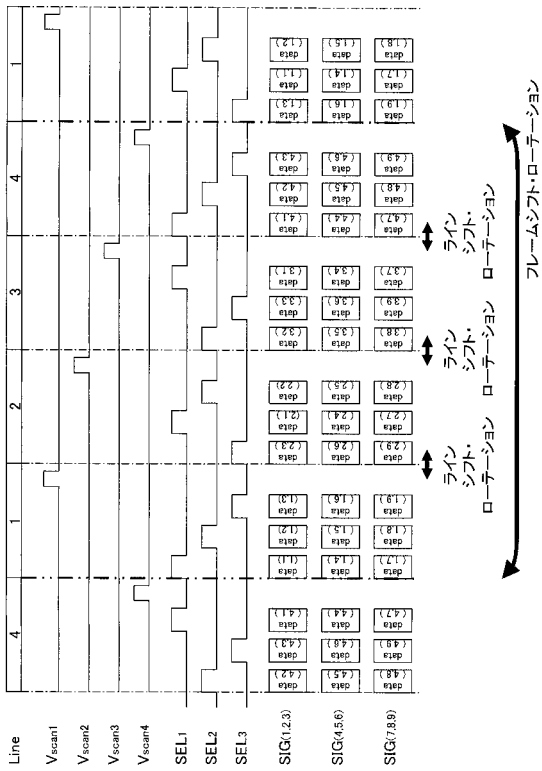
【図 41】



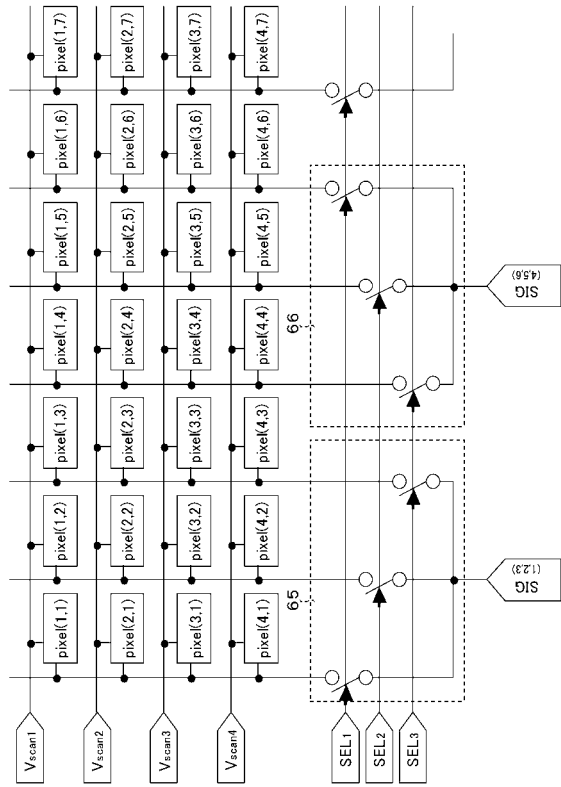
【図 42】



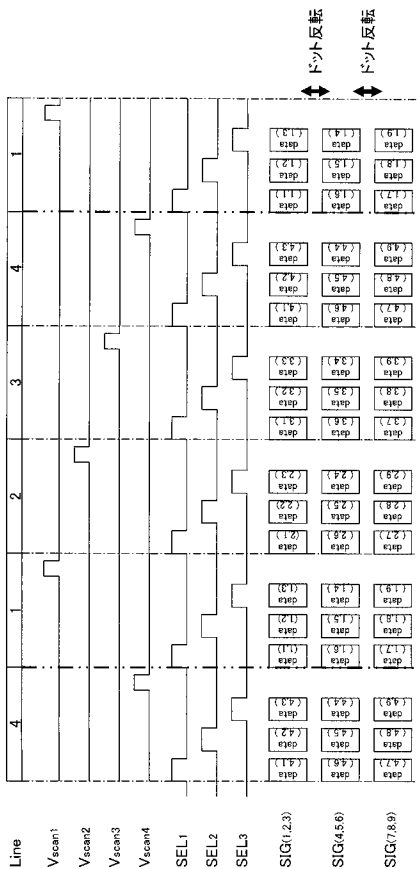
【図 4 3】



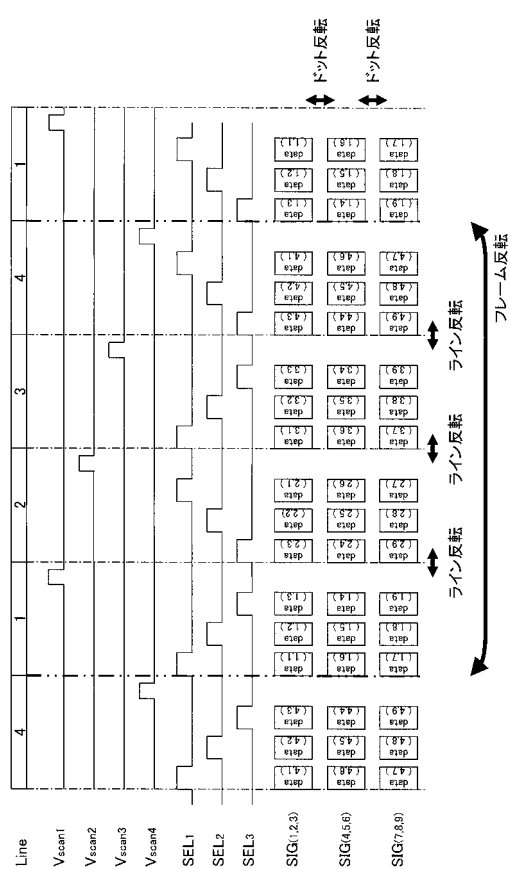
【図 4 4】



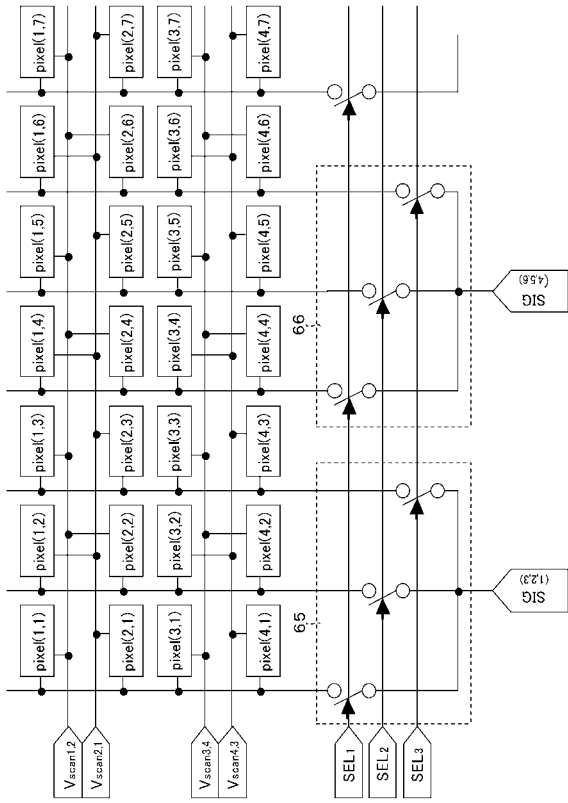
【図 4 5】



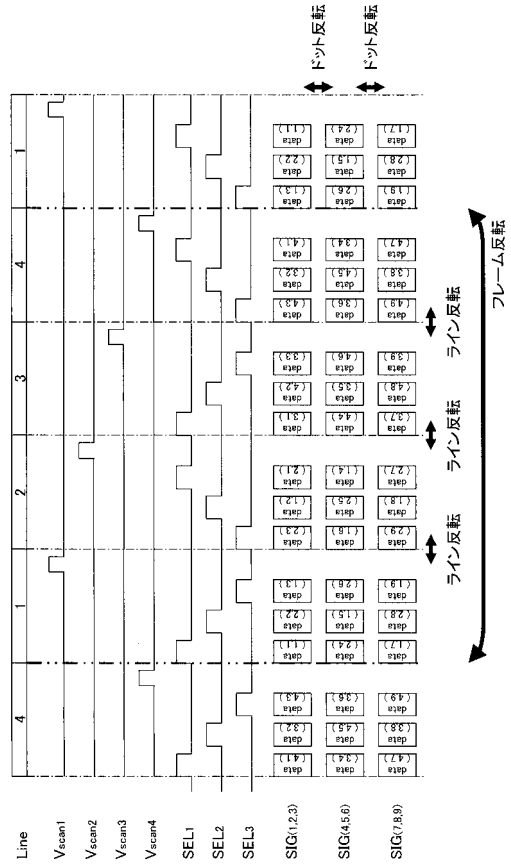
【図 4 6】



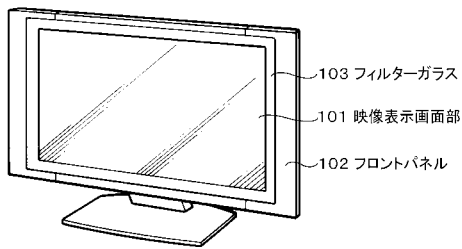
【 図 4 7 】



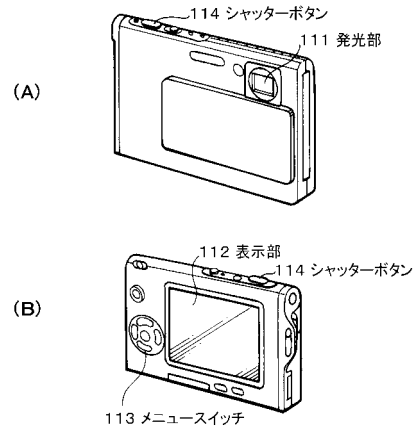
【 図 4 8 】



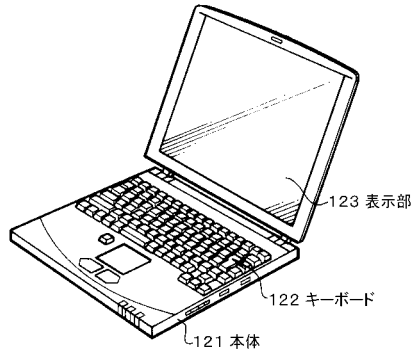
【 図 4 9 】



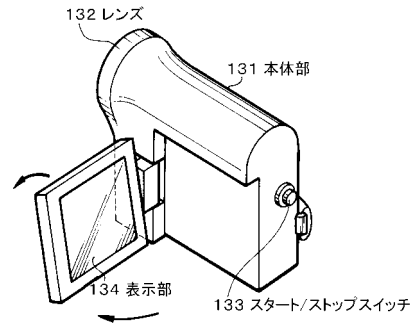
【 図 5 0 】



【図 5 1】



【図 5 2】



【図 5 3】

