

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 1 月 6 日 (06.01.2022)



(10) 国际公布号
WO 2022/001420 A1

- (51) 国际专利分类号:
G09G 3/32 (2016.01) *H01L 27/32* (2006.01)
- (21) 国际申请号: PCT/CN2021/094031
- (22) 国际申请日: 2021 年 5 月 17 日 (17.05.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202010606709.1 2020年6月29日 (29.06.2020) CN
- (71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。 成都京东方光电科技
有限公司 (CHENGDU BOE OPTOELECTRONICS
TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川

省成都市高新区 (西区) 合作路 1188
号, Sichuan 611731 (CN)。

- (72) 发明人: 魏锋 (WEI, Feng); 中国北京市北京经济
技术开发区地泽路 9 号, Beijing 100176 (CN)。 杜
丽丽 (DU, Lili); 中国北京市北京经济技术开发区
地泽路 9 号, Beijing 100176 (CN)。 龙跃 (LONG,
Yue); 中国北京市北京经济技术开发区地泽路 9 号,
Beijing 100176 (CN)。 魏博 (WEI, Bo); 中国北京
市北京经济技术开发区地泽路 9 号, Beijing 100176
(CN)。 吴超 (WU, Chao); 中国北京市北京经济技
术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN &
ASSOCIATES); 中国北京市海淀区彩和坊路 10
号 1 号楼 10 层, Beijing 100080 (CN)。

(54) Title: DISPLAY SUBSTRATE AND DISPLAY APPARATUS

(54) 发明名称: 显示基板及显示装置

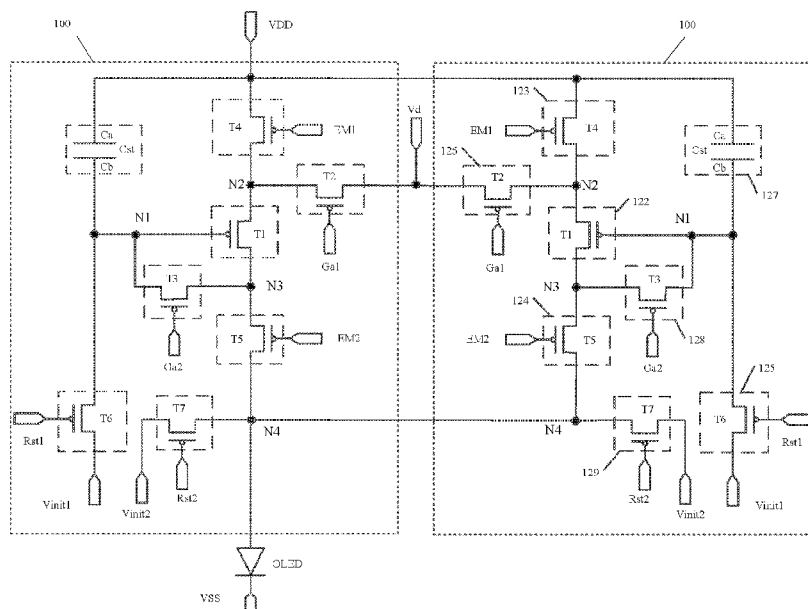


图 3C

(57) Abstract: Provided are a display substrate (20) and a display apparatus (40). The display substrate (20) comprises a first display area (21) and a second display area (22), the pixel density of the first display area (21) being greater than that of the second display area (22). A first pixel circuit (110) of a first sub-pixel of the first display area (21) comprises a pixel circuit unit (100), and a second pixel circuit (120) of a second sub-pixel of the second display area (22) comprises two pixel circuit units (100); and the first pixel circuit (110) is configured to be connected to a first power supply voltage end (103) so as to receive a first power supply voltage (VDD1) as



WO 2022/001420 A1

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

a pixel power supply voltage, and the second pixel circuit (120) is configured to be connected to a second power supply voltage end (104) so as to receive a second power supply voltage (VDD2) as a pixel power supply voltage, the first power supply voltage (VDD1) being different from the second power supply voltage (VDD2).

(57) 摘要: 提供了一种显示基板(20)及显示装置(40)。显示基板(20)包括第一显示区(21)和第二显示区(22), 第一显示区(21)的像素密度高于第二显示区(22)。第一显示区(21)的第一子像素的第一像素电路(110)包括一个像素电路单元(100), 第二显示区(22)的第二子像素的第二像素电路(120)包括两个像素电路单元(100); 第一像素电路(110)配置为与第一电源电压端(103)连接以接收第一电源电压(VDD1)作为像素电源电压, 第二像素电路(120)配置为与第二电源电压端(104)连接以接收第二电源电压(VDD2)作为像素电源电压, 第一电源电压(VDD1)和第二电源电压(VDD2)不同。

显示基板及显示装置

本申请要求于2020年6月29日递交的中国专利申请第202010606709.1号的优先权,在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

5

技术领域

本公开实施例涉及一种显示基板及显示装置。

背景技术

10

在显示领域,有机发光二极管(OLED)显示面板具有自发光、对比度高、能耗低、视角广、响应速度快、可用于挠曲性面板、使用温度范围广、制造简单等特点,具有广阔的发展前景。为了丰富显示面板的功能,通常会集成具有其它功能的组件,如具有感光功能的成像元件等,以实现摄像、指纹识别等功能。

15

发明内容

本公开至少一实施例提供一种显示基板,所述显示基板具有用于显示的第一侧和与所述第一侧相对的第二侧。所述显示基板包括显示区,所述显示区包括位于衬底基板上的多个像素电路单元,所述多个像素电路单元沿第一方向和第二方向排列为多行多列,所述第一方向和所述第二方向不同;所述多个像素电路单元的每个包括驱动子电路以及用于与发光元件连接的第一连接电极,所述驱动子电路的第一端配置为接收像素电源电压,第二端配置为通过所述第一连接电极与所述发光元件电连接,所述像素电路单元的驱动子电路配置为响应于所述像素电源电压形成流经所述发光元件的驱动电流;所述显示区包括第一显示区和第二显示区,所述第一显示区包括多个第一子像素,每个第一子像素包括第一像素电路,所述第一像素电路包括一个所述像素电路单元;所述第二显示区包括多个第二子像素,每个第二子像素包括第二像素电路,所述第二像素电路包括相邻的两个所述像素电路单元,所述第二像素电路的两个所述像素电路单元的第一连接电极彼此电连接以连接到同一个发光元件;所述第一显示区的所述多个第一子像素的像素密度高于所述第二显示区的所述多个第二子像素的像素密度;所述显示基板还包括第一电源电压端和第二电源电压端,所述第一电源电压端与所述第二电源电压端彼此绝缘,所述第一电源电压端配置为能输出第一电源电压,所述第二电源电压端配置为能输出第二电源电压,所述第一电源电压不同于所述第二电源电压;所述第一像素电路配置为与所述第一电源电压端连接以接收所述第一电源电压以作为所述第一像素电路的像素电路单元的像素电源电压,所述第二像素电路配置为与所述第二电源电压端连接以接收所述第二电源电压以作为所述第二像素电路的两个像素电路单元的像素电源电压。

在一些示例中,所述还包括沿所述第二方向延伸的多条第一电源线和多条第二电源线,所述多条第一电源线和所述多条第二电源线分别沿所述第一方向排列;所述多条第一电源线

和所述多条第二电源线同层绝缘设置；所述多条第一电源线与所述第一电源电压端电连接并与所述多个第一子像素的驱动子电路连接以提供所述第一电源电压；所述多条第二电源线与所述第二电源电压端电连接并与所述多个第二子像素的驱动子电路连接以提供所述第二电源电压。

5 在一些示例中，所述多条第二电源线与多条第一电源线一一对应，每条第二电源线与对应的第一电源线在第二方向上并列设置且彼此间隔。

在一些示例中，所述显示基板还包括非显示区以及位于所述非显示区的电源走线，所述电源走线绕显示区设置，并将所述第二电源电压端与多条第二电源线电连接。

10 在一些示例中，所述显示基板还包括沿所述第一方向延伸的多条第三电源线和多条第四电源线，所述多条第三电源线和所述多条第四电源线沿所述第二方向排列；多条第三电源线和多条第四电源线同层绝缘设置，并位于所述多条第一电源线和所述多条第二电源线靠近所述衬底基板的一侧；所述多条第三电源线与所述多条第四电源线一一对应，每条第三电源线与所对应的第四电源线在所述第一方向上并列设置且彼此间隔。

15 在一些示例中，每条第三电源线通过至少一个第一过孔与所述多条第一电源线中至少之一电连接；每条第四电源线通过至少一个第二过孔与所述多条第二电源线中至少之一电连接。

20 在一些示例中，所述像素电路单元还包括数据写入子电路、补偿子电路和存储子电路；所述数据写入子电路包括控制端、第一端和第二端，所述数据写入子电路的第二端与所述驱动子电路电连接；所述补偿子电路包括控制端、第一端和第二端，所述补偿子电路的控制端配置为接收扫描信号，所述补偿子电路的第一端和第二端分别与所所述驱动子电路的第二端和控制端电连接，所述补偿子电路配置为响应所述扫描信号对所述驱动子电路进行阈值补偿；所述存储子电路与所述驱动子电路的控制端和第一电压端电连接；所述存储子电路包括存储电容，所述存储电容包括第一电容电极和第二电容电极，所述第一电容电极配置为接收所述像素电源电压，所述第二电容电极和所述驱动子电路的控制端连接。

25 在一些示例中，所述多条第三电源线分别与多行第一像素电路一一对应设置，所述多条第四电源线分别与多行第二像素电路一一对应设置；每条第三电源线与所对应的一行第一子像素的像素电路单元的第一电容电极一体形成，每条第四电源线与所对应的一行第二子像素的像素电路单元的第一电容电极一体形成。

30 在一些示例中，所述第二像素电路的两个像素电路单元的数据写入子电路的第一端彼此电连接。

在一些示例中，所述第二像素电路还包括第二连接电极，所述第二连接电极将所述第二像素电路中的两个像素电路单元的数据写入子电路的第一端电连接。

在一些示例中，所述第二连接电极与所述第二像素电路的两个像素电路单元的第一电容电极同层绝缘设置。

35 在一些示例中，所述显示基板还包括沿第二方向延伸的多条主数据线和多条辅数据线，

所述多条主数据线沿所述第一方向排列，所述多条辅数据线沿所述第一方向排列；所述多条主数据线与所述第一显示区中的多列像素电路单元的数据子电路的第一端一一对应电连接以提供第一数据信号；所述多条辅数据线与所述第二显示区中的多个像素电路单元的数据子电路的第一端电连接；所述多条辅数据线与所述多条主数据线一一对应以提供第二数据信号，所述多条数据线的每条与对应的主数据在所述第二方向上并列设置。

5 在一些示例中，所述多条主数据线和所述多条辅数据线同层设置并设置于所述第一电容电极远离所述衬底基板的一侧。

在一些示例中，所述多条辅数据线划分为多个数据线组，每个数据线组包括所述多条辅数据线中的两条；所述多个数据线组分别与多列第二像素电路一一对应电连接。

10 在一些示例中，多行第二像素电路中位于第 n 行和第 $n+1$ 行且位于同一列的两个第二像素电路构成一个像素电路组，共用一条辅数据线； n 为大于 0 的奇数或偶数。

在一些示例中，对于在所述第二方向上的每列第二像素电路，其多个像素电路组交替与其所对应的数据线组中的两条辅数据线电连接。

15 在一些示例中，相邻的两个数据线组包括四条辅数据线，分别为在所述第一方向依次排列的第一数据线、第二数据线、第三数据线和第四数据线；所述第一数据线与其所对应的主数据线直接电连接。

在一些示例中，所述第二数据线、所述第三数据线和所述第四数据线分别与各自对应的主数据线同层间隔设置。

20 在一些示例中，所述第四数据线通过第三连接电极与所述第二数据线所对应的主数据线电连接。

在一些示例中，所述第三连接电极和所述第一连接电极同层绝缘设置，并位于所述第一显示区和所述第二显示区的分界处。

在一些示例中，所述第三数据线和所述第四数据线配置为从所述第二显示区在所述第二方向上远离所述第一显示区的一侧接收所述第二数据信号。

25 在一些示例中，所述第一显示区还包括多个第一发光元件，所述多个第一发光元件与所述多个第一像素电路的像素电路单元的第一连接电极一一对应电连接。

30 在一些示例中，所述第二显示区中的第二像素电路的数目为 X ，所述第二显示区还包括 Y 个第二发光元件，所述 Y 个第二发光元件与所述 X 个第二像素电路中的 Y 个第二像素电路一一对应电连接， X 和 Y 均为正整数，且 Y 小于 X ；所述 Y 个第二发光元件的每个与对应的第二像素电路中的两个像素电路单元的第一连接电极均电连接。

在一些示例中，所述 Y 个第二发光元件的至少一个的发光区的面积大于和其发相同颜色的光的第一发光元件的发光区的面积。

35 在一些示例中，所述显示区还包括被所述第二显示区至少部分围绕的第三显示区，所述第三显示区配置为允许来自所述第一侧的光透射到所述第二侧以用于感测；所述第三显示区包括 Z 个第三发光元件，所述 Z 个第三发光元件与所述多个第二子像素中的 Z 个第二像素

电路一一对应电连接，Z 为正整数且 Z 小于或等于 X-Y；每个第三发光元件与对应的第二子像素中的两个像素电路单元的第一连接电极电连接。

5 在一些示例中，每个第三发光元件包括第一电极、第二电极和发光层，所述每个第三发光元件的第一电极相对于所述每个第三发光元件的第二电极更靠近所述衬底基板；所述显示基板还包括多个第四连接电极，所述多个第四连接电极与所述多个第三发光元件一一对应设置，每个第四连接电极将所对应的第三发光元件的第一电极与所述第三发光元件所对应的两个像素电路单元的第一连接电极电连接。

在一些示例中，所述多个第四连接电极位于所述第二显示区，并位于所述多个第三发光元件的第一电极靠近所述衬底基板的一侧。

10 在一些示例中，所述显示基板还包括多条连接线，所述多条连接线从所述第二显示区延伸至所述第三显示区，所述多条连接线分别与所述多个第四连接电极、所述多个第三发光元件一一对应设置，所述多条连接线的每条将对对应的第四连接电极连接至对应的第三发光元件的第一电极。

15 在一些示例中，所述多条连接线与所述多个第四连接电极同层设置，且所述多条连接线的每条与对应的第四连接电极为一体的结构。

本公开至少一实施例还提供一种显示装置，包括上述任一显示基板。

在一些示例中，所述显示装置还包括传感器，所述传感器设置于所述显示基板的第二侧，并且配置为接收来自所述显示基板的第一侧的光。

20 附图说明

为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

图 1 示出了本公开至少一实施例提供的显示基板的像素电路的基本架构；

图 2A 为本公开至少一实施例提供的显示基板的示意图之一；

25 图 2B 为本公开至少一实施例提供的显示基板的示意图之二；

图 2C 为本公开至少一实施例提供的显示基板的示意图之三；

图 3A 为本公开至少一实施例提供的像素电路单元的示意图；

图 3B 为图 3A 所示的像素电路单元的一种具体实现示例的电路图；

图 3C 为本公开至少一实施例提供的第二像素电路的示意图；

30 图 3D 为本公开至少一实施例提供的像素电路的时序信号图；

图 4A 为本公开至少一实施例提供的显示基板的示意图之四；

图 4B 为图 4A 沿剖面线 I-I' 的剖视图；

图 5 为本公开至少一实施例提供的显示基板的示意图之五；

图 6A 为本公开至少一实施例提供的显示基板的示意图之六；

35 图 6B 为本公开至少一实施例提供的显示基板的示意图之七；

图 7A 为本公开至少一实施例提供的显示基板的示意图之八；
图 7B 为本公开至少一实施例提供的显示基板的示意图之九；
图 7C 为本公开至少一实施例提供的显示基板的示意图之十；
图 8A 为本公开至少一实施例提供的显示基板的示意图之十一；
5 图 8B 为本公开至少一实施例提供的显示基板的示意图之十二；
图 9A 为本公开至少一实施例提供的显示基板的示意图之十三；
图 9B 为本公开至少一实施例提供的显示基板的示意图之十四；
图 10A 为本公开至少一实施例提供的显示装置的示意图；以及
图 10B 为图 10A 沿剖面线 C-C' 的剖视图。

10

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的
15 范围。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”、“
20 “一”或者“该”等类似词语也不表示数量限制，而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，
25 则该相对位置关系也可能相应地改变。

在集成有成像元件的显示装置中，将成像元件设置于显示装置的显示区，有助于提高显示屏占比，例如实现全面屏显示。由于显示区中制作有显示器件，会影响成像元件的光透过率，例如，子像素中的发光元件、不透光走线等都可能对成像元件摄取光线形成阻挡从而影响成像品质。例如，可以通过将设置有成像元件的区域中的子像素的密度降低来提高该区域的透光率，但是这会降低子像素密度较低的区域
30 的显示亮度，造成显示不均。

本公开至少一些实施例提供一种显示基板，具有用于显示的第一侧和与所述第一侧相对的第二侧，所述显示基板包括显示区，所述显示区包括多个像素电路单元，所述多个像素电路单元沿第一方向和第二方向排列为多行多列；所述第一方向和所述第二方向不同；所述多个像素电路单元的每个包括驱动子电路以及用于与发光元件连接的第一连接电极，所述驱动子电路的第一端配置为接收像素电源电压，第二端配置为通过所述第一连接电极与
35 所述发光

元件电连接,所述像素电路单元的驱动子电路配置为响应于所述像素电源电压形成流经所述发光元件的驱动电流;所述显示区包括第一显示区和第二显示区,所述第一显示区包括多个第一子像素,每个第一子像素包括第一像素电路,所述第一像素电路包括一个所述像素电路单元;所述第二显示区包括多个第二子像素,每个第二子像素包括第二像素电路,所述第二像素电路包括相邻的两个所述像素电路单元,所述第二像素电路的两个所述像素电路单元的第一连接电极彼此电连接以连接到同一个发光元件;所述第一显示区的所述多个第一子像素的像素密度高于所述第二显示区的所述多个第二子像素的像素密度;所述显示基板还包括第一电源电压端和第二电源电压端,所述第一电源电压端与所述第二电源电压端彼此绝缘,所述第一电源电压端配置为能输出第一电源电压,所述第二电源电压端配置为能输出第二电源电压,所述第一电源电压不同于所述第二电源电压;所述第一像素电路配置为与所述第一电源电压端连接以接收所述第一电源电压以作为所述第一像素电路的像素电路单元的像素电源电压,所述第二像素电路配置为与所述第二电源电压端连接以接收所述第二电源电压以作为所述第二像素电路的两个像素电路单元的像素电源电压。

本公开实施例提供的显示基板,通过在像素密度较低的第二显示区中设置两个像素电路单元作为像素电路驱动发光元件发光,可以提高第二显示区的发光元件的发光亮度,同时对第一显示区和第二显示区分别提供像素电源电压,有助于进一步提高第二显示区的亮度的同时,还可以提高像素电路的稳定性并降低电路功耗。

如图1所示的基本像素架构包括驱动晶体管T、存储电容C和发光元件D,驱动晶体管T的沟道打开的程度会控制流过发光元件的电流 I_d ,电源电压VDD和驱动晶体管的栅极节点的电压差可以控制驱动晶体管T的开启程度。例如,在发光元件为有机发光二极管(OLED)的情形,当驱动晶体管T工作在饱和区时,流经OLED电流 $I_d=k/2(V_{data}-VDD)^2$,其中,k为驱动晶体管T的导电系数,Vdata为写入的数据电压,VDD为电源电压。

例如,通过电路仿真结果可知,在相同的数据电压Vdata电压和电源电压VDD的驱动下,比起用一个像素单元驱动OLED发光,两个像素单元共同驱动OLED可以将发光电流提高至1.8倍左右。

同时,发明人发现,虽然采用两个像素电路单元驱动发光元件可以增大发光电流,但同时也会使得发光元件两端的电压差VEL升高,从而降低驱动晶体管T的源漏极电压差Vds,导致驱动晶体管T的工作状态发生变化,例如从饱和区进入线性区,这将降低发光电流的稳定性,从而降低发光元件的发光稳定性,进而降低显示的稳定性。本公开实施例通过对第一显示区和第二显示区分别提供像素电源电压VDD以单独控制第二显示区的像素电源电压VDD,可以有效解决该问题。根据电压公式 $VDD-VSS=Vds+VEL$ 可知,通过增调节VDD和VSS之间的压差可来调节驱动晶体管T的源漏极电压差Vds。例如,可以根据需要提高第二显示区的像素电源电压VDD,从而在增大发光电流的同时将驱动晶体管的工作区保持在饱和区,从而不影响发光元件的发光稳定性。此外,对第一显示区和第二显示区分别提供电源电压VDD还可以减小对显示装置的功耗影响。

需要说明的是，本公开中的像素密度是指单位面积中的子像素的个数，例如可以是单位面积中的发光元件的个数或者像素电路的个数，每个像素电路配置为与一个发光元件电连接。

图 2A 为本公开实施例提供的显示基板的平面示意图之一，图 2A 中示出了该显示基板的显示区的布局。如图 2A 所示，该显示基板 20 包括显示区 101，显示区 101 包括第一显示区 21 和第二显示区 22，该第二显示区 22 可以位于该第一显示区 21 的内部并被该第一显示区 21 包围；该第二显示区 22 也可以位于该第一显示区 21 的外部，例如被该第一显示区 21 半包围。如图 2A 所示，该显示区 101 还可以包括位于第二显示区 22 中的第三显示区 23，该第三显示区 23 被该第二显示区 22 全部包围，也即该第三显示区 23 的每一侧都设置有第二显示区中的子像素。在另一些示例中，该第二显示区也可以至少部分环绕该第三显示区。图 2A 中未示出该显示基板的非显示区。

图 2B 为本公开实施例提供的显示基板的平面示意图之二，图 2B 示出了该显示基板的像素布局图。如图 2B 所示，该显示基板 20 包括位于显示区 101 的多个像素电路单元 100，该多个像素电路单元 100 沿第一方向 D1 和第二方向 D2 排列为多行多列；该第一方向 D1 和第二方向 D2 不同，例如二者正交。例如，该像素行和像素列并不一定严格地沿直线延伸，也可以沿着曲线（例如折线）延伸，该曲线总体上分别沿着第一方向 D1 或第二方向 D2 延伸。例如，第一显示区 21 和第二显示区的 22 的像素电路单元的密度相同从而提高工艺的均一性。

如图 2B 所示，该显示基板包括多条栅线 11 和多条数据线 12。例如，该栅线 11 沿第一方向 D1 延伸，该数据线 12 沿第二方向 D2 延伸。图 2B 中只是示意出了栅线 11、数据线 12 以及像素电路单元 100 在显示基板中的大致的位置关系，具体可以根据实际需要进行设计。图 2B 中虽然示出了每条栅线 11 和每条数据线 12 贯穿第一显示区 21 和第二显示区 22，但这只是为了便于作图，并不作为对本公开的限制。

例如，每个像素电路单元 100 包括 2T1C（即两个晶体管和一个电容）像素电路、4T2C、5T1C、7T1C 或 nTmC（n、m 为正整数）像素电路。例如，在不同的实施例中，该像素电路单元 100 还可以进一步包括补偿子电路，该补偿子电路包括内部补偿子电路或外部补偿子电路，补偿子电路可以包括晶体管、电容等。例如，根据需要，该像素电路还可以进一步包括复位电路、发光控制子电路、检测电路等。例如，如图 2B 所示，该显示基板 20 包括位于显示区 101 外的非显示区 102。该显示基板还可以包括位于非显示区中的栅极驱动电路 13 和数据驱动电路 14。该栅极驱动电路 13 通过栅线 11 与像素电路单元 100 连接以提供各种扫描信号，该数据驱动电路 14 通过数据线 12 与像素电路单元 100 连接以提供数据信号。

每个像素电路单元 100 包括驱动子电路以及用于与发光元件连接的第一连接电极，该驱动子电路的第一端配置为接收像素电源电压，该第二端配置为通过该第一连接电极与发光元件电连接，该像素电路单元的驱动子电路配置为响应于该像素电源电压形成流经该发光元件的驱动电流，后文将结合像素电路对该驱动子电路进行具体描述。

如图 2B 所示, 该第一显示区 21 包括多个第一子像素, 每个第一子像素包括第一像素电路 110, 该第一像素电路 110 包括一个像素电路单元 100, 也即由一个像素单元 100 构成。该第二显示区 22 包括多个第二子像素, 每个第二子像素包括第二像素电路 120, 该第二像素电路 120 包括相邻的两个像素电路单元 100, 例如, 该两个像素电路单元 100 在第一方向 D1 上相邻。第二像素电路的两个像素电路单元 100 的第一连接电极彼此电连接以连接到同一个发光元件, 也即该两个像素电路单元 100 连接到同一像素电极, 共同驱动同一发光元件发光。由于第二显示区 22 中由两个像素电路单元 100 共同驱动同一发光元件, 因此第二显示区中的像素密度较低, 发光元件的分布密度也较低, 第二显示区的透光率也因此高于第一显示区。

图 2B 中还示意性地示出了第三显示区 23, 如图 2B 所示, 该第三显示区 23 中并不设置像素电路单元 100, 从而提高该第三显示区 23 的透光率。当该显示基板的与显示侧相对的一侧设置有感光元件时, 待检测的光主要经由该第三显示区 23 到达该感光元件, 后文将对此进行详细描述。

图 2C 为本公开实施例提供的显示基板的平面示意图之三, 图 2C 示出了该显示基板的电源线的布局图。为了清楚起见, 图 2C 中省略了第三显示区 23。该显示基板 20 还包括位于非显示区 102 的第一电源电压端 103 和第二电源电压端 104, 第一电源电压端 103 与第二电源电压端 104 彼此绝缘, 第一电源电压端 104 配置为能输出第一电源电压 VDD1, 第二电源电压端 104 配置为能输出第二电源电压 VDD2, 第一电源电压 VDD1 不同于第二电源电压 VDD2。第一像素电路 110 配置为与第一电源电压端 103 连接以接收该第一电源电压 VDD1 以作为该第一像素电路 110 的像素电路单元 100 的像素电源电压。该第二像素电路 120 配置为与该第二电源电压端 104 连接以接收该第二电源电压 VDD2 以作为该第二像素电路 120 的两个像素电路单元 100 的像素电源电压。该第二像素电路 120 中的两个像素电路单元 100 中的驱动子电路均配置为接收该第二电源电压 VDD2 以驱动发光元件发光。

该显示基板 20 还包括第一电源线 210 和第二电源线 220。该第一电源线 210 配置为为第一显示区 21 中的第一子像素 110 提供第一电源电压 VDD1, 第二电源线 220 配置为为第二显示区 22 中的第二子像素提供第二电源电压 VDD2。

如图 2C 所示, 多条第一电源线 210 和 多条第二电源线 220 分别沿第二方向 D2 延伸, 多条第一电源线 210 和 多条第二电源线 220 分别沿第一方向 D1 排列。例如, 如图 2C 所示, 多条第一电源线 210 位于第一显示区 21, 多条第二电源线 220 位于第二显示区 22。例如, 第一电源线 210 和第二电源线 220 同层设置且彼此绝缘。例如, 多条第二电源线 220 与多条第一电源线 210 一一对应, 每条第二电源线 220 与对应的第一电源线 210 在第二方向 D2 上并列设置且彼此间隔。图 2C 中用虚线示出了第一显示区 21 和第二显示区 22 的分界区, 每条第二电源线 220 与对应的第一电源线 210 位于一条虚拟走线上, 该虚拟走线在该分界区处断开。

例如, 多条第一电源线 210 与第一电源电压端 103 电连接并与多个第一像素电路的驱动子电路连接以提供该第一电源电压 VDD1, 多条第二电源线与第二电源电压端 104 电连接并

与多个第二子像素的驱动子电路连接以提供该第二电源电压 VDD2。

例如，如图 2C 所示，该显示基板 20 还包括位于非显示区 102 中的第一电源走线 105 和第二电源走线 106。该第一电源走线 105 将第一电源电压端 103 与多条第一电源线 210 电连接，该第二电源走线 106 将第二电源电压端 104 与多条第二电源线 220 电连接。例如，如图 2C 所示，该第一电源走线 105 和第二电源走线 106 均绕显示区 101 设置，第一电源走线 105 较第二电源走线 106 更靠近显示区 101。例如，第二电源走线 106 从位于第一显示区 21 下侧的第二电源电压端 104 引出，绕第一显示区 21 左右两侧延伸并从显示区的上侧（与第一电源电压端和第二电源电压端相对的一侧）接入第二显示区 22。

例如，如图 2C 所示，该显示基板 20 还包括第三电源线 230 和第四电源线 240。该第三电源线 230 配置为为第一显示区 21 中的第一子像素提供第一电源电压 VDD1，第四电源线 240 配置为为第二显示区 22 中的第二子像素提供第二电源电压 VDD2。

如图 2C 所示，多条第三电源线 230 和多条第四电源线 240 分别沿第一方向 D1 延伸，多条第三电源线 230 和多条第四电源线 240 分别沿第二方向 D2 排列。例如，如图 2C 所示，多条第三电源线 230 位于第一显示区 21，多条第四电源线 240 位于第二显示区 22。例如，第三电源线 230 和第四电源线 240 同层设置且彼此绝缘，例如位于第一电源线 210 和第二电源线 220 靠近衬底基板的一侧。例如，如图 2C 所示，多条第三电源线 230 与多条第四电源线 240 一一对应，每条第三电源线 230 与对应的第四电源线 240 在第一方向 D1 上并列设置且彼此间隔。每条第三电源线 230 与对应的第四电源线 240 一条虚拟走线上，该虚拟走线在该分界区处断开。

例如，每条第三电源线 230 通过至少一个过孔（未示出）与多条第一电源线 210 中至少之一电连接，从而第三电源线 230 和第一电源线 210 交织成网状结构；每条第四电源线 240 通过至少一个过孔（未示出）与多条第二电源线 220 中至少之一电连接，从而第四电源线 240 与第二电源线 220 交织成网状结构。这种结构有助于降低电源线的电阻，从而降低电源线上的压降，有助于将电源电压均匀地输送给各个子像素，从而提高显示基板的均一性。

例如，显示基板 20 还可以包括控制电路（未示出）。例如，该控制电路配置为控制数据驱动电路 14 施加该数据信号，以及控制栅极驱动子电路施加该扫描信号。该控制电路的一个示例为时序控制电路（T-con）。控制电路可以为各种形式，例如包括处理器和存储器，存储器包括可执行代码，处理器运行该可执行代码以执行上述检测方法。

例如，处理器可以是中央处理单元（CPU）或者具有数据处理能力和/或指令执行能力的其它形式的处理装置，例如可以包括微处理器、可编程逻辑控制器（PLC）等。

例如，存储装置可以包括一个或多个计算机程序产品，所述计算机程序产品可以包括各种形式的计算机可读存储介质，例如易失性存储器和/或非易失性存储器。易失性存储器例如可以包括随机存取存储器（RAM）和/或高速缓冲存储器（cache）等。非易失性存储器例如可以包括只读存储器（ROM）、硬盘、闪存等。在计算机可读存储介质上可以存储一个或多个计算机程序指令，处理器可以运行该程序指令期望的功能。在计算机可读存储介质中还可

以存储各种应用程序和各种数据。

该像素电路可以包括驱动子电路、数据写入子电路、补偿子电路和存储子电路，根据需要还可以包括发光控制子电路、复位电路等。

图 3A 示出了本公开至少一实施例提供的像素电路单元 100 的电路示意图。

5 如图 3A 所示，该像素电路单元 100 包括驱动子电路 122、补偿子电路 128、数据写入子电路 126、存储子电路 127、第一发光控制子电路 123、第二发光控制子电路 124 及第一复位子电路 125 和第二复位子电路 129。

10 例如，该驱动子电路 122 包括控制端 122a、第一端 122b 和第二端 122c，且配置为与发光元件 121 连接并且控制流经发光元件 121 的驱动电流。驱动子电路 122 的控制端 122a 和第一节点 N1 连接，驱动子电路 122 的第一端 122b 和第二节点 N2 连接并配置为接收像素电源电压 VDD，驱动子电路 122 的第二端 122c 和第三节点 N3 连接。

15 例如，该数据写入子电路 126 包括控制端 126a、第一端 126b 和第二端 126c，该控制端 126a 配置为接收第一扫描信号 Ga1，第一端 126b 配置为接收数据信号 Vd，第二端 126c 与驱动子电路 122 的第一端 122b（也即第二节点 N2）连接。该数据写入子电路 126 配置为响应于该第一扫描信号 Ga1 将该数据信号 Vd 写入驱动子电路 122 的第一端 122b。例如，数据写入子电路 126 的第一端 126b 与数据线 12 连接以接收该数据信号 Vd，控制端 126a 与作为扫描线的栅线 11 连接以接收该第一扫描信号 Ga1。例如，在数据写入及补偿阶段，数据写入子电路 126 可以响应于第一扫描信号 Ga1 而开启，从而可以将数据信号写入驱动子电路 122 的第一端 122b（第二节点 N2），并将数据信号存储在存储子电路 127 中，以在例如发光阶段时可以根据该数据信号生成驱动发光元件 121 发光的驱动电流。

20 例如，补偿子电路 128 包括控制端 128a、第一端 128b 和第二端 128c，补偿子电路 128 的控制端 128a 配置为接收第二扫描信号 Ga2，补偿子电路 128 的第一端 128b 和第二端 128c 分别与驱动子电路 122 的第二端 122c 和控制端 122a 电连接，补偿子电路 128 配置为响应于该第二扫描信号 Ga2 对该驱动子电路 122 进行阈值补偿。

25 例如，第一扫描信号 Ga1 可以与第二扫描信号 Ga2 相同。例如第一扫描信号 Ga1 可以与第二扫描信号 Ga2 连接到相同的信号输出端。例如，第一扫描信号 Ga1 可以与第二扫描信号 Ga2 通过相同的扫描线传输。

30 在另一些示例中，第一扫描信号 Ga1 也可以与第二扫描信号 Ga2 不同。例如，第一扫描信号 Ga1 可以与第二扫描信号 Ga2 连接到不同的信号输出端。例如，第一扫描信号 Ga1 可以与第二扫描信号 Ga2 分别通过不同的扫描线传输。

35 例如，存储子电路 127 包括第一端 127a 和第二端 127b，该存储子电路的第一端 127a 配置为接收像素电源电压 VDD，存储子电路的第二端 127b 与驱动子电路的控制端 122a 电连接。例如，在数据写入及补偿阶段，补偿子电路 128 可以响应于该第二扫描信号 Ga2 而开启，从而可以将数据写入子电路 126 写入的数据信号存储在该存储子电路 127 中；同时，补偿子电路 128 可以将驱动子电路 122 的控制端 122a 和第二端 122c 电连接，从而可以使驱动

子电路 122 的阈值电压的相关信息也相应地存储在该存储子电路中,从而例如在发光阶段可以利用存储的数据信号以及阈值电压对驱动子电路 122 进行控制,使得驱动子电路 122 的输出得到补偿。

5 例如,存储子电路 127 与驱动子电路 122 的控制端 122a 及像素电源电压端 VDD 电连接,配置为存储数据写入子电路 126 写入的数据信号。对于位于第一显示区 21 中的第一像素电路 110 的像素电路单元,该像素电源电压端 VDD 为第一电源电压端 103;对于位于第二显示区 22 中的第二像素电路 120 的像素电路单元,该像素电源电压端 VDD 为第二电源电压端 104。例如,在数据写入和补偿阶段,补偿子电路 128 可以响应于该第二扫描信号 Ga2 而开启,从而可以将数据写入子电路 126 写入的数据信号存储在该存储子电路 127 中。例如,同时
10 在数据写入和补偿阶段,补偿子电路 128 可以将驱动子电路 122 的控制端 122a 和第二端 122c 电连接,从而可以使驱动子电路 122 的阈值电压的相关信息也相应地存储在该存储子电路中,从而例如在发光阶段可以利用存储的数据信号以及阈值电压对驱动子电路 122 进行控制,使得驱动子电路 122 的输出得到补偿。

15 例如,第一发光控制子电路 123 与驱动子电路 122 的第一端 122b (第二节点 N2) 以及第一电压端 VDD 连接,且配置为响应于第一发光控制信号 EM1 将第一电压端 VDD 的第一电源电压施加至驱动子电路 122 的第一端 122b。例如,如图 3A 所示,第一发光控制子电路 123 和第一发光控制端 EM1、第一电压端 VDD 以及第二节点 N2 连接。

20 例如,第二发光控制子电路 124 和第二发光控制端 EM2、发光元件 121 的第一端 134 以及驱动子电路 122 的第二端 122c 连接,且配置为响应于第二发光控制信号使得驱动电流可被施加至发光元件 122。

25 例如,在发光阶段,第二发光控制子电路 123 响应于第二发光控制端 EM2 提供的第二发光控制信号 EM2 而开启,从而驱动子电路 122 可以通过第二发光控制子电路 123 与发光元件 121 电连接,从而驱动发光元件 121 在驱动电流控制下发光;而在非发光阶段,第二发光控制子电路 123 响应于第二发光控制信号 EM2 而截止,从而避免有电流流过发光元件 121 而使其发光,可以提高相应的显示装置的对比度。

又例如,在初始化阶段,第二发光控制子电路 124 也可以响应于第二发光控制信号 EM2 而开启,从而可以结合复位电路以对驱动子电路 122 以及发光元件 121 进行复位操作。

30 例如,第二发光控制信号 EM2 可以与第一发光控制信号 EM1 相同,例如第二发光控制信号 EM2 可以与第一发光控制信号 EM 连接到相同的信号输出端,例如,第二发光控制信号 EM2 可以与第一发光控制信号 EM1 通过相同的发光控制线传输。

在另一些示例中,第二发光控制信号 EM2 可以与第一发光控制信号 EM1 不同。例如,第二发光控制信号 EM2 可以与第一发光控制信号 EM1 分别连接到不同的信号输出端。例如,第二发光控制信号 EM2 可以与第一发光控制信号 EM1 分别通过不同的发光控制线传输。

35 例如,第一复位子电路 125 与第一复位电压端 Vinit1 以及驱动子电路 122 的控制端 122a (第一节点 N1) 连接,且配置为响应于第一复位控制信号 Rst1 将第一复位电压 Vinit1 施加

至驱动子电路 122 的控制端 122a。

例如，第二复位子电路 129 与第二复位电压端 Vinit2 以及发光元件 122 的第一端 122b（第四节点 N4）连接，且配置为响应于第二复位控制信号 Rst2 将第二复位电压 Vinit2 施加至发光元件 121 的第一端 134。

5 例如，第一复位子电路 125 和第二复位子电路 129 可以分别响应于第一复位控制信号 Rst1 和第二复位控制信号 Rst2 而开启，从而可以将分别将第二复位电压 Vinit2 施加至第一节点 N1 以及将第一复位电压 Vinit1 施加至发光元件 121 的第一端 134，从而可以对驱动子电路 122、补偿子电路 128 以及发光元件 121 进行复位操作，消除之前的发光阶段的影响。

10 例如，每行子像素的第二复位控制信号 Rst2 可以与该行子像素的第一扫描信号 Ga1 为相同的信号，二者可以通过同一栅线 11 传输。例如，每行子像素的第一复位控制信号 Rst1 可以与上一行子像素的第一扫描信号 Ga1，二者可以通过同一栅线 11 传输。

15 例如，发光元件 121 包括第一端 134 和第二端 135，发光元件 121 的第一端 134 配置为与驱动子电路 122 的第二端 122c 连接，发光元件 121 的第二端 135 配置为与第二电压端 VSS 连接。例如，在一个示例中，如图 3A 所示，发光元件 121 的第一端 134 可以通过第二发光控制子电路 124 连接至第四节点 N4。本公开的实施例包括但不限于此情形。

需要注意的是，在本公开实施例的说明中，第一节点 N1、第二节点 N2、第三节点 N3 和第四节点 N4 并非一定表示实际存在的部件，而是表示电路图中相关电路连接的汇合点。

20 需要说明的是，在本公开的实施例的描述中，符号 Vd 既可以表示数据信号端又可以表示数据信号的电平，同样地，符号 Ga1、Ga2 既可以表示第一扫描信号、第二扫描信号，也可以表示第一扫描信号端和第二扫描信号端，Rst 既可以表示复位控制端又可以表示复位控制信号，符号 Vinit1、Vinit2 既可以表示第一复位电压端和第二复位电压端又可以表示第一复位电压和第二复位电压，符号 VDD 既可以表示像素电源电压又可以表示像素电源电压端，符号 VSS 既可以表示公共电源电压端又可以表示公共电源电压。以下各实施例与此相同，不再赘述。

25 图 3B 为图 3A 所示的像素电路的一种具体实现示例的电路图。如图 3A 所示，该像素电路包括第一至第七晶体管 T1、T2、T3、T4、T5、T6、T7 以及包括存储电容 Cst。例如，第一晶体管 T1 被用作驱动晶体管，其他的第二至第七晶体管被用作开关晶体管。

30 例如，如图 3B 所示，驱动子电路 122 可以实现为第一晶体管 T1。第一晶体管 T1 的栅极作为驱动子电路 122 的控制端 122a，和第一节点 N1 连接；第一晶体管 T1 的第一极作为驱动子电路 122 的第一端 122b，和第二节点 N2 连接；第一晶体管 T1 的第二极作为驱动子电路 122 的第二端 122c，和第三节点 N3 连接。

35 例如，如图 3B 所示，数据写入子电路 126 可以实现为第二晶体管 T2。第二晶体管 T2 的栅极和第一扫描线（第一扫描信号端 Ga1）连接以接收第一扫描信号，第二晶体管 T2 的第一极和数据线（数据信号端 Vd）连接以接收数据信号，第二晶体管 T2 的第二极和驱动子电路 122 的第一端 122b（第二节点 N2）连接。

例如，如图 3B 所示，补偿子电路 128 可以实现为第三晶体管 T3。第三晶体管 T3 的栅极、第一极和第二极分别作为该补偿子电路的控制电极 128a、第一电极 128b 和第二电极 128c。第三晶体管 T3 的栅极配置为和第二扫描线（第二扫描信号端 Ga2）连接以接收第二扫描信号，第三晶体管 T3 的第一极 T3s 和第一晶体管 T1 的第二极 T1d（第三节点 N3）连接，第三晶体管 T3 的第二极 T3d 和第一晶体管 T1 的栅极 T1g（第一节点 N1）电连接。例如，如图 3B 所示，存储子电路 127 可以实现为存储电容 Cst，该存储电容 Cst 包括第一电容电极 Ca 和第二电容电极 Cb，该第一电容电极 Ca 和像素电源电压端 VDD 电连接，该第二电容电极 Cb 和第一晶体管 T1 的栅极 T1g（第一节点 N1）电连接。

例如，如图 3B 所示，第一发光控制子电路 123 可以实现为第四晶体管 T4。第四晶体管 T4 的栅极和第一发光控制线（第一发光控制端 EM1）连接以接收第一发光控制信号，第四晶体管 T4 的第一极和第一电压端 VDD 连接以接收第一电源电压，第四晶体管 T4 的第二极和驱动子电路 122 的第一端 122b（第二节点 N2）连接。

例如，发光元件 121 具体实现为发光二极管（LED），例如可以是有机发光二极管（OLED）、量子点发光二极管（QLED）或者无机发光二极管，例如可以是微型发光二极管（Micro LED）或者微型 OLED。例如，发光元件 121 可以为顶发射结构、底发射结构或双面发射结。该发光元件 121 可以发红光、绿光、蓝光或白光等。本公开的实施例对发光元件的具体结构不作限制。

例如，发光元件 121 的第一电极 134（例如为阳极）和第四节点 N4 连接配置为通过第二发光控制子电路 124 连接到驱动子电路 122 的第二端 122c，发光元件 121 的第二电极 135（例如为阴极）配置为和公共电源电压端 VSS 连接以接收公共电源电压 VSS，从驱动子电路 122 的第二端 122c 流入发光元件 121 的电路决定发光元件的亮度。例如公共电源电压端 VSS 可以接地，即 VSS 可以为 0V。例如，公共电源电压 VSS 可以为负电压。

例如，第二发光控制子电路 124 可以实现为第五晶体管 T5。第五晶体管 T5 的栅极和第二发光控制线（第二发光控制端 EM2）连接以接收第二发光控制信号，第五晶体管 T5 的第一极和驱动子电路 122 的第二端 122c（第三节点 N3）连接，第五晶体管 T5 的第二极和发光元件 121 的第一端 134（第四节点 N4）连接。

例如，第一复位子电路 125 可以实现为第六晶体管 T6，第二复位子电路实现为第七晶体管 T7。第六晶体管 T6 的栅极配置为和第一复位控制端 Rst1 连接以接收第一复位控制信号 Rst1，第六晶体管 T6 的第一极和第一复位电压端 Vinit1 连接以接收第一复位电压 Vinit1，第六晶体管 T6 的第二极配置为和第一节点 N1 连接。第七晶体管 T7 的栅极配置为和第二复位控制端 Rst2 连接以接收第二复位控制信号 Rst2，第七晶体管 T7 的第一极和第二复位电压端 Vinit2 连接以接收第二复位电压 Vinit2，第七晶体管 T7 的第二极配置为和第四节点 N4 连接。

需要说明的是，本公开的实施例中采用的晶体管均可以为薄膜晶体管或场效应晶体管或其他特性相同的开关器件，本公开的实施例中均以薄膜晶体管为例进行说明。这里采用的晶

体管的源极、漏极在结构上可以是对称的，所以其源极、漏极在结构上可以是没有区别的。在本公开的实施例中，为了区分晶体管除栅极之外的两极，直接描述了其中一极为第一极，另一极为第二极。

此外，按照晶体管的特性区分可以将晶体管分为 N 型和 P 型晶体管。当晶体管为 P 型晶体管时，开启电压为低电平电压（例如，0V、-5V、-10V 或其他合适的电压），关闭电压为高电平电压（例如，5V、10V 或其他合适的电压）；当晶体管为 N 型晶体管时，开启电压为高电平电压（例如，5V、10V 或其他合适的电压），关闭电压为低电平电压（例如，0V、-5V、-10V 或其他合适的电压）。例如，如图 3B 所示，该第一至第七晶体管 T1-T7 均为 P 型晶体管，例如为低温多晶硅薄膜晶体管。然而本公开实施例对晶体管的类型不作限制，当晶体管的类型发生改变时，相应地调整电路中的连接关系即可。

可以理解地，该像素电路单元 100 的电路图即为该第一子像素 110 的第一像素电路的电路图。

图 3C 示出了第二子像素的第二像素电路 120 的电路图。如图 3C 所示，该第二像素电路由两个像素电路单元 100 构成，该两个像素电路单元 100 的第四节点彼此电连接，并连接到同一个发光元件 121。

以下结合图 3D 所示的信号时序图，对图 3B 所示的像素电路的工作原理进行说明。如图 3D 所示，每一帧图像的显示过程包括三个阶段，分别为初始化阶段 1、数据写入及补偿阶段 2、和发光阶段 3。

如图 3D 所示，在本实施例中，第一扫描信号 Ga1 和第二扫描信号 Ga2 采用同一信号，第一发光控制信号 EM1 和第二发光控制信号 EM2 采用同一信号；且第二复位控制信号 Rst2 和第一扫描信号 Ga1/第二扫描信号 Ga2 的波形相同，也即第二复位控制信号 Rst2、第一扫描信号 Ga1/第二扫描信号 Ga2 可以采用同一信号；本行子像素的第一复位信号 Rst1 与上一行子像素的第一扫描信号 Ga1/第二扫描信号 Ga2 的波形相同，也即采用同一信号。然而，这并不作为对本公开的限制，在其它实施例中，可以采用不同的信号分别作为第一扫描信号 Ga1、第二扫描信号 Ga2、第一复位控制信号 Rst1、第二复位控制信号 Rst2，采用不同的信号分别作为第一发光控制信号 EM1 和第二发光控制信号 EM2。

在初始化阶段 1，输入第一复位控制信号 Rst1 以开启第六晶体管 T6，将第一复位电压 Vinit1 施加至第一晶体管 T1 的栅极，从而对该第一节点 N1 复位。

在数据写入及补偿阶段 2，输入第一扫描信号 Ga1、第二扫描信号 Ga2 以及数据信号 Vd，第二晶体管 T2 和第三晶体管 T3 开启，数据信号 Vd 由第二晶体管 T2 写入第二节点 N2，并经过第一晶体管 T1 和第三晶体管 T3 对第一节点 N1 充电，直至第一节点 N1 的电位变化至 $V_d + V_{th}$ 时第一晶体管 T1 截止，其中 V_{th} 为第一晶体管 T1 的阈值电压。该第一节点 N1 的电位存储于存储电容 Cst 中得以保持，也就是说将带有数据信号和阈值电压 V_{th} 的电压信息存储在了存储电容 Cst 中，以用于后续在发光阶段时，提供灰度显示数据和对第一晶体管 T1 自身的阈值电压进行补偿。

在数据写入极补偿阶段 2, 还可以输入第二复位控制信号 Rst2 以开启第七晶体管 T7, 将第二复位电压 Vinit2 施加至第四节点 N4, 从而对该第四节点 N4 复位。例如, 对该第四节点 N4 的复位也可以在初始化阶段 1 进行, 例如, 第一复位控制信号 Rst1 和第二复位控制信号 Rst2 可以相同。本公开实施例对此不作限制。

5 在发光阶段 3, 输入第一发光控制信号 EM1 和第二发光控制信号 EM2 以开启第四晶体管 T4、第五晶体管 T5 和第一晶体管 T1, 第五晶体管 T5 将驱动电流施加至 OLED 以使其发光。流经 OLED 的驱动电流 Id 的值可以根据下述公式得出:

$$I_d = K(V_{GS} - V_{th})^2 = K[(V_{data} + V_{th} - V_{DD}) - V_{th}]^2 = K(V_{data} - V_{DD})^2$$
, 其中, K 为第一晶体管的导电系数。

10 在上述公式中, Vth 表示第一晶体管 T1 的阈值电压, VGS 表示第一晶体管 T1 的栅极和源极 (这里为第一极) 之间的电压, K 为与第一晶体管 T1 本身相关的一常数。从上述 Id 的计算公式可以看出, 流经 OLED 的驱动电流 Id 不再与第一晶体管 T1 的阈值电压 Vth 有关, 由此可以实现对该像素电路的补偿, 解决了驱动晶体管 (在本公开的实施例中为第一晶体管 T1) 由于工艺制程及长时间的操作造成阈值电压漂移的问题, 消除其对驱动电流 Id 的影响, 从而可以改善采用其的显示装置的显示效果。

15 以下以图 3B-3C 所示像素电路为例、并结合图 4A-4B、图 5、图 6A-图 6B、图 7A-7C 对本公开至少一实施例提供的显示基板的结构进行示例性说明。

图 4A 为本公开至少一个实施例提供的显示基板 20 的示意图, 图 4A 对应示出了图 2C 中第一显示区 21 和第二显示区 22 的分界处的 A 区的放大示意图, 图中用虚线 B-B' 示出了第一显示区 21 和第二显示区 22 的分界区; 图 4A 中示意性地示出了第二显示区 22 中的四行四列像素电路单元以及与第一显示区 21 中与之相邻的像素电路单元。图 4B 为图 4A 沿剖面线 I-I' 的剖视图。需要说明的是, 为了清楚起见, 图 4B 省略了一些在剖面线处不存在直接电连接关系的结构。还为了清楚起见, 在图 5、图 6A-6B、图 7A-7B 以及图 8B 的对应的位置也示出了该剖面线 I-I'。

25 结合图 4A-4B 可知, 该显示基板 20 包括依次设置于衬底基板 20 上的半导体层 107、第一绝缘层 301、第一导电层 201、第二绝缘层 302、第二导电层 202、第三绝缘层 303、第三导电层 203、第四绝缘层 304 及第四导电层 204。

30 每个像素电路单元中的半导体层的图案及第一导电层的图案都是相同的, 图 5 示意性地示出了在第一方向 D1 上相邻的四个像素电路单元中晶体管 T1-T7 的半导体层 107 和第一导电层 (栅极层) 201; 图 6A 对应图 4A 示出了第二导电层 202, 图 6B 对应图 4A 示出了半导体层 107、第一导电层 201 以及该第二导电层 202; 图 7A 示出了第三导电层 203, 图 7B 在图 6B 的基础上示出了该第三导电层 203, 图 7C 示出了数据线的连接示意图; 图 8A 示出了第四导电层 204, 图 8B 在图 7B 的基础上示出了该第四导电层 204。

35 为了方便说明, 在以下的描述中用 Tng、Tns、Tnd 分别表示第 n 晶体管 Tn 的栅极、第一极、第二极, 其中 n 为 1-7。

需要说明的是，本公开中所称的“同层设置”是指两种（或两种以上）结构通过同一道沉积工艺形成并通过同一道构图工艺得以图案化而形成的结构，它们的材料可以相同或不同。本公开中的“一体的结构”是指两种（或两种以上）结构由同一膜层经同一道构图工艺得以图案化而形成的彼此连接的结构，它们的材料可以相同或不同。

5 例如，如图 5 所示，该第一导电层 201 包括每个晶体管的栅极以及一些扫描线和控制线。图 5 中用大虚线框示出了每个像素电路单元所在的区域，用小虚线框示出了一个像素电路单元 100 中第一到第七晶体管 T1-T7 的栅极 T1g-T7g。

该半导体层 107 包括第一到第七晶体管 T1-T7 的有源层 T1a-T7a。如图 5 所示，该第一到第七晶体管 T1-T7 的有源层 T1a-T7a 彼此连接为一体的结构。例如，每一列子像素中的半导体层 107 为彼此连接为一体的结构，相邻两列子像素中的半导体层彼此间隔。

10 例如，如图 5 所示，该第一导电层 201 包括第一到第七晶体管 T1-T7 的栅极 T1g-T7g。例如，该显示基板 20 采用自对准工艺，利用第一导电层 201 作为掩膜对该半导体层 107 进行导体化处理（例如掺杂处理），使得该半导体层 107 未被该第一导电层 201 覆盖的部分被导体化，从而各晶体管的有源层位于沟道区两侧的部分被导体化而分别形成该晶体管的第一极和第二极。

15 例如，该第一导电层 201 还包括彼此绝缘的多条栅线 11，该栅线 11 例如包括多条扫描线 210、多条复位控制线 220 和多条发光控制线 230。这里栅线 11 是指与晶体管的栅极直接连接以提供扫描信号或控制信号的信号线。例如，每行子像素分别对应连接一条扫描线 210、两条复位控制线 220 和一条发光控制线 230。

20 扫描线 210 与对应的一行子像素中的第二晶体管 T2 的栅极电连接（或为一体的结构）以提供第一扫描信号 Ga1，一条复位控制线 220 与对应的一行子像素中的第六晶体管 T6 的栅极电连接以提供第一复位控制信号 Rst1，发光控制线 230 与对应一行子像素中的第四晶体管 T4 的栅极电连接以提供第一发光控制信号 EM1。

25 例如，如图 5 所示，本行像素电路的第七晶体管 T7 的栅极与下一行像素电路（即按照扫描线的扫描顺序，在本行扫描线之后顺序开启的扫描线所在的像素电路行）所对应的复位控制线 220 电连接以接收第二复位控制信号 Rst2。

30 例如，如图 5 所示，该扫描线 210 还与第三晶体管 T3 的栅极电连接以提供第二扫描信号 Ga2，即第一扫描信号 Ga1 和第二扫描信号 Ga2 可以为同一信号；该发光控制线 230 还与第五晶体管 T5 的栅极电连接以提供第二发光控制信号 EM2，也即该第一发光控制信号 EM1 和第二发光控制信号 EM2 为同一信号。

例如，例如该第一栅极 T3g1 沿第一方向 D1 延伸，为扫描线 210 的一部分。该第二栅极 T3g2 沿第二方向 D2 延伸，为扫描线 210 沿第二方向 D2 延伸的延伸部。

35 例如，如图 6A-6B 所示，该第二导电层 202 包括第一电容电极 Ca。该第一电容电极 Ca 在垂直于衬底基板 200 的方向上与第一晶体管 T1 的栅极 T1g 重叠从而形成存储电容 Cst，也即该第一晶体管 T1 的栅极 T1g 充当该存储电容 Cst 的第二电容电极 Cb。例如，该第一电

容电极 Ca 包括开口 221, 该开口 221 暴露出该第一晶体管 T1 的栅极 T1g 的至少部分, 以便于该栅极 T1g 与其它结构电连接。位于第一显示区的第一电容电极 Ca 通过过孔与第一电源线 210 电连接以接收第一电源电压 VDD1, 位于第二显示区的第一电容电极 Ca 通过过孔与第二电源线 220 电连接以接收第二电源电压 VDD2, 后文将对此进行详细描述。

5 如图 6A 所示, 例如, 在第一显示区 21 中位于同一像素行的且彼此相邻的像素电路单元 100 的第一电容电极 Ca 彼此连接为一体的结构; 在第二显示区 22 中位于同一行且彼此相邻的像素电路单元 100 的第一电容电极 Ca 彼此连接为一体的结构。

例如, 如图 6A 所示, 在第一方向 D1 上相邻的第一子像素的第一电容电极 Ca 和第二子像素的第一电容电极 Ca 同层设置且彼此间隔, 这是由于位于两个显示区的第一电容电极需要分别接收不同的像素电源电压 VDD, 因此二者需要绝缘。图 6A 和 6B 中分别用虚线 B-B' 示出了第一显示区和第二显示区的分界区, 以下各实施例与此相同, 不再赘述。

10 在一些示例中, 多条第三电源线 230 分别与多行第一像素电路 (也即位于第一显示区的多行像素电路单元) 一一对应设置, 多条第四电源线 240 分别与多行第二像素电路 (也即位于第二显示区的多行像素电路单元) 一一对应设置; 每条第三电源线与所对应的一行第一子像素的像素电路单元的第一电容电极 Ca 一体形成, 每条第四电源线 240 与所对应的一行第二子像素的像素电路单元的第一电容电极 Ca 一体形成; 也即, 第三电源线 230 的一部分作为第一像素电路的第一电容电极 Ca, 第四电源线 240 的一部分作为第二像素电路的第一电容电极 Ca。

20 例如, 如图 6A-6B 所示, 该第二导电层 202 还可以包括沿第一方向 D1 延伸的多条复位电压线 340, 该多条复位电压线 340 与多行子像素一一对应连接。该复位电压线 340 与对应一行子像素中的第六晶体管 T6 的第一极电连接以提供第一复位电压 Vinit1。

例如, 如图 6B 所示, 本行子像素中的第七晶体管 T7 的第一极与下一行子像素所对应的复位电压线 340 电连接以接收第二复位电压 Vinit2。后文将结合图 7B 对此进行详细描述。

25 例如, 如图 6A-6B 所示, 位于第二显示区 22 的每个第二子像素还包括位于第二导电层 202 的连接电极 222 (本公开第二连接电极的一个示例), 该连接电极 222 将该第二像素电路的两个像素电路单元的数据写入子电路的第一端 (参考图 5, 也即第二晶体管 T2 的第一极 T2s) 彼此电连接, 从而使得该两个像素电路单元的数据写入子电路在数据写入和补偿阶段写入同一数据电压, 从而在发光阶段发光元件能根据对应的显示灰阶数据进行发光。

30 例如, 如图 6A-6B 所示, 该第二导电层 202 还包括连接电极 223 (本公开第三连接电极的一个示例), 连接电极 223 位于第一显示区 21 和第二显示区 22 的分界处。该连接电极 223 用于将第一显示区 21 中第一子像素的数据写入子电路的第一端与第二显示区 22 中的数据线电连接以为第二子像素提供数据信号, 后文将结合图 7B-7C 对此进行详细描述。

35 例如, 如图 6A-6B 所示, 该第二导电层 202 还可以包括屏蔽电极 224。例如, 该屏蔽电极 224 与第二晶体管 T2 的第一极 T2s 在垂直于衬底基板 200 的方向上重叠从而可以保护该第二晶体管 T2 的第一极 T2s 中的信号不受其它信号的干扰。由于该第二晶体管 T2 的第一极

T2s 配置为接收数据信号 Vd，而该数据信号 Vd 决定了该子像素的显示灰阶，因此该屏蔽电极 224 提高了数据信号的稳定性，从而提高了显示性能。

例如，结合参考图 6B 和图 5，该屏蔽电极 224 还与第六晶体管 T6 的第二极 T6d 在垂直于衬底基板 200 的方向上至少部分重叠，以提高该第二极 T6d 中信号的稳定性，从而提高第六晶体管 T6 的稳定性，进一步稳定了第一晶体管 T1 的栅极电压。

例如，结合参照图 6B 与图 5，该屏蔽电极 224 还延伸至相邻的像素电路单元并与相邻的像素电路单元中的第三晶体管 T3 的有源层在垂直于衬底基板 200 的方向上至少部分重叠，以提高第三晶体管 T3 的稳定性，进一步稳定了第一晶体管 T1 的栅极电压。

例如，该屏蔽电极 224 配置为加载固定电压；例如，该屏蔽电极 224 与第三导电层中的电源线电连接以加载像素电源电压 VDD，后文将结合图 7B 对此进行详细描述。

例如，如图 7A-7B 所示，该第三导电层 203 包括多条第一电源线 210 和多条第二电源线 220。例如，该多条第一电源线 210 与位于第一显示区 21 的多列像素电路单元一一对应电连接以提供第一电源电压 VDD1。该多条第二电源线 220 与位于第二显示区 22 的多列像素电路单元一一对应电连接以提供第二电源电压 VDD2。对应同一列像素电路单元的第一电源线 210 和第二电源线 220 彼此间隔设置以绝缘；也即第一子像素所对应连接的第一电源线 210 和与之在第二方向 D2 上相邻的第二子像素的像素电路单元所对应连接的第二电源线 220 彼此间隔设置。例如，与第二子像素在第一方向 D1 上相邻的第一子像素所对应连接的第一电源线 210 在第二方向 D2 上连续设置，贯穿整个第一显示区 21。

结合参考图 7B，该第一电源线 210 通过过孔 341（本公开第一过孔的一个示例）与所对应的一列像素电路单元 100 中的第一电容电极 Ca 电连接，该第二电源线 220 通过过孔 342（本公开第二过孔的一个示例）与所对应的一列像素电路单元 100 中的第一电容电极 Ca 电连接。该第一电源线 210 和第二电源线还分别通过过孔 343 与第四晶体管 T4 的第一极 T4s 电连接。该第一电源线 210 和第二电源线 220 还分别通过过孔 344 与屏蔽电极 224 电连接，从而使得屏蔽电极 224 具有固定电位，提高了该屏蔽电极的屏蔽能力。例如，该过孔 341、342 和过孔 344 均贯穿第三绝缘层 303，该过孔 343 贯穿第一绝缘层 301、第二绝缘层 302 和第三绝缘层 303。

例如，该第三导电层 203 还包括沿第二方向延伸的多条主数据线 250 和多条辅数据线 260，多条主数据线 250 沿第一方向 D1 排列，多条辅数据线 260 沿第一方向 D1 排列；多条主数据线 250 与第一显示区 21 中的多列像素电路单元的数据子电路的第一端一一对应电连接以提供数据信号；多条辅数据线 260 与第二显示区 22 中的多个像素电路单元的数据子电路的第一端电连接以提供数据信号。在第二方向 D2 上对应同一列像素电路单元的主数据线 250 和辅数据线 260 一一对应，每条辅数据线 260 与对应的主数据线 250 在第二方向 D2 上并列设置。

如图 7A-7B 所示，辅数据线 260 与对应的主数据线 250 直接电连接或间隔设置且彼此绝缘，这与该显示基板 20 的像素排布方式有关。

图 7C 示出了本公开至少一实施例提供的显示基板的数据线示意图，图 7C 示意性地示出了位于第二显示区的四行八列像素电路单元 100（也即四行四列第二像素电路 120）以及与之对应的位于第一显示区的一行八列像素电路单元 100（也即一行八列第一像素电路 110）。

5 如图 7C 所示，多条辅数据线 260 划分为多个数据线组 140，每个数据线组 140 包括两条辅数据线 260，多个数据线组 140 分别与多列第二像素电路 120 一一对应电连接以提供数据信号。图 7C 示出了四列第二像素电路所对应的四个数据线组 140。

结合参考图 4A-4B 和图 7B-7C，每个第二像素电路 120 中的两个像素电路单元的第一数据子电路的第一端通过连接电极 222 电连接，每个第二像素电路 120 通过该连接电极 222 与对应的辅数据线 260 电连接以接收数据信号供其两个数据子电路使用。

10 例如，结合参考图 7B 和图 7C，多行第二像素电路 120 中位于第 n 行和第 $n+1$ 行且位于同一列的两个第二像素电路构成一个像素电路组 130，共用一条辅数据线 260，也即该像素电路组 130 中的两个第二像素电路的连接电极 222 均与该辅数据线 260 电连接； n 为大于 0 的奇数或偶数。在第二方向 D2 上，位于同一列的像素电路组 130 交替地与该行第二像素电路 120 对应的数据线组 140 中的两条辅数据线 260 电连接。

15 结合参考图 7B 和图 7C，相邻的两个数据线组 140 中的四条辅数据线 260 为在所述第一方向依次排列的第一数据线 261、第二数据线 262、第三数据线 263 和第四数据线 264。该第一数据线 261 与其所对应的主数据线 250 直接电连接，该第二数据线 262、第三数据线 263 和第四数据线 264 分别与各自对应的主数据线 250 同层间隔设置。该第四数据线 264 通过连接电极 223 与该第二数据线 262 所对应的主数据线 260 电连接。这种设置方式与该显示基板的像素排布方式有关。

20 例如，如图 7C 所示，相邻的两个像素电路组 130 对应四个第二像素电路 120 并构成一个最小重复单元 P，例如，该四个第二像素电路分别配置为驱动一个红色发光元件、两个绿色发光元件和一个蓝色发光元件发光，从而可以实现全彩显示。在本实施例中，一个最小重复单元 P 包括四个第二像素电路，这是与本公开实施例提供的显示基板的像素排布有关。然而本公开实施例最小重复单元所包括的像素电路的数目不作限制。例如，在其它示例中，最小重复单元可以包括三个像素电路，分别配置为驱动一个红色发光元件、一个绿色发光元件和一个蓝色发光元件发光。

30 例如，由于为了提高显示基板的显示均一性，需要在第三显示区中设置发光元件进行显示，又由于为了提高第三显示区的透光率，第三显示区中并未设置像素电路，因此该第三显示区中的发光元件所对应的像素电路需要设置在其它区域，例如第二显示区。因此，第二显示区中有一部分第二像素电路所对应的发光元件设置在第二显示区中，有一部分第二像素电路所对应的发光元件并不设置在第二显示区中，而这一部分第二像素电路以最小重复单元 P 为单位进行设置，从而不影响显示基板的显示功能。例如，该第二显示区中包括 N 个最小重复单元 P，该 N 个最小重复单元 P 中有 M 个最小重复单元 P（称之为第一最小重复单元 P1）
35 的第二像素电路 120 所对应的发光元件设置在第二显示区中，其余的 $N-M$ 个最小重复单元 P

(称之为第二最小重复单元 P2) 所对应的发光元件并不设置在第二显示区 22 中。例如, 该 N 个最小重复单元 P 中有 L 个最小重复单元 P 的第二像素电路所对应的发光元件设置在第三显示区 23 中, 例如, L 小于或等于 N-M; M 小于 N, N、M、L 均为正整数。

5 例如, 图 7C 示出了阵列排布的四个最小重复单元 P, 该四个最小重复单元 P 排列为两行两列。该四个最小重复单元 P 划分为两对, 图 7C 中用不同的填充对该两对最小重复单元进行区分, 每对最小重复单元 P 包括既不同行也不同列的两个最小重复单元 P, 该两对最小重复单元 P 中只有一对最小重复单元 P 配置为在该第二显示区发光, 也即只有一对最小重复单元 P 所对应的发光元件位于该第二显示区, 另一对最小重复单元 P 在第二显示区中并不对应设置发光元件。换句话说, 在行方向或列方向相邻的两个最小重复单元中 P 只有一个所对
10 应的发光元件位于该第二显示区, 另一个最小重复单元在第二显示区中并不对应设置发光元件, 也即该两个最小重复单元中 P 包括一个第一最小重复单元 P1 和一个第二最小重复单元 P2。这种错开设置的方式避免第二显示区出现较大的显示空白区域, 从而可以提高第二显示区的均一性。

例如, 第二最小重复单元 P2 对应的发光元件位于第三显示区 23 或者不设置发光元件。
15 当第二显示区中对最小重复单元 P 进行上述设置后, 第二最小重复单元所对应的发光元件的数目超过该第三显示区所需要设置的发光元件的数目时, 就会有一部分第二最小重复单元 P2 不对应设置发光元件从而形成虚拟像素; 在这种情形, L 小于 N-M。这种设置可以提高第二显示区 22 的显示均一性。

例如, 接着参考图 7C, 与第一最小重复单元 P1 中的第二像素电路连接的辅数据线 260
20 均从下方的第一显示区 (也即在第二方向 D2 上与该第二显示区相邻的显示区) 中主数据线 250 接收数据信号, 与第二最小重复单元 P2 中的第二像素电路连接的辅数据线 260 与设置于该第二显示区上方 (在第二方向 D2 上远离第一显示区的一侧) 的数据信号走线 (未示出) 接收数据信号。这种设置有利于简化布线。

例如, 如图 2C 所示, 该第二显示区 22 位于显示区的边缘, 该显示基板还包括位于非显
25 示区的数据信号走线 (未示出), 该数据线信号走线绕显示区设置, 并从显示区的上侧 (与第一电源电压端和第二电源电压端相对的一侧) 接入第二显示区中。例如, 该显示基板还包括位于非显示区中的数据信号端 (未示出), 该数据信号端例如位于显示区的下侧, 该数据信号走线的一端与数据信号线电连接以接收数据信号, 另一端接入第二显示区以提供该数据信号。例如, 该数据信号走线的设置方式与该第二电源走线 106 的设置方式类似。

30 例如, 如图 7C, 第一数据线 261 和第四数据线 264 分别与第二显示区中相邻的两列第二像素电路 120 中属于第一最小重复单元 P1 的第二像素电路 120 连接以提供数据信号, 因此该第一数据线 261 和第四数据线 264 分别与第一显示区中对应的相邻的两条主数据线 250 连接以接收相应的数据信号。

例如, 如图 7C 所示, 第二数据线 262 和第三数据线 263 分别与第二显示区中相邻的两
35 列第二像素电路 120 中属于第二最小重复单元 P2 的第二像素电路 120 连接以提供数据信号,

因此该第二数据线 262 和第三数据线 263 与设置于该第二显示区在第二方向 D2 上远离第一显示区的一侧)的数据信号走线(未示出)接收数据信号。

5 如图 4A-4B、7A-7B 所示,该第三导电层 203 还包括连接电极 231,该连接电极 231 的一端通过第一电容电极 Ca 中的开口 221 以及绝缘层中的过孔 346 与该第一晶体管 T1 的栅极 T1g,即第二电容电极 Cb 电连接,另一端通过过孔 347 与该第三晶体管 T3 的第二极 T3d 电连接,从而将该第二电容电极 Cb 与该第三晶体管 T3 的第二极 T3d 电连接。例如,该过孔 346 贯穿第二绝缘层 302 和第三绝缘层 303。例如,该过孔 347 贯穿第一绝缘层 301、第二绝缘层 302 和第三绝缘层 303。

10 例如,结合图 4A-4B、图 7A-7B 所示,该第三导电层 203 还包括位于每个像素电路单元 100 中的连接电极 232(本公开第一连接电极的一个示例),该第二连接电极 232 通过过孔 348 与第五晶体管 T5 的第二极 T5d 电连接,并用于将该第五晶体管 T5 的第二极 T5d 与发光元件的第一电极 134 电连接。例如,该过孔 348 贯穿第一绝缘层 301、第二绝缘层 302 和第三绝缘层 303。

15 例如,第一子像素包括发光元件 121(本公开第一发光元件的一个示例),该发光元件 121 与该第一子像素的像素电路单元的连接电极 134 一一对应电连接。

例如,第二子像素包括发光元件 121(本公开第二发光元件的一个示例),该发光元件 121 与该第二子像素的两个像素电路单元的连接电极 134 均电连接。

20 例如,如图 7A-7B 所示,该第三导电层 203 还包括连接电极 233,该第三连接电极 233 的一端通过过孔 351 与复位电压线 340 电连接,另一端通过过孔 352 与第六晶体管 T6 的第一极 T6s 电连接,使得该第六晶体管 T6 的第一极 T6s 可以从该复位电压线 340 接收第一复位电压 Vinit1。例如,该过孔 351 贯穿第三绝缘层 303。例如该过孔 352 贯穿第一绝缘层 301、第二绝缘层 302 和第三绝缘层 303。

25 例如,如图 7B 所示,上一行子像素中的第七晶体管 T7 的第一极与本行子像素所对应的复位电压线 340 电连接以接收第二复位电压 Vinit2,本行子像素中的第七晶体管 T7 的第一极与下一行子像素所对应的复位电压线 340 电连接以接收第二复位电压 Vinit2。

例如,如图 4A-4B、图 7A-7B 所示,该第三导电层 203 还包括位于每个像素电路单元中的连接电极 234,该连接电极 234 用于将第二晶体管 T2 的第一极 T2s 与连接电极 222 电连接,也即该连接电极 222 并不直接通过贯穿第二绝缘层 302 的过孔与第二晶体管 T2 的第一极 T2s 电连接,从而节省了一道对第二绝缘层 302 的构图工艺。

30 如图 4A-4B 所示,对于一个第二像素电路,其两个像素单元中的两个连接电极 234 分别靠近该两个像素电路单元所对应的两条辅数据线 260 设置,该两条辅数据线 260 中的一条与该第二像素电路电连接,并和与之靠近的连接电极 234 直接连接为一体的结构;另一条和与之靠近的连接电极 234 间隔设置以与该第二像素电路绝缘。

35 如图 4A-4B 和图 7A-7B 所示,该连接电极 234 通过过孔 353 与连接电极 222 电连接,并通过过孔 354 与第二晶体管 T2 的第一极 T2s 电连接。例如,该过孔 353 贯穿第三绝缘层

303, 该过孔 354 贯穿第一绝缘层 301、第二绝缘层 302 和第三绝缘层 303。

例如, 如图 7B 所示, 连接电极 223 分别通过过孔 355、过孔 356 与位于第一显示区 21 的连接电极 234 以及位于第二显示区 22 的第四数据线 264 电连接。

5 图 8A 对应图 7C 的电路结构示出了第四导电层 204, 其中用虚线 B-B' 示出了第一显示区 21 和第二显示区 22 的分界, 并用虚线框示出了第一最小重复单元 P1 所在的区域和第二最小重复单元 P2 所在的区域。

如图 8A 所示, 该第四导电层 204 在第一显示区 21 不存在图案。在另一些示例中, 该第四导电层 204 可以包括位于第一显示区的转接电极, 该转接电极例如用于将发光元件与下方的像素电路电连接。本公开实施例对此不作限制。

10 如图 8A 所示, 该第四导电层 204 包括位于第二显示区 22 的连接电极 241 (本公开第四连接电极的一个示例), 该连接电极 241 对应于第二最小重复单元 P2 中的每个第二像素电路 120 设置, 该连接电极 241 用于将该第二像素电路 120 中的两个像素电路单元 100 的连接电极 232 电连接。结合参考图 8B, 该连接电极分别通过过孔 357 与两个像素电路单元 100 的连接电极 232 电连接, 该过孔 357 例如贯穿第四绝缘层 304。

15 例如, 如图 8A 所示, 该第四导电层 204 包括多条连接线 242, 该连接线 242 与连接电极 241 一一对应设置并电连接, 例如为一体的结构。该连接线 242 从第二显示区 22 延伸至第三显示区 23, 用于将该连接电极 241 与位于第三显示区 23 的发光元件电连接。例如, 多条连接线 242 沿第一方向 D1 延伸。

20 在另一些示例中, 该连接电极 241 并不与发光元件电连接, 也不对应设置有该连接线 242, 也即该连接电极所对应的第二最小重复单元中的第二像素电路形成虚拟像素。

例如, 如图 8A 并结合图 4A-4B 所示, 该第四导电层 204 在对应于第一最小重复单元 P1 的区域没有设置该连接电极 241, 这是由于第一最小重复单元 P1 中的像素电路单元的连接电极 232 直接与其对应的发光元件的第一电极电连接 (参考图 4B), 而不需要设置在第四导电层 204 中设置连接电极 241 以及连接线 242。在另一些示例中, 该第四导电层 204 可以在对应于第一最小重复单元 P1 的区域设置转接电极, 该转接电极例如用于将发光元件与下方的像素电路电连接。本公开实施例对此不作限制。

例如, 如图 8A 所示, 第二最小重复单元 P2 所对应连接的可由第一最小重复单元 P1 对应的区域导电第三显示区 23, 也即连接线 242 可以与第一最小重复单元 P1 中的像素电路单元在垂直于衬底基板的方向上重叠。

30 例如, 该第四导电层 204 的材料为透明导电金属氧化物材料, 例如氧化铟锡 (ITO)、氧化铟锌 (IZO)、氧化锌 (ZnO)、氧化锌铝 (AZO) 等。由于连接线 242 延伸至第三显示区 23, 将该第四导电层 204 设置为透明导电材料可以提高第三显示区的透光率。

例如, 该显示基板 20 还可以包括依次位于第四导电层上的第五绝缘层和第五导电层。图 9A 和 9B 示出了第五导电层 205 的示意图, 其中图 9A 示出了该第五导电层 205 对应图 35 2C 中区域 A 的图案, 图 9B 示出了该第五导电层 205 在第三显示区 23 的图案。该第五导电

层 205 包括各发光元件 121 的第一电极 134。

图 9A 中用虚线 B-B' 示出了第一显示区 21 与第二显示区 22 的分界区，并用虚线框示
5 分别示出了位于第二显示区 22 中的第一最小重复单元 P1 对应的发光元件的第一电极以及位于
第一显示区 21 中的最小重复单元 P 对应的发光元件的第一电极。例如，每个最小重复单
元对应四个发光元件 121。

如图 9A 所示，在第二显示区 22 中，该第五导电层 205 对应于第二最小重复单元 P2 的
区域未设置该第一电极 134，这是由于第二最小重复单元 P2 对应的发光元件设置在第三显
示区或者未对应设置有发光元件（对应虚拟像素的情形）。

10 结合参考图 4A-4B，第一电极 134 通过过孔 358 与对应的第二像素电路 120 中的两个像
素电路单元 100 的连接电极 232 电连接，从而该两个像素电路单元 100 连接到同一个发光元
件 121。图 9A 示出了该第一电极 134 对应该两个过孔 358 的两个接触孔区 610，也即该第一
电极 134 与该连接电极 232 接触以形成电连接的区域。如图 9A 所示，当第一电极 134 的主
体部未覆盖该两个过孔 358 时，该第一电极 134 包括延伸部 620 以覆盖该过孔 358。该过孔
358 例如贯穿第四绝缘层 304 和第五绝缘层 305。

15 为了便于说明，图 9B 中还示出了第四导电层 204 中的连接线 242，结合参考图 8A，多
条连接线 242 从第二显示区 22 延伸至第三显示区 23，并与第三显示区 23 中的多个第一电极
134 一一对应电连接，每个第一电极 134 通过对应的连接线 242 连接到相应的连接电极 241，
从而与对应的第二像素电路 120 电连接。如图 9B 所示，每个第一电极 134 包括连接部 150，
该连接部 150 用于通过过孔 359 与对应的连接线 242 电连接。该过孔 359 例如贯穿第五绝缘
20 层 305。

如图 9B 所示，例如，每四个第一电极 134 构成一个像素电极组 T，该四个第一电极 134
分别与一个第二最小重复单元 P2 中的四个第二像素电路 120 一一对应电连接。对于每一行，
只有奇数列或偶数列上存在该像素电极组 T；对于每一列，只有奇数行或偶数行存在该像素
电极组 T；也即，对于每个像素电极组 T，在第一方向 D1（行方向）和第二方向 D2（列方
25 向）上均不存在与之直接相邻的像素电极组。这种排布规律类似于该第五导电层 205 在第三
显示区 23 中的排布规律，这是为了提高显示的均一性。

30 例如，参考图 4A-4B，该显示基板 20 还可以包括位于发光元件的第一电极远离衬底基
板 200 一侧的像素界定层 306。像素界定层 306 中形成开口暴露出第一电极 134 的至少部分
从而界定显示基板各个子像素的开口区（即发光区）600。发光元件 121 的发光层 136 至少
形成于该开口内（发光层 136 还可以覆盖部分的像素界定层远离发光元件的第一电极一侧的
表面），第二电极 135 形成于发光层 136 上从而形成该发光元件 121。例如，该第二电极 135
为公共电极，整面布置于该显示基板 20 中。例如第一电极 134 为发光元件的阳极，第二电
极 135 为发光元件的阴极。

35 图 9A 和图 9B 分别在发光元件 121 的第一电极上示出了该开口区 600 的位置，并示出
了该第一电极的接触孔区 610 或过孔 359 相对于各第一电极 134 的位置。如图 9A 和 9B 所

示,该接触孔区 610 或过孔 358 与开口区 600 在衬底基板 200 上的正投影不重叠,也即该接触孔区 610 或过孔 358 在衬底基板 200 上的正投影位于开口区 600 之外。这种设置避免了过孔影响开口区内的发光层的平整度从而影响发光品质。

例如,第二显示区 22 包括 X 个第二像素电路 120 和 Y 个发光元件 121 (本公开第二发光元件的一个示例),该 Y 个发光元件与 N 个第二像素电路中的 Y 个第二像素电路一一对应电连接, X、Y 均为正整数,且 Y 小于 X。

例如,第三显示区 23 包括 Z 个发光元件 121 (本公开第三发光元件的一个示例),该 Z 个发光元件的第一电极分别通过连接线 242 与该 X 个第二子像素电路中的 Z 个第二像素电路 120 的连接电极 241 一一对应电连接, Z 为正整数且小于或等于 X-Y。

10 如图 9A 所示,对于每个最小重复单元 P 所驱动四个发光元件,绿色发光元件 (G) 的开口区 600 的面积最小,蓝色发光元件 (B) 的开口区的面积最大。这是由于人眼对绿色较为敏感,而蓝色发光材料的寿命最短,因此需要较大的发光面积来提高显示基板发光的稳定性。

15 例如,如图 9A 所示,第二显示区 23 中的至少一个发光元件的开口区 600 的面积大于第一显示区 22 中与其发相同颜色的光的发光元件的开口区的面积。这是由于第二显示区中像素密度较低,发光元件的密度(单位面积发光元件的个数),通过提高单个发光元件的发光区域,也即开口区,可以进一步提高整个显示基板的均一性。

20 例如,衬底基板 200 可以为刚性基板,例如玻璃基板、硅基板等,也可以由具有优良的耐热性和耐久性的柔性材料形成,例如聚酰亚胺 (PI)、聚碳酸酯(PC)、聚乙烯对苯二甲酸乙二醇酯 (PET)、聚乙烯、聚丙烯酸酯、多芳基化合物、聚醚酰亚胺、聚醚砜、聚乙二醇对苯二甲酸酯(PET)、聚乙烯(PE)、聚丙烯(PP)、聚砜(PSF)、聚甲基丙烯酸甲酯(PMMA)、三醋酸纤维素(TAC)、环烯烃聚合物(COP)和环烯烃共聚物(COC)等。

例如,该半导体层 107 的材料包括但不限于硅基材料(非晶硅 a-Si,多晶硅 p-Si 等)、金属氧化物半导体 (IGZO, ZnO, AZO, IZTO 等)以及有机物材料(六噻吩,聚噻吩等)。

25 例如,该第一到第四导电层的材料可以包括金 (Au)、银 (Ag)、铜 (Cu)、铝 (Al)、钼 (Mo)、镁 (Mg)、钨 (W) 以及以上金属组合而成的合金材料;或者透明导电金属氧化物材料,例如氧化铟锡 (ITO)、氧化铟锌 (IZO)、氧化锌 (ZnO)、氧化锌铝 (AZO) 等。

30 例如,该发光元件 121 为顶发射结构,第一电极具 134 有反射性而第二电极 135 具有透射性或半透射性。例如,第一电极 134 为高功函数的材料以充当阳极,例如为 ITO/Ag/ITO 叠层结构;第二电极 135 为低功函数的材料以充当阴极,例如为半透射的金属或金属合金材料,例如为 Ag/Mg 合金材料。

35 例如,第一绝缘层 301、第二绝缘层 302、第三绝缘层 303、第四绝缘层 304 和第五绝缘层 305 例如为无机绝缘层,例如氧化硅、氮化硅、氮氧化硅等硅的氧化物、硅的氮化物或硅的氮氧化物,或者氧化铝、氮化钛等包括金属氮氧化物绝缘材料。例如,第四绝缘层 304、第五绝缘层 305 也可以与像素界定层 306 一样为有机绝缘材料,例如为聚酰亚胺 (PI)、丙

烯酸酯、环氧树脂、聚甲基丙烯酸甲酯（PMMA）等有机绝缘材料。例如，第四绝缘层 304 和第五绝缘层为平坦化层。本公开实施例对此不作限制。

5 本公开的至少一实施例还提供一种显示装置，该显示装置包括上述任一显示基板 20 以及传感器。图 10A 示出了本公开一些实施例提供的显示装置 40 的结构示意图，图 10B 为图 10A 所示显示装置沿 C-C' 的剖视图。

10 如图 10A 所示，该传感器 401 对应设置于显示基板 20 的第三显示区 23 并设置于显示基板的与显示侧相对的一侧，例如设置于衬底基板 200 远离发光元件的一侧。该传感器 401 例如为光电传感器，配置为接收来自所述显示基板的第一侧的光并将该光线转换成电信号并用于形成图像。例如，该光线从显示侧经该第三显示区 23 到达传感器，例如该光线为可见光或红外光。

15 例如，该显示装置 40 还包括设置于显示基板 20 上的封装层 207 和盖板 208，该封装 207 配置为对显示基板 20 中的发光元件进行密封以防止外界的湿气和氧向该发光元件及驱动电路的渗透而造成对器件的损坏。例如，封装层 207 包括有机薄膜或者包括有机薄膜及无机薄膜交替层叠的结构。例如，该封装层 207 与显示基板 20 之间还可以设置吸水层（未示出），配置为吸收发光元件在前期制作工艺中残余的水汽或者溶胶。盖板 208 例如为玻璃盖板。例如，盖板 208 和封装层 207 可以为一体的结构。

20 例如，传感器 401 可以贴附于显示基板 20 的背面（与显示面相对的一面）。如图 10B 所示，成像元件 401 贴附在衬底基板 200 远离发光元件的第二电极 136 的一侧。该传感器 401 例如可以实现为摄像头。

20 该显示装置例如可以数码相框、智能手环、智能手表、手机、平板电脑、显示器、笔记本电脑、导航仪等具有任何显示功能的产品或者部件。

以上所述仅是本发明的示范性实施方式，而非用于限制本发明的保护范围，本发明的保护范围由所附的权利要求确定。

权利要求书

1、一种显示基板，具有用于显示的第一侧和与所述第一侧相对的第二侧，

其中，所述显示基板包括显示区，所述显示区包括位于衬底基板上的多个像素电路单元，所述多个像素电路单元沿第一方向和第二方向排列为多行多列，所述第一方向和所述第二方向不同；

所述多个像素电路单元的每个包括驱动子电路以及用于与发光元件连接的第一连接电极，所述驱动子电路的第一端配置为接收像素电源电压，第二端配置为通过所述第一连接电极与所述发光元件电连接，所述像素电路单元的驱动子电路配置为响应于所述像素电源电压形成流经所述发光元件的驱动电流；

所述显示区包括第一显示区和第二显示区，

所述第一显示区包括多个第一子像素，每个第一子像素包括第一像素电路，所述第一像素电路包括一个所述像素电路单元；

所述第二显示区包括多个第二子像素，每个第二子像素包括第二像素电路，所述第二像素电路包括相邻的两个所述像素电路单元，所述第二像素电路的两个所述像素电路单元的第一连接电极彼此电连接以连接到同一个发光元件；

所述第一显示区的所述多个第一子像素的像素密度高于所述第二显示区的所述多个第二子像素的像素密度；

所述显示基板还包括第一电源电压端和第二电源电压端，所述第一电源电压端与所述第二电源电压端彼此绝缘，所述第一电源电压端配置为能输出第一电源电压，所述第二电源电压端配置为能输出第二电源电压，所述第一电源电压不同于所述第二电源电压；

所述第一像素电路配置为与所述第一电源电压端连接以接收所述第一电源电压，以作为所述第一像素电路的像素电路单元的像素电源电压，

所述第二像素电路配置为与所述第二电源电压端连接以接收所述第二电源电压，以作为所述第二像素电路的两个像素电路单元的像素电源电压。

2、如权利要求 1 所述的显示基板，还包括沿所述第二方向延伸的多条第一电源线 and 多条第二电源线，

其中，所述多条第一电源线和所述多条第二电源线分别沿所述第一方向排列；

所述多条第一电源线和所述多条第二电源线同层绝缘设置；

所述多条第一电源线与所述第一电源电压端电连接并与所述多个第一子像素的驱动子电路连接，以提供所述第一电源电压；

所述多条第二电源线与所述第二电源电压端电连接并与所述多个第二子像素的驱动子电路连接，以提供所述第二电源电压。

3、如权利要求 2 所述的显示基板，其中，所述多条第二电源线与所述多条第一电源线一一对应，每条第二电源线与对应的第一电源线在所述第二方向上并列设置且彼此间隔。

4、如权利要求 2 或 3 所述的显示基板，还包括非显示区以及位于所述非显示区的电源

走线，

其中，所述电源走线绕所述显示区设置，并将所述第二电源电压端与多条第二电源线电连接。

5 5、如权利要求 2-4 任一所述的显示基板，还包括沿所述第一方向延伸的多条第三电源线和多条第四电源线，

其中，所述多条第三电源线和所述多条第四电源线沿所述第二方向排列；

所述多条第三电源线和所述多条第四电源线同层绝缘设置，并位于所述多条第一电源线和所述多条第二电源线靠近所述衬底基板的一侧；

10 所述多条第三电源线与所述多条第四电源线一一对应，每条第三电源线与所对应的第四电源线在所述第一方向上并列设置且彼此间隔。

6、如权利要求 5 所述的显示基板，其中，每条第三电源线通过至少一个第一过孔与所述多条第一电源线中至少之一电连接；

每条第四电源线通过至少一个第二过孔与所述多条第二电源线中至少之一电连接。

15 7、如权利要求 5 或 6 所述的显示基板，其中，所述像素电路单元还包括数据写入子电路、补偿子电路和存储子电路；

所述数据写入子电路包括控制端、第一端和第二端，所述数据写入子电路的第二端与所述驱动子电路电连接；

20 所述补偿子电路包括控制端、第一端和第二端，所述补偿子电路的控制端配置为接收扫描信号，所述补偿子电路的第一端和第二端分别与所所述驱动子电路的第二端和控制端电连接，所述补偿子电路配置为响应所述扫描信号对所述驱动子电路进行阈值补偿；

所述存储子电路与所述驱动子电路的控制端和第一电压端电连接；

所述存储子电路包括存储电容，所述存储电容包括第一电容电极和第二电容电极，所述第一电容电极配置为接收所述像素电源电压，所述第二电容电极和所述驱动子电路的控制端连接。

25 8、如权利要求 7 所述的显示基板，其中，所述多条第三电源线分别与多行第一像素电路一一对应设置，所述多条第四电源线分别与多行第二像素电路一一对应设置；

每条第三电源线与所对应的一行第一子像素的像素电路单元的第一电容电极一体形成，每条第四电源线与所对应的一行第二子像素的像素电路单元的第一电容电极一体形成。

30 9、如权利要求 7 或 8 所述的显示基板，其中，所述第二像素电路的两个像素电路单元的数据写入子电路的第一端彼此电连接。

10、如权利要求 9 所述的显示基板，其中，所述第二像素电路还包括第二连接电极，

所述第二连接电极将所述第二像素电路中的两个像素电路单元的数据写入子电路的第一端电连接。

35 11、如权利要求 10 所述的显示基板，其中，所述第二连接电极与所述第二像素电路的两个像素电路单元的第一电容电极同层绝缘设置。

12、如权利要求 9-11 任一所述的显示基板，还包括沿所述第二方向延伸的多条主数据线和多条辅数据线，

其中，所述多条主数据线沿所述第一方向排列，所述多条辅数据线沿所述第一方向排列；

5 所述多条主数据线与所述第一显示区中的多列像素电路单元的数据子电路的第一端一一对应电连接以提供第一数据信号；

所述多条辅数据线与所述第二显示区中的多列像素电路单元的数据子电路的第一端电连接以提供第二数据信号；

所述多条辅数据线与所述多条主数据线一一对应，所述多条辅数据线的每条与对应的主数据在所述第二方向上并列设置。

10 13、如权利要求 12 所述的显示基板，其中，所述多条主数据线和所述多条辅数据线同层设置并设置于所述第一电容电极远离所述衬底基板的一侧。

14、如权利要求 12 或 13 所述的显示基板，其中，所述多条辅数据线划分为多个数据线组，每个数据线组包括所述多条辅数据线中的两条；

所述多个数据线组分别与多列第二像素电路一一对应电连接。

15 15、如权利要求 14 所述的显示基板，其中，多行第二像素电路中位于第 n 行和第 $n+1$ 行且位于同一列的两个第二像素电路构成一个像素电路组，共用一条辅数据线，

n 为大于 0 的奇数或偶数。

16、如权利要求 15 所述的显示基板，其中，在所述第二方向上的每列第二像素电路中，多个像素电路组交替与所述列第二像素电路所对应的数据线组中的两条辅数据线电连接。

20 17、如权利要求 14-16 任一所述的显示基板，其中，相邻的两个数据线组包括四条辅数据线，分别为在所述第一方向依次排列的第一数据线、第二数据线、第三数据线和第四数据线；

所述第一数据线与其所对应的主数据线直接电连接。

25 18、如权利要求 17 所述的显示基板，其中，所述第二数据线、所述第三数据线和所述第四数据线分别与各自对应的主数据线同层间隔设置。

19、如权利要求 18 所述的显示基板，其中，所述第四数据线通过第三连接电极与所述第二数据线所对应的主数据线电连接。

20、如权利要求 19 所述的显示基板，其中，所述第三连接电极和所述第一连接电极同层绝缘设置，并位于所述第一显示区和所述第二显示区的分界处。

30 21、如权利要求 18-20 任一所述的显示基板，其中，所述第三数据线和所述第四数据线配置为从所述第二显示区在所述第二方向上远离所述第一显示区的一侧接收所述第二数据信号。

22、如权利要求 1-21 任一所述的显示基板，其中，所述第一显示区还包括多个第一发光元件，

35 所述多个第一发光元件与所述多个第一像素电路的像素电路单元的第一连接电极一一

对应电连接。

23、如权利要求 22 所述的显示基板，其中，所述第二显示区中的第二像素电路的数目为 X，所述第二显示区还包括 Y 个第二发光元件，所述 Y 个第二发光元件与所述 X 个第二像素电路中的 Y 个第二像素电路一一对应电连接，X 和 Y 均为正整数，且 Y 小于 X；

5 所述 Y 个第二发光元件的每个与对应的第二像素电路中的两个像素电路单元的第一连接电极均电连接。

24、如权利要求 23 所述的显示基板，其中，所述 Y 个第二发光元件的至少一个第二发光元件的发光区的面积大于与所述至少一个第二发光元件发相同颜色的光的第一发光元件的发光区的面积。

10 25、如权利要求 22-24 任一所述的显示基板，其中，所述显示区还包括被所述第二显示区至少部分围绕的第三显示区，

其中，所述第三显示区配置为允许来自所述第一侧的光透射到所述第二侧以用于感测；

所述第三显示区包括 Z 个第三发光元件，所述 Z 个第三发光元件与所述多个第二子像素中的 Z 个第二像素电路一一对应电连接，Z 为正整数且 Z 小于或等于 X-Y；

15 每个第三发光元件与对应的第二子像素中的两个像素电路单元的第一连接电极电连接。

26、如权利要求 25 所述的显示基板，其中，所述 Z 个第三发光元件的每个包括第一电极、第二电极和发光层，所述每个第三发光元件的第一电极相对于所述每个第三发光元件的第二电极更靠近所述衬底基板；

20 所述显示基板还包括多个第四连接电极，所述多个第四连接电极与所述多个第三发光元件一一对应设置，

每个第四连接电极将所对应的第三发光元件的第一电极与所述第三发光元件所对应的两个像素电路单元的第一连接电极电连接。

27、如权利要求 26 所述的显示基板，其中，所述多个第四连接电极位于所述第二显示区，并位于所述多个第三发光元件的第一电极靠近所述衬底基板的一侧。

25 28、如权利要求 27 所述的显示基板，还包括多条连接线，

其中，所述多条连接线从所述第二显示区延伸至所述第三显示区，

所述多条连接线分别与所述多个第四连接电极、所述多个第三发光元件一一对应设置，所述多条连接线的每条对应的第四连接电极连接至对应的第三发光元件的第一电极。

30 29、如权利要求 28 所述的显示基板，其中，所述多条连接线与所述多个第四连接电极同层设置，且所述多条连接线的每条与对应的第四连接电极为一体的结构。

30、一种显示装置，包括如权利要求 1-29 任一所述的显示基板。

31、如权利要求 30 所述的显示装置，还包括传感器，其中，所述传感器设置于所述显示基板的第二侧，并且配置为接收来自所述显示基板的第一侧的光。

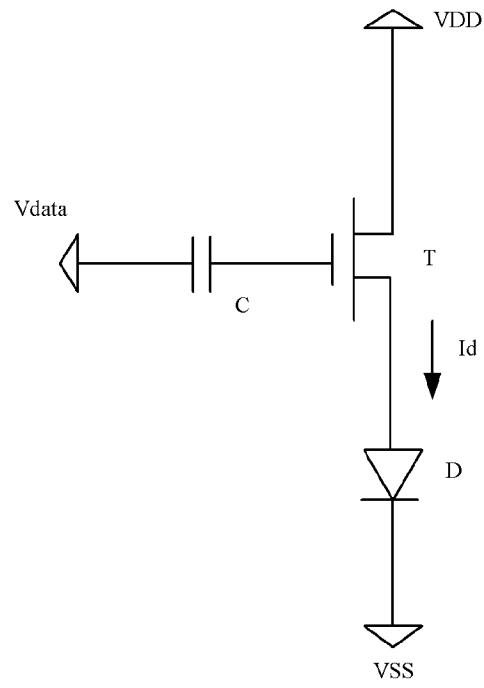


图 1

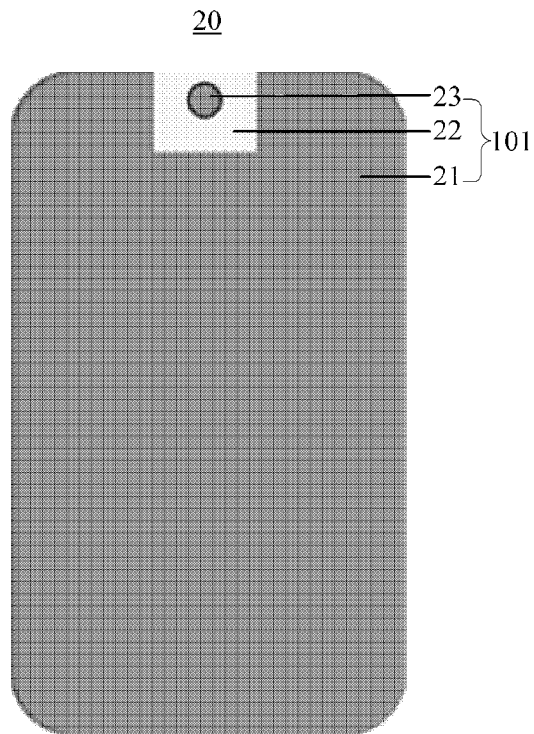


图 2A

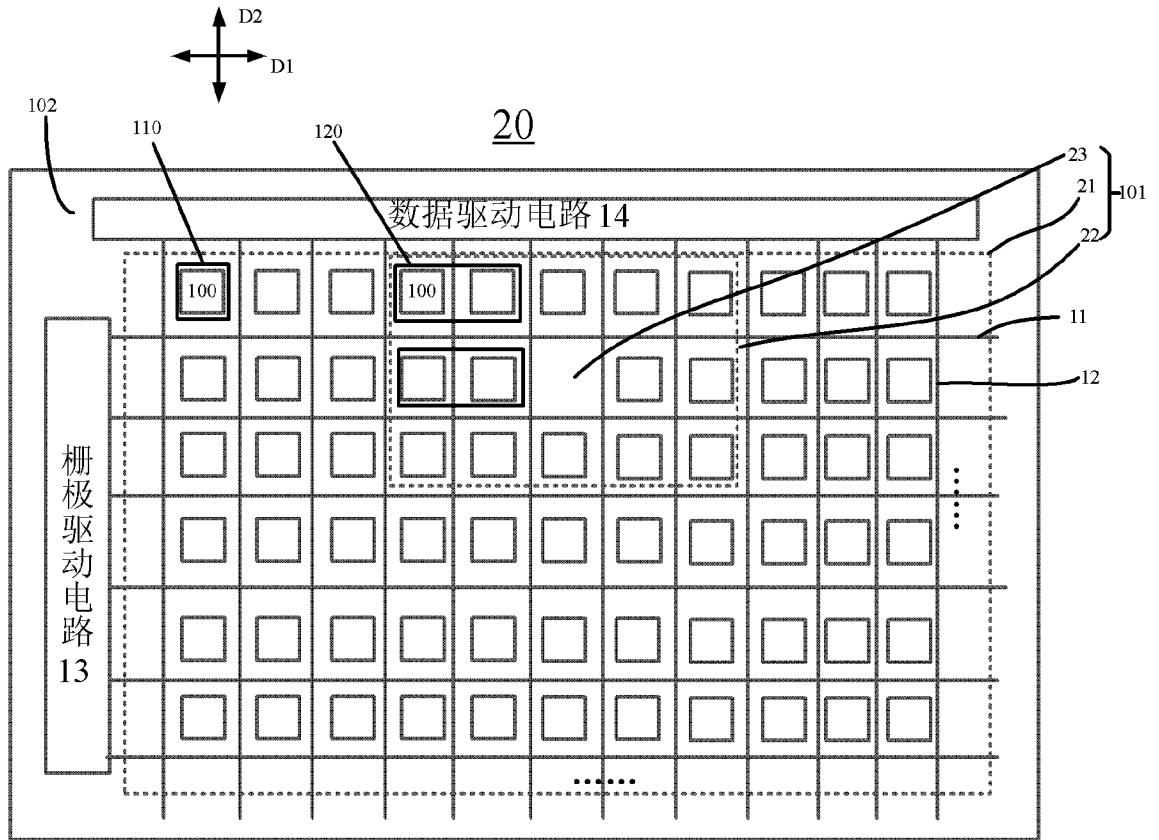


图 2B

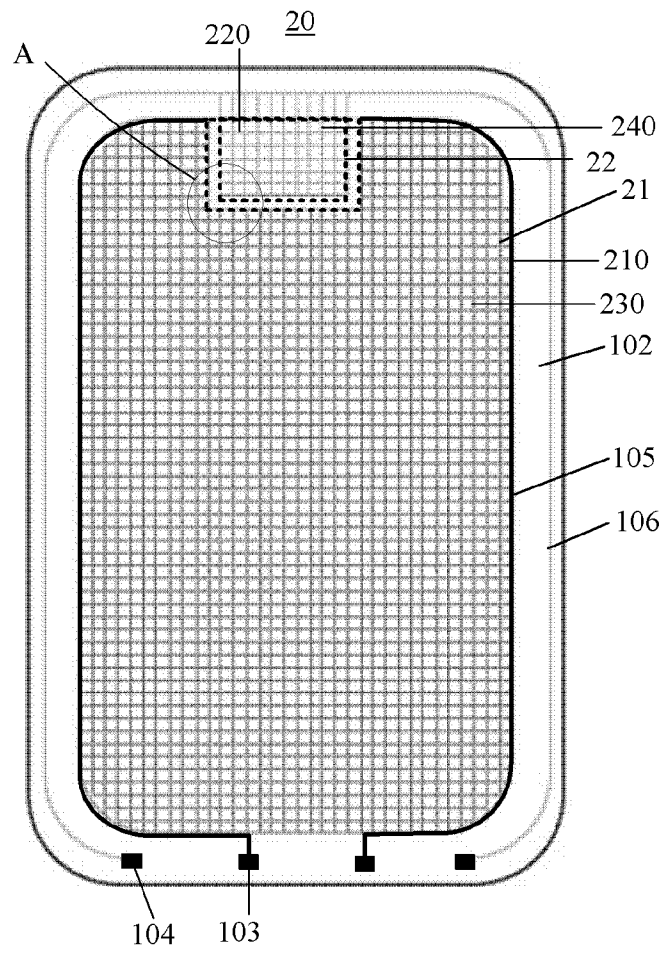


图 2C

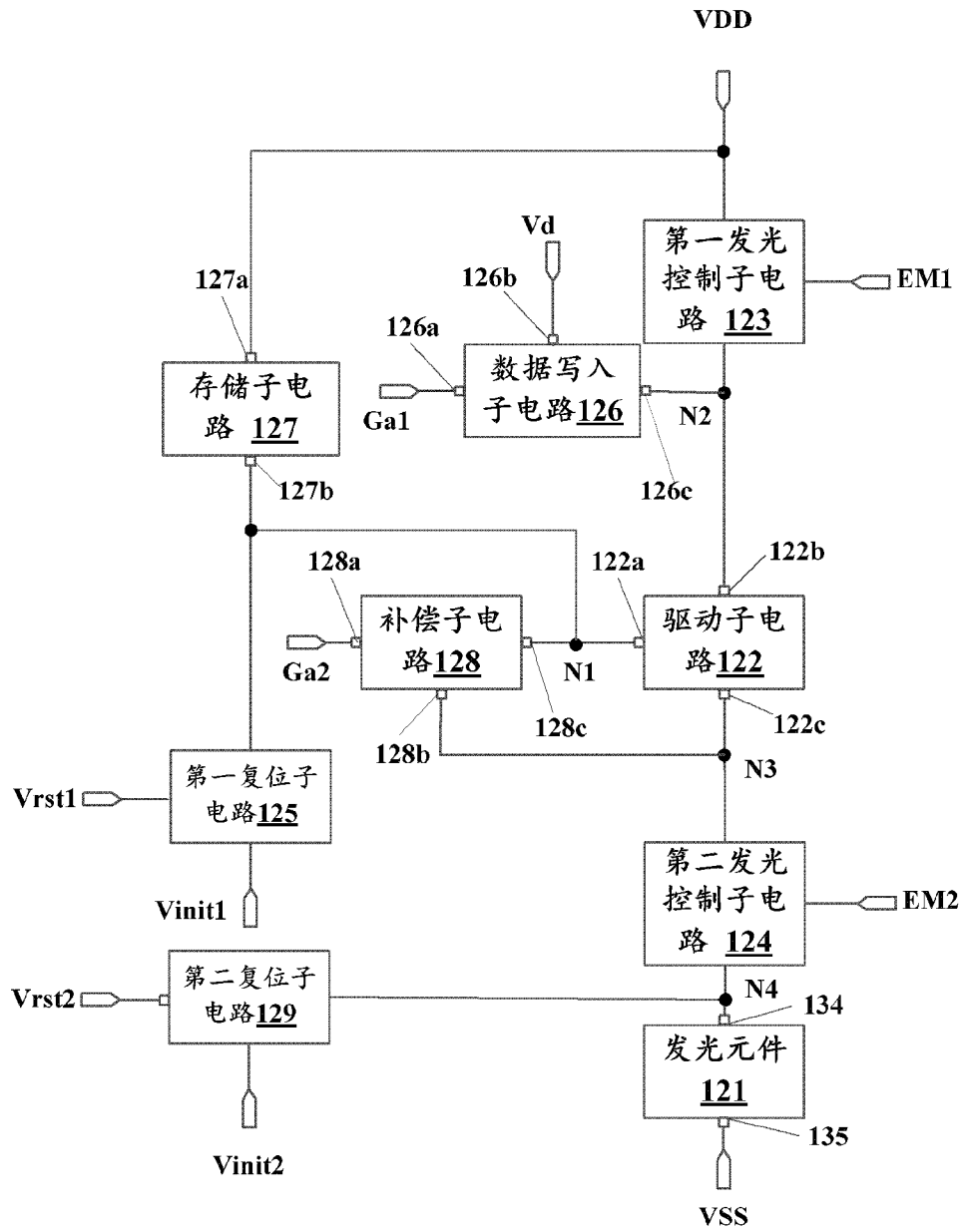


图 3A

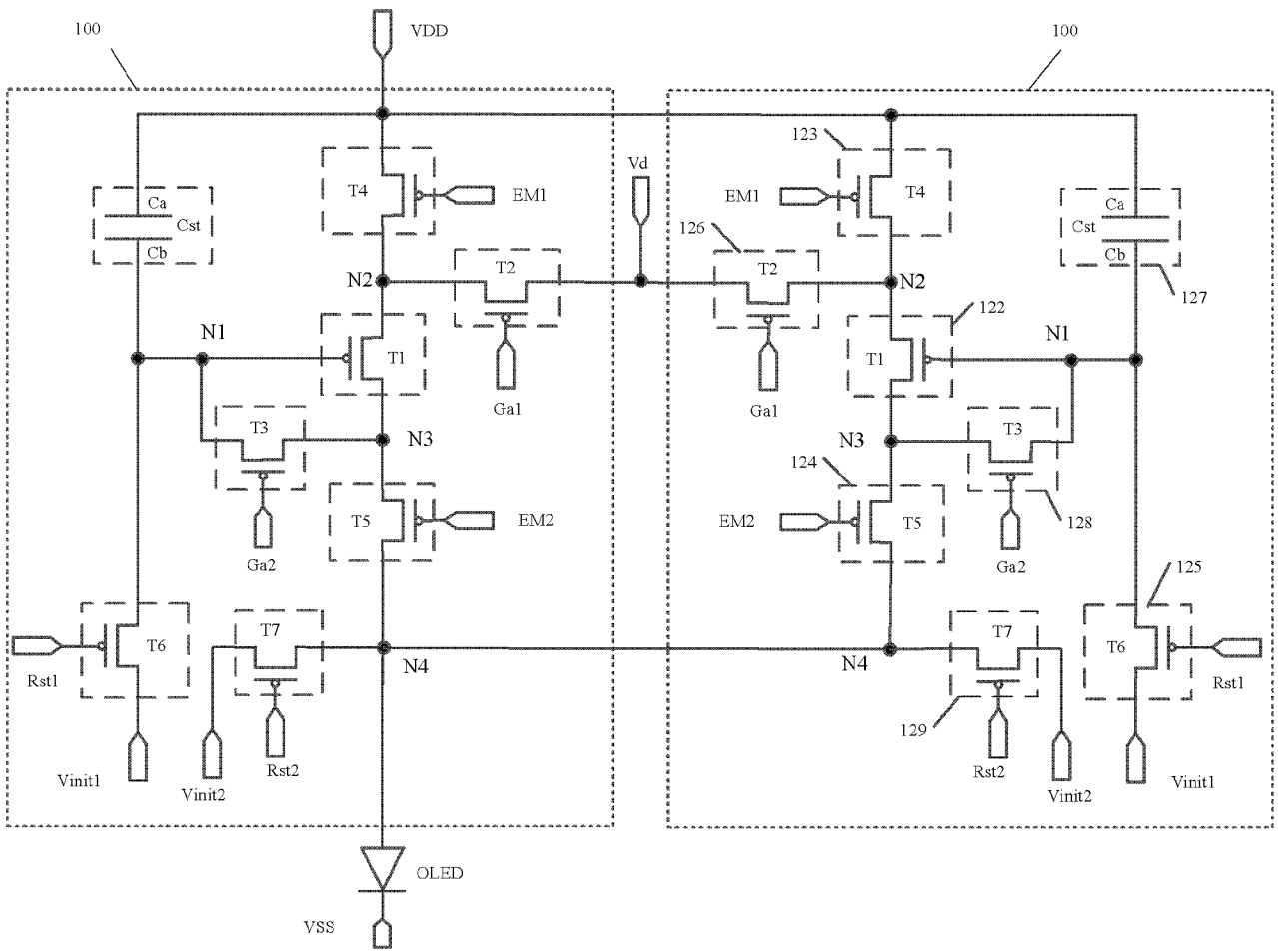


图 3C

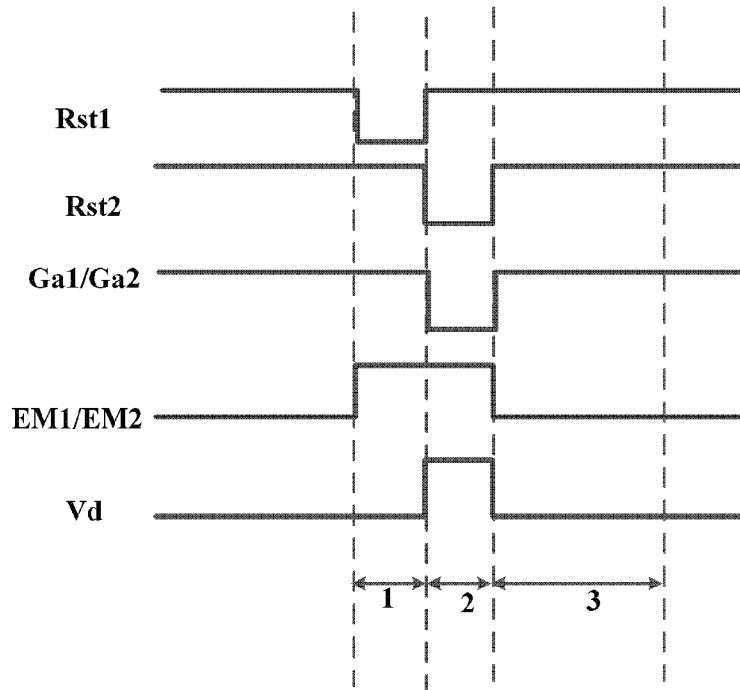


图 3D

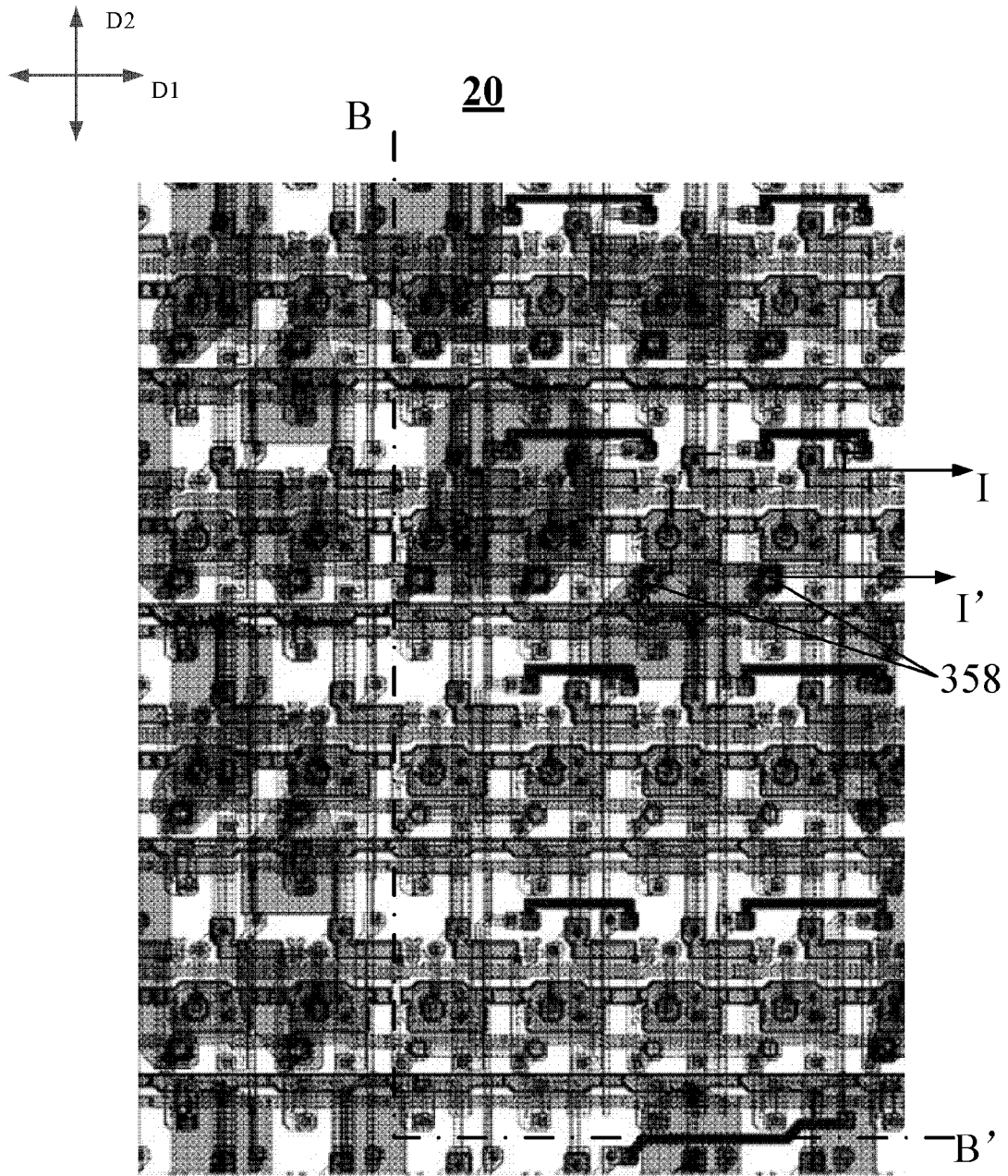


图 4A

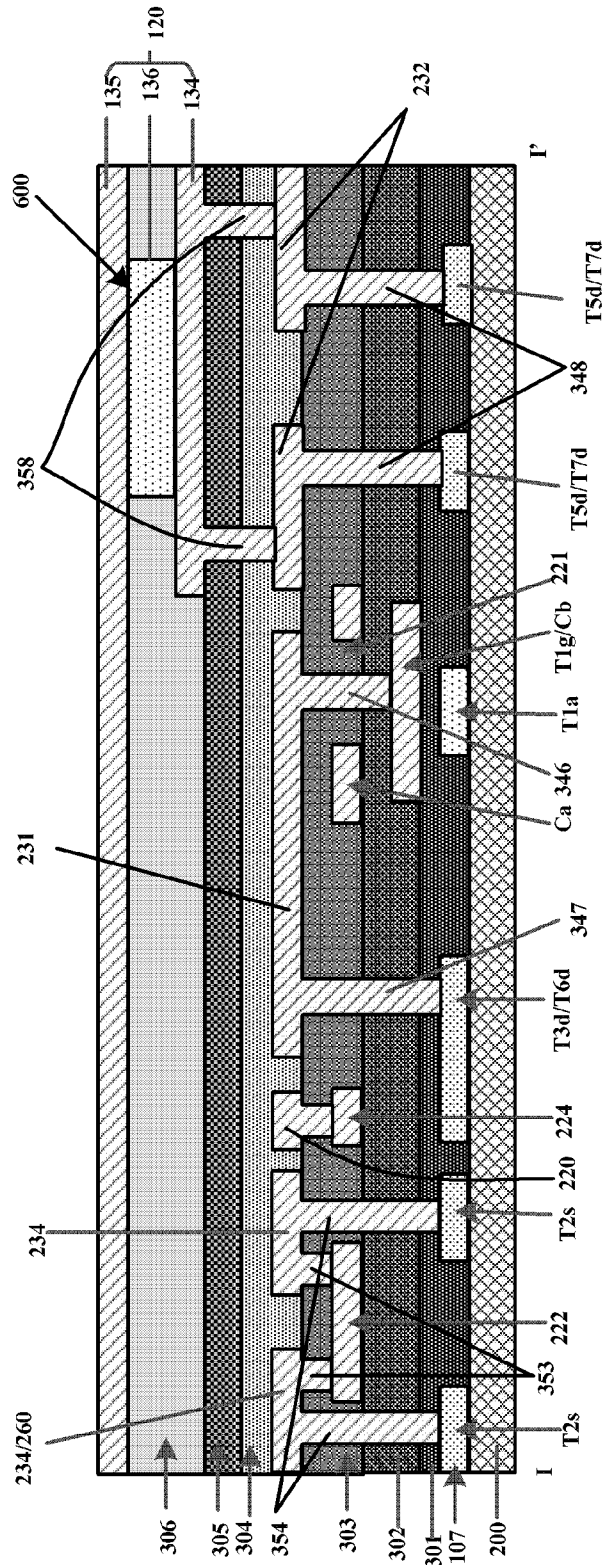


图4B

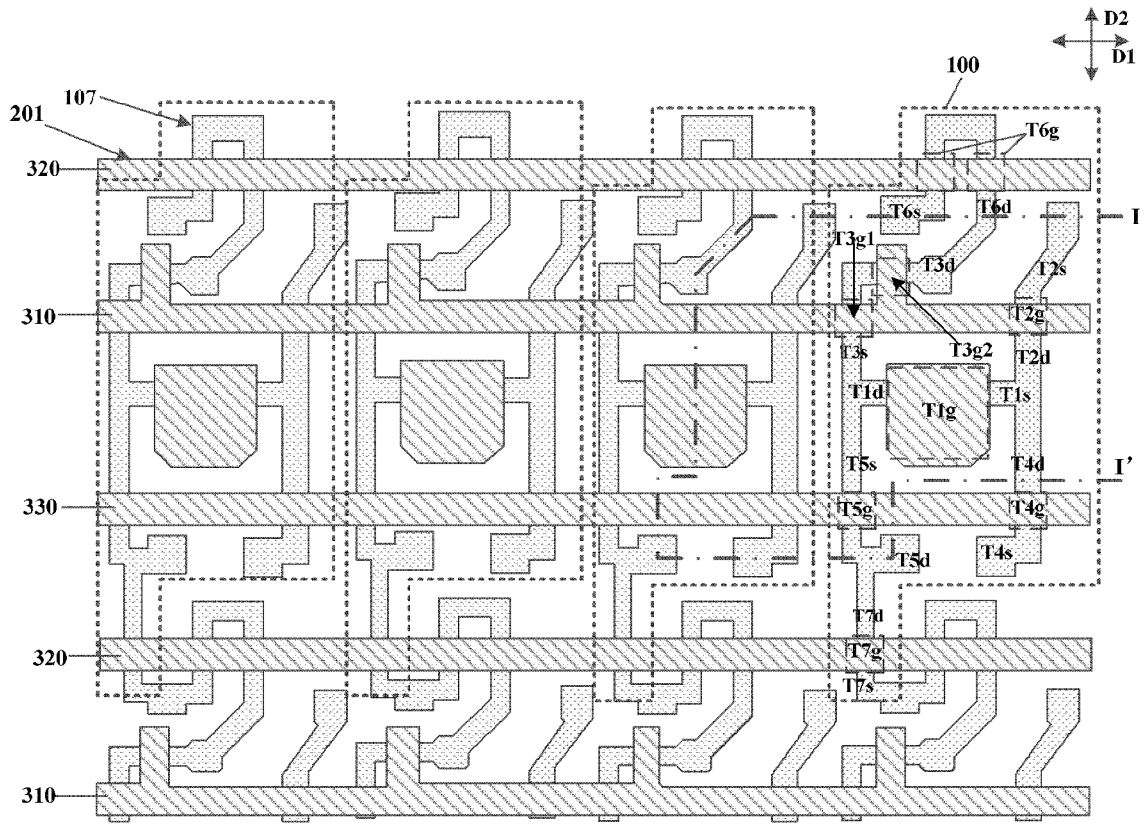


图 5

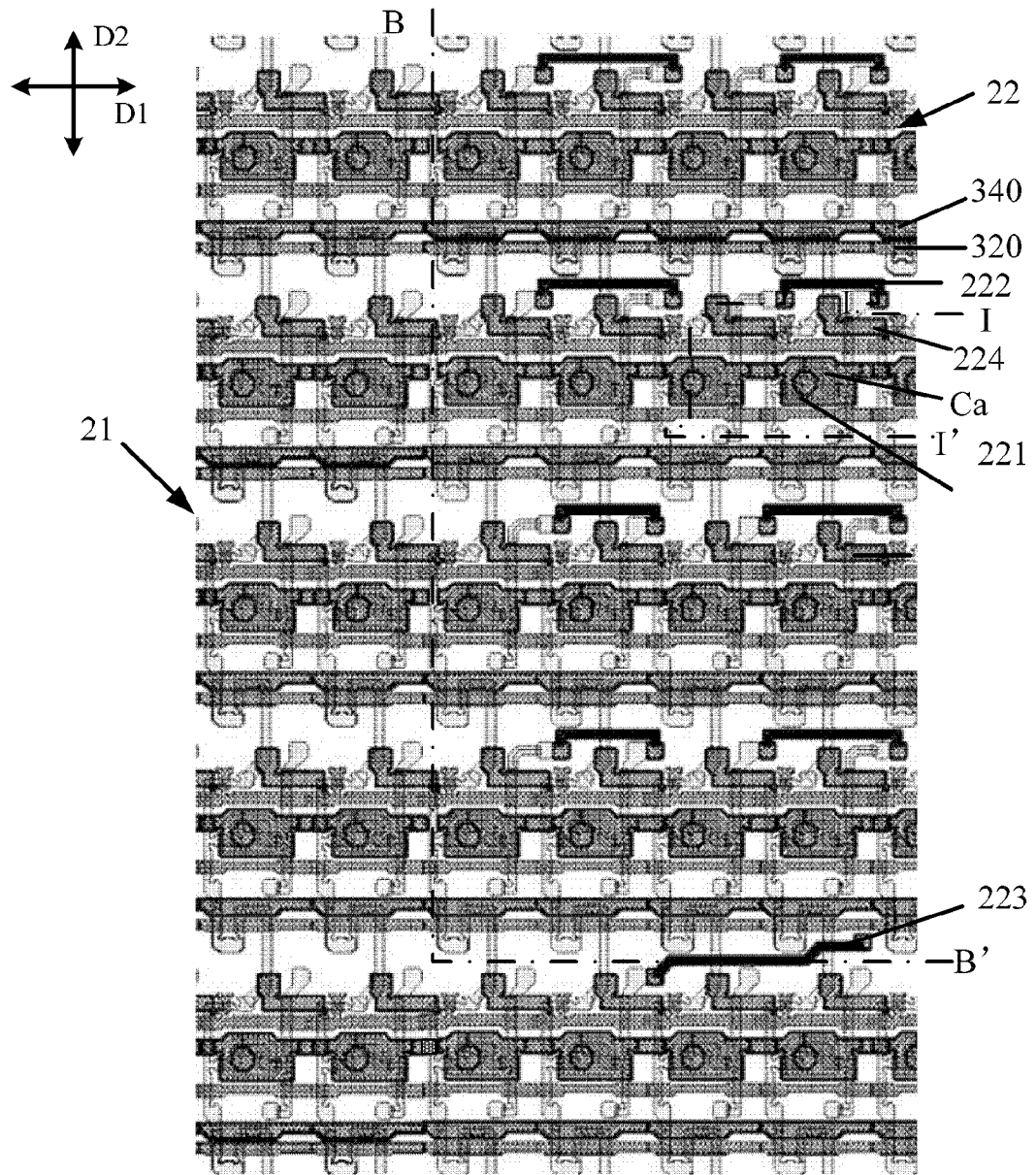


图 6B

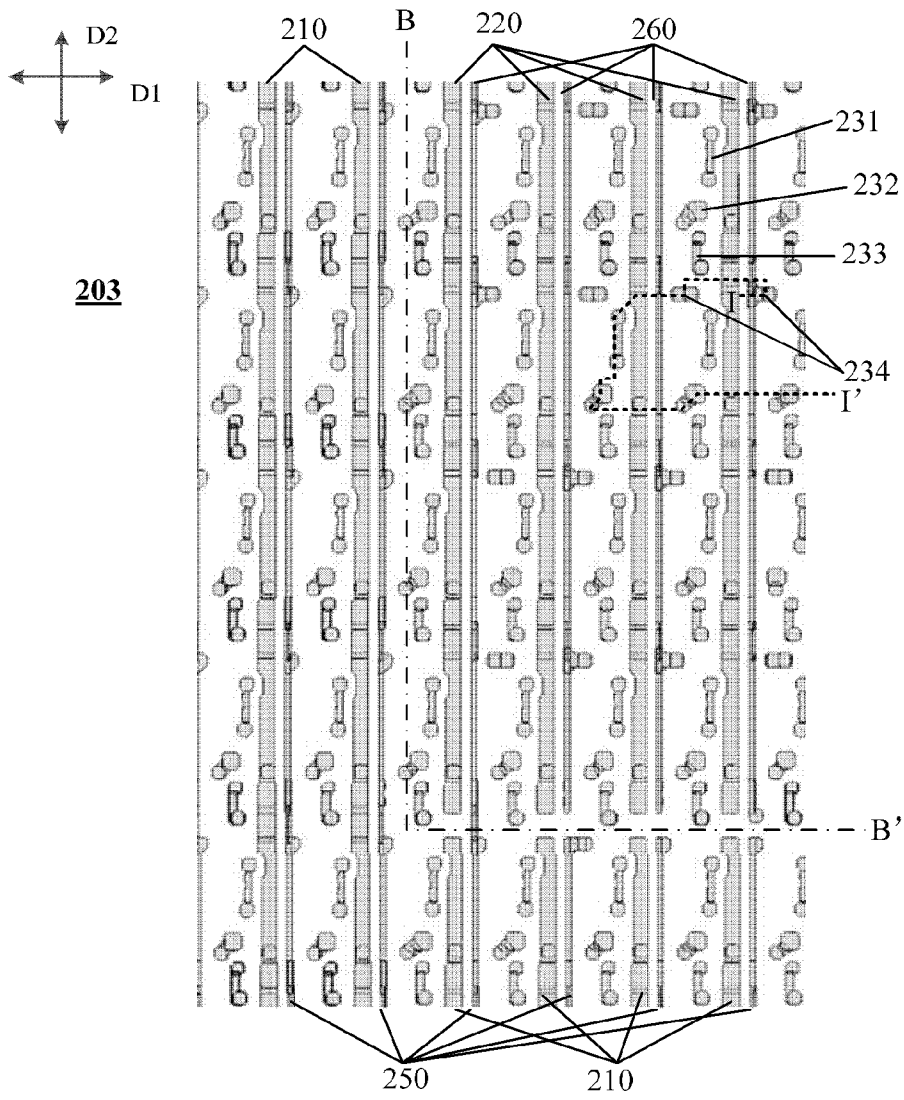


图 7A

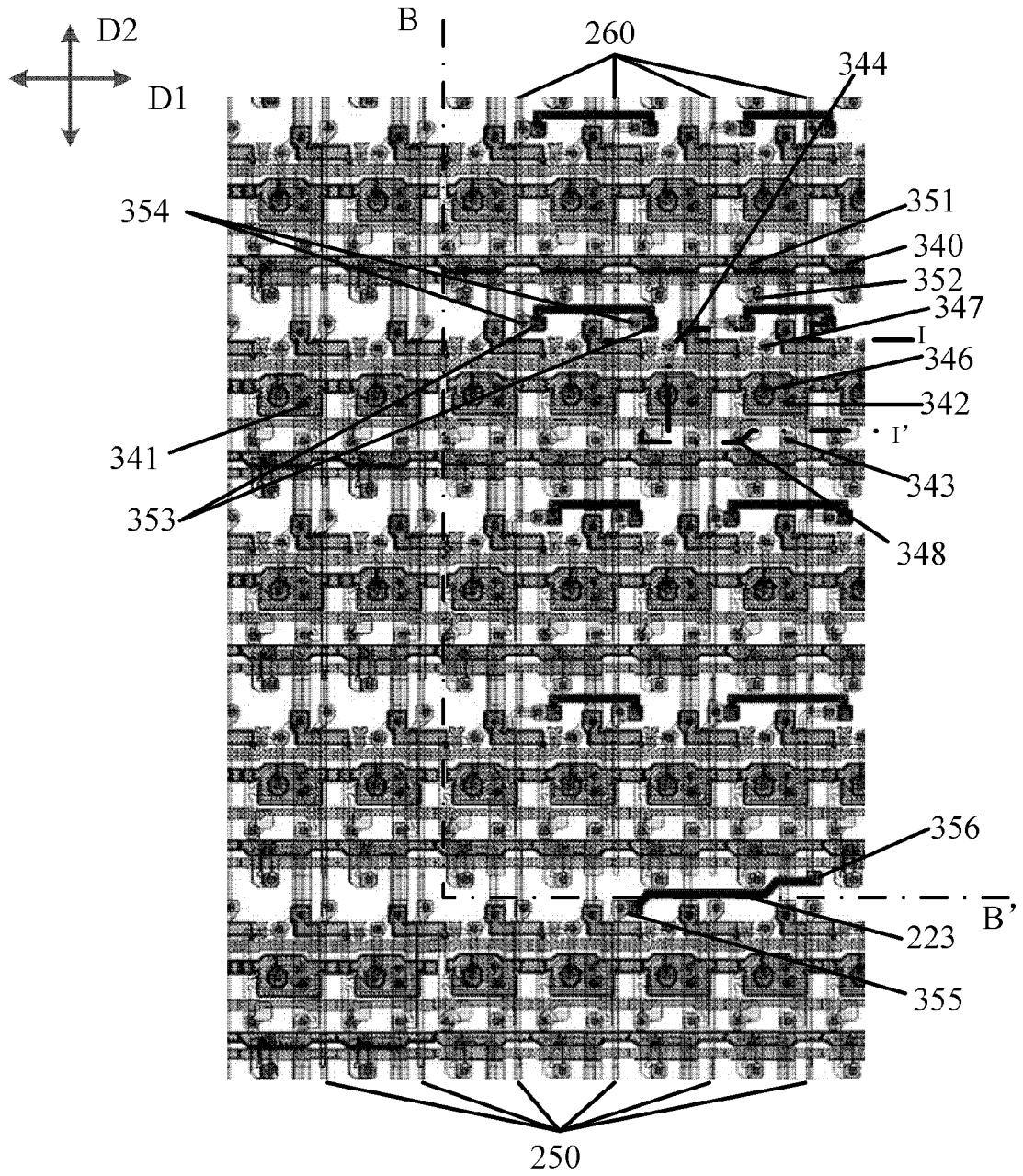


图 7B

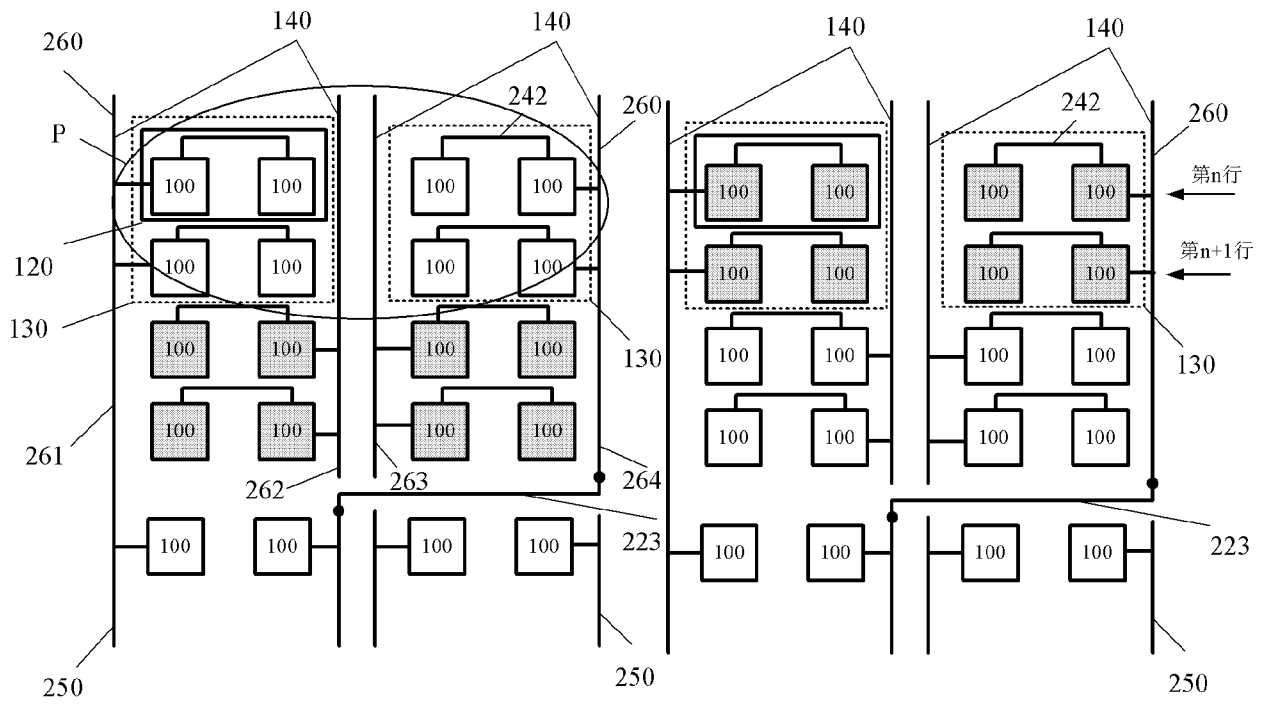


图 7C

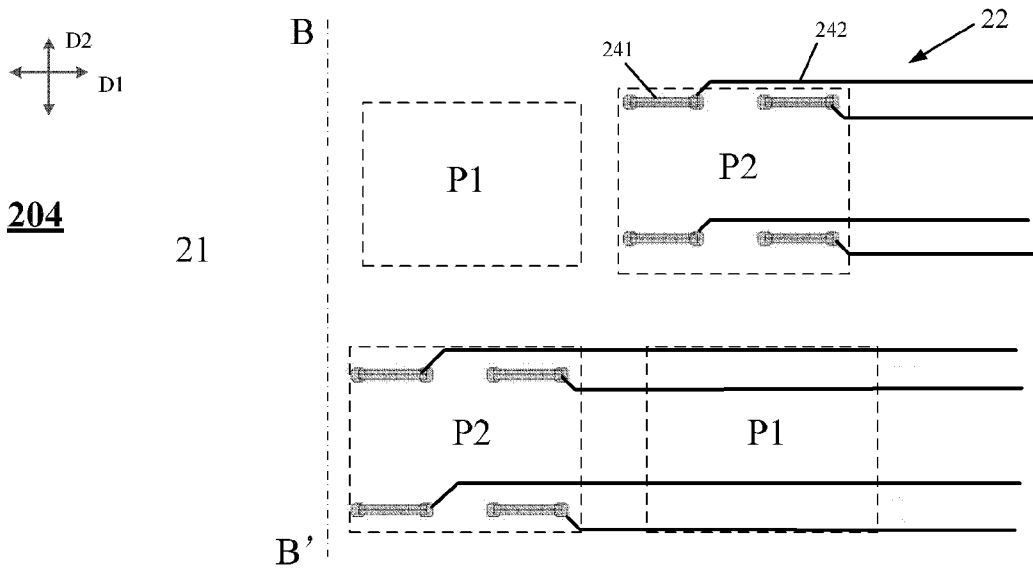


图 8A

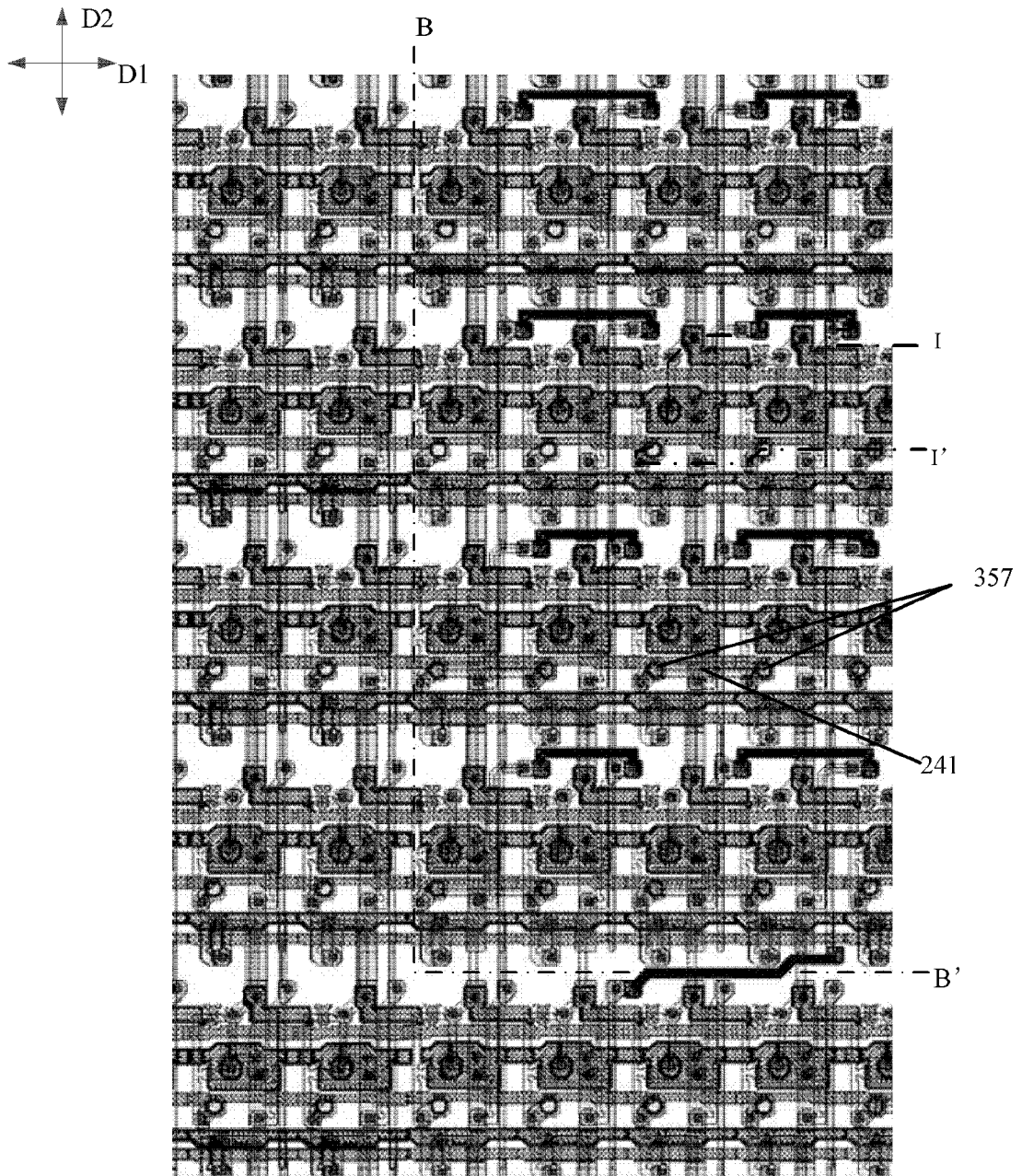


图 8B

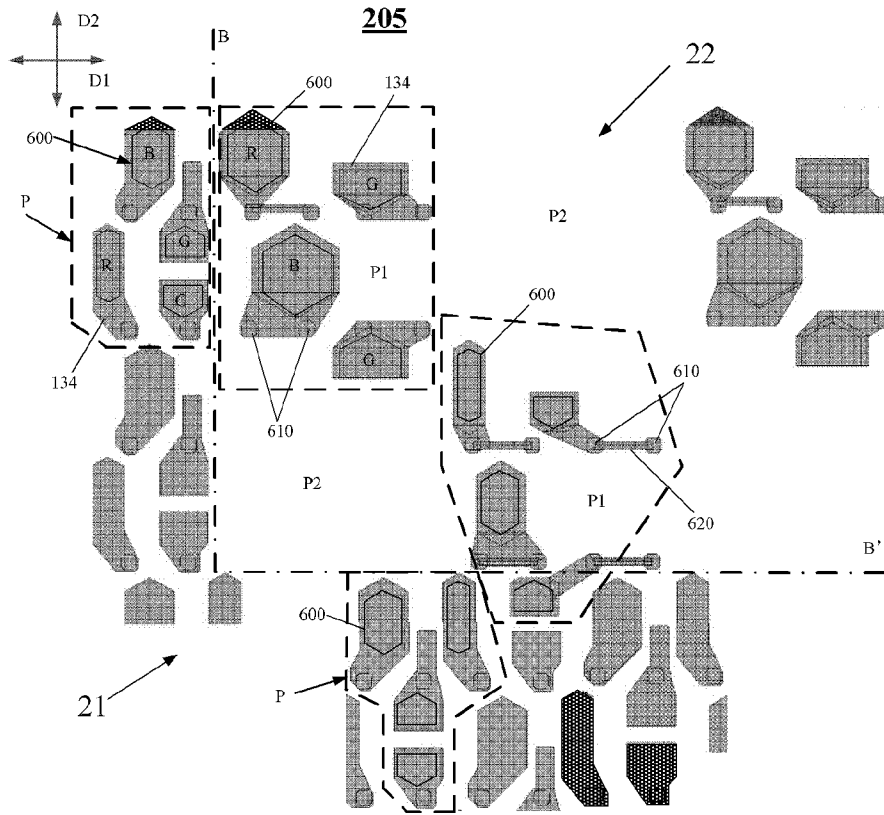


图 9A

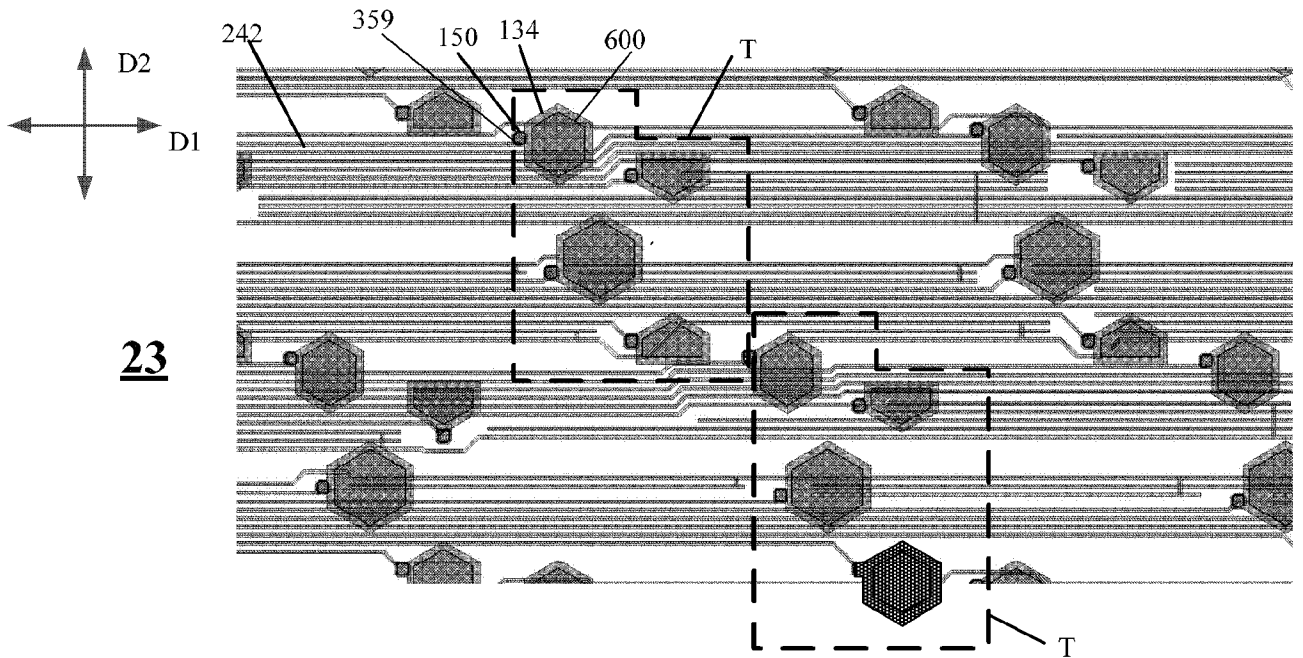


图 9B

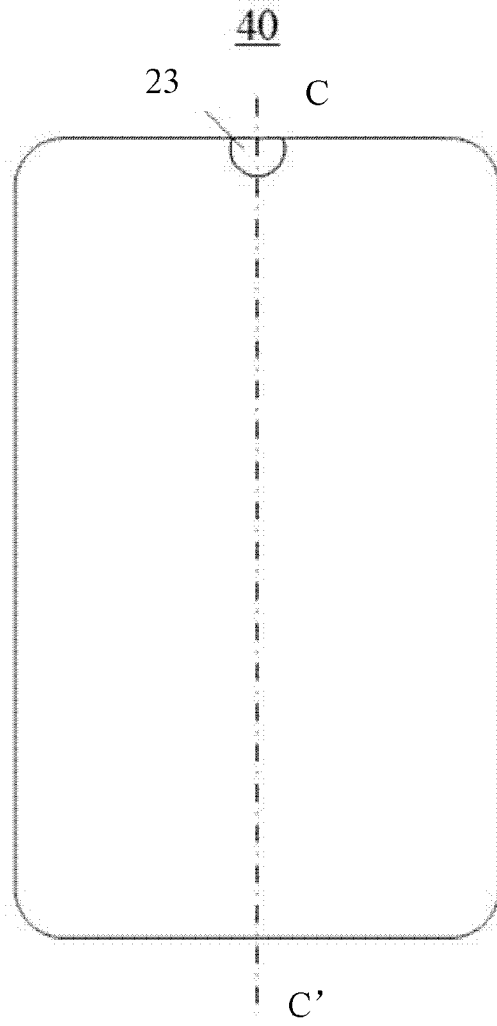


图 10A

40

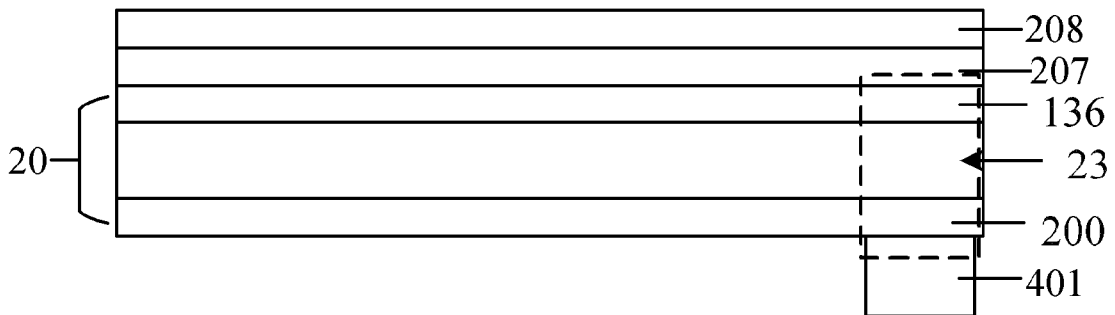


图 10B

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/094031

A. CLASSIFICATION OF SUBJECT MATTER		
G09G 3/32(2016.01)i; H01L 27/32(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G3; H01L27		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS, CNTXT, VEN: 像素密度, 密度, 分辨率, 透光率, 二, 两, 三, 显示区, 共同驱动, 同时驱动, 共用, 共享, 分享, 发光, 像素, 驱动, 不均, 均匀, 亮度, second, two, trid-, muti+, display, area?, driv+, consistency, density, resolution, transmittance, equality, uniformity, difference, brightness, lightness, luminance, luminosity		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 111208679 A (SAMSUNG DISPLAY CO., LTD.) 29 May 2020 (2020-05-29) description, paragraphs 41-191, and figures 1-23	1-31
Y	CN 108039148 A (WUHAN TIANMA MICROELECTRONICS CO., LTD.) 15 May 2018 (2018-05-15) description, paragraphs 26-70, and figures 1-15	1-31
Y	CN 210136876 U (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 10 March 2020 (2020-03-10) description, paragraphs 54-116, and figures 1-4	25-29
Y	CN 111292687 A (BOE TECHNOLOGY GROUP CO., LTD.) 16 June 2020 (2020-06-16) description, paragraphs 37-66, and figures 1-16	1-31
Y	CN 109346009 A (WUHAN TIANMA MICROELECTRONICS CO., LTD.) 15 February 2019 (2019-02-15) description, paragraphs 59-83, and figures 1-8	1-31
A	CN 110648622 A (OPPO GUANGDONG MOBILE COMMUNICATIONS CO., LTD.) 03 January 2020 (2020-01-03) entire document	1-31
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 09 July 2021		Date of mailing of the international search report 26 July 2021
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/ CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 China Facsimile No. (86-10)62019451		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/094031

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 109637457 A (CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 16 April 2019 (2019-04-16) entire document	1-31
A	KR 20040079167 A (LG PHILIPS LCD CO., LTD.) 14 September 2004 (2004-09-14) entire document	1-31

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/094031

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	111208679	A	29 May 2020	KR	20200060588	A	01 June 2020
				EP	3657545	A1	27 May 2020
				US	2020161400	A1	21 May 2020
CN	108039148	A	15 May 2018	CN	108039148	B	22 November 2019
CN	210136876	U	10 March 2020	None			
CN	111292687	A	16 June 2020	None			
CN	109346009	A	15 February 2019	CN	109346009	B	04 December 2020
CN	110648622	A	03 January 2020	CN	210378415	U	21 April 2020
CN	109637457	A	16 April 2019	CN	109637457	B	18 August 2020
KR	20040079167	A	14 September 2004	KR	100489166	B1	11 May 2005

国际检索报告

国际申请号

PCT/CN2021/094031

<p>A. 主题的分类</p> <p>G09G 3/32 (2016.01) i; H01L 27/32 (2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																										
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G09G3; H01L27</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNABS, CNTXT, VEN: 像素密度, 密度, 分辨率, 透光率, 二, 两, 三, 显示区, 共同驱动, 同时驱动, 共用, 共享, 分享, 发光, 像素, 驱动, 不均, 均匀, 亮度, second, two, trid-, muti+, display, area?, driv+, consistency, density, resolution, transmittance, equality, uniformity, difference, brightness, lightness, luminance, luminosity</p>																										
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 111208679 A (三星显示有限公司) 2020年 5月 29日 (2020 - 05 - 29) 说明书第41-191段, 图1-23</td> <td>1-31</td> </tr> <tr> <td>Y</td> <td>CN 108039148 A (武汉天马微电子有限公司) 2018年 5月 15日 (2018 - 05 - 15) 说明书第26-70段, 图1-15</td> <td>1-31</td> </tr> <tr> <td>Y</td> <td>CN 210136876 U (昆山国显光电有限公司) 2020年 3月 10日 (2020 - 03 - 10) 说明书第54-116段, 图1-4</td> <td>25-29</td> </tr> <tr> <td>Y</td> <td>CN 111292687 A (京东方科技集团股份有限公司) 2020年 6月 16日 (2020 - 06 - 16) 说明书第37-66段, 图1-16</td> <td>1-31</td> </tr> <tr> <td>Y</td> <td>CN 109346009 A (武汉天马微电子有限公司) 2019年 2月 15日 (2019 - 02 - 15) 说明书第59-83段, 图1-8</td> <td>1-31</td> </tr> <tr> <td>A</td> <td>CN 110648622 A (OPPO广东移动通信有限公司) 2020年 1月 3日 (2020 - 01 - 03) 全文</td> <td>1-31</td> </tr> <tr> <td>A</td> <td>CN 109637457 A (成都京东方光电科技有限公司 等) 2019年 4月 16日 (2019 - 04 - 16) 全文</td> <td>1-31</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 111208679 A (三星显示有限公司) 2020年 5月 29日 (2020 - 05 - 29) 说明书第41-191段, 图1-23	1-31	Y	CN 108039148 A (武汉天马微电子有限公司) 2018年 5月 15日 (2018 - 05 - 15) 说明书第26-70段, 图1-15	1-31	Y	CN 210136876 U (昆山国显光电有限公司) 2020年 3月 10日 (2020 - 03 - 10) 说明书第54-116段, 图1-4	25-29	Y	CN 111292687 A (京东方科技集团股份有限公司) 2020年 6月 16日 (2020 - 06 - 16) 说明书第37-66段, 图1-16	1-31	Y	CN 109346009 A (武汉天马微电子有限公司) 2019年 2月 15日 (2019 - 02 - 15) 说明书第59-83段, 图1-8	1-31	A	CN 110648622 A (OPPO广东移动通信有限公司) 2020年 1月 3日 (2020 - 01 - 03) 全文	1-31	A	CN 109637457 A (成都京东方光电科技有限公司 等) 2019年 4月 16日 (2019 - 04 - 16) 全文	1-31
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																								
Y	CN 111208679 A (三星显示有限公司) 2020年 5月 29日 (2020 - 05 - 29) 说明书第41-191段, 图1-23	1-31																								
Y	CN 108039148 A (武汉天马微电子有限公司) 2018年 5月 15日 (2018 - 05 - 15) 说明书第26-70段, 图1-15	1-31																								
Y	CN 210136876 U (昆山国显光电有限公司) 2020年 3月 10日 (2020 - 03 - 10) 说明书第54-116段, 图1-4	25-29																								
Y	CN 111292687 A (京东方科技集团股份有限公司) 2020年 6月 16日 (2020 - 06 - 16) 说明书第37-66段, 图1-16	1-31																								
Y	CN 109346009 A (武汉天马微电子有限公司) 2019年 2月 15日 (2019 - 02 - 15) 说明书第59-83段, 图1-8	1-31																								
A	CN 110648622 A (OPPO广东移动通信有限公司) 2020年 1月 3日 (2020 - 01 - 03) 全文	1-31																								
A	CN 109637457 A (成都京东方光电科技有限公司 等) 2019年 4月 16日 (2019 - 04 - 16) 全文	1-31																								
<p><input checked="" type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>																										
<p>国际检索实际完成的日期</p> <p>2021年 7月 9日</p>		<p>国际检索报告邮寄日期</p> <p>2021年 7月 26日</p>																								
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>符媛英</p> <p>电话号码 (86-27) 59371173</p>																								

C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	KR 20040079167 A (LG PHILIPS LCD CO LTD) 2004年 9月 14日 (2004 - 09 - 14) 全文	1-31

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/094031

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	111208679	A	2020年 5月 29日	KR	20200060588	A	2020年 6月 1日
				EP	3657545	A1	2020年 5月 27日
				US	2020161400	A1	2020年 5月 21日
CN	108039148	A	2018年 5月 15日	CN	108039148	B	2019年 11月 22日
CN	210136876	U	2020年 3月 10日		无		
CN	111292687	A	2020年 6月 16日		无		
CN	109346009	A	2019年 2月 15日	CN	109346009	B	2020年 12月 4日
CN	110648622	A	2020年 1月 3日	CN	210378415	U	2020年 4月 21日
CN	109637457	A	2019年 4月 16日	CN	109637457	B	2020年 8月 18日
KR	20040079167	A	2004年 9月 14日	KR	100489166	B1	2005年 5月 11日