

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

OPIS PATENTOWY

83774

Patent dodatkowy
do patentu _____

Zgłoszono: 11.05.73 (P. 162489)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 01.07.74

Opis patentowy opublikowano: 15.03.1977

MKP G06g 7/00

Int. Cl.² G06G 7/00

Twórcy wynalazku: Stanisław Turczyński, Janusz Kłosiński

**Uprawniony z patentu: Przemysłowy Instytut Telekomunikacji,
Warszawa (Polska)**

Układ cyfrowego przetwornika logarytmicznego

Przedmiotem wynalazku jest układ cyfrowego przetwornika logarytmicznego przeznaczony do zastosowania w technice obróbki sygnałów, zwłaszcza w układach odbioru i obróbki sygnałów radiolokacyjnych oraz w przyrządach i urządzeniach z zakresu miernictwa elektronicznego.

Znane cyfrowe przetworniki logarytmiczne budowane są z pamięci stałej (ROM), układu adresowania i układu odczytu. Wyjście układu adresowania połączone jest z wejściem adresowym pamięci ROM, a wyjście informacyjne pamięci ROM połączone jest z wejściem układu odczytu, na którego wyjściu otrzymuje się sygnał, zapisany w pamięci, którego wartość jest w przybliżeniu równa wartości logarytmu z sygnału podanego na wejście układu adresującego. Układy tego typu posiadają kilka wad. Układ taki wymaga stosowania pamięci, która jest kosztowna, posiada skomplikowaną budowę, wymaga zasilania o dużej mocy i często stosowania skomplikowanych urządzeń klimatycznych (np. pamięć ferrytowa). Ponadto układ taki wymaga żmudnego zapisywania wartości do pamięci.

Celem wynalazku jest wytworzenie w układzie elektronicznym sygnału, którego wartość jest zbliżona w dostatecznym stopniu do wartości logarytmu z przetwarzanego sygnału, zaś zadaniem wynalazku jest stworzenie układu elektronicznego przeznaczonego do osiągnięcia tego celu i zbudowanego z możliwie małej ilości elementów.

Cel ten został osiągnięty przez to, że układ przetwornika logarytmicznego został zbudowany z układu decyzyjnego, układu mnożenia binarnego i układu składania sygnałów. Wyjście układu decyzyjnego połączone jest z wejściem sterującym układu mnożenia binarnego i z wejściem informacyjnym układu składania sygnałów. Wyjście układu decyzyjnego połączone jest z wejściem sterującym układu mnożenia binarnego i z wejściem informacyjnym układu składania sygnałów. Wyjście układu mnożenia binarnego połączone jest z innym wejściem informacyjnym układu składania sygnałów. Sygnał przetwarzany podawany jest na wejście informacyjne układu decyzyjnego i układu mnożenia binarnego.

Stosując ten układ unika się stosowania kosztownych układów pamięci. Poza tym układ według wynalazku odznacza się większą szybkością pracy i większą niezawodnością w porównaniu ze znanymi układami przy zachowaniu tej samej dokładności.

Układ według wynalazku w przykładowym wykonaniu, przedstawiony jest na załączonym rysunku.

Wejście 4 układu decyzyjnego D połączone jest z wejściem sterującym 5 układu mnożenia binarnego MB, zaś wyjście 3 układu decyzyjnego z wejściem informacyjnym 7 układu składania sygnałów SS. Wyjście informacyjne 6 układu mnożenia binarnego MB połączone jest z wejściem informacyjnym 8 układu składania sygnałów SS. Sygnał wejściowy X podawany jest na wejście 1 układu mnożenia binarnego MB i na wejście 2 układu decyzyjnego D. Na wyjściu 4 układu decyzyjnego D pojawia się sygnał binarny w kodzie równoległym, którego wartość jest równa wartości funkcji schodkowej $\alpha(X)$. Jednocześnie na wyjściu 3 układu decyzyjnego D pojawia się sygnał binarny w kodzie równoległym, którego wartość jest równa funkcji schodkowej $\beta(X)$. Na wyjściu informacyjnym 6 układu mnożenia binarnego MB pojawia się sygnał, którego wartość jest równa wartości sygnału wyjściowego pomnożonego przez funkcję schodkową $\beta(X)$. Na skutek tego na wyjściu 9 układu składania sygnałów SS pojawia się sygnał Y, którego wartość jest równa sumie wartości funkcji schodkowej $\beta(X)$ i sygnału wejściowego X pomnożonego przez wartość funkcji schodkowej $\alpha(X)$. Wartość sygnału wyjściowego Y jest z dokładnością $\pm 0,3$ dB równa wartości logarytmu z przetwarzanego sygnału X.

Zastrzeżenie patentowe

Układ cyfrowego przetwornika logarytmicznego, w skład którego wchodzi układ decyzyjny, układ mnożenia binarnego i układ składania sygnałów, z n a m i e n n y t y m, że wyjście (3) układu decyzyjnego (D) jest połączone z wejściem (7) układu składania sygnałów (SS) zaś wyjście (4) układu decyzyjnego (D) połączone jest z wejściem (5) układu mnożenia binarnego (MB), którego wyjście (6) połączone jest z wejściem (8) układu składania sygnałów (SS), który jest sumatorem arytmetycznym lub wielobitową bramką sumy logicznej, na którego wyjściu (9) otrzymuje się przybliżoną wartość logarytmu lub antylogarytmu z sygnału podanego na wejście (1) układu mnożenia binarnego (MB) i na wejście (2) układu decyzyjnego (D).

