

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4832629号
(P4832629)

(45) 発行日 平成23年12月7日(2011.12.7)

(24) 登録日 平成23年9月30日(2011.9.30)

(51) Int.Cl.	F 1
HO 1 L 29/78	(2006.01)
HO 1 L 21/76	(2006.01)
HO 1 L 21/8238	(2006.01)
HO 1 L 27/092	(2006.01)
HO 1 L	29/78
HO 1 L	21/76
HO 1 L	27/08
	3 O 1 R
	L
	3 2 1 C

請求項の数 2 (全 20 頁)

(21) 出願番号	特願2000-304372 (P2000-304372)
(22) 出願日	平成12年10月4日 (2000.10.4)
(65) 公開番号	特開2002-110976 (P2002-110976A)
(43) 公開日	平成14年4月12日 (2002.4.12)
審査請求日	平成19年9月13日 (2007.9.13)

(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(74) 代理人	100088672 弁理士 吉竹 英俊
(74) 代理人	100088845 弁理士 有田 貴弘
(72) 発明者	黒井 隆 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
(72) 発明者	上野 修一 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

主面を有し、所定の不純物濃度を有した所定の導電型の半導体材料を含む基板と、
前記基板の前記主面から前記基板の内部へ向けて形成された溝と、
前記溝内に形成された、溝型素子分離を成す誘電体と、
前記基板の前記所定の導電型と同じ導電型及び前記基板の前記所定の不純物濃度よりも
高い不純物濃度を有し、前記基板の前記主面に対面して前記基板内に延在する第1不純物
層と、

前記基板の前記所定の導電型とは反対の導電型を有し、前記基板の前記主面内的一部に
形成された第2不純物層とを備え、

前記第1不純物層は、

第1部分と、

前記第1部分に連続し、前記基板の前記主面から前記第1部分よりも深くに延在する第
2部分とを含み、

前記第1不純物層の前記第1部分の一部が前記第2不純物層内に形成されており、

前記第1不純物層の前記第1部分は前記溝の側面に沿って設けられており、

前記第1不純物層の前記第1部分は前記基板内において前記溝の開口端付近に設けられ
ており、

前記第2不純物層と同じ導電型を有し、前記第2不純物層に接することなく前記基板の
前記主面内の他の一部に形成された第3不純物層を更に備え、

10

20

前記第1不純物層の前記第1部分の内で前記一部とは異なる他の一部が前記第3不純物層内に形成されており、

前記第2不純物層及び前記第3不純物層をそれぞれソース・ドレン層として含む電界効果トランジスタを更に備え、

前記第1不純物層の不純物濃度ピーク位置は、前記ソース・ドレン層の不純物濃度ピーク位置と、前記ソース・ドレン層と前記基板との接合面に対して同じ側にあることを特徴とする、

半導体装置。

【請求項2】

請求項1に記載の半導体装置であって、

10

前記電界効果トランジスタは、

前記基板の前記主面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上及び前記誘電体上に延在するゲート電極を更に含むことを特徴とする、

半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、溝（トレンチ）型の素子分離構造を有する半導体装置及びその製造方法に関するものである。

20

【0002】

【従来の技術】

半導体集積回路ではその動作時において個々の素子を完全に独立して制御するために、各素子間の電気的な干渉を無くす必要がある。このため、半導体集積回路では素子分離領域を有する素子分離構造が採用されている。かかる素子分離構造の一つとして、トレンチ分離法が広く知られており、数々の改良が提案されている。

【0003】

トレンチ分離法は、基板の表面からその内部に向けて溝（トレンチ）を形成し、その内部に誘電体を充填することにより、各素子間を電気的に絶縁する方法である。この方法はLOCOS法による素子分離構造で見られるバーズピークがほとんど発生しない。このため、トレンチ分離法は、LOCOS法による素子分離構造よりも形成に必要な基板表面上の面積が小さくて済るので、半導体集積回路の微細化を推進する上で好適な方法である。従って、トレンチ分離法は、今後更に微細化が進む半導体集積回路において不可欠な素子分離方法であると言える。

30

【0004】

図23に従来の半導体装置101Pの模式的な平面図（上面図）を示す。また、図23中のAP-AP線及びBP-BP線における各（縦）断面図をそれぞれ図24及び図25に示す。更に、図25中の一部を図26に拡大して示す。なお、図23では図24～図26中に図示される要素の一部の図示化を省略している。

40

【0005】

図23～図26に示すように、半導体装置101PはP型のシリコン単結晶基板（以下、単に「基板」とも呼ぶ）1Pを備える。基板1Pの主面1SPから基板1Pの内部に向けて溝2Pが形成されており、溝2Pは素子分離領域AR2Pを形成する。

【0006】

溝2Pの内面2SP上にシリコン酸化膜9APが形成されており、シリコン酸化膜9AP上にシリコン酸化膜9BPが形成されている。このとき、溝2P内はシリコン酸化膜9AP, 9BP（以下、総称して「シリコン酸化膜9P」とも呼ぶ）で充填されている。シリコン酸化膜9Pはいわゆる溝型素子分離にあたる。

【0007】

従来の半導体装置101Pでは、溝型素子分離を成すシリコン酸化膜9Pは、溝2Pの開

50

口端に沿って、基板 1 P の正面 1 S P よりも落ち込んだ形状（以下「落ち込み」とも呼ぶ）9 R P を有している。

【0008】

そして、半導体装置 101 P の活性領域 A R 1 P 内には N チャネル型の電界効果トランジスタ（N M O S F E T）が形成されている。詳細には、基板 1 P の正面 1 S P 上に活性領域 A R 1 P（図 23 参照）を横切ってゲート絶縁膜 4 P が延在している。ゲート絶縁膜 4 P 上にポリシリコン膜 5 A P 及びタンゲステンシリサイド膜 5 B P がこの順序で積層されており、かかるポリシリコン膜 5 A P 及びタンゲステンシリサイド膜 5 B P がゲート電極 5 P を成す。なお、図 25 及び図 26 に示すように、ゲート電極 5 P はシリコン酸化膜 9 P 上にも当該シリコン酸化膜 9 P を横切って延在しており、シリコン酸化膜 9 P の落ち込み 9 R P 内にもゲート電極 5 P が配置されている。ゲート絶縁膜 4 P 上にはゲート電極 5 P の側面に接してサイドウォール酸化膜 4 1 P が形成されている。10

【0009】

また、2つのソース・ドレイン層 6 P が基板 1 の正面 1 S P 内にゲート電極 5 P 下方の M O S F E T のチャネル領域を介して形成されている。ソース・ドレイン層 6 P は N⁺型層 6 B P 及び N⁻型層 6 A P から成り、N⁻型層 6 A P は N⁺型層 6 B P よりも不純物濃度が低く又チャネル領域側に形成されている。

【0010】

更に、基板 1 P の正面 1 S P 内に M O S F E T のしきい値電圧を制御するチャネル不純物層 10 P が形成されている。チャネル不純物層 10 P は基板 1 P と同じ P 型の層から成り、基板 1 P よりも不純物濃度が高い。チャネル不純物層 10 P はチャネル領域よりも深い領域に形成されており、チャネル不純物層 10 P はその全体が基板 1 P の正面 1 S P に略平行な平面状に形成されている。なお、チャネル不純物層 10 P 及びソース・ドレイン層 6 P の各一部は基板 1 P 内において互いに形成領域を共有しており（重複しており）、より具体的にはチャネル不純物層 10 P はソース・ドレイン層 6 P の底部に跨って形成されている。20

【0011】

次に、上述の図 23～図 26 に加えて図 27～図 31 を参照しつつ半導体装置 101 P の製造方法を説明する。なお、図 27～図 31 は図 24 と同様に図 23 中の A P - A P 線における（縦）断面図である。30

【0012】

まず、基板 1 P を準備し、基板 1 P の正面 1 S P を熱酸化してシリコン酸化膜 7 P（図 27 参照）を形成する。続いて、シリコン酸化膜 7 P 上にシリコン窒化膜 8 P（図 27 参照）を形成する。

【0013】

次に、写真製版技術を用いて、シリコン窒化膜 8 P 上に素子分離領域となる領域以外を覆うレジスト（図示せず）を形成する。そして、当該レジストをマスクとする異方性エッチングによって、シリコン窒化膜 8 P、シリコン酸化膜 7 P 及び基板 1 P の一部をエッチングする。これにより、図 27 に示すように、シリコン窒化膜 8 P の露出表面から基板 1 P の内部に至る溝 2 a P を形成する。そして、図 28 に示すように、溝 2 a P の内面 2 S P を熱酸化してシリコン酸化膜 9 A a P を形成し、続いて、H D P (high density plasma) - C V D (chemical vapor deposition) 法によって溝 2 a P 内を埋めるように基板 1 P の正面 1 S P 側全面を覆ってシリコン酸化膜 9 B a P を堆積する。40

【0014】

次に、シリコン窒化膜 8 P をストッパ膜とする C M P (chemical mechanical polishing) 法によって、シリコン窒化膜 8 P が露出するまでシリコン酸化膜 9 B a P を研磨する（図 29 参照）。これにより、シリコン酸化膜 9 B a P の内で溝 2 a P 内の部分がシリコン酸化膜 9 B b P として残る。

【0015】

そして、熱リン酸を用いてシリコン窒化膜 8 P を除去し、続いてフッ酸を用いてシリコン

酸化膜 7 P を除去する(図30参照)。これにより、溝2aP の内で基板1P 内の部分である溝2P が残る。なお、図30 に示すように、かかるフッ酸処理時に、シリコン酸化膜9AaP , 9BbP に溝2P の開口端に沿って上述の落ち込み9RP が形成される。

【0016】

次に、基板1P の正面1SP を熱酸化することにより再度シリコン酸化膜を形成する。そして、図31 に示すように、イオン注入法によってチャネル不純物層10P を形成する。次に、上記シリコン酸化膜をフッ酸で除去する。このとき、シリコン酸化膜9AaP , 9BbP の一部もエッチングされて既述のシリコン酸化膜9AaP , 9BbP から成るシリコン酸化膜9P が形成されるが、かかるフッ酸処理時に上述の落ち込み9RP が形成される又は大きくなる。

10

【0017】

その後、シリコン酸化膜、ポリシリコン膜及びタンクステンシリサイド膜を順次に形成し、これらをパターニングしてゲート絶縁膜4P 及びゲート電極5P (共に図24 及び図25 を参照) を形成する。次に、N⁻型層6AP の形成のためのイオン注入、サイドウォール酸化膜41P の形成及びN⁺型層6BP の形成のためのイオン注入を順次に行うことにより、図23 ~ 図25 に示す半導体装置101P が完成する。

【0018】

【発明が解決しようとする課題】

さて、上述のように、従来の半導体装置101P は溝型素子分離を成すシリコン酸化膜9P の開口端に落ち込み9RP を有している。即ち、従来の半導体装置101P の製造方法では、シリコン酸化膜7P 及び当該シリコン酸化膜7P の除去後に再度形成したシリコン酸化膜をフッ酸で除去する際にシリコン酸化膜9AaP , 9BbP の一部もエッチングされてしまい(図29 ~ 図31 参照)、シリコン酸化膜9P に落ち込み9RP が形成されてしまう。

20

【0019】

図26 に示すように、落ち込み9RP は基板1P の正面1SP よりも低く形成されるので、落ち込み9RP が無い場合と比較して、ゲート電極5P の内で落ち込み9RP 内に形成された部分は溝2P の側面に近い。このため、ゲート電極5P への印加電圧による電界が溝2P の側面へないしは活性領域AR1P へ及ぼす電界E が強くなる。換言すれば、電界E が活性領域端に集中する。

30

【0020】

このような電界集中は活性領域端のポテンシャルを低下させるので、MOSFET の活性領域端におけるしきい値電圧はチャネル領域(の中央部)でのそれに比して低くなる。即ち、活性領域端に所望の(ないしは設計の)電圧よりも低いしきい値電圧を有した寄生MOSFET (ないしは寄生素子) が形成される。このため、動作時にはまず寄生MOSFET がON し、その後に寄生MOSFET 以外の部分がON する。その結果、MOSFET の特性図である図32 中の特性線として示すように、所望のしきい値電圧よりも低い電圧においてMOSFET のドレイン電流が流れ始めてしまう。即ち、特性図においてハンプが観測される。

40

【0021】

また、デバイスサイズの縮小に伴ってチャネル幅が減少すると、上述の寄生MOSFET の存在は、チャネル幅の減少と共にしきい値電圧が低くなるという逆ナローチャネル効果を発生させる。即ち、MOSFET ではかかる逆ナローチャネル効果によって所望のしきい値電圧よりも低い電圧で電流が流れ始めてしまう。

【0022】

なお、落ち込み9RP が無い場合であっても、素子分離領域AR2P 内に又はシリコン酸化膜9P 上に形成された各種の配線等からの電界は、シリコン酸化膜9P を介してないしは溝2P の側面を介して活性領域端のポテンシャルに影響を及ぼし、上述の寄生MOSFET を形成しうる。

【0023】

50

このように寄生MOSFETに起因したハンプや逆ナローチャネル効果はMOSFETのオフ電流ないしはリーク電流の増加を招くので、半導体装置101Pの歩留まりを低下させてしまうという問題がある。

【0024】

なお、素子分離の形成方法の相違に起因してLOCOSではかかる落ち込みが形成されないが、半導体装置の更なる微細化を推進するためには溝型素子分離構造が不可欠であることは既述の通りである。

【0025】

この発明はかかる点に鑑みてなされたものであり、活性領域端に寄生素子が形成されるのを抑制し、所望の特性で以て動作可能な半導体装置及びその製造方法を提供することを主たる目的とする。

【0026】

【課題を解決するための手段】

請求項1に記載の半導体装置は、主面を有し、所定の不純物濃度を有した所定の導電型の半導体材料を含む基板と、前記基板の前記主面から前記基板の内部へ向けて形成された溝と、前記溝内に形成された、溝型素子分離を成す誘電体と、前記基板の前記所定の導電型と同じ導電型及び前記基板の前記所定の不純物濃度よりも高い不純物濃度を有し、前記基板の前記主面に対面して前記基板内に延在する第1不純物層と、前記基板の前記所定の導電型とは反対の導電型を有し、前記基板の前記主面内的一部に形成された第2不純物層とを備え、前記第1不純物層は、第1部分と、前記第1部分に連続し、前記基板の前記主面から前記第1部分よりも深くに延在する第2部分とを含み、前記第1不純物層の前記第1部分の一部が前記第2不純物層内に形成されており、前記第1不純物層の前記第1部分は前記溝の側面に沿って設けられており、前記第1不純物層の前記第1部分は前記基板内において前記溝の開口端付近に設けられており、前記半導体装置は、前記第2不純物層と同じ導電型を有し、前記第2不純物層に接すことなく前記基板の前記主面内の他の一部に形成された第3不純物層を更に備え、前記第1不純物層の前記第1部分の内で前記一部とは異なる他の一部が前記第3不純物層内に形成されており、前記半導体装置は、前記第2不純物層及び前記第3不純物層をそれぞれソース・ドレイン層として含む電界効果トランジスタを更に備え、前記第1不純物層の不純物濃度ピーク位置は、前記ソース・ドレイン層の不純物濃度ピーク位置と、前記ソース・ドレイン層と前記基板との接合面に対して同じ側にあることを特徴とする。

【0030】

請求項2に記載の半導体装置は、請求項1に記載の半導体装置であって、前記電界効果トランジスタは、前記基板の前記主面上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上及び前記誘電体上に延在するゲート電極を更に含むことを特徴とする。

【0035】

【発明の実施の形態】

<実施の形態1>

図1に実施の形態1に係る半導体装置101の模式的な平面図(上面図)を示す。また、図1中のA1-A1線及びA2-A2線における各(縦)断面図をそれぞれ図2及び図4に示し、図2中の一部を図3に拡大して示す。また、図1中のB1-B1線及びB2-B2線における各(縦)断面図をそれぞれ図5及び図7に示し、図5中の一部を図6に拡大して示す。なお、図1では、図面の煩雑化を避けるために図2～図7中に図示される要素の一部の図示化を省略している一方で、後述のチャネル不純物層10を模式的に図示している。

【0036】

図1～図7に示すように、半導体装置101は、例えばP型のシリコン単結晶よりなる半導体基板(以下、単に「基板」とも呼ぶ)1を備える。基板1の主面1Sから基板1の内部に向けて所定の深さの溝2が形成されており、溝2は主面1Sにおける素子分離領域A R2を規定する。

10

20

30

40

50

【0037】

但し、素子分離領域 A R 2 とは、基板 1 の正面 1 S 上の平面的な領域のみならず、正面 1 S に垂直な方向の 3 次元の領域、より具体的には基板 1 の厚さ方向及び正面 1 S 上方の両領域をも含むものとする。このとき、基板 1 は、素子分離領域 A R 2 とそれ以外の 3 次元の領域である活性領域 A R 1 との 2 つ領域に区画され、活性領域 A R 1 は素子分離領域 A R 2 に囲まれている。

【0038】

なお、基板 1 の正面 1 S から溝 2 の底部 2 B までの距離、即ち溝 2 の深さは例えば 100 nm ~ 500 nm 程度である。

【0039】

図 2 ~ 図 7 に示すように、溝 2 の内面（即ち側面 2 S 及び底面）上に当該内面に沿ってシリコン酸化膜 9 A が形成されており、シリコン酸化膜 9 A 上に溝 2 を埋め尽くすようにシリコン酸化膜 9 B が形成されている。これにより、溝 2 内はシリコン酸化膜 9 A, 9 B（以下、総称して「シリコン酸化膜（誘電体）9」とも呼ぶ）で充填されている。シリコン酸化膜 9 はいわゆる溝型素子分離にあたる。なお、シリコン酸化膜 9 は基板 1 の正面 1 S 以上の高さレベルまで設けられており、正面 1 S よりも落ち込んだ形状を有さない。

【0040】

そして、半導体装置 101 は活性領域 A R 1 内に形成された N チャネル型の電界効果トランジスタ（N M O S F E T）を備える。

【0041】

詳細には、基板 1 の正面 1 S 上に活性領域 A R 1（図 1 参照）の略中央を横切ってゲート絶縁膜 4 が延在している。ゲート絶縁膜 4 は例えば厚さ 3 nm ~ 7 nm 程度のシリコン酸化膜から成る。なお、図 5 及び図 6 に示すように、ゲート絶縁膜 4 の延在方向における各端部はシリコン酸化膜 9（又は 9 A）に接しており、ゲート絶縁膜 4 とシリコン酸化膜 9 とは互いに結合して一体化している。

【0042】

ゲート絶縁膜 4 上に厚さ 40 nm ~ 70 nm 程度のポリシリコン膜 5 A 及び厚さ 50 nm ~ 100 nm 程度のタンゲステンシリサイド膜 5 B がこの順序で積層されており、かかるポリシリコン膜 5 A 及びタンゲステンシリサイド膜 5 B がゲート電極 5 を成す。なお、図 1 及び図 5 に示すように、ゲート電極 5 はシリコン酸化膜 9 上にも当該シリコン酸化膜 9 を横切って延在している。更に、ゲート絶縁膜 4 上にはゲート電極 5 の側面に接してサイドウォール酸化膜 4 1 が形成されている。

【0043】

更に、基板 1 の正面 1 S のゲート絶縁膜 4 で区画された各領域内にそれぞれ基板 1 とは反対の導電型である N 型のソース・ドレイン層（ないしは第 2 及び第 3 不純物層）6 が形成されている。詳細には、各ソース・ドレイン層 6 はそれぞれ溝 2 に接して基板 1 の正面 1 S 内の一部に形成されており、2 つのソース・ドレイン層 6 は互いに接することなくゲート電極 5 下方の M O S F E T のチャネル領域を介して配置されている。

【0044】

より具体的には、両ソース・ドレイン層 6 はそれぞれ N 型の N⁺型層 6 B 及び当該 N⁺型層 6 B よりも不純物濃度が低い N⁻型層 6 A から成る。このとき、N⁺型層 6 B は基板 1 の正面 1 S 内においてゲート絶縁膜 4 の端部直下付近からゲート絶縁膜 4 とは反対側へ延在し、シリコン酸化膜 9 A ないしは溝 2 まで至る。また、N⁻型層 6 A はそれぞれ基板 1 の正面 1 S 内において N⁺型層 6 B に接し、ゲート電極 5 とサイドウォール酸化膜 4 1 との界面の下方付近まで延在している。また、N⁺型層 6 B は N⁻型層 6 A よりも正面 1 S から深くまで形成されている。なお、N⁻型層 6 A はいわゆる L D D (Lightly Doped Drain) 層にあたる。

【0045】

更に、活性領域 A R 1 内には M O S F E T のしきい値電圧を制御するチャネル不純物層（ないしは第 1 不純物層）10 が形成されている。チャネル不純物層 10 は基板 1 と同じ P

10

20

30

40

50

型の層から成る一方で、基板 1 よりも不純物濃度が高い。図 1 ~ 図 7 に示すように、チャネル不純物層 10 はその全体が溝 2 の底部 2B の深さレベルと基板 1 の主面 1S との間の深さに形成されている。そして、チャネル不純物層 10 は第 1 部分 10A 及び第 2 部分 10B を含み、全体として基板 1 の主面 1S に対面して延在している。なお、チャネル不純物層 10 の端部ないしは周縁部（後述の第 1 部分 10A にあたる）は溝 2 に接している。また、チャネル不純物層 10 及びソース・ドレイン層 6 の各一部は基板 1 内において互いに形成領域を共有している（重複している）。

【 0 0 4 6 】

詳細には、第 1 部分 10A はチャネル不純物層 10 の内で溝 2 の側面 2S に接して当該側面 2S に沿う部分にあたる。特に、第 1 部分 10A は基板 1 内において溝 2 の開口端付近ないしは主面 1S 付近に形成されており、図 4 及び図 7 に示すように各 N⁺型層 6B 内に（従って、各ソース・ドレイン層 6 内に）それぞれ第 1 部分 10A の一部が設けられている。より具体的には、後述の図 20 に示すように、第 1 部分 10A 及びソース・ドレイン層 6 の不純物濃度分布の両ピークが、基板 1 とソース・ドレイン層 6 との接合面に対して同じ側に設定されている。

【 0 0 4 7 】

他方、第 2 部分 10B はチャネル不純物層 10 の内で第 1 部分 10A 以外の部分ないしは中央部にあたる。即ち、第 2 部分 10B は第 1 部分 10A に連続して形成され、基板 1 の主面 1S に略平行な平面状に形成されている。

【 0 0 4 8 】

なお、ここでは、半導体装置 101 が有する MOSFET のしきい値電圧が従来の半導体装置 101P と同じ場合を説明する。このため、MOSFET のチャネル領域下方に配置されるチャネル不純物層 10 の第 2 部分 10B は、従来の半導体装置 101P（図 24 及び図 25 を参照）のチャネル不純物層 10P と同程度の深さに形成されている。

【 0 0 4 9 】

このとき、半導体装置 101 では、チャネル不純物層 10 の第 1 部分 10A は第 2 部分 10B よりも浅い位置に（基板 1 の主面 1S 側に）形成されており、従来の半導体装置 101P のチャネル不純物層 10P よりも浅い位置に形成されている。逆に言えば、第 2 部分 10B は第 1 部分 10A よりも主面 1S から深くに形成されている。

【 0 0 5 0 】

なお、図示化は省略するが、基板 1 内の溝 2 の底部 2B 付近にチャネルカット不純物層が形成されており、又、当該チャネルカット不純物層及びチャネル不純物層 10 よりも深い領域にウエル不純物層が形成されている。

【 0 0 5 1 】

次に、図 1 ~ 図 7 に加えて図 8 ~ 図 18 を参照しつつ半導体装置 101 の製造方法を説明する。なお、図 8 ~ 図 16 及び図 18 は図 2 と同様に図 1 中の A1 - A1 線における（縦）断面図であり、又、図 11 は図 10 の一部拡大図である。図 17 は後述のイオン注入工程における注入条件を説明するための模式図である。

【 0 0 5 2 】

まず、基板 1 を準備し、図 8 に示すように基板 1 の主面 1S 全体を熱酸化してシリコン酸化膜（ないしは酸化膜）7 を 5 nm ~ 30 nm 程度形成する。続いて、シリコン酸化膜 7 の露出表面上に、（基板 1 と同じ半導体材料であるシリコンから成る）シリコン膜（ないしは半導体膜）11 を 10 nm ~ 50 nm 程度形成する。シリコン膜 11 は例えばポリシリコンやアモルファス・シリコン等の非単結晶から成る。なお、シリコン膜 11 はドーピングされても良いし又されていなくても良い。更に、シリコン膜 11 の露出表面上にシリコン窒化膜 8 を 100 nm ~ 300 nm 程度形成する。

【 0 0 5 3 】

次に、写真製版技術を用いて、シリコン窒化膜 8 の露出表面上に素子分離領域 AR2 となる領域以外を覆うレジスト（図示せず）を形成する。そして、当該レジストをマスクとする異方性エッチングによって、シリコン窒化膜 8, シリコン膜 11, シリコン酸化膜 7 及

10

20

30

40

50

び基板 1 の一部（主面 1 S から例えば 100 nm ~ 500 nm 程度の深さ）をエッティングする。これにより、図 9 に示すように、シリコン窒化膜 8 の上記露出表面から基板 1 の内部に至る溝 2 a（既述の図 2 に示す溝 2 を含んでいる）を形成する。

【 0 0 5 4 】

次に、溝 2 a の内面の内で基板 1 の露出表面（既述の溝 2 の内面にあたる）及びシリコン膜 11 の露出表面 11 S を熱酸化法やプラズマ酸化法等を用いて酸化して、図 10 及び図 11 に示すようにシリコン酸化膜 9 A a を形成する。なお、シリコン酸化膜 9 A a はシリコン酸化膜 7 の溝 2 a に沿った端部と結合して一体化しており、図 11 では両シリコン酸化膜 9 A a, 7 の境界を破線 B L 1 で模式的に示している。

【 0 0 5 5 】

このとき、図 11 に示すように、基板 1 の主面 1 S 上に形成されているシリコン酸化膜 7 の溝 2 a に沿った端部はいわゆるバーズピークと同様の形状に変化し、形成当初よりも厚くなる。このため、かかる酸化工程後のシリコン酸化膜 7 は、基板 1 の主面 1 S 上の（a）上述のバーズピーク状の端部ないしは厚い部分 7 A 及び（b）当該厚い部分 7 A 以外の部分である薄い部分 7 B を含んで成る。薄い部分 7 B の膜厚は形成当初と大略等しい。なお、図 11 では、厚い部分 7 A と薄い部分 7 B との境界を破線 B L 2 で模式的に示している。

10

【 0 0 5 6 】

その後、図 12 に示すように、H D P (high density plasma) - C V D (chemical vapor deposition) 法によって、溝 2 a 内を埋めるように基板 1 の主面 1 側全面を覆ってシリコン酸化膜 9 B a を堆積する。シリコン酸化膜 9 B a は例えば 200 nm ~ 700 nm 程度形成する。

20

【 0 0 5 7 】

なお、シリコン酸化膜 9 B a に変えて例えばシリコン窒化酸化膜、P S G (phospho-silicate glass) 膜、B P S G (boro-phospho silicate glass) 膜又はF S G (flourine doped silicon glass) 膜等を用いても良い。また、H D P - C V D 法以外の成膜法によってシリコン酸化膜 9 B a を形成しても構わない。なお、上述の H D P - C V D 法のようにエッティング（又はスパッタリング）と成膜とを同時に行う成膜方法によれば、隙間（シーム）をほとんど生じることなく溝 2 a 内にシリコン酸化膜 9 B a を充填することができる。

30

【 0 0 5 8 】

次に、図 13 に示すように、シリコン窒化膜 8 をストッパ膜とする C M P (chemical mechanical polishing) 法によって、図 12 に図示されるシリコン酸化膜 9 B a の一部を除去する。より具体的には、シリコン窒化膜 8 が露出するまでシリコン酸化膜 9 B a を研磨し、シリコン酸化膜 9 B a の内で溝 2 a 内の部分をシリコン酸化膜 9 B b として残存させる。

【 0 0 5 9 】

その後、熱リン酸を用いたウェットエッティング（等方性エッティング）でシリコン窒化膜 8 を除去し（図 14 参照）、アンモニアと過酸化水素水との混合液を用いたウェットエッティング（等方性エッティング）でシリコン膜 11 を除去する（図 15 参照）。

40

【 0 0 6 0 】

次に、露出しているシリコン酸化膜 7 越しに 200 keV ~ 1 MeV 程度の加速エネルギーで以てボロンイオンを注入し、これによりウエル不純物層（図示せず）を形成する。また、100 keV ~ 300 keV 程度の加速エネルギーで以てボロンイオンを注入し、これにより溝 2 a（又は溝 2）の底部 2 B 付近の基板 1 内にチャネルカット不純物層（図示せず）を形成する。

【 0 0 6 1 】

更に、10 keV ~ 100 keV 程度の加速エネルギーで以て基板 1 の主面 1 S 内へボロンイオンを注入し、これにより図 16 に示すようにチャネル不純物層 10 を形成する。このとき、シリコン酸化膜 7 の厚い部分 7 A 越しの方が薄い部分 7 B 越しよりも不純物（ボ

50

ロン)を浅く注入することができる。特に、図17の模式図に示すように、注入された不純物の深さ方向における濃度分布のピークが基板1とシリコン酸化膜7の厚い部分7Aとの界面(正面1Sの一部にあたる)付近に形成されるように、注入条件を設定する。その後、イオン注入後の基板1に対して急速加熱アニール、いわゆるRTA(rapid thermal annealing)を行う。かかる急速加熱アニールは例えば700°C~1100°C程度の温度範囲で30秒~60秒間程度、実施する。

【0062】

次に、フッ酸用いてシリコン酸化膜7をウエットエッティングし、基板1の正面1Sを露出させる(図18参照)。このとき、シリコン酸化膜9Aa, 9Bbの一部も除去されて、溝2aの内で基板1内の部分である溝2が残り、又、既述のシリコン酸化膜9A, 9Bから成るシリコン酸化膜9が溝2内に残る。

10

【0063】

その後、基板1の露出している正面1Sを熱酸化して厚さ3nm~7nm程度のシリコン酸化膜(後にゲート絶縁膜4となる)を形成する。なお、このシリコン膜の各端部はシリコン酸化膜9(又は9A)に結合して一体化している。次に、CVD法によって、厚さ40nm~70nm程度のポリシリコン膜及び厚さ50nm~100nm程度のタンゲステンシリサイド膜を順次に堆積する。そして、写真製版技術及び異方性エッティング法を用いて上記タンゲステンシリサイド膜及びポリシリコン膜をパターニングすることにより、ゲート電極5(図2参照)を形成する。

【0064】

20

次に、イオン注入法によりリンイオンを20keV~50keV程度で注入する。続いて、ゲート電極5の側面にサイドウォール酸化膜41(図2参照)を形成する。更に、イオン注入法により砒素イオンを10keV~50keV程度で注入する。その後、熱処理を施すことによって、上記リンのみを含んだN⁻型層6Aが形成され、上記砒素を含んだN⁺型層6Bが形成される。即ち、ソース・ドレイン層6が形成される。以上の工程により、図1~図7に示す半導体装置101が完成する。

【0065】

半導体装置101及びその製造方法によれば以下の効果を得ることができる。

【0066】

上述のようにシリコン酸化膜9Aa(又は9A)の形成に熱酸化法等を用いるので、シリコン酸化膜7に厚い部分7A(図11参照)を形成することができる。このため、従来の半導体装置101Pの製造方法とは異なり、図16及び図18に示すようにシリコン酸化膜7をフッ酸でウエットエッティングする際であっても、厚い部分7Aによってシリコン酸化膜9Bb, 9Aaないしはシリコン酸化膜9A, 9Bに落ち込み9RP(図24参照)が形成されないようにすることができる。従って、落ち込み9RPに起因した寄生MOSFET(寄生素子)が形成されるのを抑制することができる。これにより、半導体装置101のMOSFETにおいて、ハンプや逆ナローチャネル効果を抑制してリーク電流を低減することができる。その結果、MOSFETは、更には半導体装置は所望の(設計の)特性で以て動作することができる。

30

【0067】

40

ところで、落ち込み9RPが無い場合であっても、素子分離領域AR2内に又はシリコン酸化膜9上に形成された配線(ゲート電極5を含む)からの電界は、シリコン酸化膜9を介してないしは溝2の側面2Sを介して活性領域端のポテンシャルに影響を及ぼし、寄生MOSFETを形成しうる。しかし、半導体装置101によれば、かかる寄生MOSFETの影響をも低減することができる。

【0068】

即ち、半導体装置101ではチャネル不純物層10の第1部分10Aは第2部分10Bよりも(従って従来のチャネル不純物層10Pよりも)浅い位置に形成されている。特に、第1部分10Aは溝2の側面2Sに沿って形成されている。このため、基板1では第1部分10Aの分だけ溝2の開口端付近の不純物濃度が従来の基板1Pよりも高い。従って、

50

半導体装置 101 によれば、チャネル不純物層 10P の全体が第 2 部分 10B と同じ深さに形成されている従来の半導体装置 101P よりも、溝 2 の側面 2S での寄生MOSFET を ON しにくくすることができる。換言すれば、しきい値電圧が低い寄生MOSFET の形成を抑制することができる。かかる点においても、半導体装置 101 は、ハンプや逆ナロー・チャネル効果が低減されて所望の特性で以て動作することができる。

【0069】

特に、半導体装置 101 ではチャネル不純物層 10 の第 1 部分 10A は溝 2 の開口端付近ないしは基板 1 の正面 1S 付近に形成されている。このとき、上記配線からの電界は当該配線に近いほど、即ち溝の開口端に近いほどより強い点に鑑みれば、チャネル不純物層 10 の第 1 部分 10A は上記電界がより強い部分に設けられていることによって、上述の効果をより確実に得ることができる。

10

【0070】

上述のように、チャネル不純物層 10 を形成する際、厚い部分 7A を有したシリコン酸化膜 7 越しにボロンを注入するので、厚い部分 7A 越しの方が薄い部分 7B 越しよりも不純物が浅く注入することができる。このため、溝 2 付近ないしは活性領域端付近においてチャネル不純物層 10 の第 1 部分 10A を第 2 部分 10B よりも基板 1 の正面 1S 側に容易に形成することができる。即ち、ボロンの注入深さを違えるためにレジストを形成した上で別々の工程で不純物を注入したりする必要がない。

【0071】

しかも、チャネル不純物層 10 を形成する際、厚い部分 7A と基板 1 との界面付近に、深さ方向における不純物濃度のピークが形成されるように注入条件を設定する。このため、チャネル不純物層 10 の第 1 部分 10A を確実に溝 2 の開口端付近に形成することができる。

20

【0072】

また、上述の製造方法では、チャネル不純物層 10 を形成するためのイオン注入後に RTA を行う。これにより、イオン注入により発生する結晶の点欠陥をアニールアウトすることができる。更に、その後の熱処理工程において TED (transient enhanced diffusion) を抑制することができ、チャネル不純物層 10 を形成するボロンを所望の分布に保つことができる。従って、チャネル不純物層 10 により得られる上述の効果を発揮しうる半導体装置 101 を確実に製造することができる。

30

【0073】

また、上述の製造方法では、図 14 及び図 15 に示すように、アンモニアと過酸化水素水との混合液を用いたウェットエッティング（即ち等方性エッティング）によりシリコン膜 11 を除去する。即ち、ドライエッティング（異方性エッティング）を用いないので、ドライエッティング時に生じるプラズマ・ダメージを回避することができる。

【0074】

更に、ウェットエッティングによれば、エッティング残を少なくしてシリコン膜 11 の全体を容易に除去することができる。かかる点を図 19 に示す一部拡大断面図を参照しつつ以下に説明する。

【0075】

即ち、上述の HDP-CVD 法はエッティングと成膜とを同時に行う成膜法なので、シリコン酸化膜 9Ba を HDP-CVD 法で以て形成すると、シリコン窒化膜 8 のエッジ部がエッティング（ないしはスパッタ）されて当該エッジ部に斜面 8ES（図 19 参照）が形成される。その後、シリコン酸化膜 9Ba の堆積及び CMP 工程を実施すると、CMP 後のシリコン酸化膜 9Bb に斜面 8ES に接する底状部ないしはオーバーハング状部 9BH が形成される場合がある。なお、オーバーハング状部 9BH の大きさは上記 CMP 時にストップ膜であるシリコン窒化膜 8 がどの程度研磨されるかにも依る。シリコン酸化膜 9Bb がオーバーハング状部 9BH を有する場合、シリコン膜 11 をドライエッティングにより除去するとオーバーハング形状部 9BH の下方にエッティング残が発生してしまう。これに対して、半導体装置 101 の製造方法によれば、シリコン膜 11 をウェットエッティングで除去

40

50

するので、オーバーハング状部 9 B H の有無に関わりなく、シリコン膜 1 1 の全体を容易に且つ確実に除去することができる。

【 0 0 7 6 】

このように、上述の製造方法によれば、所望の特性で動作可能な半導体装置 1 0 1 を歩留まり良く製造することができる。

【 0 0 7 7 】

更に、半導体装置 1 0 1 によれば従来の半導体装置 1 0 1 P よりも高速動作が可能である。かかる点を図 2 0 及び図 2 1 を参照しつつ説明する。図 2 0 及び図 2 1 は活性領域端付近ないしは溝 2 付近における N 型のソース・ドレイン層（又は N⁺型層）と P 型のチャネル不純物層との濃度分布を説明するための模式図であり、図 2 0 が半導体装置 1 0 1 に関するものであり、図 2 1 が従来の半導体装置 1 0 1 P に関するものである。

10

【 0 0 7 8 】

上述のように半導体装置 1 0 1 ではチャネル不純物層 1 0 の第 1 部分 1 0 A が第 2 部分 1 0 B（及び従来のチャネル不純物層 1 0 P）よりも基板 1 の正面 1 S の側に形成されており、第 1 部分 1 0 A はソース・ドレイン層 6（詳細には N⁺型層 6 B）内に設けられている。より具体的には、図 2 0 に示すように、第 1 部分 1 0 A 及びソース・ドレイン層 6 の不純物濃度分布の両ピークが、ソース・ドレイン層 6 と基板 1 との接合面（両層の分布曲線の交差点で与えられる）に対して同じ側に設定されている。このため、図 2 0 に示すように、活性領域端ではチャネル不純物層 1 0 の第 1 部分 1 0 A がソース・ドレイン層 6 と大きく重なっている。換言すれば、ソース・ドレイン層 6 及び第 1 部分 1 0 A の双方の高濃度領域ないしはピーク濃度領域が重なっている。これに対して、図 2 1 に示すように、形成深さの違いに起因して、従来のチャネル不純物層 1 0 P はソース・ドレイン層 6 P との重なりが小さい。

20

【 0 0 7 9 】

このとき、互いに逆の導電型の不純物はドーピング作用を相殺することに鑑みれば、図 2 0 に示す半導体装置 1 0 1 では、上記接合面の両側の不純物濃度は、図 2 1 に示す従来の半導体装置 1 0 1 P のそれよりも低い。このため、活性領域端では、半導体装置 1 0 1 の方が上記接合面での空乏層が基板 1 の深さ方向に広がりやすく、接合容量がより小さい。従って、活性領域全体についても半導体装置 1 0 1 の方が接合容量が小さく、その結果、動作をより高速化することができる。なお、接合容量の低減による高速化はチャネル不純物層 1 0 の第 1 部分 1 0 A の一部がソース・ドレイン層 6 内に設けられていることによつて得られ、基板 1 内での第 1 部分 1 0 A の形成位置に依らない。

30

【 0 0 8 0 】

＜実施の形態 1 の変形例 1 ＞

なお、基板 1, 酸化膜 7 及び半導体膜 1 1 等がシリコンを含む場合を説明したが、これらがシリコン以外の他の半導体材料を含む場合であつて上述の説明はあてはまる。

【 0 0 8 1 】

また、上述の説明では半導体装置 1 0 1 が N M O S F E T の場合を述べたが、基板 1 及び各層（又は各膜）の導電型を逆転させることによって、半導体装置 1 0 1 として P チャネル型の M O S F E T（P M O S F E T）を提供することができる。また、N M O S F E T 及び P M O S F E T を組み合わせることにより、半導体装置 1 0 1 として C M O S F E T を提供することも可能である。

40

【 0 0 8 2 】

＜実施の形態 1 の変形例 2 ＞

なお、ゲート絶縁膜 4 がシリコン酸化膜以外の場合であつても、即ち半導体装置 1 0 1 が一般的な M I S (metal-insulator-semiconductor) 構造の F E T を備える場合であつても、上述の説明は妥当である。

【 0 0 8 3 】

また、ゲート電極 5 を、金属膜とポリシリコン膜との組み合わせ等の他の積層構造としても構わないし、又、シリサイド化したポリシリコン膜で形成しても良いし、又、金属膜の

50

みで形成しても良い。

【0084】

<実施の形態2>

次に、実施の形態2に係る半導体装置102として、既述の半導体装置101を応用して得られるD R A M (dynamic random access memory)を説明する。図22に半導体装置102の(縦)断面図を示す。なお、以下の説明では、既述の要素と同等の要素には同一の符号を付してその説明を援用するに留める。

【0085】

図22に示すように、半導体装置102は溝2が形成された基板1を備え、溝2内に溝型素子分離を成すシリコン酸化膜9が埋め込まれている。なお、図22では詳細な図示化を省略するが、シリコン酸化膜9はシリコン酸化膜9A, 9B(図2参照)から成る。

10

【0086】

そして、活性領域A R 1(図1参照)内に2つのM O S F E Tが形成されている。詳細には、基板1の主面1S上に、所定の距離だけ離れて2つのゲート絶縁膜4が形成されており、それぞれのゲート絶縁膜4上にゲート電極5及びサイドウォール酸化膜41が形成されている。なお、ゲート電極5は例えば既述のポリシリコン膜5A及びタングステンシリサイド膜5B(図2参照)から成る。なお、図22中にはシリコン酸化膜9上にもゲート絶縁膜4, ゲート電極5及びサイドウォール酸化膜41が形成されているが、これらの構成要素(以下まとめて「ゲート要素4, 5, 41」とも呼ぶ)は、図22中には図示しない他の活性領域内に形成され、且つ、紙面に垂直な方向に延長形成されたものである。

20

【0087】

更に、基板1の主面1S内にソース・ドレイン層(ないしは第2及び第3不純物層)61, 62が形成されている。各ソース・ドレイン層61, 62は既述のソース・ドレイン層6(図2参照)に相当する。図22では詳細な図示化を省略するが、各ソース・ドレイン層61, 62はN⁻型層6A及びN⁺型層6Bから成る。なお、ソース・ドレイン層62は上記2つのM O S F E Tに渡って形成されている。即ち、ソース・ドレイン層62は各M O S F E Tの各一方のソース・ドレイン層6が主面1S内で一体化した形態にあたる。

【0088】

更に、既述の半導体装置101と同様に、活性領域A R 1(図1参照)内には基板1の主面1Sの全体に対面してチャネル不純物層10が形成されている。即ち、チャネル不純物層10の第1部分10Aは基板1内において溝2の側面2S(図2等参照)に接し、当該側面2Sに沿って形成されており、又、溝2の開口端付近ないしは主面1S付近に形成されている。しかも、第1部分10AはN⁺型層6B内に、即ちソース・ドレイン層6内に設けられている。チャネル不純物層10の第2部分10Bは第1部分10Aよりも深い位置に形成されている。

30

【0089】

以上の構造は実施の形態1で説明した製造方法により形成可能である。

【0090】

更に、ゲート要素4, 5, 41を覆って基板1の主面1S上に層間絶縁膜50Aが形成されており、かかる層間絶縁膜50Aの表面50ASからソース・ドレイン層62へ至る接続孔13が形成されている。層間絶縁膜50Aの表面50AS上には、接続孔13を介してソース・ドレイン層62に接続されたビット線14が形成されている。

40

【0091】

また、ビット線14を覆って層間絶縁膜50Aの表面50AS上に層間絶縁膜50Bが形成されており、かかる層間絶縁膜50Bの表面50BSからソース・ドレイン層61へ至る接続孔15が形成されている。層間絶縁膜50Bの表面50BS上には、接続孔15を介してソース・ドレイン層61に接続されたストレージノード16が形成されている。

【0092】

そして、ストレージノード16及び層間絶縁膜50Bの表面50BSを覆って、又、層間絶縁膜50Bの表面50BS上の凹凸に沿ってキャパシタ絶縁膜17が形成されている。

50

更に、キャパシタ絶縁膜 17 上に当該キャパシタ絶縁膜 17 に沿ってセルプレート電極 18 が形成されている。

【0093】

セルプレート電極 18 を全面的に被覆して層間絶縁膜 50C が形成されており、層間絶縁膜 50C の表面 50CS 上に複数の配線 19 が形成されている。かかる配線層 19 は図 22 中に図示されない部分においてゲート電極 5 等と接続されている。

【0094】

半導体装置 102 によれば、半導体装置 101 と同様の効果を得ることができる。このとき、MOSFET のリーク電流の低減により、ストレージノード 16 に（即ちDRAM のキャパシタ部に）蓄積された電荷の損失を抑制することができる。

10

【0095】

【発明の効果】

請求項 1 に係る発明によれば、第 2 不純物層の内で第 1 不純物層の第 1 部分の一部が配置されている部分では、第 2 不純物層の不純物濃度を下げることができる。このため、かかる付近では第 2 不純物層と基板との接合面に形成される空乏層が広がりやすく、接合容量を小さくすることができる。これにより、接合面全体についても接合容量が小さくなるので、かかる接合容量が大きいが故に遅い動作速度を改善することができる。

【0096】

また、請求項 1 に係る発明によれば、第 1 不純物層の第 1 部分は溝の側面に沿って設けられている。溝内の誘電体上に配置された配線等からの電界は溝の側面から基板のポテンシャルに影響を及ぼす点に鑑みれば、第 1 部分によって溝付近での特性を補償することができる。これにより、半導体装置の上記電界に起因した動作不具合を低減することができる。

20

【0097】

また、請求項 1 に係る発明によれば、第 1 不純物層の第 1 部分は溝の開口端付近に設けられている。ところで、上述の誘電体上の配線からの電界は当該配線等に近いほど、即ち溝の開口端に近いほどより強い。このとき、第 1 不純物層の第 1 部分は上述の電界がより強い部分に設けられているので、上述の電界に起因した動作不具合をより確実に低減することができる。

【0098】

30

また、請求項 1 に係る発明によれば、第 2 不純物層及び（第 2 不純物層と同等の）第 3 不純物層が電界効果トランジスタのソース・ドレイン層を成すので、電界効果トランジスタの動作を、従って当該半導体装置の動作を高速化することができる。

【0099】

請求項 2 に係る発明によれば、電界効果トランジスタにおいてハングや逆ナローチャネル効果を抑制してリーク電流を低減することができる。その結果、電界効果トランジスタを、更には半導体装置を所望の（設計の）特性で動作させることができる。また、半導体装置が当該電界効果トランジスタを含むDRAM（dynamic random access memory）の場合、上述のリーク電流の低減によって、DRAM のキャパシタ部に蓄積された電荷の損失を抑制することができる。

40

【図面の簡単な説明】

【図 1】 実施の形態 1 に係る半導体装置の模式的な平面図である。

【図 2】 実施の形態 1 に係る半導体装置の断面図である。

【図 3】 実施の形態 1 に係る半導体装置の一部の断面図である。

【図 4】 実施の形態 1 に係る半導体装置の断面図である。

【図 5】 実施の形態 1 に係る半導体装置の断面図である。

【図 6】 実施の形態 1 に係る半導体装置の一部の断面図である。

【図 7】 実施の形態 1 に係る半導体装置の断面図である。

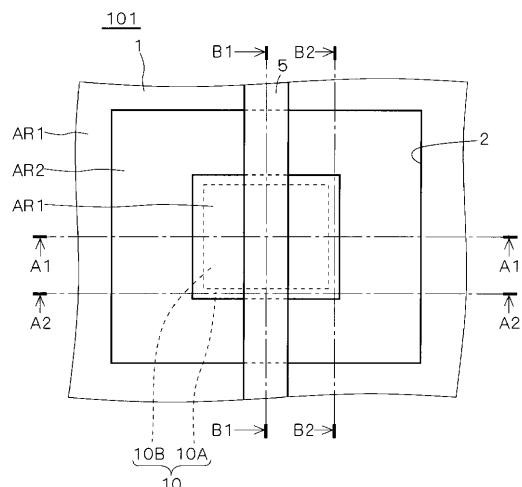
【図 8】 実施の形態 1 に係る半導体装置の製造方法を説明するための断面図である。

【図 9】 実施の形態 1 に係る半導体装置の製造方法を説明するための断面図である。

50

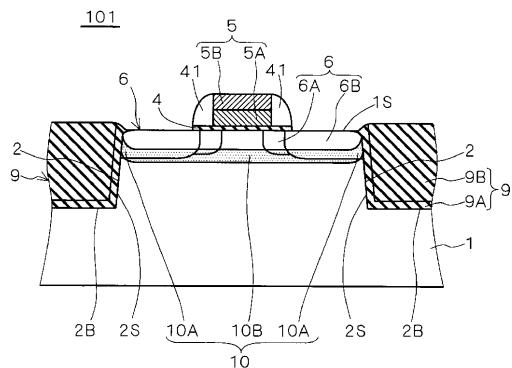
- 【図10】 実施の形態1に係る半導体装置の製造方法を説明するための断面図である。
 【図11】 実施の形態1に係る半導体装置の製造方法を説明するための断面図である。
 【図12】 実施の形態1に係る半導体装置の製造方法を説明するための断面図である。
 【図13】 実施の形態1に係る半導体装置の製造方法を説明するための断面図である。
 【図14】 実施の形態1に係る半導体装置の製造方法を説明するための断面図である。
 【図15】 実施の形態1に係る半導体装置の製造方法を説明するための断面図である。
 【図16】 実施の形態1に係る半導体装置の製造方法を説明するための断面図である。
 【図17】 実施の形態1に係る半導体装置の製造方法を説明するための模式図である。
 【図18】 実施の形態1に係る半導体装置の製造方法を説明するための断面図である。
 【図19】 実施の形態1に係る半導体装置の製造方法を説明するための断面図である。
 【図20】 実施の形態1に係る半導体装置における不純物濃度分布を説明するための模式図である。
 【図21】 従来の半導体装置における不純物濃度分布を説明するための模式図である。
 【図22】 実施の形態2に係る半導体装置の断面図である。
 【図23】 従来の半導体装置の模式的な平面図である。
 【図24】 従来の半導体装置の断面図である。
 【図25】 従来の半導体装置の断面図である。
 【図26】 従来の半導体装置の一部の断面図である。
 【図27】 従来の半導体装置の製造方法を説明するための断面図である。
 【図28】 従来の半導体装置の製造方法を説明するための断面図である。
 【図29】 従来の半導体装置の製造方法を説明するための断面図である。
 【図30】 従来の半導体装置の製造方法を説明するための断面図である。
 【図31】 従来の半導体装置の製造方法を説明するための断面図である。
 【図32】 従来の半導体装置の動作特性図である。
 【符号の説明】
 1 基板、 1S 主面、 2, 2a 溝、 2S 側面、 4 ゲート絶縁膜、 5 ゲート電極
 、 6, 61, 62 ソース・ドレイン層(第2又は第3不純物層)、 6A N⁻型層、 6B N⁺型層、 7 シリコン酸化膜(酸化膜)、 7A 厚い部分、 7B 薄い部分、 9 シリコン酸化膜(誘電体)、 9A, 9Aa, 9B, 9Ba, 9Bb シリコン酸化膜、 10 チャネル不純物層(第1不純物層)、 10A 第1部分、 10B 第2部分、 11 シリコン膜(半導体膜)、 11S 表面、 101, 102 半導体装置、 AR1 活性領域、 AR2 素子分離領域。

【図1】



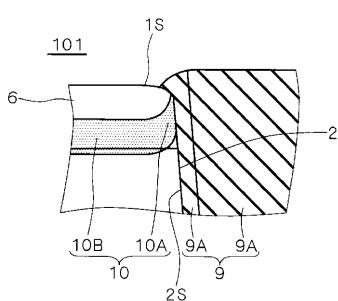
1: 基板
 2: 溝
 5: ゲート電極
 10: チャネル不純物層(第1不純物層)
 10A: 第1部分
 10B: 第2部分
 101: 半導体装置
 AR1: 活性領域
 AR2: 素子分離領域

【図2】

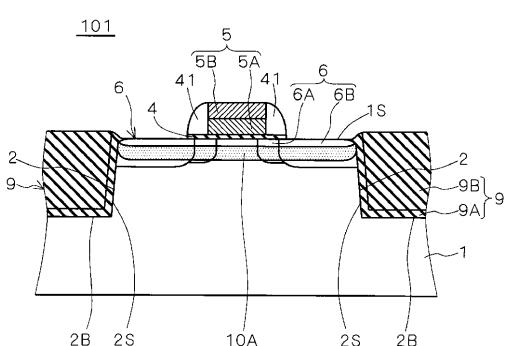


1S: 主面
 2B: 底部
 2S: 側面
 4: ゲート絶縁膜
 6: ソース・ドレイン層(第2及び第3不純物層)
 6A: N⁻型層
 6B: N⁺型層
 9: シリコン酸化膜(誘電体)
 9A, 9B: シリコン酸化膜

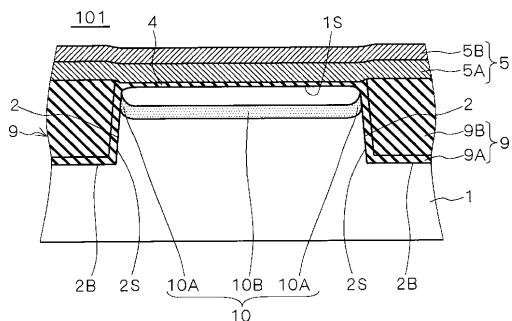
【図3】



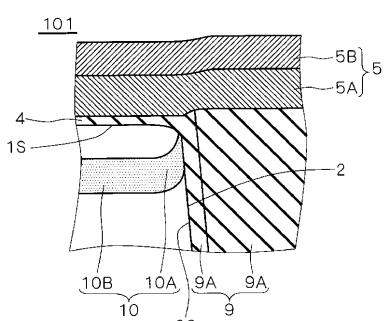
【図4】



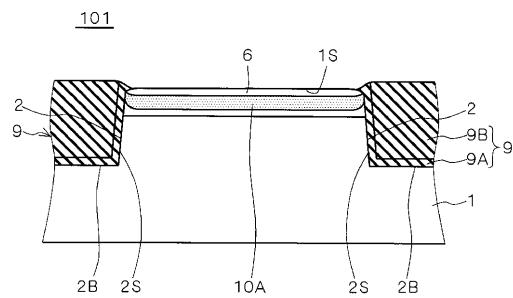
【図5】



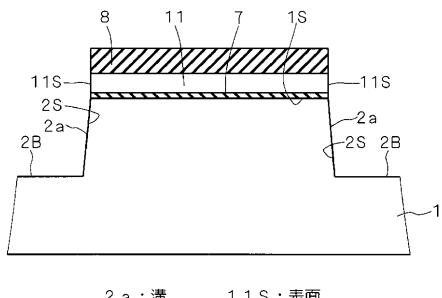
【図6】



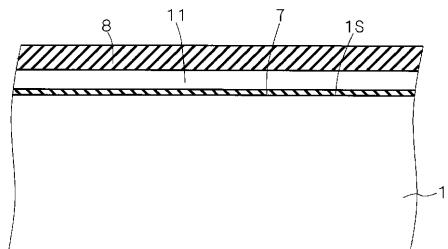
【図7】



【図9】

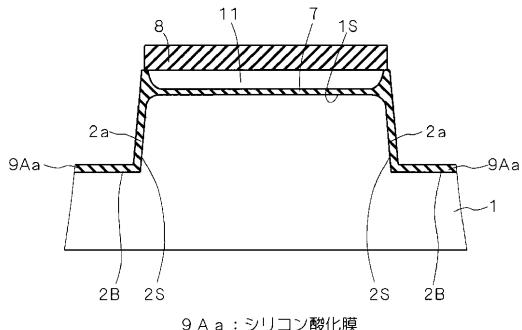


【図8】

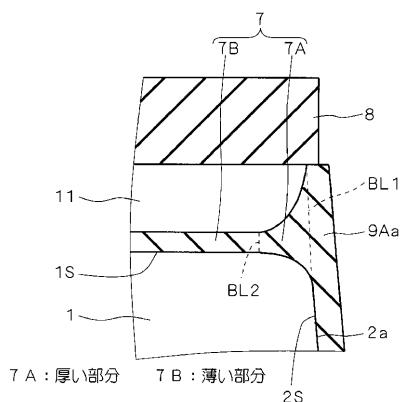


7 : シリコン酸化膜 (酸化膜)
8 : シリコン窒化膜
11 : シリコン膜 (半導体膜)

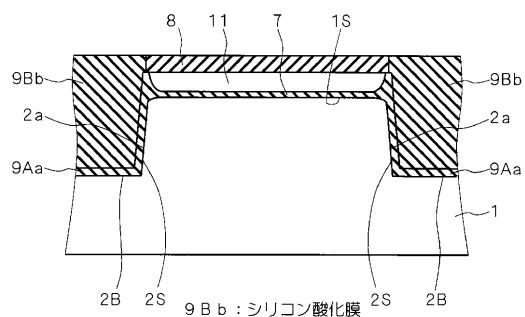
【図10】



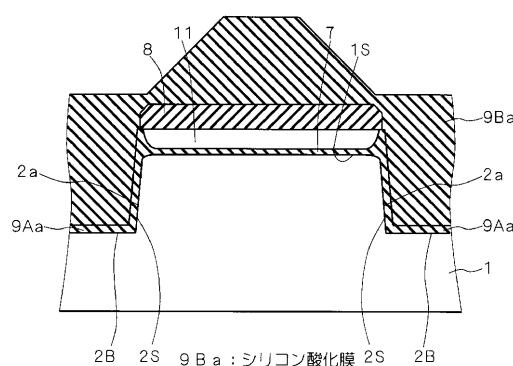
【図11】



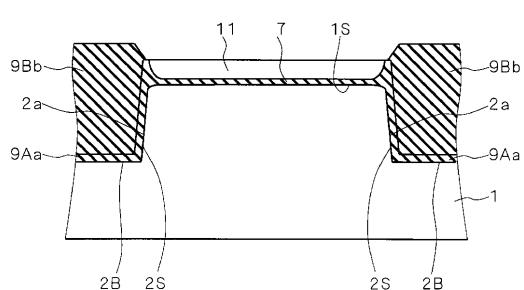
【図13】



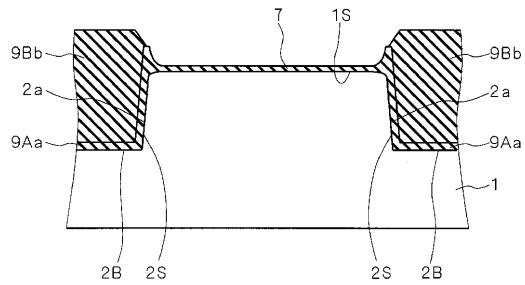
【図12】



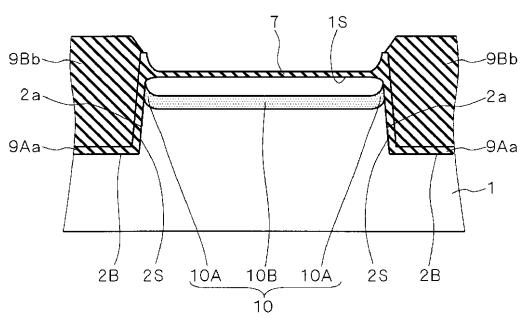
【図14】



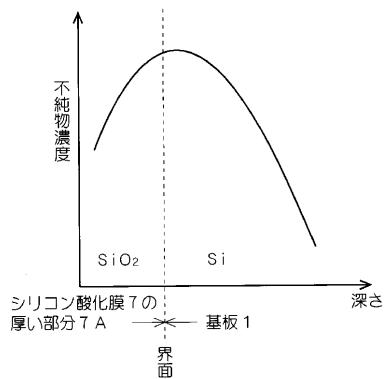
【図15】



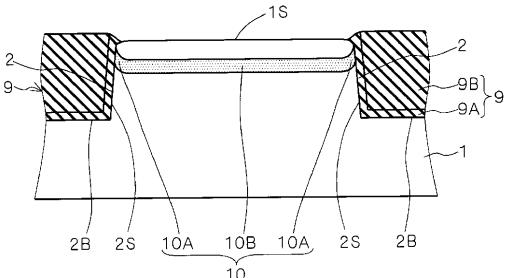
【図16】



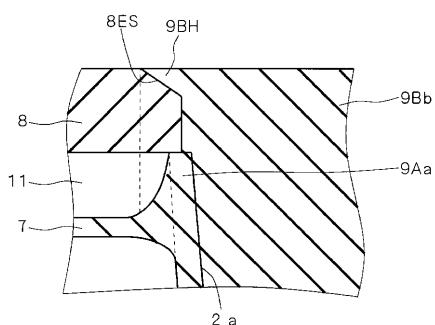
【図17】



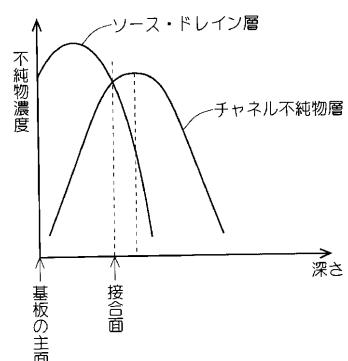
【図18】



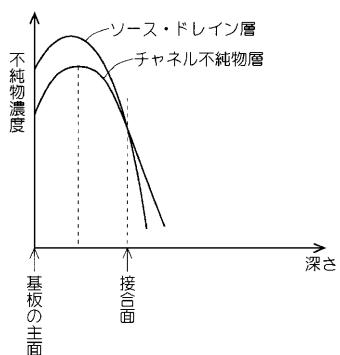
【図19】



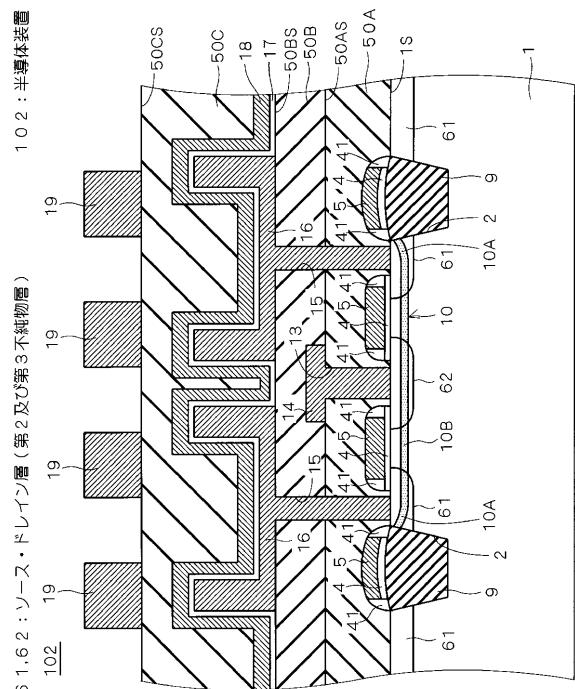
【図21】



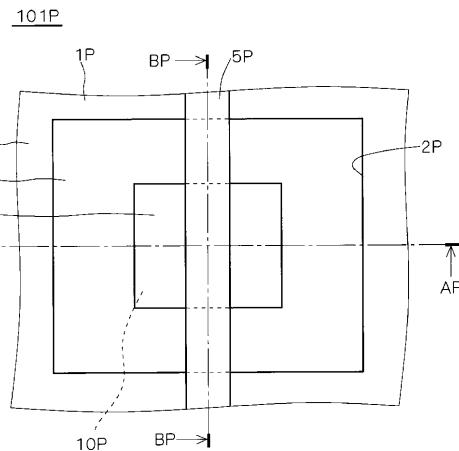
【図20】



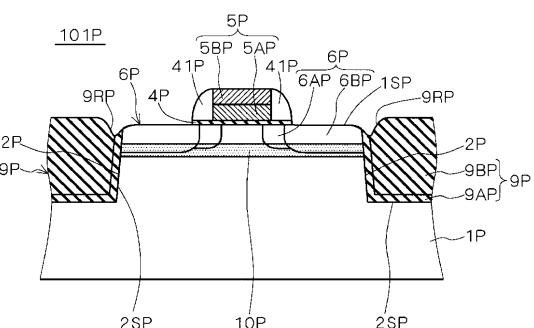
【図22】



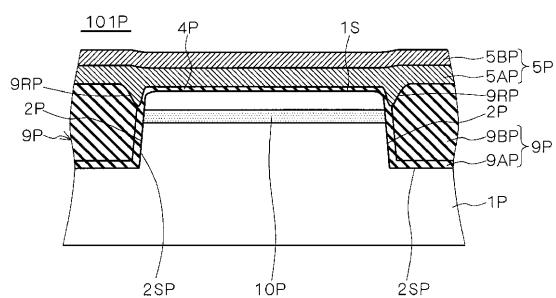
【図23】



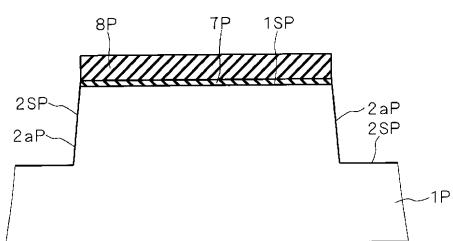
【図24】



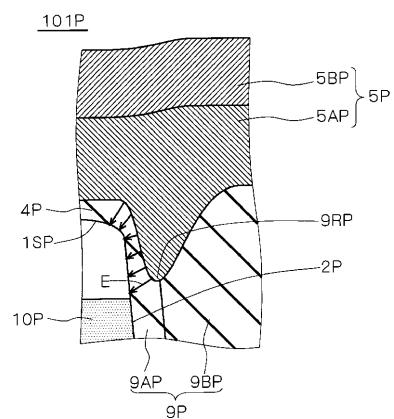
【図25】



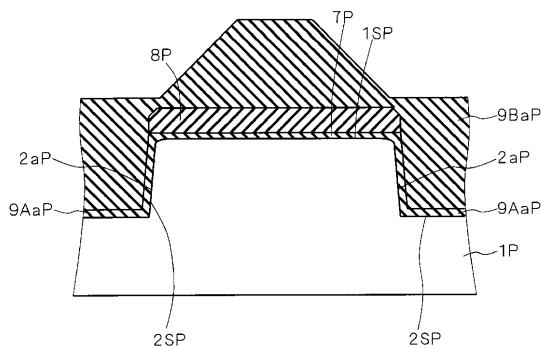
【図27】



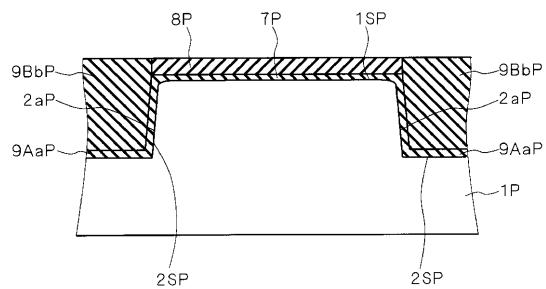
【図26】



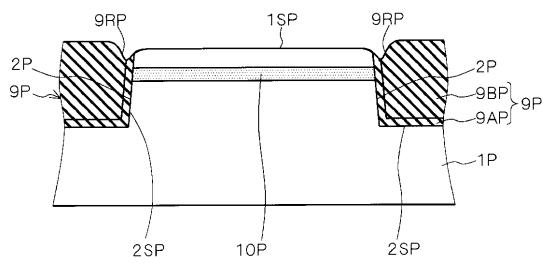
【図28】



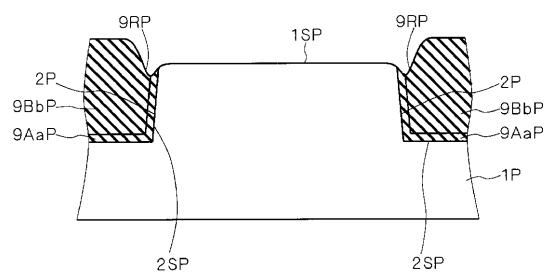
【図29】



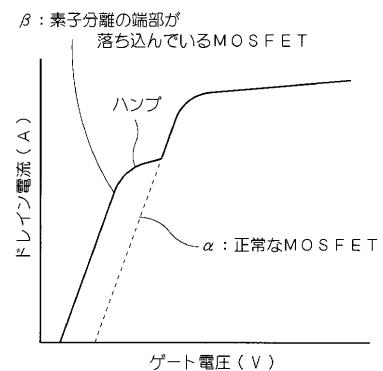
【図31】



【図30】



【図32】



フロントページの続き

(72)発明者 堀田 勝之
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 辻 弘輔

(56)参考文献 特開平11-008387 (JP, A)
特開平11-031742 (JP, A)
特開2000-174263 (JP, A)
特開平10-065153 (JP, A)
特開平07-176604 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78
H01L 21/336
H01L 21/76
H01L 21/8238
H01L 27/092