(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年8月24日(24.08.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/157489 A1

(51) 国際特許分類:
H04N 25/40 (2023.01) *H04N 23/60* (2023.01)
H04N 23/54 (2023.01) *H04N 25/771* (2023.01)

(21) 国際出願番号： PCT/JP2022/048207

(22) 国際出願日： 2022年12月27日(27.12.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-024398 2022年2月21日(21.02.2022) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

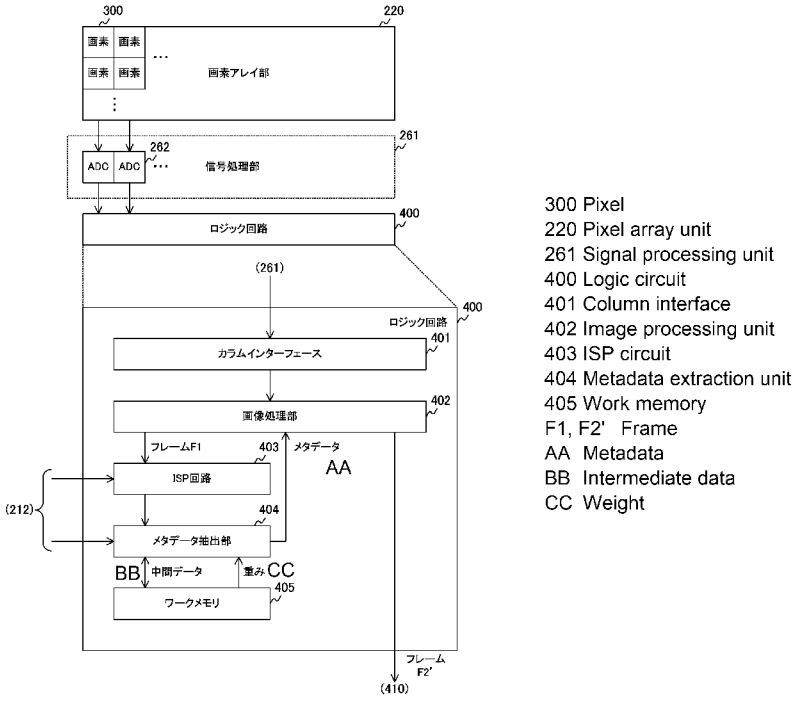
(72) 発明者: 中澤 啓悟 (**NAKAZAWA, Keigo**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 川崎 凌平(**KAWASAKI, Ryohei**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 丸島 敏一(**MARUSHIMA, Toshikazu**); 〒1600022 東京都新宿区新宿３－３－２ 京王新宿三丁目第二ビル ５Ｆ クラフト国際特許事務所 Tokyo (JP).

(54) **Title:** SOLID-STATE IMAGING ELEMENT, IMAGING DEVICE, AND METHOD FOR CONTROLLING SOLID-STATE IMAGING ELEMENT

(54) 発明の名称： 固体撮像素子、撮像装置、および、固体撮像素子の制御方法

[図9]



(57) **Abstract:** The image quality of a frame is improved in a solid-state imaging device that processes the frame using metadata. A sample-and-hold circuit that holds a pixel signal is provided for each of a plurality of pixels. A signal processing unit generates a first digital signal by performing signal processing on each of the held pixel signals, and generates a second digital signal by performing signal processing on each of the held pixel signals. A metadata extraction unit extracts predetermined metadata from the first digital signal. An image processing unit performs predetermined image processing

WO 2023/157489 A1

［続葉有］

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

on the second digital signal using the metadata.

(57) 要約: メタデータを用いてフレームを処理する固体撮像素子において、フレームの画質を向上させる。 複数の画素のそれぞれに、画素信号を保持するサンプルホールド回路が設けられる。信号処理部は、保持された画素信号のそれぞれに対する信号処理により第１のデジタル信号を生成し、その保持された画素信号のそれぞれに対する信号処理により第２のデジタル信号を生成する。メタデータ抽出部は、第１のデジタル信号から所定のメタデータを抽出する。画像処理部は、メタデータを用いて第２のデジタル信号に対して所定の画像処理を行う。

明　細　書

発明の名称 ：

固体撮像素子、撮像装置、および、固体撮像素子の制御方法

技術分野

[0001]　本技術は、固体撮像素子に関する。詳しくは、グローバルシャッター方式で露光を行う固体撮像素子、撮像装置、および、固体撮像素子の制御方法に関する。

背景技術

[0002]　従来より、撮像装置などにおいては、ローリングシャッター歪みを回避するために、全
画素を同時に露光するグローバルシャッター方式が広く用いられている。例えば、グローバルシャッター方式を用いて撮像した画像データ（言い換えれば、フレーム）に対して物体認識を行い、その結果を示すメタデータを生成する固体撮像素子が提案されている（例えば、特許文献１参照。）。

先行技術文献

特許文献

[0003] 特許文献1：特開２０２０－０５４００７号公報

発明の概要

発明が解決しようとする課題

[0004]　上述の従来技術を用いることにより、固体撮像素子は、あるフレームＦ１から生成したメタデータを用いて次のフレームＦ２を処理することができる。しかしながら、認識対象の被写体が動体の場合、フレームＦ１とフレームＦ２とで被写体の位置が変わることがあり、フレームＦ１のメタデータを用いると、認識結果に基づいた適切な画像処理を行うことができないおそれがある。

[0005]　本技術はこのような状況に鑑みて生み出されたものであり、メタデータを用いてフレームを処理する固体撮像素子において、適切な画像処理を行うこ

とを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第１の側面は、画素信号を保持するサンプルホールド回路がそれぞれに設けられた複数の画素と、上記保持された画素信号のそれぞれに対するアナログデジタル変換処理により第１のデジタル信号を生成し、上記保持された画素信号のそれぞれに対するアナログデジタル変換処理により第２のデジタル信号を生成するアナログデジタル変換部と、上記第１のデジタル信号から所定のメタデータを抽出するメタデータ抽出部と、上記メタデータを用いて上記第２のデジタル信号に対して所定の処理を行う画像処理部とを具備する固体撮像素子、および、その制御方法である。これにより、適切な画像処理が実行されるという作用をもたらす。

[0007] また、この第１の側面において、上記メタデータ抽出部は、上記第１のデジタル信号を配列したフレームに対して所定の物体を認識する認識処理を行い、当該認識処理の結果を示すデータを上記メタデータとして生成してもよい。これにより、認識悔過に基づいた適切な画像処理が実行されるという作用をもたらす。

[0008] また、この第１の側面において、上記メタデータは、所定の領域を示し、上記画像処理部は、上記領域内の色を特定の色に置き換える処理を行ってもよい。これにより、所定の物体が隠されるという作用をもたらす。

[0009] また、この第１の側面において、上記メタデータは、所定の領域を示し、上記画像処理部は、上記領域に対してモザイク処理を行ってもよい。これにより、所定の物体が隠されるという作用をもたらす。

[0010] また、この第１の側面において、上記メタデータは、所定の領域を示し、上記画像処理部は、上記第２のデジタル信号を配列したフレームから上記領域を関心領域として抽出してもよい。これにより、関心領域に対して所定の処理が行われるという作用をもたらす。

[0011] また、この第１の側面において、上記複数の画素のそれぞれは、画素信号

を生成する前段回路と、上記画素信号を保持するサンプルホールド回路と、上記画素信号を上記サンプルホールド回路から読み出して出力する後段回路とを備えてもよい。これにより、画素ごとに画素信号が保持されるという作用をもたらす。

[0012] また、この第１の側面において、上記サンプルホールド回路は、第１および第２の容量素子と、上記第１および第２の容量素子の一方を所定の後段ノードに接続する制御と上記第１および第２の容量素子の他方を上記後段ノードに接続する制御とを順に行う選択回路とを備えてもよい。これにより、リセットレベルおよび信号レベルが保持されるという作用をもたらす。

[0013] また、この第１の側面において、上記選択回路は、上記第１および第２の容量素子の一方を所定の後段ノードに接続する制御と上記第１および第２の容量素子の両方を上記後段ノードから切り離す制御と上記第１および第２の容量素子の他方を上記後段ノードに接続する制御とを順に行ってもよい。これにより、ノイズが低減するという作用をもたらす。

[0014] また、この第１の側面において、上記複数の画素のそれぞれは、上記第１および第２の容量素子の両方が上記後段ノードから切り離されたときに上記後段ノードのレベルを初期化する後段リセットトランジスタをさらに備えてもよい。これにより、ノイズが低減するという作用をもたらす。

[0015] また、本技術の第２の側面は、画素信号を保持するサンプルホールド回路がそれぞれに設けられた複数の画素と、上記保持された画素信号のそれぞれに対する信号処理により第１のデジタル信号を生成し、上記保持された画素信号のそれぞれに対する上記信号処理により第２のデジタル信号を生成する信号処理部と、上記第１のデジタル信号から所定のメタデータを抽出するメタデータ抽出部と、上記メタデータを用いて上記第２のデジタル信号に対して所定の画像処理を行う画像処理部と、上記処理が行われた上記第２のデジタル信号を配列したフレームを記録する記録部とを具備する撮像装置である。これにより、撮像装置が撮像したフレームに対して適切な画像処理が実行されるという作用をもたらす。

図面の簡単な説明

[0016] [図1]本技術の第１の実施の形態における撮像装置の一構成例を示すブロック図である。

[図2]本技術の第１の実施の形態における固体撮像素子の一構成例を示すブロック図である。

[図3]本技術の第１の実施の形態における画素の一構成例を示す回路図である。

[図4]本技術の第１の実施の形態における負荷ＭＯＳ（Metal Oxide Semiconductor）回路ブロックおよびカラム信号処理回路の一構成例を示すブロック図である。

[図5]本技術の第１の実施の形態における、２系統の後段回路を設けた画素の一構成例を示す回路図である。

[図6]本技術の第１の実施の形態における画素の別の例を示す回路図である。

[図7]本技術の第１の実施の形態における、サンプルホールド回路内のトランジスタを削減した画素の一構成例を示す回路図である。

[図8]本技術の第１の実施の形態における、チャージドメイン方式の画素の一構成例を示す回路図である。

[図9]本技術の第１の実施の形態におけるロジック回路の一構成例を示すブロック図である。

[図10]本技術の第１の実施の形態における固体撮像素子の動作の一例を示すタイミングチャートである。

[図11]比較例における固体撮像素子の動作の一例を示すタイミングチャートである。

[図12]本技術の第１の実施の形態における１回目のフレームと認識結果の一例を示す図である。

[図13]本技術の第１の実施の形態における２回目のフレームと処理後のフレームとの一例を示す図である。

[図14]本技術の第１の実施の形態における固体撮像素子の動作の一例を示す

フローチャートである。

[図15]本技術の第１の実施の形態の第１の変形例における２回目のフレームと処理後のフレームとの一例を示す図である。

[図16]本技術の第１の実施の形態の第２の変形例における２回目のフレームと関心領域との一例を示す図である。

[図17]本技術の第２の実施の形態における画素の一構成例を示す回路図である。

[図18]本技術の第２の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。

[図19]本技術の第２の実施の形態における読出し動作の一例を示すタイミングチャートである。

[図20]本技術の第２の実施の形態における読出し動作の別の例を示すタイミングチャートである。

[図21]本技術の第２の実施の形態の第１の変形例における画素の一構成例を示す回路図である。

[図22]本技術の第２の実施の形態の第１の変形例におけるグローバルシャッター動作の一例を示すタイミングチャートである。

[図23]本技術の第２の実施の形態の第１の変形例における読出し動作の一例を示すタイミングチャートである。

[図24]本技術の第２の実施の形態の第２の変形例における固体撮像素子の積層構造の一例を示す図である。

[図25]本技術の第２の実施の形態の第２の変形例における画素の一構成例を示す回路図である。

[図26]本技術の第２の実施の形態の第３の変形例における固体撮像素子の積層構造の一例を示す図である。

[図27]本技術の第３の実施の形態における画素の一構成例を示す回路図である。

[図28]本技術の第４の実施の形態におけるグローバルシャッター動作の一例

を示すタイミングチャートである。

[図29]本技術の第４の実施の形態における画素の一構成例を示す回路図である。

[図30]本技術の第４の実施の形態におけるリセットフィードスルーについて説明するための図である。

[図31]本技術の第４の実施の形態におけるリセットフィードスルーによるレベルのばらつきについて説明するための図である。

[図32]本技術の第４の実施の形態における電圧制御の一例を示すタイミングチャートである。

[図33]本技術の第５の実施の形態における奇数フレームのグローバルシャッター動作の一例を示すタイミングチャートである。

[図34]本技術の第５の実施の形態における奇数フレームの読出し動作の一例を示すタイミングチャートである。

[図35]本技術の第５の実施の形態における偶数フレームのグローバルシャッター動作の一例を示すタイミングチャートである。

[図36]本技術の第５の実施の形態における偶数フレームの読出し動作の一例を示すタイミングチャートである。

[図37]本技術の第６の実施の形態におけるカラム信号処理回路の一構成例を示す回路図である。

[図38]本技術の第６の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。

[図39]本技術の第６の実施の形態における読出し動作の一例を示すタイミングチャートである。

[図40]本技術の第７の実施の形態におけるローリングシャッター動作の一例を示すタイミングチャートである。

[図41]本技術の第８の実施の形態における固体撮像素子の一構成例を示すブロック図である。

[図42]本技術の第８の実施の形態におけるダミー画素、レギュレータ、およ

び、切り替え部の一構成例を示す回路図である。

[図43]本技術の第８の実施の形態におけるダミー画素およびレギュレータの動作の一例を示すタイミングチャートである。

[図44]本技術の第８の実施の形態における有効画素の一構成例を示す回路図である。

[図45]本技術の第８の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。

[図46]本技術の第８の実施の形態における読出し動作の一例を示すタイミングチャートである。

[図47]本技術の第８の実施の形態における効果を説明するための図である。

[図48]車両制御システムの概略的な構成例を示すブロック図である。

[図49]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0017] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

１．第１の実施の形態（画素信号を保持して信号処理を２回行う例）

２．第２の実施の形態（後段リセットトランジスタを追加し、画素信号を保持して信号処理を２回行う例）

３．第３の実施の形態（排出トランジスタを追加し、画素信号を保持して信号処理を２回行う例）

４．第４の実施の形態（画素信号を保持して信号処理を２回行い、リセット電源電圧を制御する例）

５．第５の実施の形態（画素信号を保持して信号処理を２回行い、フレームごとに保持させるレベルを入れ替える例）

６．第６の実施の形態（画素信号を保持して信号処理を２回行い、黒点現象を抑制する例）

７．第７の実施の形態（画素信号を保持して信号処理を２回行い、ローリングシャッター動作を行う例）

８．第８の実施の形態（読出しの際に前段のソースフォロワをオフ状態にし、画素信号を保持して信号処理を２回行う例）

９．移動体への応用例

[0018] ＜１．第１の実施の形態＞

［撮像装置の構成例］

図１は、本技術の第１の実施の形態における撮像装置１００の一構成例を示すブロック図である。この撮像装置１００は、画像データを撮像する装置であり、撮像レンズ１１０、固体撮像素子２００、記録部１２０および撮像制御部１３０を備える。撮像装置１００としては、デジタルカメラや、撮像機能を持つ電子装置（スマートフォンやパーソナルコンピュータなど）が想定される。

[0019] 固体撮像素子２００は、撮像制御部１３０の制御に従って、画像データ（フレーム）を撮像するものである。この固体撮像素子２００は、フレームを信号線２０９を介して記録部１２０に供給する。

[0020] 撮像レンズ１１０は、光を集光して固体撮像素子２００に導くものである。撮像制御部１３０は、固体撮像素子２００を制御してフレームを撮像させるものである。この撮像制御部１３０は、例えば、垂直同期信号ＸＶＳを含む撮像制御信号を固体撮像素子２００に信号線１３９を介して供給する。記録部１２０は、フレームを記録するものである。

[0021] ここで、垂直同期信号ＸＶＳは、撮像のタイミングを示す信号であり、一定の周波数（６０ヘルツなど）の周期信号が垂直同期信号ＸＶＳとして用いられる。

[0022] なお、撮像装置１００は、フレームを記録しているが、そのフレームを撮像装置１００の外部に送信してもよい。この場合には、フレームを送信するための外部インターフェースがさらに設けられる。もしくは、撮像装置１００は、さらにフレームを表示してもよい。この場合には表示部がさらに設けられる。

[0023] ［固体撮像素子の構成例］

図２は、本技術の第１の実施の形態における固体撮像素子２００の一構成例を示すブロック図である。この固体撮像素子２００は、垂直走査回路２１１、画素アレイ部２２０、タイミング制御回路２１２、ＤＡＣ（Digital to Analog Converter）２１３、負荷ＭＯＳ回路ブロック２５０、カラム信号処理回路２６０を備える。画素アレイ部２２０には、二次元格子状に複数の画素３００が配列される。また、固体撮像素子２００内の各回路は、例えば、単一の半導体チップに設けられる。

[0024] 以下、水平方向に配列された画素３００の集合を「行」と称し、行に垂直な方向に配列された画素３００の集合を「列」と称する。

[0025] タイミング制御回路２１２は、撮像制御部１３０からの垂直同期信号ＸＶＳに同期して垂直走査回路２１１、ＤＡＣ２１３、カラム信号処理回路２６０のそれぞれの動作タイミングを制御するものである。

[0026] ＤＡＣ２１３は、ＤＡ（Digital to Analog）変換により、のこぎり波状のランプ信号を生成するものである。ＤＡＣ２１３は、生成したランプ信号をカラム信号処理回路２６０に供給する。

[0027] 垂直走査回路２１１は、行を順に選択して駆動し、アナログの画素信号を出力させるものである。画素３００は、入射光を光電変換してアナログの画素信号を生成するものである。この画素３００は、負荷ＭＯＳ回路ブロック２５０を介して、カラム信号処理回路２６０に画素信号を供給する。

[0028] 負荷ＭＯＳ回路ブロック２５０には、定電流を供給するＭＯＳトランジスタが列ごとに設けられる。

[0029] カラム信号処理回路２６０は、列ごとに、画素信号に対してＡＤ変換処理やＣＤＳ処理などの信号処理を実行するものである。このカラム信号処理回路２６０は、処理後の信号からなる画像データ（フレーム）を記録部１２０に供給する。

[0030] ［画素の構成例］

図３は、本技術の第１の実施の形態における画素３００の一構成例を示す回路図である。この画素３００は、前段回路３１０と、サンプルホールド回

路３２０と、後段回路３５０とを備える。画素アレイ部２２０には、列ごとに垂直信号線３０９が配線される。

[0031] 前段回路３１０は、光電変換素子３１１、転送トランジスタ３１２、ＦＤ（Floating Diffusion）リセットトランジスタ３１３、ＦＤ３１４、前段増幅トランジスタ３１５および電流源トランジスタ３１６を備える。

[0032] 光電変換素子３１１は、光電変換により電荷を生成するものである。転送トランジスタ３１２は、垂直走査回路２１１からの転送信号ｔｒｇに従って、光電変換素子３１１からＦＤ３１４へ電荷を転送するものである。

[0033] ＦＤリセットトランジスタ３１３は、垂直走査回路２１１からのＦＤリセット信号ｒｓｔに従って、ＦＤ３１４から電荷を引き抜いて初期化するものである。ＦＤ３１４は、電荷を蓄積し、電荷量に応じた電圧を生成するものである。前段増幅トランジスタ３１５は、ＦＤ３１４の電圧のレベルを増幅して前段ノード３１９に出力するものである。

[0034] また、ＦＤリセットトランジスタ３１３および前段増幅トランジスタ３１５のソースは、電源電圧ＶＤＤに接続される。電流源トランジスタ３１６は、前段増幅トランジスタ３１５のドレインに接続される。この電流源トランジスタ３１６のゲートには、所定のバイアス電圧ＢＩＡＳが供給される。

[0035] サンプルホールド回路３２０は、容量素子３２１および３２２と、選択回路３３０とを備える。容量素子３２１および３２２のそれぞれの一端は、前段ノード３１９に共通に接続され、それぞれの他端は、選択回路３３０に接続される。なお、容量素子３２１おおび３２２は、特許請求の範囲に記載の第１および第２の容量素子の一例である。

[0036] 選択回路３３０は、選択トランジスタ３３１および選択トランジスタ３３２を備える。選択トランジスタ３３１は、垂直走査回路２１１からの選択信号Φｒに従って、容量素子３２１と後段ノード３４０との間の経路を開閉するものである。選択トランジスタ３３２は、垂直走査回路２１１からの選択信号Φｓに従って、容量素子３２２と後段ノード３４０との間の経路を開閉するものである。

[0037] 後段回路３５０は、後段増幅トランジスタ３５１および後段選択トランジスタ３５２を備える。後段増幅トランジスタ３５１は、後段ノード３４０のレベルを増幅するものである。後段選択トランジスタ３５２は、垂直走査回路２１１からの後段選択信号ｓｅｌｂに従って、後段増幅トランジスタ３５１により増幅されたレベルの信号を画素信号として垂直信号線３０９に出力するものである。

[0038] なお、画素３００内の各種のトランジスタ（転送トランジスタ３１２など）として、例えば、ｎＭＯＳ（n-channel Metal Oxide Semiconductor）トランジスタが用いられる。

[0039] 垂直走査回路２１１は、露光開始時に全画素へハイレベルのＦＤリセット信号ｒｓｔおよび転送信号ｔｒｇを供給する。これにより、光電変換素子３１１が初期化される。以下、この制御を「ＰＤリセット」と称する。

[0040] そして、垂直走査回路２１１は、露光終了の直前に、全画素について選択信号Φｒをハイレベルにしつつ、パルス期間に亘ってハイレベルのＦＤリセット信号ｒｓｔを供給する。これにより、ＦＤ３１４が初期化され、そのときのＦＤ３１４のレベルに応じたレベルが容量素子３２１に保持される。この制御を以下、「ＦＤリセット」と称する。

[0041] ＦＤリセットの際のＦＤ３１４のレベルと、そのレベルに対応するレベル（容量素子３２１の保持レベルや、垂直信号線３０９のレベル）とをまとめて、以下、「Ｐ相」または「リセットレベル」と称する。

[0042] 垂直走査回路２１１は、露光終了時に、全画素について選択信号Φｓをハイレベルにしつつ、パルス期間に亘ってハイレベルの転送信号ｔｒｇを供給する。これにより、露光量に応じた信号電荷がＦＤ３１４へ転送され、そのときのＦＤ３１４のレベルに応じたレベルが容量素子３２２に保持される。

[0043] 信号電荷の転送の際のＦＤ３１４のレベルと、そのレベルに対応するレベル（容量素子３２２の保持レベルや、垂直信号線３０９のレベル）とをまとめて、以下、「Ｄ相」または「信号レベル」と称する。

[0044] このように全画素について同時に露光を開始し、終了する露光制御は、グ

ローバルシャッター方式と呼ばれる。この露光制御により、全画素の前段回路３１０は、画素信号（リセットレベルおよび信号レベル）を生成する。画素信号のリセットレベルは、容量素子３２１に保持され、信号レベルは、容量素子３２２に保持される。

[0045] 露光終了後に垂直走査回路２１１は、行を順に選択して、その行のリセットレベルおよび信号レベルを順に出力させる。リセットレベルを出力させる際に、垂直走査回路２１１は、選択した行のＦＤリセット信号ｒｓｔおよび後段選択信号ｓｅｌｂをハイレベルにしつつ、ハイレベルの選択信号Φｒを所定期間に亘って供給する。これにより、容量素子３２１が後段ノード３４０に接続され、リセットレベルが読み出される。

[0046] リセットレベルの読出し後に、垂直走査回路２１１は、選択した行のＦＤリセット信号ｒｓｔおよび後段選択信号ｓｅｌｂをハイレベルにしたままで、ハイレベルの選択信号Φｓを所定期間に亘って供給する。これにより、容量素子３２２が後段ノード３４０に接続され、信号レベルが読み出される。

[0047] 上述の読出し制御により、選択された行の選択回路３３０は、容量素子３２１を後段ノード３４０に接続する制御と、容量素子３２２を後段ノード３４０に接続する制御とを順に行う。また、選択された行の後段回路３５０は、後段ノード３４０を介して画素信号（リセットレベルおよび信号レベル）をサンプルホールド回路３２０から読み出して垂直信号線３０９へ出力する。

[0048] ［カラム信号処理回路の構成例］

図４は、本技術の第１の実施の形態における負荷ＭＯＳ回路ブロック２５０およびカラム信号処理回路２６０の一構成例を示すブロック図である。

[0049] 負荷ＭＯＳ回路ブロック２５０には、列ごとに垂直信号線３０９が配線される。列数をＩ（Ｉは、整数）とすると、Ｉ本の垂直信号線３０９が配線される。また、垂直信号線３０９のそれぞれには、一定の電流ｉｄ２を供給する負荷ＭＯＳトランジスタ２５１が接続される。

[0050] カラム信号処理回路２６０には、信号処理部２６１と、ロジック回路４０

０と、高速インターフェース４１０とが配置される。信号処理部２６１は、複数のＡＤＣ２６２を備える。ＡＤＣ２６２は、列ごとに配置される。列数をＩとすると、Ｉ個のＡＤＣ２６２が配置される。

[0051] ＡＤＣ２６２は、ＤＡＣ２１３からのランプ信号Ｒｍｐを用いて、対応する列からのアナログの画素信号をデジタル信号に変換するものである。このＡＤＣ２６２は、デジタル信号をロジック回路４００に供給する。例えば、ＡＤＣ２６２として、コンパレータおよびカウンタを備えるシングルスロープ型のＡＤＣが配置される。ＡＤＣ２６２内のカウンタは、例えば、リセットレベルをＡＤ変換する際にダウンカウントを行い、信号レベルをＡＤ変換する際にアップカウントを行う。これにより、リセットレベルと信号レベルとの差分を求めるＣＤＳ（Correlated Double Sampling）処理が行われる。なお、信号処理部２６１内にＣＤＳ回路を追加し、ＡＤＣ２６２がＡＤ変換処理のみを行い、ＣＤＳ回路がＣＤＳ処理を行う構成とすることもできる。このように、信号処理部２６１は、ＡＤ変換処理およびＣＤＳ処理を含む信号処理を行う。

[0052] ロジック回路４００は、列ごとのデジタル信号のそれぞれに対して、ＣＤＳ処理以外の各種の信号処理を行うものである。ロジック回路４００は、処理後のデジタル信号からなるフレームを高速インターフェース４１０に供給する。高速インターフェース４１０は、フレームを記録部１２０に出力するものである。

[0053] なお、画素３００の回路構成は、画素信号を生成し、サンプルホールドすることができるものであれば、図３に例示したものに限定されない。

[0054] 例えば、図５に例示するように、画素ごとに２系統の後段回路を設けることもできる。この場合、選択トランジスタ３３１は、容量素子３２１と後段回路３５０－１との間の経路を開閉し、選択トランジスタ３３２は、容量素子３２２と後段回路３５０－２との間の経路を開閉すればよい。後段回路３５０－１は、後段増幅トランジスタ３５１－１および後段選択トランジスタ３５２－１を備え、後段回路３５０－２は、後段増幅トランジスタ３５１－

２および後段選択トランジスタ３５２－２を備える。また、垂直信号線が列ごとに２本配線され、後段回路３５０－１は、垂直信号線３０９－１に画素信号を出力し、後段回路３５０－２は、垂直信号線３０９－２に画素信号を出力する。

[0055] また、図６に例示するように、前段回路３１０と後段回路３５０との間において、選択トランジスタ３３１および３３２を直列に接続することもできる。この場合、選択トランジスタ３３１および３３２の接続ノードに容量素子３２２が接続され、選択トランジスタ３３１および後段回路３５０の接続ノードに容量素子３２１が接続される。このサンプルホールド回路３２０の制御方法は、例えば、「Chen Xu et al., A Stacked Global-Shutter CMOS Imager with SC-Type Hybrid-GS Pixel and Self-Knee Point Calibration Single-Frame HDR and On-Chip Binarization Algorithm for Smart Vision Applications ISSCC2019.」に記載されている。

[0056] また、図７に例示するように、前段回路３１０と後段回路３５０との間にサンプリングトランジスタ３３３および容量素子３２１を直列に挿入し、それらの接続ノードに容量素子３２２を接続することもできる。この場合、後段ノード３４０を初期化する後段リセットトランジスタ３４１がさらに設けられる。この回路の制御方法は、例えば、「Jae-kyu Lee, et al., A 2.1e-Temporal Noise and -105dB Parasitic Light Sensitivity Backside-Illuminated 2.3 μm-Pixel Voltage-Domain Global Shutter CMOS Image Sensor Using High-Capacity DRAM Capacitor Technology, ISSCC 2020.」に記載されている。

[0057] 上述の図３、図５、図６および図７のそれぞれのサンプルホールド回路３２０は、電圧を保持するボルテージドメイン方式の回路であるが、図８に例示するように電荷を保持するチャージドメイン方式の回路を用いることもできる。

[0058] 図８のチャージドメイン方式では、例えば、前段回路３１０と後段回路３５０との間に選択トランジスタ３３１－１および３３１－２が直列に挿入さ

れる。また、選択トランジスタ３３１－１および３３１－２からなる回路と並列に、直列に接続した選択トランジスタ３３２－１および３３２－２が挿入される。容量素子３２１は、選択トランジスタ３３１－１および３３１－２の接続ノードに接続され、容量素子３２２は、選択トランジスタ３３２－１および３３２－２の接続ノードに接続される。

[0059] ［ロジック回路の構成例］

図９は、本技術の第１の実施の形態におけるロジック回路４００の一構成例を示すブロック図である。このロジック回路４００は、カラムインターフェース４０１、画像処理部４０２、ＩＳＰ(Image Signal Processor)回路４０３、メタデータ抽出部４０４およびワークメモリ４０５を備える。

[0060] ここで、前述の画素３００のそれぞれは、垂直同期信号ＸＶＳに同期して、画素信号を保持する。信号処理部２６１は、垂直同期信号ＸＶＳに同期して、画素ごとに画素信号を、ＣＤＳ処理後のデジタル信号に変換する信号処理（ＡＤ変換処理およびＣＤＳ処理）を２回に亘って行う。信号処理のそれぞれは、リセットレベルに対するＡＤ変換処理と、信号レベルに対するＡＤ変換処理とＣＤＳ処理とを含むため、２回の信号処理において４回のＡＤ変換処理と２回のＣＤＳ処理とが実行される。

[0061] カラムインターフェース４０１は、信号処理部２６１からデジタル信号を受信し、それらを配列した画像データ（フレーム）を画像処理部４０２に供給する。垂直同期信号ＸＶＳに同期して画素ごとに信号処理が２回行われるため、垂直同期信号ＸＶＳの周期ごとに２枚のフレームが生成される。これらのフレームは同一のデータであるが、区別するため、以下、１枚目のフレームを「Ｆ１」とし、２枚目のフレームを「Ｆ２」とする。

[0062] 画像処理部４０２は、カラムインターフェース４０１からのフレームに対し、欠陥画素の補正やダーク補正などの各種の処理を行うものである。この画像処理部４０２は、１枚目のフレームＦ１を処理してＩＳＰ回路４０３に供給する。

[0063] ＩＳＰ回路４０３は、必要に応じて、フレームＦ１に対して、そのデータ

量を削減するための処理を行うものである。メタデータ抽出部４０４の処理負荷が大きい場合には、ＩＳＰ回路４０３によりデータ量の削減が行われる。例えば、ダウンスケーリングや、諧調の削減が行われる。また、信号処理部２６１からの画像がベイヤー配列画像で、メタデータ抽出部４０４の入力画像のフォーマットが、画素ごとにＲ、Ｇ、Ｂの３色のカラー画像の場合、ＩＳＰ回路４０３は、ベイヤー配列画像をカラー画像に変換するデモザイク処理を実行する。ＩＳＰ回路４０３は、処理後のフレームＦ１をメタデータ抽出部４０４に供給する。

[0064] メタデータ抽出部４０４は、フレームＦ１から所定のメタデータを抽出するものである。このメタデータ抽出部４０４は、例えば、フレームＦ１に対して、所定の物体を認識する認識処理を行い、その処理結果を示すデータをメタデータとして生成する。メタデータは、例えば、認識対象を認識したか否かの情報、認識した物体の種類、名称や属性の情報、その物体の領域を示す情報などを含む。属性は、例えば、性別や年齢などを含む。メタデータ抽出部４０４は、抽出したメタデータを画像処理部４０２に供給する。

[0065] ワークメモリ４０５は、認識処理において用いられるデータを保持するものである。例えば、ニューラルネットワークにより認識処理が実行され、そのニューラルネットワークにおけるレイヤー間でやり取りされる中間データがワークメモリ４０５に一時的に保持される。また、ニューラルネットワークで用いられる重みがワークメモリ４０５に予め保持される。

[0066] 画像処理部４０２は、１枚目のフレームＦ１から抽出されたメタデータを用いて、２枚目のフレームＦ２に対して所定の処理を行う。例えば、フレームＦ２に対して、メタデータの示す物体の領域の色を特定の色（黒色など）で置き換える処理が行われる。画像処理部４０２は、処理後のフレームをＦ２’として高速インターフェース４１０に供給する。

[0067] 上述したように、画素３００のそれぞれには、画素信号を保持するサンプルホールド回路が設けられている。信号処理部２６１は、垂直同期信号ＸＶＳに同期して、画素３００に保持された画素信号のそれぞれに対する信号処

理（ＡＤ変換処理およびＣＤＳ処理）により、ＣＤＳ処理後のデジタル信号を生成する処理を２回行う。１回目のデジタル信号を配列したフレームがＦ１であり、２回目のデジタル信号を配列したフレームがＦ２である。なお、１回目のデジタル信号は、特許請求の範囲に記載の第１のデジタル信号の一例であり、２回目のデジタル信号は、特許請求の範囲に記載の第２のデジタル信号の一例である。

[0068] メタデータ抽出部４０４は、フレームＦ１からメタデータを抽出し、画像処理部４０２に供給する。画像処理部４０２は、フレームＦ１のメタデータを用いて、フレームＦ２に対して所定の処理を行う。

[0069] ［固体撮像素子の動作例］

図１０は、本技術の第１の実施の形態における固体撮像素子２００の動作の一例を示すタイミングチャートである。

[0070] タイミングＴ０からＴ１までの露光期間に亘って、垂直走査回路２１１は、画素アレイ部２２０内の全画素を露光させる。また、タイミングＴ１において、垂直同期信号ＸＶＳが立ち下がる。

[0071] タイミングＴ１からＴ２までの期間に亘って信号処理部２６１は、保持された画素信号を行単位で順に読み出して信号処理（ＡＤ変換処理およびＣＤＳ処理）を行い、フレームＦ１を生成する。また、画像処理部４０２は、フレームＦ１に対して、欠陥画素補正などの画像処理を行い、ＩＳＰ回路４０３（不図示）を介してメタデータ抽出部４０４に供給する。

[0072] タイミングＴ２からＴ３までの期間内に、メタデータ抽出部４０４は、フレームＦ１からメタデータを抽出し、画像処理部４０２に供給する。

[0073] タイミングＴ３からタイミングＴ４の直前までの期間に亘って信号処理部２６１は、保持された画素信号を行単位で順に読み出して信号処理を行い、フレームＦ２を生成する。１回目と同一の画素信号に対して信号処理が実行されたため、フレームＦ２は、フレームＦ１と同一のデータとなる。画像処理部４０２は、メタデータを用いてフレームＦ２に対して所定の処理を行い、処理後のフレームＦ２’を高速インターフェース４１０に供給する。高速イ

ンターフェース４１０は、フレームＦ２’を外部に出力する。また、タイミングＴ４において、垂直同期信号ＸＶＳが立ち下がる。なお、垂直同期信号ＸＶＳに同期して複数のフレームを撮像する場合は、所定タイミングからタイミングＴ４までの露光期間内に全画素が露光され、次の画素信号が生成される。

[0074] ここで、画素内にサンプルホールド回路３２０が配置されない構成を比較例として想定する。

[0075] 図１１は、比較例における固体撮像素子２００の動作の一例を示すタイミングチャートである。タイミングＴ０からＴ１までの露光期間に亘って、垂直走査回路２１１は、画素アレイ部２２０内の全画素を露光させる。

[0076] タイミングＴ１からＴ２までの期間に亘って信号処理部２６１は、画素信号を行単位で順に読み出して信号処理（ＡＤ変換処理およびＣＤＳ処理）を行い、フレームＦ１を生成する。また、画像処理部４０２は、フレームＦ１に対して、欠陥画素補正などの画像処理を行い、ＩＳＰ回路４０３（不図示）を介してメタデータ抽出部４０４に供給する。

[0077] タイミングＴ２からＴ３までの露光期間に亘って、垂直走査回路２１１は、画素アレイ部２２０内の全画素を露光させる。タイミングＴ３において、垂直同期信号ＸＶＳが立ち下がる。また、その露光期間内にメタデータ抽出部４０４は、フレームＦ１からメタデータを抽出し、画像処理部４０２に供給する。

[0078] タイミングＴ３から所定期間に亘って信号処理部２６１は、画素信号を行単位で順に読み出して信号処理を行い、フレームＦ２を生成する。タイミングＴ２乃至Ｔ３の露光により、タイミングＴ０乃至Ｔ１の露光により生成された画素信号は破壊されている。このため、動体が撮像された場合、フレームＦ２は、フレームＦ１と異なるデータとなる。

[0079] タイミングＴ３から所定期間に亘って、画像処理部４０２は、メタデータを用いてフレームＦ２に対して所定の処理を行い、処理後のフレームＦ２’を高速インターフェース４１０に供給する。高速インターフェース４１０は、

フレームＦ２’を外部に出力する。

[0080] 同図に例示するように、画素ごとにサンプルホールド回路３２０が配置されない比較例では、画素信号が保持されず、同じ画素信号に対して信号処理を２回行うことができない。このため、フレームＦ１のメタデータを用いて、フレームＦ２を処理した場合、フレームＦ１で認識した物体が移動し、フレーム２において位置が変わることがある。この結果、メタデータを用いた処理が適切な領域に対して行われず、フレームＦ２’に対して、位置ずれの無い適切な画像処理を行うことができないおそれがある。

[0081] これに対して、画素ごとにサンプルホールド回路３２０を配置した場合、図１０に例示したように、同じ画素信号に対して信号処理を２回行うことができる。このため、フレームＦ１およびフレームＦ２のそれぞれにおいて物体の位置が同一となる。したがって、画像処理部４０２は、メタデータを用いた処理を適切な領域に対して実行することができ、フレームＦ２’に対して適切な画像処理を行うことができる。

[0082] 図１２は、本技術の第１の実施の形態における１回目のフレームと認識結果の一例を示す図である。同図におけるａは、１回目のフレーム５００の一例であり、同図におけるｂは、認識結果の一例を示す図である。

[0083] 同図におけるａに例示するように、フレーム５００には、人間５０１や建物５０２などの被写体が含まれる。認識処理において、認識対象が人間であるものとする。この場合、同図におけるｂに例示するように、人間５０１が認識され、その物体を含む矩形領域５１０を示す情報がメタデータとして生成される。同図において太い点線の矩形領域５１０は、メタデータの示す領域に該当する。

[0084] 図１３は、本技術の第１の実施の形態における２回目のフレームと処理後のフレームとの一例を示す図である。同図におけるａは、２回目のフレーム５１０の一例であり、同図におけるｂは、メタデータを用いて処理されたフレーム５２０の一例である。

[0085] 同図におけるａに例示するように、２回目の信号処理により、１回目のフ

レーム５００と同一のフレーム５１０が生成される。そして、同図におけるｂに例示するように、メタデータの示す領域５２１が特定の色（黒色など）により塗りつぶされる。

[0086] 図１４は、本技術の第１の実施の形態における固体撮像素子２００の動作の一例を示すフローチャートである。この動作は、例えば、フレームを撮像するための所定のアプリケーションが実行されたときに開始される。固体撮像素子２００内の垂直走査回路２１１は、全画素を同時に露光させる（ステップＳ９０１）。画素ごとに、その画素内のサンプルホールド回路３２０は、画素信号をサンプルホールドする（ステップＳ９０２）。

[0087] 信号処理部２６１は、保持された画素信号のそれぞれに対して信号処理（ＡＤ変換処理およびＣＤＳ処理）を行い、１枚目のフレームを生成する（ステップＳ９０３）。画像処理部４０２は、そのフレームに対して画像処理を行い（ステップＳ９０４）、メタデータ抽出部４０４は、処理後のフレームからメタデータを抽出する（ステップＳ９０５）。

[0088] また、信号処理部２６１は、保持された画素信号のそれぞれに対して信号処理を行い、２枚目のフレームを生成する（ステップＳ９０６）。画像処理部４０２は、メタデータを参照し、対象物が認識されたか否かを判断する（ステップＳ９０７）。対象物が認識された場合に（ステップＳ９０７：Ｙｅｓ）、画像処理部４０２は、そのメタデータを用いて、塗りつぶしなどの画像処理を行う（ステップＳ９０８）。一方、対象物が認識されなかった場合（ステップＳ９０７：Ｎｏ）、画像処理部４０２は、メタデータを用いずに、欠陥画素補正などの通常の画像処理を行う（ステップＳ９０９）。ステップＳ９０８またはＳ９０９の後に固体撮像素子２００は、フレームを撮像するための動作を終了する。

[0089] なお、垂直同期信号ＸＶＳに同期して複数のフレームを撮像する場合には、ステップＳ９０１乃至Ｓ９０９の処理が、垂直同期信号ＸＶＳに同期して繰り返し実行される。

[0090] このように、本技術の第１の実施の形態によれば、画素ごとに画素信号を

保持し、１枚目のフレームから抽出したメタデータを用いて、１枚目と同一の２枚目のフレームを処理するため、画素信号を保持しない比較例よりも適切な画像処理を行うことができる。

[0091] ［第１の変形例］

上述の第１の実施の形態では、画像処理部４０２は、フレームＦ２に対して、メタデータの示す領域を特定の色（黒色など）に塗りつぶす処理を行っていた。しかし、メタデータを用いて行う処理は、黒色などに塗りつぶす処理に限定されない。この第１の実施の形態の第１の変形例における固体撮像素子２００は、メタデータの示す領域にモザイク処理を行う点において第１の実施の形態と異なる。

[0092] 図１５は、本技術の第１の実施の形態の第１の変形例における２回目のフレームと処理後のフレームとの一例を示す図である。同図におけるａは、２回目のフレーム５１０の一例であり、同図におけるｂは、メタデータを用いて処理されたフレーム５２０の一例である。

[0093] 同図におけるｂに例示するように、画像処理部４０２は、メタデータの示す領域５２２に対してモザイク処理を実行する。

[0094] このように、本技術の第１の実施の形態の第１の変形例によれば、メタデータの示す領域５２２に対してモザイク処理を行うため、認識した物体をモザイクにより隠すことができる。

[0095] ［第２の変形例］

上述の第１の実施の形態では、画像処理部４０２は、フレームＦ２に対して、メタデータの示す領域を特定の色（黒色など）に塗りつぶす処理を行っていた。しかし、メタデータを用いて行う処理は、黒色などに塗りつぶす処理に限定されない。この第１の実施の形態の第２の変形例における固体撮像素子２００は、メタデータの示す領域を関心領域（ＲＯＩ：Region of Interest）として抽出する点において第１の実施の形態と異なる。

[0096] 図１６は、本技術の第１の実施の形態の第２の変形例における２回目のフレームと関心領域との一例を示す図である。同図におけるａは、２回目のフ

レーム５１０の一例であり、同図におけるｂは、関心領域５３０の一例である。

[0097] 同図におけるｂに例示するように、画像処理部４０２は、フレーム５１０から、メタデータの示す領域を関心領域５３０として抽出する。メタデータとして、例えば、不審行動、危険物所持や不審物の有無の検出結果が用いられる。そして、画像処理部４０２は、その関心領域５３０に対して、欠陥画素補正などの各種の画像処理を行う。

[0098] なお、図１３、図１５および図１６では、人間全体を認識対象としているが、顔のみを認識対象とすることもできる。また、車両のナンバープレートなど、人間以外の物体を認識対象とすることもできる。

[0099] このように、本技術の第１の実施の形態の第２の変形例によれば、メタデータの示す領域を関心領域（ＲＯＩ）として抽出するため、不審行動などの有無の検出結果（メタデータ）に基づいてＲＯＩを設定することができる。

[0100] ＜２．第２の実施の形態＞

上述の第１の実施の形態では、選択回路３３０は、容量素子３２１および３２２を順に後段ノード３４０に接続していたが、この構成では、ノイズを十分に抑制することができないおそれがある。この第２の実施の形態の画素３００は、選択回路３３０が容量素子３２１および３２２を後段ノード３４０から切り離したときに後段ノード３４０を初期化する点において第１の実施の形態と異なる。

[0101] 図１７は、本技術の第２の実施の形態における画素３００の一構成例を示す回路図である。この第２の実施の形態の画素３００は、後段リセットトランジスタ３４１をさらに備える点において第１の実施の形態と異なる。

[0102] 後段リセットトランジスタ３４１は、垂直走査回路２１１からの後段リセット信号ｒｓｔｂに従って、後段ノード３４０のレベルを所定の電位Ｖｒｅｇに初期化するものである。電位Ｖｒｅｇには、電源電位ＶＤＤと異なる電位（例えば、ＶＤＤより低い電位）が設定される。

[0103] リセットレベルの読出し後に垂直走査回路２１１は、選択した行のＦＤリ

セット信号ｒｓｔおよび後段選択信号ｓｅｌｂをハイレベルにしたままで、ハイレベルの後段リセット信号ｒｓｔｂをパルス期間に亘って供給する。これにより、後段ノード３４０のレベルが初期化される。このとき、選択トランジスタ３３１および選択トランジスタ３３２は両方とも開状態であり、容量素子３２１および３２２は、後段ノード３４０から切り離される。

[0104] 後段ノード３４０の初期化後に、垂直走査回路２１１は、選択した行のＦＤリセット信号ｒｓｔおよび後段選択信号ｓｅｌｂをハイレベルにしたままで、ハイレベルの選択信号Φｓを所定期間に亘って供給する。これにより、容量素子３２２が後段ノード３４０に接続され、信号レベルが読み出される。

[0105] 上述の読出し制御により、選択された行の選択回路３３０は、容量素子３２１を後段ノード３４０に接続する制御と、容量素子３２１および３２２を後段ノード３４０から切り離す制御と、容量素子３２２を後段ノード３４０に接続する制御とを順に行う。また、容量素子３２１および３２２が後段ノード３４０から切り離されたときに、選択された行の後段リセットトランジスタ３４１は後段ノード３４０のレベルを初期化する。また、選択された行の後段回路３５０は、後段ノード３４０を介してリセットレベルおよび信号レベルを容量素子３２１および３２２から順に読み出して垂直信号線３０９へ出力する。

[0106] 図１８は、本技術の第２の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。垂直走査回路２１１は、露光開始の直前のタイミングＴ０から、パルス期間経過後のタイミングＴ１に亘って、全ての行（言い換えれば、全画素）にハイレベルのＦＤリセット信号ｒｓｔおよび転送信号ｔｒｇを供給する。これにより、全画素がＰＤリセットされ、全行で同時に露光が開始される。

[0107] ここで、同図のｒｓｔ＿［ｎ］およびｔｒｇ＿［ｎ］は、Ｎ行のうちｎ行目の画素への信号を示す。Ｎは全行数を示す整数であり、ｎは、１乃至Ｎの整数である。

[0108] そして、露光期間の終了直前のタイミングＴ２において、垂直走査回路２１１は、全画素において後段リセット信号ｒｓｔｂおよび選択信号Φｒをハイレベルにしつつ、パルス期間に亘ってハイレベルのＦＤリセット信号ｒｓｔを供給する。これにより、全画素がＦＤリセットされ、リセットレベルがサンプルホールドされる。ここで、同図のｒｓｔｂ＿［ｎ］およびΦｒ＿［ｎ］は、ｎ行目の画素への信号を示す。

[0109] タイミングＴ２の後のタイミングＴ３において、垂直走査回路２１１は、選択信号Φｒをローレベルに戻す。

[0110] 露光終了のタイミングＴ４において、垂直走査回路２１１は、全画素において後段リセット信号ｒｓｔｂおよび選択信号Φｓをハイレベルにしつつ、パルス期間に亘ってハイレベルの転送信号ｔｒｇを供給する。これにより、信号レベルがサンプルホールドされる。また、前段ノード３１９のレベルは、リセットレベル（ＶＤＤ－Ｖｇｓ）から、信号レベル（ＶＤＤ－Ｖｇｓ－Ｖｓｉｇ）に低下する。ここで、ＶＤＤは、電源電圧であり、Ｖｓｉｇは、ＣＤＳ処理により得られる正味の信号レベルである。Ｖｇｓは、前段増幅トランジスタ３１５のゲート－ソース間電圧である。また、同図のΦｓ＿［ｎ］は、ｎ行目の画素への信号を示す。

[0111] タイミングＴ４の後のタイミングＴ５において、垂直走査回路２１１は、選択信号Φｓをローレベルに戻す。

[0112] また、垂直走査回路２１１は、全行（全画素）の電流源トランジスタ３１６を制御して電流ｉｄ１を供給させる。ここで、同図のｉｄ１＿［ｎ］は、ｎ行目の画素の電流を示す。電流ｉｄが大電流となるとＩＲドロップが大きくなるため、電流ｉｄ１は数ナノアンペア（ｎＡ）乃至数十ナノアンペア（ｎＡ）のオーダーにする必要がある。一方、全列の負荷ＭＯＳトランジスタ２５１は、オフ状態であり、垂直信号線３０９に電流ｉｄ２は供給されない。

[0113] 図１９は、本技術の第２の実施の形態における読出し動作の一例を示すタイミングチャートである。タイミングＴ１０からタイミングＴ１７までの第

ｎ行の読出し期間において、垂直走査回路２１１は、第ｎ行のＦＤリセット信号ｒｓｔおよび後段選択信号ｓｅｌｂをハイレベルにする。また、読出し期間において、全行の後段リセット信号ｒｓｔｂは、ローレベルに制御される。ここで、同図のｓｅｌｂ＿［ｎ］は、ｎ行目の画素への信号を示す。

[0114] タイミングＴ１０の直後のタイミングＴ１１からタイミングＴ１３までの期間に亘って垂直走査回路２１１は、第ｎ行にハイレベルの選択信号Φｒを供給する。後段ノード３４０の電位は、リセットレベルＶｒｓｔとなる。

[0115] タイミングＴ１１の後のタイミングＴ１２からタイミングＴ１３の期間に亘って、ＤＡＣ２１３は、ランプ信号Ｒｍｐを徐々に上昇させる。ＡＤＣ２６２は、ランプ信号Ｒｍｐと垂直信号線３０９のレベルＶｒｓｔ’とを比較し、比較結果が反転するまでに亘って計数値を計数する。これにより、Ｐ相レベル（リセットレベル）が読み出される。

[0116] タイミングＴ１３の直後のタイミングＴ１４からパルス期間に亘って、垂直走査回路２１１は、第ｎ行にハイレベルの後段リセット信号ｒｓｔｂを供給する。これにより、後段ノード３４０に寄生容量が存在する際に、その寄生容量に保持される前回の信号の履歴を消去することができる。

[0117] 後段ノード３４０の初期化直後のタイミングＴ１５からタイミングＴ１７までの期間に亘って垂直走査回路２１１は、第ｎ行にハイレベルの選択信号Φｓを供給する。後段ノード３４０の電位は、信号レベルＶｓｉｇとなる。露光時においては、リセットレベルより信号レベルの方が低かったが、読出しの際においては、後段ノード３４０を基準とするため、リセットレベルより信号レベルの方が高くなる。リセットレベルＶｒｓｔと信号レベルＶｓｉｇとの差分が、ＦＤのリセットノイズやオフセットノイズを除去した正味の信号レベルに該当する。

[0118] タイミングＴ１５の後のタイミングＴ１６からタイミングＴ１７の期間に亘って、ＤＡＣ２１３は、ランプ信号Ｒｍｐを徐々に上昇させる。ＡＤＣ２６２は、ランプ信号Ｒｍｐと垂直信号線３０９のレベルＶｒｓｔ’とを比較し、比較結果が反転するまでに亘って計数値を計数する。これにより、Ｄ相レ

ベル（信号レベル）が読み出される。

[0119] また、垂直走査回路２１１は、タイミングＴ１０からタイミングＴ１７の期間に亘って読み出す対象の第ｎ行の電流源トランジスタ３１６を制御して電流ｉｄ１を供給させる。また、タイミング制御回路２１２は、全行の読出し期間内において、全列の負荷ＭＯＳトランジスタ２５１を制御して電流ｉｄ２を供給させる。

[0120] なお、固体撮像素子２００は、リセットレベルの後に、信号レベルを読み出しているが、この順番に限定されない。図２０に例示するように、固体撮像素子２００は、信号レベルの後に、リセットレベルを読み出すこともできる。この場合には、同図に例示するように、垂直走査回路２１１は、ハイレベルの選択信号Φｓの後に、ハイレベルの選択信号Φｒを供給する。また、この場合、ランプ信号のスロープの傾きを逆にする必要がある。

[0121] また、第２の実施の形態に第１の実施の形態の第１、第２の変形例のそれぞれを適用することができる。

[0122] このように、本技術の第２の実施の形態によれば、選択回路３３０が容量素子３２１および３２２を後段ノード３４０から切り離したときに後段リセットトランジスタ３４１が後段ノード３４０を初期化する。容量素子３２１および３２２が切り離されているため、その駆動によるリセットノイズのレベルは、それらの容量より小さな寄生容量に応じたレベルとなる。このノイズの低減により、画像データの画質を向上させることができる。

[0123] ［第１の変形例］

上述の第２の実施の形態では、前段回路３１０が前段ノード３１９に接続されたままで信号を読み出していたが、この構成では、読出しの際に前段ノード３１９からのノイズを遮断することができない。この第２の実施の形態の第１の変形例の画素３００は、前段回路３１０と前段ノード３１９との間にトランジスタを挿入した点において第２の実施の形態と異なる。

[0124] 図２１は、本技術の第２の実施の形態の第１の変形例における画素３００の一構成例を示す回路図である。この第２の実施の形態の第１の変形例の画

素３００は、前段リセットトランジスタ３２３および前段選択トランジスタ３２４をさらに備える点において第２の実施の形態と異なる。また、第２の実施の形態の第１の変形例の前段回路３１０および後段回路３５０の電源電圧をＶＤＤ１とする。

[0125] 前段リセットトランジスタ３２３は、前段ノード３１９のレベルを電源電圧ＶＤＤ２により初期化するものである。この電源電圧ＶＤＤ２は、次の式を満たす値に設定することが望ましい。

ＶＤＤ２＝ＶＤＤ１－Ｖｇｓ ・・・式１

上式において、Ｖｇｓは、前段増幅トランジスタ３１５のゲート－ソース間電圧である。

[0126] 式１を満たす値に設定することにより、暗いときの前段ノード３１９と後段ノード３４０との間の電位変動を少なくすることができる。これにより、感度不均一性（PRNU: Photo Response Non-Uniformity)を改善することができる。

[0127] 前段選択トランジスタ３２４は、垂直走査回路２１１からの前段選択信号ｓｅｌに従って、前段回路３１０と前段ノード３１９との間の経路を開閉するものである。

[0128] 図２２は、本技術の第２の実施の形態の第１の変形例におけるグローバルシャッター動作の一例を示すタイミングチャートである。第２の実施の形態の第１の変形例のタイミングチャートは、垂直走査回路２１１が前段リセット信号ｒｓｔａおよび前段選択信号ｓｅｌをさらに供給する点において第１の実施の形態と異なる。同図において、ｒｓｔａ＿［ｎ］およびｓｅｌ＿［ｎ］は、第ｎ行の画素への信号を示す。

[0129] 垂直走査回路２１１は、露光終了の直前のタイミングＴ２からタイミングＴ５に亘って全画素へハイレベルの前段選択信号ｓｅｌを供給する。前段リセット信号ｒｓｔａは、ローレベルに制御される。

[0130] 図２３は、本技術の第２の実施の形態の第１の変形例における読出し動作の一例を示すタイミングチャートである。各行の読出しの際に前段選択信号

ｓｅｌはローレベルに制御される。この制御により、前段選択トランジスタ３２４が開状態に移行して、前段ノード３１９が前段回路３１０から切り離される。これにより、読出しの際に前段ノード３１９からのノイズを遮断することができる。

[0131] また、タイミングＴ１０からタイミングＴ１７までの第ｎ行の読出し期間において、垂直走査回路２１１は、第ｎ行にハイレベルの前段リセット信号ｒｓｔａを供給する。

[0132] また、読出しの際に、垂直走査回路２１１は、全画素の電流源トランジスタ３１６を制御して電流ｉｄ１の供給を停止させる。電流ｉｄ２は、第２の実施の形態と同様に供給される。このように、第２の実施の形態と比較して、電流ｉｄ１の制御がシンプルとなる。

[0133] このように、本技術の第２の実施の形態の第１の変形例によれば、読出しの際に前段選択トランジスタ３２４が開状態に移行し、前段回路３１０を前段ノード３１９から切り離すため、前段回路３１０からのノイズを遮断することができる。

[0134] ［第２の変形例］

上述の第２の実施の形態では、固体撮像素子２００内の回路を単一の半導体チップに設けていたが、この構成では、画素３００を微細化した際に半導体チップ内に素子が収まらなくなるおそれがある。この第２の実施の形態の第２の変形例の固体撮像素子２００は、固体撮像素子２００内の回路を２つの半導体チップに分散して配置した点において第２の実施の形態と異なる。

[0135] 図２４は、本技術の第２の実施の形態の第２の変形例における固体撮像素子２００の積層構造の一例を示す図である。第２の実施の形態の第２の変形例の固体撮像素子２００は、下側画素チップ２０２と、その下側画素チップ２０２に積層された上側画素チップ２０１とを備える。これらのチップは、例えば、Ｃｕ－Ｃｕ接合により電気的に接続される。なお、Ｃｕ－Ｃｕ接合の他、ビアやバンプにより接続することもできる。

[0136] 上側画素チップ２０１には、上側画素アレイ部２２１が配置される。下側

画素チップ２０２には、下側画素アレイ部２２２とカラム信号処理回路２６０とが配置される。画素アレイ部２２０内の画素ごとに、その一部が、上側画素アレイ部２２１に配置され、残りが下側画素アレイ部２２２に配置される。

[0137] また、下側画素チップ２０２には、垂直走査回路２１１、タイミング制御回路２１２、ＤＡＣ２１３および負荷ＭＯＳ回路ブロック２５０も配置される。これらの回路は、同図において省略されている。

[0138] また、上側画素チップ２０１は、例えば、画素専用のプロセスで製造され、下側画素チップ２０２は、例えば、ＣＭＯＳ（Complementary MOS）プロセスで製造される。

[0139] 図２５は、本技術の第２の実施の形態の第２の変形例における画素３００の一構成例を示す回路図である。画素３００のうち、前段回路３１０は、上側画素チップ２０１に配置され、それ以外の回路や素子（容量素子３２１および３２２など）は、下側画素チップ２０２に配置される。なお、電流源トランジスタ３１６をさらに下側画素チップ２０２に配置することもできる。同図に例示するように、画素３００内の素子を、積層した上側画素チップ２０１および下側画素チップ２０２に分散して配置することにより、画素の面積を小さくすることができ、画素の微細化が容易になる。

[0140] このように、本技術の第２の実施の形態の第２の変形例によれば、画素３００内の回路や素子を２つの半導体チップに分散して配置するため、画素の微細化が容易になる。

[0141] ［第３の変形例］

上述の第２の実施の形態の第２の変形例では、画素３００の一部と周辺回路（カラム信号処理回路２６０など）とを下側の下側画素チップ２０２に設けていた。しかし、この構成では、周辺回路の分、下側画素チップ２０２側の回路や素子の配置面積が上側画素チップ２０１より大きくなり、上側画素チップ２０１に、回路や素子の無い無駄なスペースが生じるおそれがある。この第２の実施の形態の第３の変形例の固体撮像素子２００は、固体撮像素

子２００内の回路を３つの半導体チップに分散して配置した点において第２の実施の形態の第２の変形例と異なる。

[0142] 図２６は、本技術の第２の実施の形態の第３の変形例における固体撮像素子２００の積層構造の一例を示す図である。第２の実施の形態の第３の変形例の固体撮像素子２００は、上側画素チップ２０１、下側画素チップ２０２および回路チップ２０３を備える。これらのチップは積層され、例えば、Ｃｕ－Ｃｕ接合により電気的に接続される。なお、Ｃｕ－Ｃｕ接合の他、ビアやバンプにより接続することもできる。

[0143] 上側画素チップ２０１には、上側画素アレイ部２２１が配置される。下側画素チップ２０２には、下側画素アレイ部２２２が配置される。画素アレイ部２２０内の画素ごとに、その一部が、上側画素アレイ部２２１に配置され、残りが下側画素アレイ部２２２に配置される。

[0144] また、回路チップ２０３には、カラム信号処理回路２６０、垂直走査回路２１１、タイミング制御回路２１２、ＤＡＣ２１３および負荷ＭＯＳ回路ブロック２５０が配置される。カラム信号処理回路２６０以外の回路は、同図において省略されている。

[0145] 同図に例示したように３層構成にすることにより、２層構成と比較して無駄なスペースを削減し、さらに画素を微細化することができる。また、２層目の下側画素チップ２０２を、容量やスイッチのための専用のプロセスで製造することができる。

[0146] このように、本技術の第２の実施の形態の第３の変形例では、固体撮像素子２００内の回路を３つの半導体チップに分散して配置するため、２つの半導体チップに分散して配置する場合と比較してさらに画素を微細化することができる。

[0147] ＜３．第３の実施の形態＞

上述の第２の実施の形態では、露光期間内にリセットレベルをサンプルホールドしていたが、この構成では、リセットレベルのサンプルホールド期間よりも露光期間を短くすることができない。この第３の実施の形態の固体撮

像素子２００は、光電変換素子から電荷を排出するトランジスタを追加することにより、露光期間をより短くした点において第２の実施の形態と異なる。

[0148] 図２７は、本技術の第３の実施の形態における画素３００の一構成例を示す回路図である。この第３の実施の形態の画素３００は、前段回路３１０内に排出トランジスタ３１７をさらに備える点において第２の実施の形態と異なる。

[0149] 排出トランジスタ３１７は、垂直走査回路２１１からの排出信号ｏｆｇに従って光電変換素子３１１から電荷を排出するオーバーフロードレインとして機能するものである。排出トランジスタ３１７として、例えば、ｎＭＯＳトランジスタが用いられる。

[0150] 第２の実施の形態のように、排出トランジスタ３１７を設けない構成では、全画素について光電変換素子３１１からＦＤ３１４へ電荷を転送した際に、ブルーミングが生じることがある。そして、ＦＤリセットの際にＦＤ３１４と前段ノード３１９の電位が降下する。この電位降下に追従して、容量素子３２１および３２２の充放電の電流が発生し続け、電源やグランドのＩＲドロップが、ブルーミングの無い定常状態から変化してしまう。

[0151] その一方で、全画素の信号レベルのサンプルホールドの際には、信号電荷の転送後、光電変換素子３１１内の電荷が空の状態になるため、ブルーミングが発生しなくなり、電源やグランドのＩＲドロップが、ブルーミングの無い定常状態となる。これらのリセットレベル、信号レベルをサンプルホールドの際のＩＲドロップの違いに起因して、ストリーキングノイズが生じる。

[0152] これに対して、排出トランジスタ３１７を設けた第３の実施の形態では、光電変換素子３１１の電荷がオーバーフロードレイン側に排出される。このため、リセットレベル、信号レベルをサンプルホールドの際のＩＲドロップが同程度となり、ストリーキングノイズを抑制することができる。

[0153] 図２８は、本技術の第３の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。露光開始のタイミング前のタイミ

ングＴ０において、垂直走査回路２１１は、全画素の排出信号ｏｆｇをハイレベルにしつつ、全画素にハイレベルのＦＤリセット信号ｒｓｔをパルス期間に亘って供給する。これにより、全画素についてＰＤリセットおよびＦＤリセットが行われる。また、リセットレベルがサンプルホールドされる。ここで、同図のｏｆｇ＿［ｎ］は、Ｎ行のうちｎ行目の画素への信号を示す。

[0154] そして、露光開始のタイミングＴ１において、垂直走査回路２１１は、全画素の排出信号ｏｆｇをローレベルに戻す。そして、露光終了の直前のタイミングＴ２から露光終了のＴ３までの期間に亘って、垂直走査回路２１１は、全画素にハイレベルの転送信号ｔｒｇを供給する。これにより、信号レベルがサンプルホールドされる。

[0155] 第２の実施の形態のように、排出トランジスタ３１７を設けない構成では、露光開始時（すなわち、ＰＤリセット時）に転送トランジスタ３１２およびＦＤリセットトランジスタ３１３の両方をオン状態にしなければならない。この制御では、ＰＤリセットの際に、同時にＦＤ３１４もリセットしなければならない。このため、露光期間内に再度ＦＤリセットを行い、リセットレベルをサンプルホールドする必要があり、リセットレベルのサンプルホールド期間よりも露光期間を短くすることができない。全画素のリセットレベルをサンプルホールドする際には、電圧や電流が静定するまでにある程度の待ち時間が必要になり、例えば、数マイクロ秒（μｓ）から数十マイクロ秒（μｓ）のサンプルホールド期間が必要となる。

[0156] これに対して、排出トランジスタ３１７を設ける第３の実施の形態では、ＰＤリセットとＦＤリセットとを個別に行うことができる。このため、同図に例示するように、ＰＤリセットの解除（露光開始）前にＦＤリセットを行って、リセットレベルをサンプルホールドすることができる。これにより、リセットレベルのサンプルホールド期間よりも露光期間を短くすることができる。

[0157] なお、第３の実施の形態に、第２の実施の形態の第１乃至第３の変形例を適応することもできる。

[0158] このように、本技術の第３の実施の形態によれば、光電変換素子３１１から電荷を排出する排出トランジスタ３１７を設けたため、露光開始前にＦＤリセットを行ってリセットレベルをサンプルホールドすることができる。これにより、リセットレベルのサンプルホールド期間よりも露光期間を短くすることができる。

[0159] ＜４．第４の実施の形態＞

上述の第２の実施の形態では、電源電圧ＶＤＤによりＦＤ３１４を初期化していたが、この構成では容量素子３２１および３２２のばらつきや、寄生容量により、感度不均一性（ＰＲＮＵ）が悪化するおそれがある。この第４の実施の形態の固体撮像素子２００は、ＦＤリセットトランジスタ３１３の電源を読出しの際に低下させることにより、ＰＲＮＵを改善する点において第２の実施の形態と異なる。

[0160] 図２９は、本技術の第４の実施の形態における画素３００の一構成例を示す回路図である。この第４の実施の形態の画素３００は、ＦＤリセットトランジスタ３１３の電源が、画素３００の電源電圧ＶＤＤと分離されている点において第２の実施の形態と異なる。

[0161] 第４の実施の形態のＦＤリセットトランジスタ３１３のドレインは、リセット電源電圧ＶＲＳＴに接続される。このリセット電源電圧ＶＲＳＴは、例えば、タイミング制御回路２１２により制御される。

[0162] ここで、図３０および図３１を参照して、第２の実施の形態の画素３００におけるＰＲＮＵの悪化について考える。第２の実施の形態では、図３０に例示するように露光開始時直前のタイミングＴ０において、ＦＤ３１４の電位は、ＦＤリセットトランジスタ３１３のリセットフィードスルーにより低下する。この変動量をＶｆｔとする。

[0163] 第２の実施の形態では、ＦＤリセットトランジスタ３１３の電源電圧はＶＤＤであるため、タイミングＴ０において、ＦＤ３１４の電位は、ＶＤＤから、ＶＤＤ－Ｖｆｔに変動する。また、露光時の前段ノード３１９の電位は、ＶＤＤ－Ｖｆｔ－Ｖｓｉｇとなる。

[0164] また、第２の実施の形態では、図３１に例示するように読出しの際にＦＤリセットトランジスタ３１３がオン状態に移行し、ＦＤ３１４が、電源電圧ＶＤＤに固定される。そのＦＤ３１４の変動量Ｖｆｔにより、読出しの際の前段ノード３１９および後段ノード３４０の電位を、Ｖｆｔ程度高くシフトする。ただし、容量素子３２１および３２２の容量値のばらつきや、寄生容量により、シフトする電圧量が画素ごとにばらつき、ＰＲＮＵ悪化の元になる。

[0165] 前段ノード３１９がＶｆｔだけ遷移した場合の後段ノード３４０の遷移量は、例えば、次の式により表される。

｛（Ｃｓ＋δＣｓ）／（Ｃｓ＋δＣｓ＋Ｃｐ）｝＊Ｖｆｔ ・・・式２

上式において、Ｃｓは、信号レベル側の容量素子３２２の容量値であり、δＣｓは、Ｃｓのばらつきである。Ｃｐは、後段ノード３４０の寄生容量の容量値である。

[0166] 式２は、次の式に近似することができる。

｛１－（δＣｓ／Ｃｓ）＊（Ｃｐ／Ｃｓ）｝＊Ｖｆｔ ・・・式３

[0167] 式３より、後段ノード３４０のばらつきは、次の式により表すことができる。

｛（δＣｓ／Ｃｓ）＊（Ｃｐ／Ｃｓ）｝＊Ｖｆｔ ・・・式４

[0168] （δＣｓ／Ｃｓ）を10^{-2}とし、（Ｃｐ／Ｃｓ）を10^{-1}とし、Ｖｆｔを４００ミリボルト（ｍＶ）とすると、式４よりＰＲＮＵは、４００μＶｒｍｓとなり、比較的大きな値となる。

[0169] 特に、入力換算の容量のサンプリングホールド時のｋＴＣノイズを小さくする際には、ＦＤ３１４の電荷電圧変換効率を大きくする必要がある。電荷電圧変換効率を大きくするにはＦＤ３１４の容量を小さくしなければならないが、ＦＤ３１４の容量が小さいほど変動量Ｖｆｔが大きくなり、数百ミリボルト（ｍＶ）になりうる。この場合、式６よりＰＲＮＵの影響が無視できないレベルになりうる。

[0170] 図３２は、本技術の第４の実施の形態における電圧制御の一例を示すタイ

ミングチャートである。

[0171] タイミング制御回路２１２は、タイミングＴ９以降の行単位の読出し期間において、リセット電源電圧ＶＲＳＴを露光期間と異なる値に制御する。

[0172] 例えば、露光期間において、タイミング制御回路２１２は、リセット電源電圧ＶＲＳＴを電源電圧ＶＤＤと同じ値にする。一方、読出し期間においてタイミング制御回路２１２は、リセット電源電圧ＶＲＳＴを、ＶＤＤ－Ｖｆｔに低下させる。すなわち、読出し期間において、タイミング制御回路２１２は、リセットフィードスルーによる変動量Ｖｆｔに略一致する分だけ、リセット電源電圧ＶＲＳＴを低下させる。この制御により、露光時と、読出しの際とにおいて、ＦＤ３１４のリセットレベルを揃えることができる。

[0173] リセット電源電圧ＶＲＳＴの制御により、同図に例示するように、ＦＤ３１４と、前段ノード３１９との電圧変動量を低減することができる。これにより、容量素子３２１および３２２のばらつきや、寄生容量に起因するＰＲＮＵの悪化を抑制することができる。

[0174] なお、第４の実施の形態に、第２の実施の形態の第１乃至第３の変形例や、第３の実施の形態を適用することもできる。

[0175] このように、本技術の第４の実施の形態によれば、読出しの際にタイミング制御回路２１２が、リセットフィードスルーによる変動量Ｖｆｔだけリセット電源電圧ＶＲＳＴを低下させるため、露光と読出しとでリセットレベルを揃えることができる。これにより、感度不均一性（ＰＲＮＵ）の悪化を抑制することができる。

[0176] ＜５．第５の実施の形態＞

上述の第２の実施の形態では、フレーム毎にリセットレベルの次に信号レベルを読み出していたが、この構成では容量素子３２１および３２２のばらつきや、寄生容量により、感度不均一性（ＰＲＮＵ）が悪化するおそれがある。この第５の実施の形態の固体撮像素子２００は、フレームごとに、容量素子３２１に保持するレベルと容量素子３２２に保持するレベルとを入れ替えることにより、ＰＲＮＵを改善する点において第２の実施の形態と異なる

。

[0177] 第５の実施の形態の固体撮像素子２００は、複数のフレームを垂直同期信号に同期して連続して撮像する。奇数番目のフレームを「奇数フレーム」と称し、偶数番目のフレームを「偶数フレーム」と称する。

[0178] 図３３は、第５の実施の形態における奇数フレームのグローバルシャッター動作の一例を示すタイミングチャートである。奇数フレームの露光期間内に固体撮像素子２００内の前段回路３１０は、選択信号Φｒの次に選択信号Φｓをハイレベルにすることにより、リセットレベルを容量素子３２１に保持させ、次に信号レベルを容量素子３２２に保持させる。

[0179] 図３４は、本技術の第５の実施の形態における奇数フレームの読出し動作の一例を示すタイミングチャートである。奇数フレームの読出し期間内に固体撮像素子２００内の後段回路３５０は、選択信号Φｒの次に選択信号Φｓをハイレベルにしてリセットレベルの次に信号レベルを読み出す。

[0180] 図３５は、第５の実施の形態における偶数フレームのグローバルシャッター動作の一例を示すタイミングチャートである。偶数フレームの露光期間内に固体撮像素子２００内の前段回路３１０は、選択信号Φｓの次に選択信号Φｒをハイレベルにすることにより、リセットレベルを容量素子３２２に保持させ、次に信号レベルを容量素子３２１に保持させる。

[0181] 図３６は、本技術の第５の実施の形態における偶数フレームの読出し動作の一例を示すタイミングチャートである。偶数フレームの読出し期間内に固体撮像素子２００内の後段回路３５０は、選択信号Φｓの次に選択信号Φｒをハイレベルにしてリセットレベルの次に信号レベルを読み出す。

[0182] 図３３および図３５に例示したように、偶数フレームと奇数フレームとで、容量素子３２１および３２２のそれぞれに保持されるレベルが逆になる。これにより、偶数フレームと奇数フレームとで、ＰＲＮＵの極性も逆になる。後段のカラム信号処理回路２６０は、奇数フレームと偶数フレームとの加算平均を求める。これにより、極性が逆のＰＲＮＵ同士を相殺することができる。

[0183] この制御は、動画の撮像や、フレーム同士の加算において有効な制御である。また、画素３００に素子を追加する必要はなく、駆動方式の変更のみにより実現することができる。

[0184] なお、第５の実施の形態に、第２の実施の形態の第１乃至第３の変形例や、第３、第４の実施の形態を適用することもできる。

[0185] このように、本技術の第５の実施の形態では、奇数フレームと偶数フレームとで容量素子３２１に保持されるレベルと容量素子３２２に保持されるレベルとが逆になるため、奇数フレームと偶数フレームとでＰＲＮＵの極性を逆にすることができる。これらの奇数フレームおよび偶数フレームをカラム信号処理回路２６０が加算することにより、ＰＲＮＵの悪化を抑制することができる。

[0186] ＜６．第６の実施の形態＞

上述の第２の実施の形態では、カラム信号処理回路２６０は、カラム毎にリセットレベルと信号レベルとの差分を求めていた。しかし、この構成では、非常に高照度の光が画素に入射した際に、光電変換素子３１１から電荷が溢れることにより輝度が低下し、黒く沈んでしまう黒点現象が生じるおそれがある。この第６の実施の形態の固体撮像素子２００は、黒点現象が生じたか否かを画素ごとに判定する点において第２の実施の形態と異なる。

[0187] 図３７は、本技術の第６の実施の形態におけるカラム信号処理回路２６０の一構成例を示す回路図である。この第６の実施の形態のカラム信号処理回路２６０には、複数のＡＤＣ２７０とロジック回路４００とが配置される。また、ロジック回路４００には、複数のＣＤＳ処理部２９１と複数のセレクタ２９２とが配置される。ＡＤＣ２７０、ＣＤＳ処理部２９１およびセレクタ２９２は、列ごとに設けられる。なお、ロジック回路４００内の他の回路（メタデータ抽出部４０４など）は、同図において省略されている。

[0188] また、ＡＤＣ２７０は、コンパレータ２８０およびカウンタ２７１を備える。コンパレータ２８０は、垂直信号線３０９のレベルと、ＤＡＣ２１３からのランプ信号Ｒｍｐとを比較し、比較結果ＶＣＯを出力するものである。

比較結果ＶＣＯは、カウンタ２７１とタイミング制御回路２１２とに供給される。コンパレータ２８０は、セレクタ２８１と、容量素子２８２および２８３と、オートゼロスイッチ２８４および２８６と、比較器２８５とを備える。

[0189] セレクタ２８１は、入力側選択信号ｓｅｌｉｎに従って、対応する列の垂直信号線３０９と、所定の参照電圧ＶＲＥＦのノードとのいずれかを比較器２８５の非反転入力端子（＋）に、容量素子２８２を介して接続するものである。入力側選択信号ｓｅｌｉｎは、タイミング制御回路２１２から供給される。なお、セレクタ２８１は、特許請求の範囲に記載の入力側セレクタの一例である。

[0190] 比較器２８５は、非反転入力端子（＋）と反転入力端子（－）とのそれぞれのレベルを比較して、比較結果ＶＣＯをカウンタ２７１へ出力するものである。反転入力端子（－）には、容量素子２８３を介してランプ信号Ｒｍｐが入力される。

[0191] オートゼロスイッチ２８４は、タイミング制御回路２１２からのオートゼロ信号Ａｚに従って、比較結果ＶＣＯの非反転入力端子（＋）と出力端子とを短絡するものである。オートゼロスイッチ２８６は、オートゼロ信号Ａｚに従って、比較結果ＶＣＯの反転入力端子（－）と出力端子とを短絡するものである。

[0192] カウンタ２７１は、比較結果ＶＣＯが反転するまでに亘って計数値を計数し、その計数値を示すデジタル信号ＣＮＴ＿ｏｕｔをＣＤＳ処理部２９１へ出力するものである。

[0193] ＣＤＳ処理部２９１は、デジタル信号ＣＮＴ＿ｏｕｔに対してＣＤＳ処理を行うものである。このＣＤＳ処理部２９１は、リセットレベルに対応するデジタル信号ＣＮＴ＿ｏｕｔと、信号レベルに対応するデジタル信号ＣＮＴ＿ｏｕｔとの差分を演算し、ＣＤＳ＿ｏｕｔとしてセレクタ２９２に出力する。

[0194] セレクタ２９２は、タイミング制御回路２１２からの出力側選択信号ｓｅ

ｌｏｕｔに従って、ＣＤＳ処理後のデジタル信号ＣＤＳ＿ｏｕｔと、フルコードのデジタル信号ＦＵＬＬとのいずれかを対応する列の画素データとして出力するものである。なお、セレクタ２９２は、特許請求の範囲に記載の出力側セレクタの一例である。

[0195] 図３８は、本技術の第６の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。第６の実施の形態のグローバルシャッター時のトランジスタの制御方法は、第２の実施の形態と同様である。

[0196] ここで、画素３００に非常に高照度の光が入射したものとする。この場合、光電変換素子３１１の電荷が満杯になり、光電変換素子３１１からＦＤ３１４へと電荷があふれ出し、ＦＤリセット後のＦＤ３１４の電位が低下する。同図における一点鎖線は、溢れた電荷量が比較的少なくなる程度の弱い太陽光が入射した際のＦＤ３１４の電位変動を示す。同図における点線は、溢れた電荷量が比較的多くなるような強い太陽光が入射した際のＦＤ３１４の電位変動を示す。

[0197] 弱い太陽光が入射した際は、ＦＤリセットの完了したタイミングＴ３においてリセットレベルが低下しているが、この時点ではレベルが下がりきってない。

[0198] 一方、強い太陽光が入射した際は、タイミングＴ３の時点でリセットレベルが下がりきってしまう。この場合、信号レベルがリセットレベルと同じになり、それらの電位差が「０」であるため、ＣＤＳ処理後のデジタル信号が、暗状態の場合と同じになって黒く沈んでしまう。このように、太陽光などの非常に高照度の光が入射したにも関わらず、その画素が黒くなる現象は、黒点現象あるいはブルーミングと呼ばれる。

[0199] また、黒点現象の生じた画素のＦＤ３１４のレベルが下がりすぎると、前段回路３１０の動作点が確保できなくなって、電流源トランジスタ３１６の電流ｉｄ１が変動する。各画素の電流源トランジスタ３１６は、共通の電源やグランドに接続されているため、ある画素で電流が変動した際に、その画素のＩＲドロップの変動が、他の画素のサンプルレベルに影響を及ぼしてし

まう。黒点現象の生じた画素がアグレッサーとなり、その画素によりサンプルレベルが変動した画素がビクティムとなる。この結果、ストリーキングノイズが生じる。

[0200] なお、第３の実施の形態のように排出トランジスタ３１７を設けた場合、黒点（ブルーミング）のある画素では、溢れた電荷が排出トランジスタ３１７側に捨てられるため、黒点現象が生じにくい。ただし、排出トランジスタ３１７を設けても、一部の電荷がＦＤ３１４に流れる可能性があり、黒点現象の根治にはならない可能性がある。さらに、排出トランジスタ３１７の追加により、画素毎の有効面積／電荷量の比率が低下してしまうというデメリットもある。このため、排出トランジスタ３１７を用いずに、黒点現象を抑制することが望ましい。

[0201] 排出トランジスタ３１７を用いずに黒点現象を抑制する方法として２つの方法が考えられる。１つ目は、ＦＤ３１４のクリップレベルの調整である。２つ目は、読出しの際に黒点現象が生じたか否かを判断して、黒点現象の生じた際に、出力をフルコードに置き換える方法である。

[0202] １つ目の方法に関して、同図のＦＤリセット信号ｒｓｔ（言い換えれば、ＦＤリセットトランジスタ３１３のゲート）のハイレベルは電源電圧ＶＤＤであり、ローレベルが、ＦＤ３１４のクリップレベルに該当する。第１の実施の形態では、これらのハイレベルとローレベルとの差（すなわち、振幅）は、ダイナミックレンジに対応する値に設定される。これに対して、第６の実施の形態では、その値にさらにマージンを加えた値に調整される。ここで、ダイナミックレンジに対応する値は、電源電圧ＶＤＤと、デジタル信号がフルコードになるときのＦＤ３１４の電位との差分に該当する。

[0203] ＦＤリセットトランジスタ３１３のオフ時のゲート電圧（ＦＤリセット信号ｒｓｔのローレベル）を下げることにより、ブルーミングによりＦＤ３１４が低下しすぎて、前段増幅トランジスタ３１５の動作点をつぶすことを防止することができる。

[0204] なお、ダイナミックレンジは、ＡＤＣのアナログゲインによって変わる。

アナログゲインが低いときは、大きなダイナミックレンジが必要となり、逆にアナログゲインが高い時は、ダイナミックレンジは少なくて済む。このため、ＦＤリセットトランジスタ３１３のオフ時のゲート電圧を、アナログゲインに応じて変更することもできる。

[0205] 図３９は、本技術の第６の実施の形態における読出し動作の一例を示すタイミングチャートである。読出しの開始のタイミングＴ１０の直後のタイミングＴ１１において選択信号Φｒがハイレベルになると、太陽光が入射した画素では、垂直信号線３０９の電位が変動する。同図における一点鎖線は、弱い太陽光が入射した際の垂直信号線３０９の電位変動を示す。同図における点線は、強い太陽光が入射した際の垂直信号線３０９の電位変動を示す。

[0206] タイミングＴ１０からタイミングＴ１２までのオートゼロ期間において、タイミング制御回路２１２は、例えば、「０」の入力側選択信号ｓｅｌｉｎを供給し、比較器２８５を垂直信号線３０９に接続させる。このオートゼロ期間内にタイミング制御回路２１２は、オートゼロ信号Ａｚによりオートゼロを行う。

[0207] ２つ目の方法に関して、タイミングＴ１２からタイミングＴ１３までの判定期間内にタイミング制御回路２１２は、例えば、「１」の入力側選択信号ｓｅｌｉｎを供給する。この入力側選択信号ｓｅｌｉｎにより、比較器２８５が垂直信号線３０９から切り離され、参照電圧ＶＲＥＦのノードと接続される。この参照電圧ＶＲＥＦは、ブルーミングが生じなかったときの、垂直信号線３０９のレベルの期待値に設定される。Ｖｒｓｔは、例えば、後段増幅トランジスタ３５１のゲート－ソース間電圧をＶｇｓ２とすると、Ｖｒｅｇ－Ｖｇｓ２に該当する。また、ＤＡＣ２１３は、判定期間内にランプ信号Ｒｍｐのレベルを$Vrmp_az$から$Vrmp_sun$に低下させる。

[0208] また、判定期間内において、ブルーミングが発生しなかった場合、垂直信号線３０９のリセットレベルのＶｒｓｔは、参照電圧ＶＲＥＦとほぼ同じであり、比較器２８５の反転入力端子（＋）の電位がオートゼロのときとあまり変わらない。一方、非反転入力端子（－）は、$Vrmp_az$からＶｒｍ

ｐ＿ｓｕｎに下がったため、比較結果ＶＣＯはハイレベルとなる。

[0209] 逆に、ブルーミングが発生した場合、リセットレベルＶｒｓｔは、参照電圧ＶＲＥＦよりも十分に高くなり、次の式が成立した際に、比較結果ＶＣＯがローレベルになる。

Ｖｒｓｔ－ＶＲＥＦ＞Ｖｒｍｐ＿ａｚ－Ｖｒｍｐ＿ｓｕｎ・・・式５

[0210] つまり、タイミング制御回路２１２は、判定期間内に比較結果ＶＣＯがローレベルとなるか否かにより、ブルーミングが発生したか否かを判断することができる。

[0211] なお、後段増幅トランジスタ３５１の閾値電圧のバラツキや、面内のＶｒｅｇのＩＲドロップ差等による誤判定が発生しないように、太陽判定のためのマージン（式５の右辺）をある程度大きく確保する必要がある。

[0212] 判定期間経過後のタイミングＴ１３以降において、タイミング制御回路２１２は、比較器２８５を垂直信号線３０９に接続させる。また、タイミングＴ１３乃至Ｔ１４のＰ相セトリング期間が経過すると、タイミングＴ１４乃至Ｔ１５の期間内にＰ相が読み出される。タイミングＴ１５乃至Ｔ１９のＤ相セトリング期間が経過すると、タイミングＴ１９乃至Ｔ２０の期間内にＤ相が読み出される。

[0213] 判定期間においてブルーミングが発生していないと判断した場合、タイミング制御回路２１２は、出力側選択信号ｓｅｌｏｕｔによりセレクタ２９２を制御してＣＤＳ処理後のデジタル信号ＣＤＳ＿ｏｕｔをそのまま出力させる。

[0214] 一方、判定期間においてブルーミングが発生したと判断した場合、タイミング制御回路２１２は、出力側選択信号ｓｅｌｏｕｔによりセレクタ２９２を制御してＣＤＳ処理後のデジタル信号ＣＤＳ＿ｏｕｔの代わりにフルコードＦＵＬＬを出力させる。これにより、黒点現象を抑制することができる。

[0215] なお、第６の実施の形態に、第２の実施の形態の第１乃至第３の変形例や、第３乃至第５の実施の形態を適用することもできる。

[0216] このように、本技術の第６の実施の形態によれば、タイミング制御回路２

１２は、比較結果ＶＣＯに基づいて黒点現象が生じたか否かを判断し、黒点現象が生じた際にフルコードを出力させるため、黒点現象を抑制することができる。

[0217] ＜７．第７の実施の形態＞

上述の第２の実施の形態では、垂直走査回路２１１は、全行（全画素）を同時に露光させる制御（すなわち、グローバルシャッター動作）を行っていた。しかし、テストのときや、解析を行うときなど、露光の同時性が不要で低ノイズが要求される場合には、ローリングシャッター動作を行うことが望ましい。この第７の実施の形態の固体撮像素子２００は、テスト時などにおいて、ローリングシャッター動作を行う点において第２の実施の形態と異なる。

[0218] 図４０は、本技術の第７の実施の形態におけるローリングシャッター動作の一例を示すタイミングチャートである。垂直走査回路２１１は、複数の行を順に選択して露光を開始させる制御を行う。同図は、第ｎ行の露光制御を示す。

[0219] タイミングＴ０乃至Ｔ２の期間において、垂直走査回路２１１は、第ｎ行にハイレベルの後段選択信号ｓｅｌｂ、選択信号Φｒおよび選択信号Φｓを供給する。また、露光開始のタイミングＴ０において、垂直走査回路２１１は、第ｎ行にハイレベルのＦＤリセット信号ｒｓｔおよび後段リセット信号ｒｓｔｂをパルス期間に亘って供給する。露光終了のタイミングＴ１において垂直走査回路２１１は、第ｎ行に転送信号ｔｒｇを供給する。同図のローリングシャッター動作により、固体撮像素子２００は、低ノイズの画像データを生成することができる。なお、同図のローリングシャッター動作において、第１の実施の形態で説明した２回のＡＤ変換やメタデータの抽出は実行されないものとする。

[0220] なお、通常の撮像時において第７の実施の形態の固体撮像素子２００は、第２の実施の形態と同様にグローバルシャッター動作を行う。

[0221] また、第７の実施の形態に、第２の実施の形態の第１乃至第３の変形例や

、第３乃至第６の実施の形態を適用することもできる。

[0222] このように本技術の第７の実施の形態によれば、垂直走査回路２１１は、複数の行を順に選択して露光を開始させる制御（すなわち、ローリングシャッター動作）を行うため、低ノイズの画像データを生成することができる。

[0223] ＜８．第８の実施の形態＞

上述の第２の実施の形態では、前段のソースフォロワ（前段増幅トランジスタ３１５および電流源トランジスタ３１６）のソースを電源電圧ＶＤＤに接続し、そのソースフォロワがオンの状態で行単位で読出しを行っていた。しかし、この駆動方法では、行単位の読出しの際の前段のソースフォロワの回路ノイズが後段に伝搬し、ランダムノイズが増大するおそれがある。この第８の実施の形態の固体撮像素子２００は、読出しの際に前段のソースフォロワをオフ状態にすることにより、ノイズを低減する点において第１の実施の形態と異なる。

[0224] 図４１は、本技術の第８の実施の形態における固体撮像素子２００の一構成例を示すブロック図である。この第８の実施の形態の固体撮像素子２００は、レギュレータ４２０および切り替え部４４０をさらに備える点において第２の実施の形態と異なる。また、第８の実施の形態の画素アレイ部２２０には、複数の有効画素３０１と、所定数のダミー画素４３０とが配列される。ダミー画素４３０は、有効画素３０１が配列された領域の周囲に配列される。

[0225] また、ダミー画素４３０のそれぞれには、電源電圧ＶＤＤが供給され、有効画素３０１のそれぞれには、電源電圧ＶＤＤと、ソース電圧Ｖｓとが供給される。有効画素３０１へ電源電圧ＶＤＤを供給する信号線は、同図において省略されている。また、電源電圧ＶＤＤは、固体撮像素子２００の外部のパッド４１５から供給される。

[0226] レギュレータ４２０は、ダミー画素４３０からの入力電位Ｖｉに基づいて、一定の生成電圧V_{gen}を生成し、切り替え部４４０に供給するものである。切り替え部４４０は、パッド４１５からの電源電圧ＶＤＤと、レギュレータ

４２０からの生成電圧V_{gen}とのいずれかを選択し、ソース電圧Ｖｓとして有効画素３０１のカラムのそれぞれに供給するものである。

[0227] 図４２は、本技術の第８の実施の形態におけるダミー画素４３０、レギュレータ４２０、および、切り替え部４４０の一構成例を示す回路図である。同図におけるａは、ダミー画素４３０およびレギュレータ４２０の回路図であり、同図におけるｂは、切り替え部４４０の回路図である。

[0228] 同図におけるａに例示するように、ダミー画素４３０は、リセットトランジスタ４３１、ＦＤ４３２、増幅トランジスタ４３３および電流源トランジスタ４３４を備える。リセットトランジスタ４３１は、垂直走査回路２１１からのリセット信号ＲＳＴに従って、ＦＤ４３２を初期化するものである。ＦＤ４３２は、電荷を蓄積し、電荷量に応じた電圧を生成するものである。増幅トランジスタ４３３は、ＦＤ４３２の電圧のレベルを増幅し、入力電圧Ｖｉとしてレギュレータ４２０に供給するものである。

[0229] また、リセットトランジスタ４３１および増幅トランジスタ４３３のソースは、電源電圧ＶＤＤに接続される。電流源トランジスタ４３４は、増幅トランジスタ４３３のドレインに接続される。この電流源トランジスタ４３４は、垂直走査回路２１１の制御に従って、電流ｉｄ１を供給する。

[0230] レギュレータ４２０は、ローパスフィルタ４２１、バッファアンプ４２２および容量素子４２３を備える。ローパスフィルタ４２１は、入力電圧Ｖｉの信号のうち、所定周波数未満の低周波数帯域の成分を出力電圧Ｖｊとして通過させるものである。

[0231] バッファアンプ４２２の非反転入力端子（＋）には、出力電圧Ｖｊが入力される。バッファアンプ４２２の反転入力端子（－）は、その出力端子と接続される。容量素子４２３は、バッファアンプ４２２の出力端子の電圧をV_{gen}として保持するものである。このV_{gen}は、切り替え部４４０に供給される。

[0232] 同図におけるｂに例示するように、切り替え部４４０は、インバータ４４１と、複数の切り替え回路４４２とを備える。切り替え回路４４２は、有効

画素３０１の列ごとに配置される。

[0233] インバータ４４１は、タイミング制御回路２１２からの切替信号ＳＷを反転させるものである。このインバータ４４１は、反転信号を切り替え回路４４２のそれぞれに供給する。

[0234] 切り替え回路４４２は、電源電圧ＶＤＤと、生成電圧V_{gen}とのいずれかを選択し、ソース電圧Ｖｓとして、画素アレイ部２２０内の対応する列に供給するものである。切り替え回路４４２は、スイッチ４４３および４４４を備える。スイッチ４４３は、切替信号ＳＷに従って、電源電圧ＶＤＤのノードと、対応する列との間の経路を開閉するものである。スイッチ４４４は、切替信号ＳＷの反転信号に従って、生成電圧V_{gen}のノードと、対応する列との間の経路を開閉するものである。

[0235] 図４３は、本技術の第８の実施の形態におけるダミー画素４３０およびレギュレータ４２０の動作の一例を示すタイミングチャートである。ある行の読出しの直前のタイミングＴ１０において、垂直走査回路２１１は、ダミー画素４３０のそれぞれに、ハイレベル（ここでは、電源電圧ＶＤＤ）のリセット信号ＲＳＴを供給する。ダミー画素４３０内のＦＤ４３２の電位Ｖｆｄは、電源電圧ＶＤＤに初期化される。そして、リセット信号ＲＳＴがローレベルとなった際に、リセットフィードスルーにより、ＶＤＤ－Ｖｆｔに変動する。

[0236] また、入力電圧Ｖｉは、リセット後にＶＤＤ－Ｖｇｓ－Ｖｓｉｇに低下する。ローパスフィルタ４２１の通過により、Ｖｊ、V_{gen}は、略一定の電圧となる。

[0237] 次の行の読出しの直前のタイミングＴ２０以降は、行ごとに、同様の制御が行われ、一定の生成電圧V_{gen}が供給される。

[0238] 図４４は、本技術の第８の実施の形態における有効画素３０１の一構成例を示す回路図である。有効画素３０１の回路構成は、前段増幅トランジスタ３１５のソースに、切り替え部４４０からのソース電圧Ｖｓが供給される点以外は、第２の実施の形態の画素３００と同様である。

[0239] 図４５は、本技術の第８の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。第８の実施の形態において、全画素で同時に露光する際に、切り替え部４４０は、電源電圧ＶＤＤを選択し、ソース電圧Ｖｓとして供給する。また、前段ノードの電圧は、タイミングＴ４において、ＶＤＤ－Ｖｇｓ－ＶｔｈからＶＤＤ－Ｖｇｓ－Ｖｓｉｇに低下する。ここで、Ｖｔｈは、転送トンラジスタ３１２の閾値電圧である。

[0240] 図４６は、本技術の第８の実施の形態における読出し動作の一例を示すタイミングチャートである。この第８の実施の形態では、読出しの際に切り替え部４４０は、生成電圧V_{gen}を選択し、ソース電圧Ｖｓとして供給する。この生成電圧V_{gen}は、ＶＤＤ－Ｖｇｓ－Ｖｆｔに調整される。また、第８の実施の形態では、垂直走査回路２１１が、全行（全画素）の電流源トランジスタ３１６を制御して電流ｉｄ１の供給を停止させる。

[0241] 図４７は、本技術の第８の実施の形態における効果を説明するための図である。第１の実施の形態では、行ごとの読出しにおいて、読出し対象の画素３００のソースフォロワ（前段増幅トランジスタ３１５および電流源トランジスタ３１６）をオンにしていた。しかし、この駆動方法では、前段のソースフォロワの回路ノイズが、後段（容量素子、後段のソースフォロワやＡＤＣ）に伝搬し、読出しノイズが増大するおそれがある。

[0242] 例えば、第２の実施の形態では、同図に例示するようにグローバルシャッター動作時の画素で生じるｋＴＣノイズは、４５０（μＶｒｍｓ）である。また、行ごとの読出しにおける、前段のソースフォロワ（前段増幅トランジスタ３１５および電流源トランジスタ３１６）で生じるノイズは、３８０（μＶｒｍｓ）となる。後段のソースフォロワ以降で生じるノイズは、１６０（μＶｒｍｓ）である。このため、合計のノイズは、６１０（μＶｒｍｓ）である。このように、第２の実施の形態では、ノイズの合計値における、前段のソースフォロワのノイズの寄与分は、比較的大きくなる。

[0243] この前段のソースフォロワのノイズを低減するために、第８の実施の形態では、前述したように前段のソースフォロワのソースに、電圧調整の可能な

電圧（Ｖｓ）を供給している。グローバルシャッター（露光）動作時に、切り替え部４４０は、電源電圧ＶＤＤを選択してソース電圧Ｖｓとして供給する。そして、露光の終了後に切り替え部４４０は、ソース電圧ＶｓをＶＤＤ－Ｖｇｓ－Ｖｆｔに切り替える。また、タイミング制御回路２１２は、グローバルシャッター（露光）動作時に、前段の電流源トランジスタ３１６をオンにし、露光の終了後にオフにする。

[0244] 上述の制御により、図４５および図４６に例示したように、グローバルシャッター動作時と、行ごとの読出し時とのそれぞれの前段ノードの電位が揃い、ＰＲＮＵを改善することができる。また、行ごとに読み出す際に前段のソースフォロワがオフ状態になるため、図４７に例示するように、ソースフォロワの回路ノイズが生じず、０（μＶｒｍｓ）となる。なお、前段のソースフォロワのうち前段増幅トランジスタ３１５はオン状態である。

[0245] このように、本技術の第８の実施の形態によれば、読出しの際に前段のソースフォロワをオフ状態にするため、そのソースフォロワで生じるノイズを低減することができる。

[0246] ＜９．移動体への応用例＞

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0247] 図４８は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0248] 車両制御システム１２０００は、通信ネットワーク１２００１を介して接続された複数の電子制御ユニットを備える。図４８に示した例では、車両制御システム１２０００は、駆動系制御ユニット１２０１０、ボディ系制御ユニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御

ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ(interface)１２０５３が図示されている。

[0249] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0250] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0251] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0252] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部

１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0253] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0254] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0255] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0256] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0257] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図４８の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0258] 図４９は、撮像部１２０３１の設置位置の例を示す図である。

[0259] 図４９では、撮像部１２０３１として、撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５を有する。

[0260] 撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５は、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２，１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部１２１０４は、主として車両１２１００の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0261] なお、図４９には、撮像部１２１０１ないし１２１０４の撮影範囲の一例が示されている。撮像範囲１２１１１は、フロントノーズに設けられた撮像部１２１０１の撮像範囲を示し、撮像範囲１２１１２，１２１１３は、それぞれサイドミラーに設けられた撮像部１２１０２，１２１０３の撮像範囲を示し、撮像範囲１２１１４は、リアバンパ又はバックドアに設けられた撮像部１２１０４の撮像範囲を示す。例えば、撮像部１２１０１ないし１２１０４で撮像された画像データが重ね合わせられることにより、車両１２１００

を上方から見た俯瞰画像が得られる。

[0262] 撮像部１２１０１ないし１２１０４の少なくとも１つは、距離情報を取得する機能を有していてもよい。例えば、撮像部１２１０１ないし１２１０４の少なくとも１つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0263] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を基に、撮像範囲１２１１１ないし１２１１４内における各立体物までの距離と、この距離の時間的変化（車両１２１００に対する相対速度）を求めることにより、特に車両１２１００の進行路上にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例えば、０ｋｍ／ｈ以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0264] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0265] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出す

る赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0266] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部１２０３１に適用され得る。具体的には、例えば、図１の撮像装置１００は、撮像部１２０３１に適用することができる。撮像部１２０３１に本開示に係る技術を適用することにより、より見やすい撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

[0267] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0268] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0269] なお、本技術は以下のような構成もとることができる。

（１）画素信号を保持するサンプルホールド回路がそれぞれに設けられた複数の画素と、

前記保持された画素信号のそれぞれに対する信号処理により第１のデジタル信号を生成し、前記保持された画素信号のそれぞれに対する前記信号処理により第２のデジタル信号を生成する信号処理部と、

前記第１のデジタル信号から所定のメタデータを抽出するメタデータ抽出部と、

前記メタデータを用いて前記第２のデジタル信号に対して所定の画像処理を行う画像処理部と

を具備する固体撮像素子。

（２）前記メタデータ抽出部は、前記第１のデジタル信号を配列したフレームに対して所定の物体を認識する認識処理を行い、当該認識処理の結果を示すデータを前記メタデータとして生成する

前記（１）記載の固体撮像素子。

（３）前記メタデータは、所定の領域を示し、

前記画像処理部は、前記領域内の色を特定の色に置き換える処理を行う

前記（１）または（２）に記載の固体撮像素子。

（４）前記メタデータは、所定の領域を示し、

前記画像処理部は、前記領域に対してモザイク処理を行う

前記（１）または（２）に記載の固体撮像素子。

（５）前記メタデータは、所定の領域を示し、

前記画像処理部は、前記第２のデジタル信号を配列したフレームから前記領域を関心領域として抽出する

前記（１）または（２）に記載の固体撮像素子。

（６）前記複数の画素のそれぞれは、

画素信号を生成する前段回路と、

前記画素信号を保持するサンプルホールド回路と、

前記画素信号を前記サンプルホールド回路から読み出して出力する後段回

路と

を備える前記（１）から（５）のいずれかに記載の固体撮像素子。

（７）前記サンプルホールド回路は、

第１および第２の容量素子と、

前記第１および第２の容量素子の一方を所定の後段ノードに接続する制御と前記第１および第２の容量素子の他方を前記後段ノードに接続する制御とを順に行う選択回路と

を備える

前記（６）記載の固体撮像素子。

（８）前記選択回路は、前記第１および第２の容量素子の一方を所定の後段ノードに接続する制御と前記第１および第２の容量素子の両方を前記後段ノードから切り離す制御と前記第１および第２の容量素子の他方を前記後段ノードに接続する制御とを順に行う

前記（７）記載の固体撮像素子。

（９）前記複数の画素のそれぞれは、前記第１および第２の容量素子の両方が前記後段ノードから切り離されたときに前記後段ノードのレベルを初期化する後段リセットトランジスタをさらに備える

前記（８）記載の固体撮像素子。

（１０）画素信号を保持するサンプルホールド回路がそれぞれに設けられた複数の画素と、

前記保持された画素信号のそれぞれに対する信号処理により第１のデジタル信号を生成し、前記保持された画素信号のそれぞれに対する前記信号処理により第２のデジタル信号を生成する信号処理部と、

前記第１のデジタル信号から所定のメタデータを抽出するメタデータ抽出部と、

前記メタデータを用いて前記第２のデジタル信号に対して所定の画像処理を行う画像処理部と、

前記処理が行われた前記第２のデジタル信号を配列したフレームを記録す

る記録部と

を具備する撮像装置。

（１１）アナログデジタル変換部が、画素信号を保持するサンプルホールド回路がそれぞれに設けられた複数の画素のそれぞれに保持された画素信号に対する信号処理により第１のデジタル信号を生成し、前記保持された画素信号のそれぞれに対する前記信号処理により第２のデジタル信号を生成する信号処理手順と、

メタデータ抽出部が、前記第１のデジタル信号から所定のメタデータを抽出するメタデータ抽出手順と、

画像処理部が、前記メタデータを用いて前記第２のデジタル信号に対して所定の画像処理を行う画像信号処理手順と

を具備する固体撮像素子の制御方法。

符号の説明

[0270] １００　撮像装置

１１０　撮像レンズ

１２０　記録部

１３０　撮像制御部

２００　固体撮像素子

２０１　上側画素チップ

２０２　下側画素チップ

２０３　回路チップ

２１１　垂直走査回路

２１２　タイミング制御回路

２１３　ＤＡＣ

２２０　画素アレイ部

２２１　上側画素アレイ部

２２２　下側画素アレイ部

２５０　負荷ＭＯＳ回路ブロック

２５１　負荷ＭＯＳトランジスタ

２６０　カラム信号処理回路

２６１　信号処理部

２６２、２７０　ＡＤＣ

２７１　カウンタ

２８０　コンパレータ

２８１、２９２　セレクタ

２８２、２８３、３２１、３２２　容量素子

２８４、２８６　オートゼロスイッチ

２８５　比較器

２９１　ＣＤＳ処理部

３００　画素

３０１　有効画素

３１０　前段回路

３１１　光電変換素子

３１２　転送トランジスタ

３１３　ＦＤリセットトランジスタ

３１４　ＦＤ

３１５　前段増幅トランジスタ

３１６　電流源トランジスタ

３１７　排出トランジスタ

３２０　サンプルホールド回路

３２３　前段リセットトランジスタ

３２４　前段選択トランジスタ

３３０　選択回路

３３１、３３１－１、３３１－２、３３２、３３２－１、３３２－２　選択トランジスタ

３３３　サンプリングトランジスタ

３４１　後段リセットトランジスタ

３５０、３５０－１、３５０－２　後段回路

３５１、３５１－１、３５１－２　後段増幅トランジスタ

３５２、３５２－１、３５２－２　後段選択トランジスタ

４００　ロジック回路

４０１　カラムインターフェース

４０２　画像処理部

４０３　ＩＳＰ回路

４０４　メタデータ抽出部

４０５　ワークメモリ

４１０　高速インターフェース

４２０　レギュレータ

４２１　ローパスフィルタ

４２２　バッファアンプ

４２３　容量素子

４３０　ダミー画素

４３１　リセットトランジスタ

４３２　ＦＤ

４３３　増幅トランジスタ

４３４　電流源トランジスタ

４４０　切り替え部

４４１　インバータ

４４２　切り替え回路

４４３、４４４　スイッチ

１２０３１　撮像部

請求の範囲

[請求項1] 画素信号を保持するサンプルホールド回路がそれぞれに設けられた複数の画素と、

前記保持された画素信号のそれぞれに対する信号処理により第１のデジタル信号を生成し、前記保持された画素信号のそれぞれに対する前記信号処理により第２のデジタル信号を生成する信号処理部と、

前記第１のデジタル信号から所定のメタデータを抽出するメタデータ抽出部と、

前記メタデータを用いて前記第２のデジタル信号に対して所定の画像処理を行う画像処理部と

を具備する固体撮像素子。

[請求項2] 前記メタデータ抽出部は、前記第１のデジタル信号を配列したフレームに対して所定の物体を認識する認識処理を行い、当該認識処理の結果を示すデータを前記メタデータとして生成する

請求項１記載の固体撮像素子。

[請求項3] 前記メタデータは、所定の領域を示し、

前記画像処理部は、前記領域内の色を特定の色に置き換える処理を行う

請求項１記載の固体撮像素子。

[請求項4] 前記メタデータは、所定の領域を示し、

前記画像処理部は、前記領域に対してモザイク処理を行う

請求項１記載の固体撮像素子。

[請求項5] 前記メタデータは、所定の領域を示し、

前記画像処理部は、前記第２のデジタル信号を配列したフレームから前記領域を関心領域として抽出する

請求項１記載の固体撮像素子。

[請求項6] 前記複数の画素のそれぞれは、

画素信号を生成する前段回路と、

前記画素信号を保持するサンプルホールド回路と、

前記画素信号を前記サンプルホールド回路から読み出して出力する後段回路と

を備える請求項１記載の固体撮像素子。

[請求項7] 前記サンプルホールド回路は、

第１および第２の容量素子と、

前記第１および第２の容量素子の一方を所定の後段ノードに接続する制御と前記第１および第２の容量素子の他方を前記後段ノードに接続する制御とを順に行う選択回路と

を備える

請求項６記載の固体撮像素子。

[請求項8] 前記選択回路は、前記第１および第２の容量素子の一方を所定の後段ノードに接続する制御と前記第１および第２の容量素子の両方を前記後段ノードから切り離す制御と前記第１および第２の容量素子の他方を前記後段ノードに接続する制御とを順に行う

請求項７記載の固体撮像素子。

[請求項9] 前記複数の画素のそれぞれは、前記第１および第２の容量素子の両方が前記後段ノードから切り離されたときに前記後段ノードのレベルを初期化する後段リセットトランジスタをさらに備える

請求項８記載の固体撮像素子。

[請求項10] 画素信号を保持するサンプルホールド回路がそれぞれに設けられた複数の画素と、

前記保持された画素信号のそれぞれに対する信号処理により第１のデジタル信号を生成し、前記保持された画素信号のそれぞれに対する前記信号処理により第２のデジタル信号を生成する信号処理部と、

前記第１のデジタル信号から所定のメタデータを抽出するメタデータ抽出部と、

前記メタデータを用いて前記第２のデジタル信号に対して所定の画

像処理を行う画像処理部と、

前記処理が行われた前記第２のデジタル信号を配列したフレームを記録する記録部と

を具備する撮像装置。

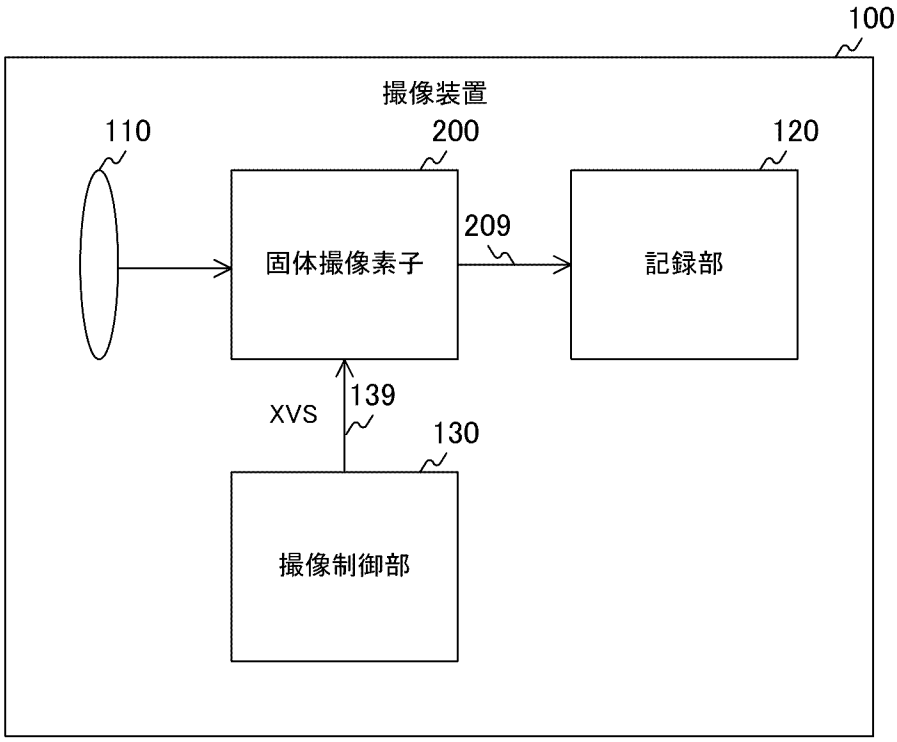
[請求項11] アナログデジタル変換部が、画素信号を保持するサンプルホールド回路がそれぞれに設けられた複数の画素のそれぞれに保持された画素信号に対する信号処理により第１のデジタル信号を生成し、前記保持された画素信号のそれぞれに対する前記信号処理により第２のデジタル信号を生成するアナログデジタル変換手順と、

メタデータ抽出部が、前記第１のデジタル信号から所定のメタデータを抽出するメタデータ抽出手順と、

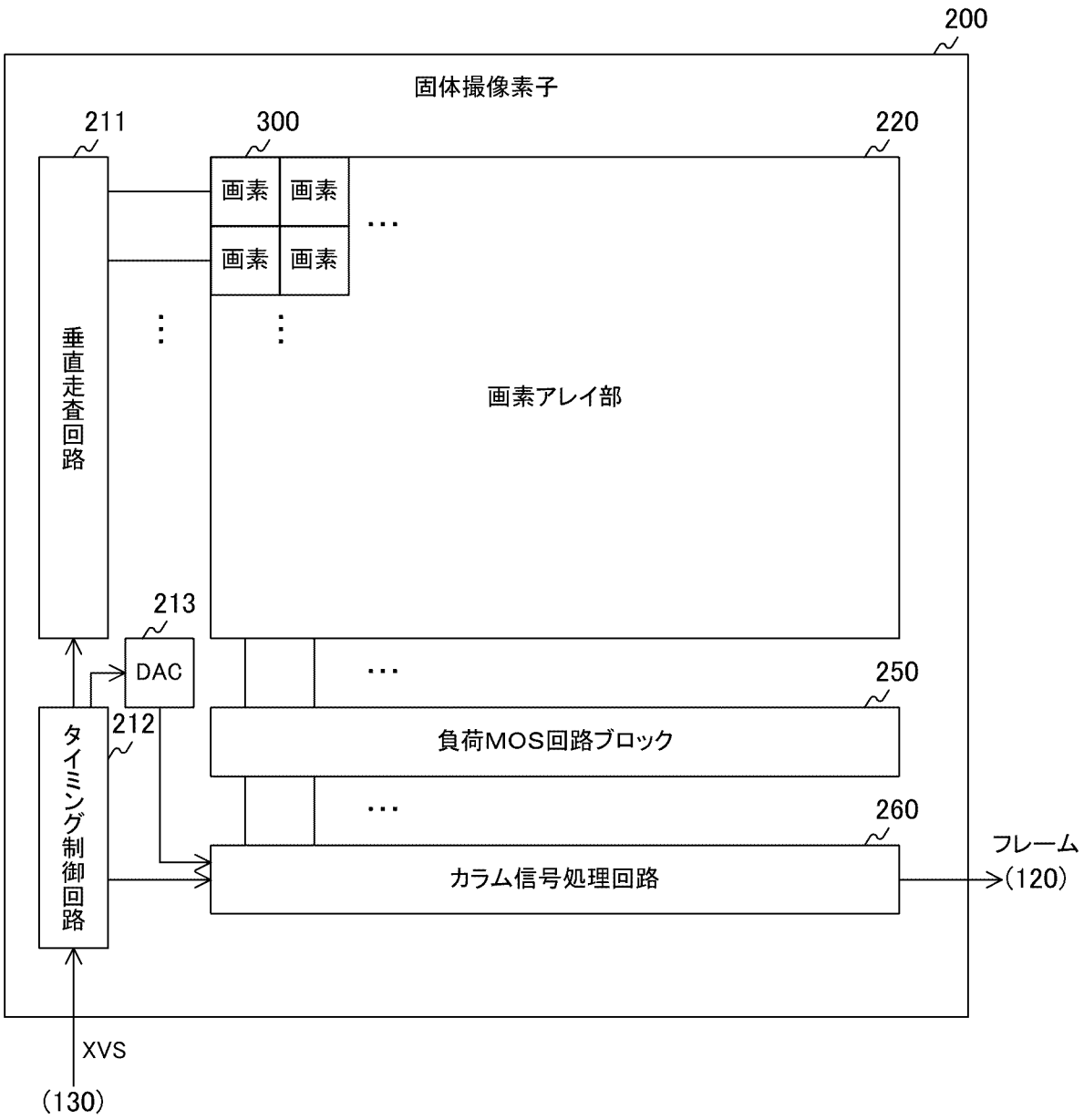
画像処理部が、前記メタデータを用いて前記第２のデジタル信号に対して所定の画像処理を行う画像信号処理手順と

を具備する固体撮像素子の制御方法。

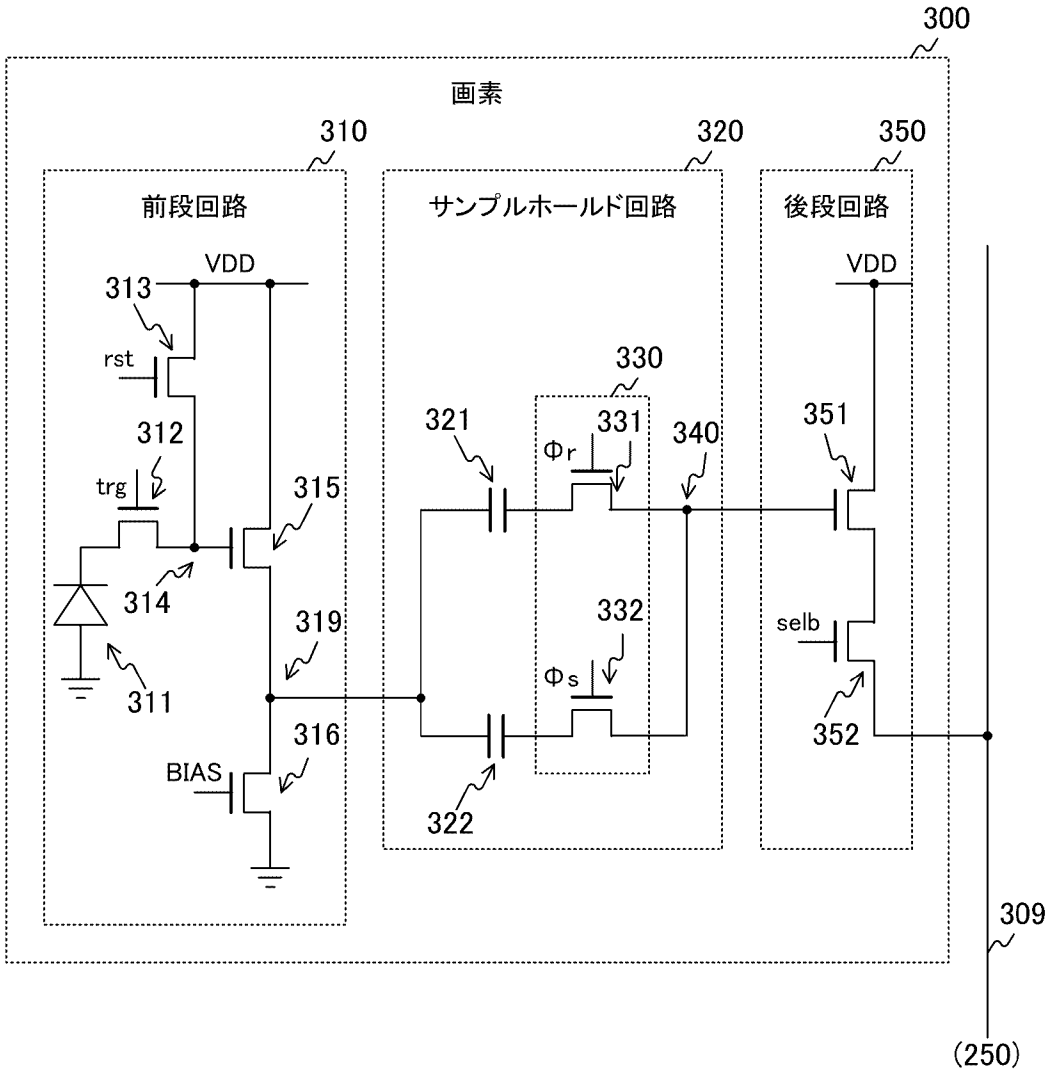
[図1]



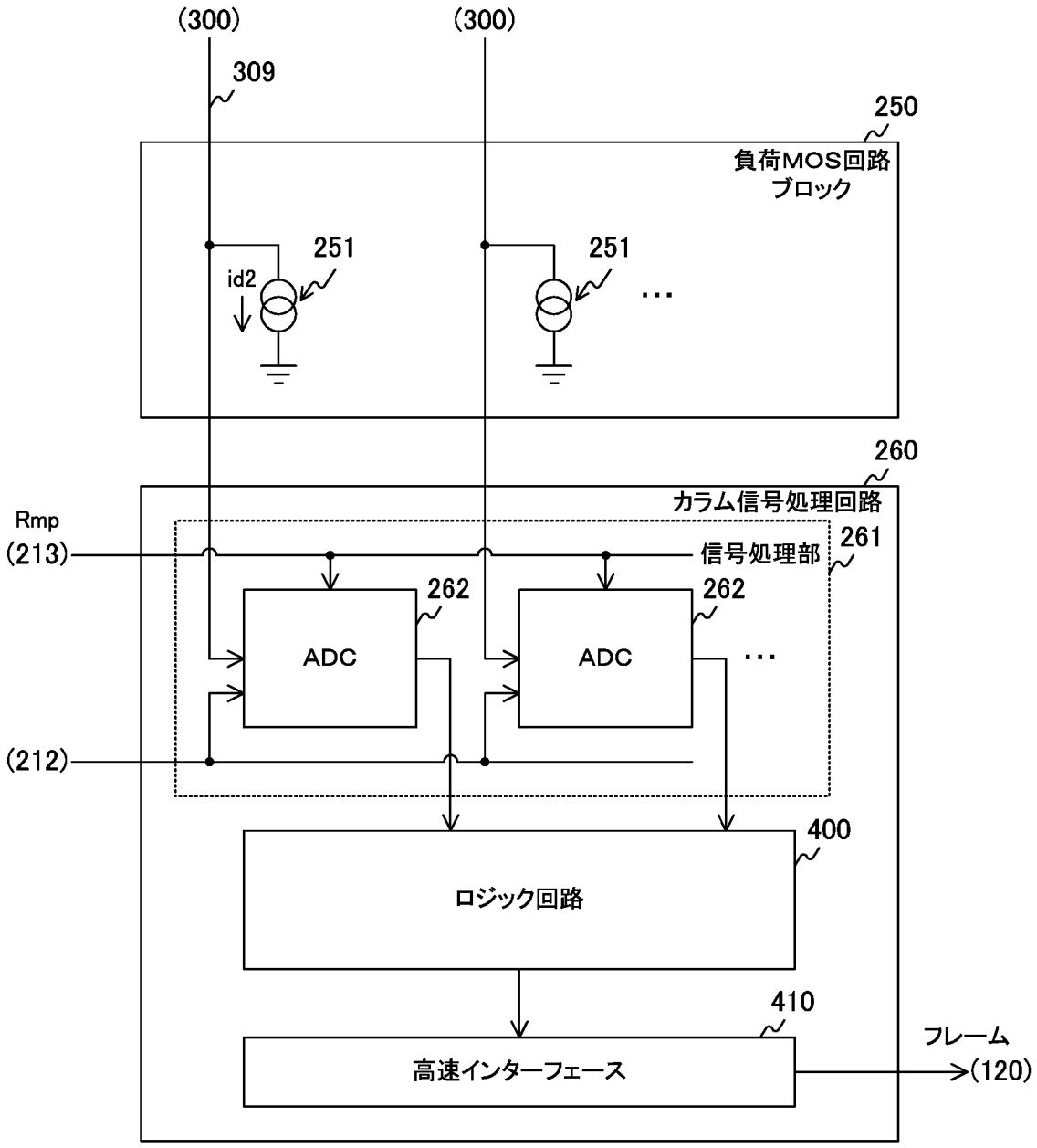
[図2]


200
固体撮像素子
211
300
220
画素
画素
画素
画素
垂直走査回路
画素アレイ部
213
DAC
250
負荷MOS回路ブロック
212
タイミング制御回路
260
カラム信号処理回路
フレーム
(120)
XVS
(130)

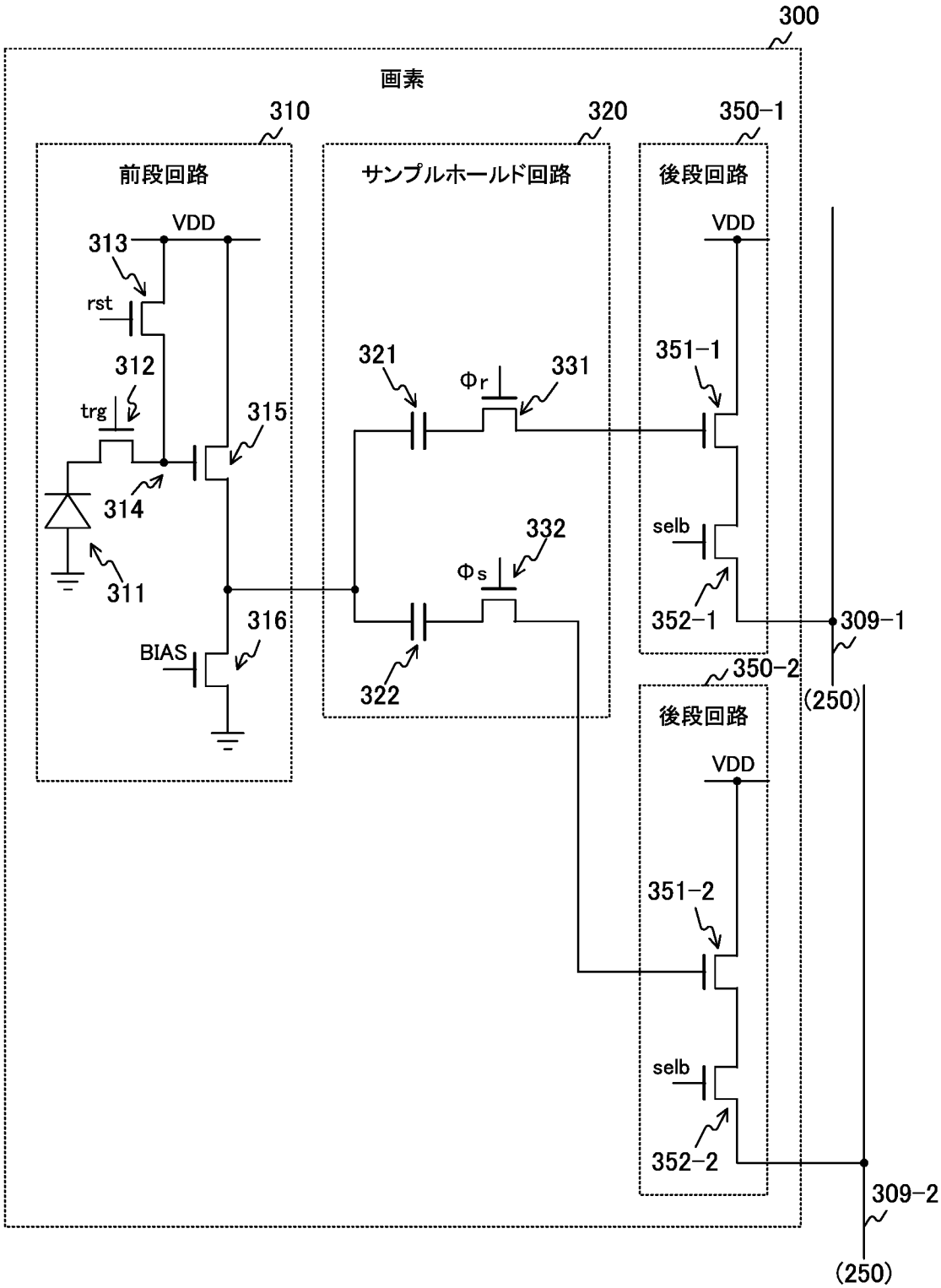
[図3]


300
画素
310
前段回路
320
サンプルホールド回路
350
後段回路
VDD
313
rst
312
trg
315
314
311
319
316
BIAS
330
321
331
Φr
340
351
332
Φs
selb
352
322
309
(250)

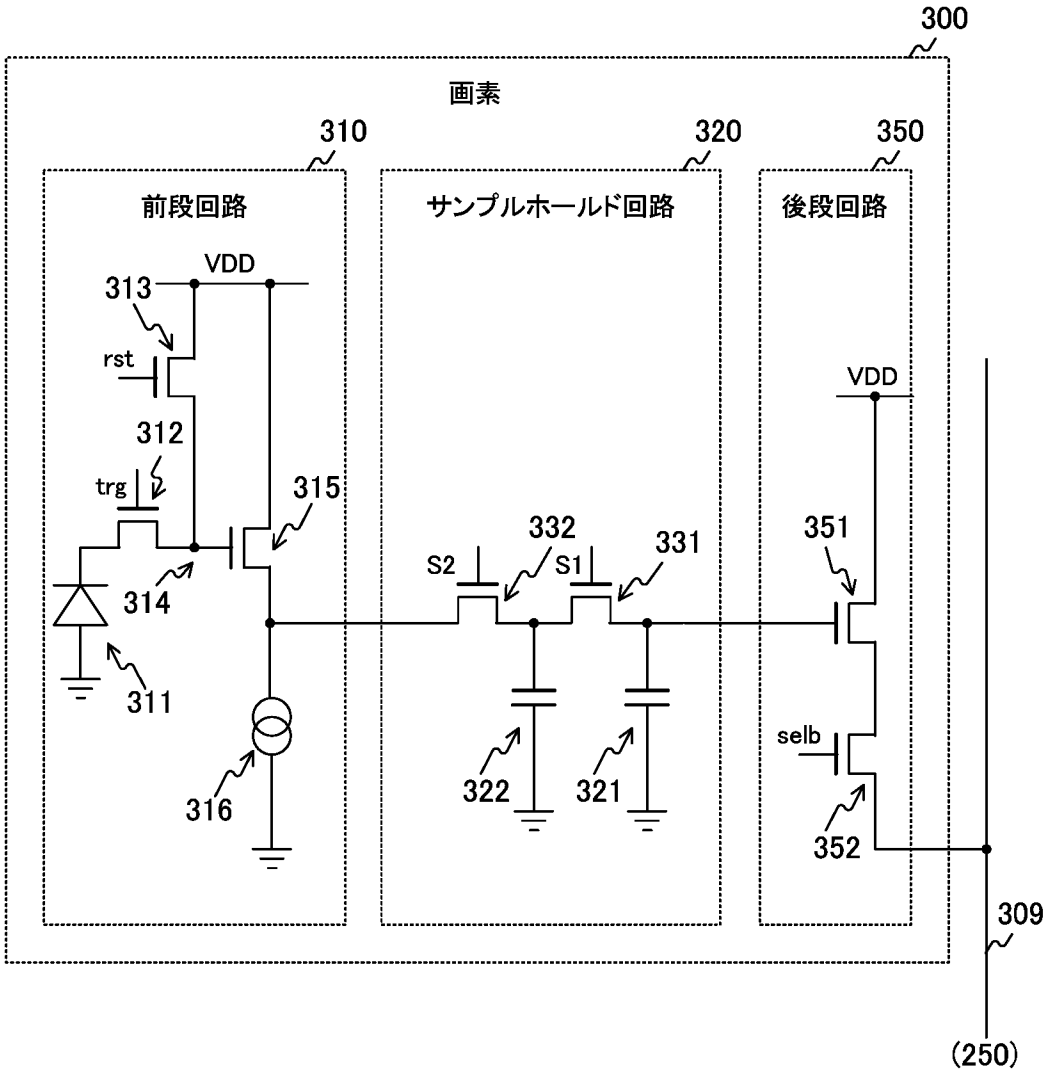
[図4]


(300)
(300)
309
250
負荷MOS回路
ブロック
251
id2
251
260
カラム信号処理回路
Rmp
(213)
信号処理部
261
262
262
ADC
ADC
(212)
400
ロジック回路
410
高速インターフェース
フレーム
(120)

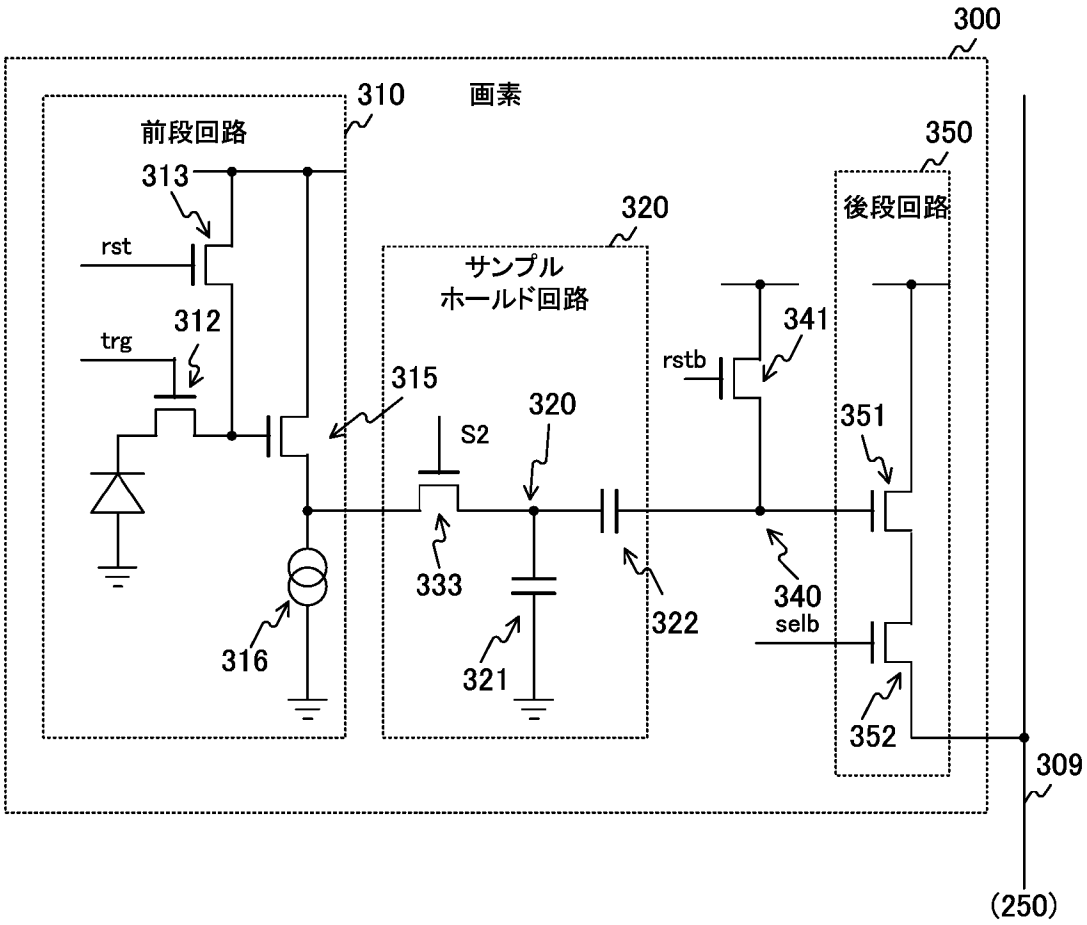
[図5]


300
画素
310
前段回路
320
サンプルホールド回路
350-1
後段回路
350-2
後段回路
VDD
313
rst
312
trg
315
314
311
316
BIAS
321
Φr
331
332
Φs
322
351-1
selb
352-1
309-1
(250)
351-2
selb
352-2
309-2
(250)

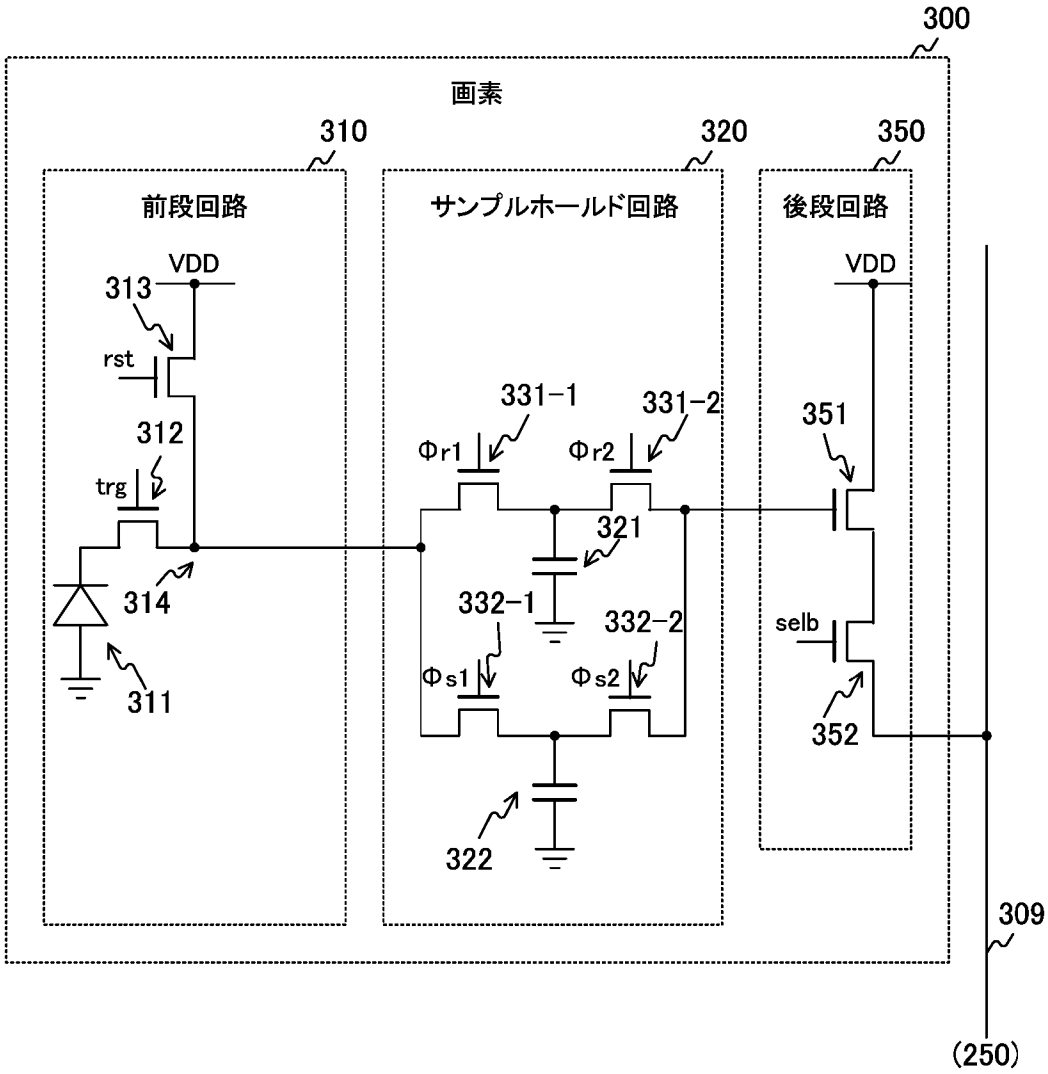
[図6]


300
画素
310
320
350
前段回路
サンプルホールド回路
後段回路
VDD
313
rst
312
trg
315
314
311
316
332
331
S2
S1
322
321
VDD
351
selb
352
309
(250)

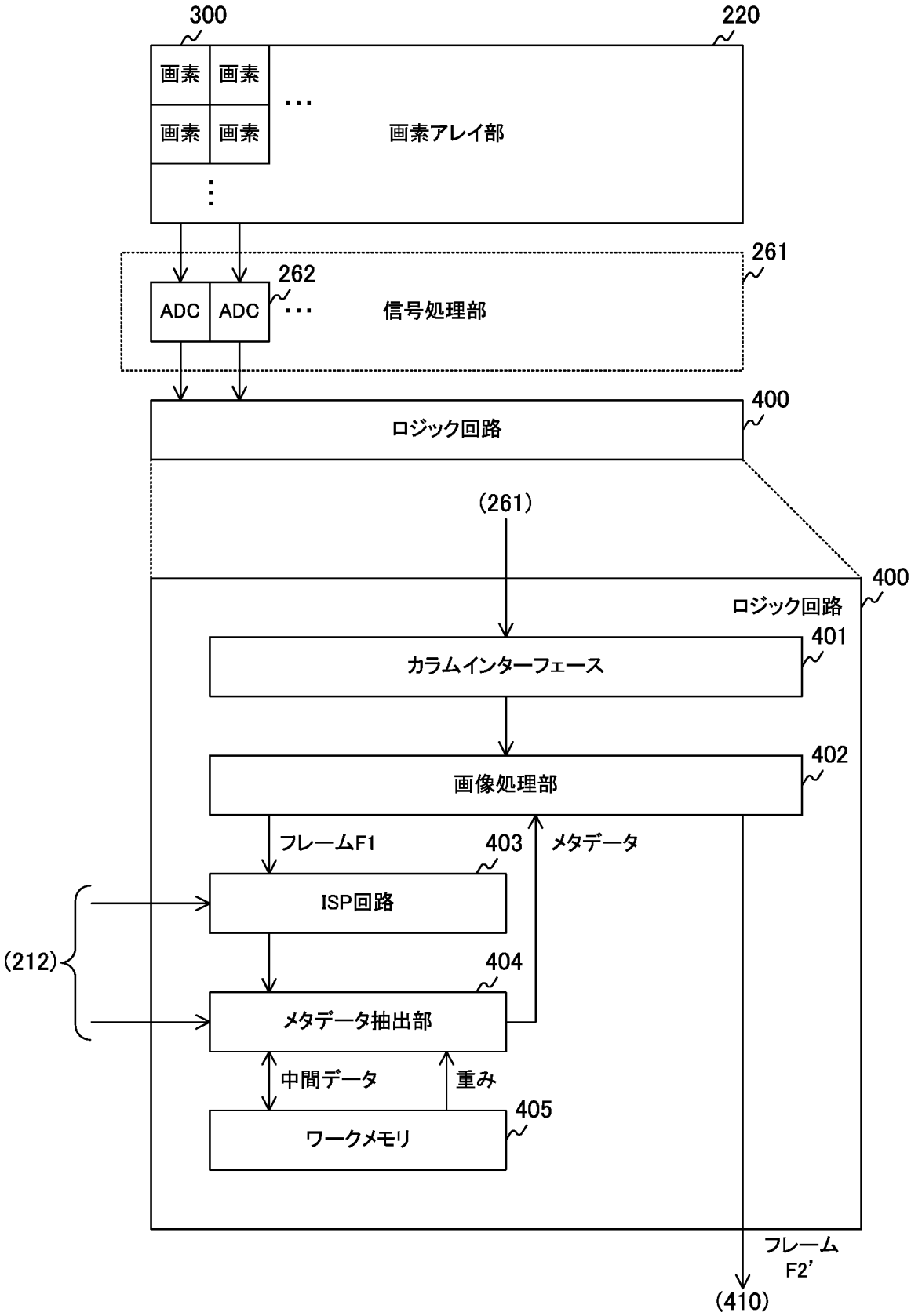
[図7]


300
310
画素
前段回路
313
rst
312
trg
315
316
320
サンプル
ホールド回路
S2
333
321
322
350
後段回路
341
rstb
351
340
selb
352
309
(250)

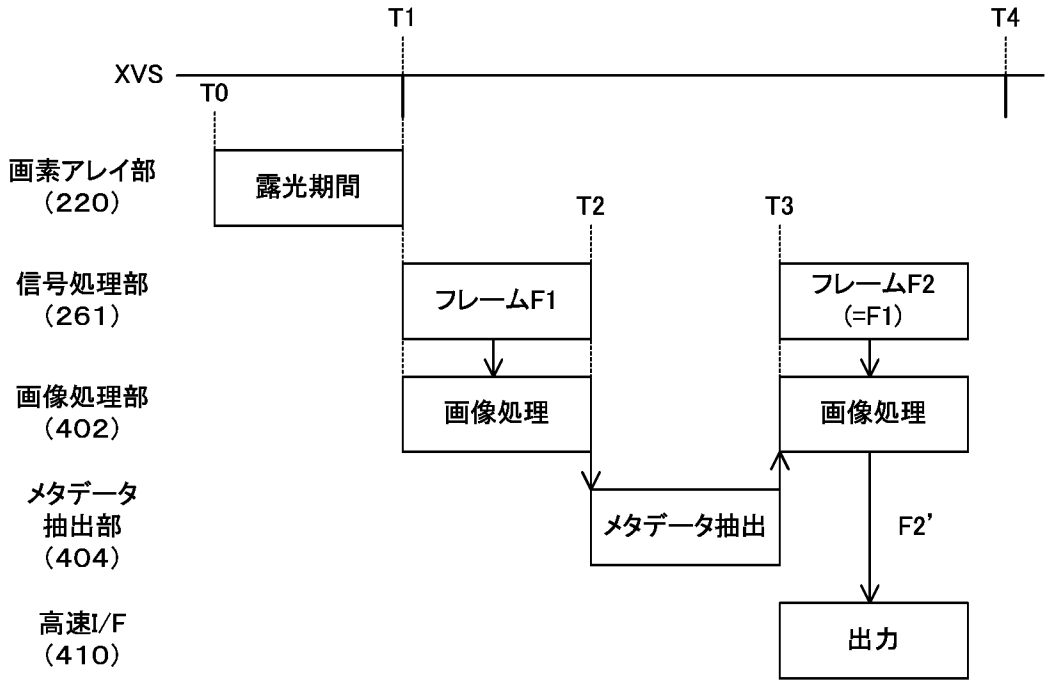
[図8]


300
画素
310
320
350
前段回路
サンプルホールド回路
後段回路
VDD
313
rst
312
trg
314
311
331-1
331-2
Φr1
Φr2
321
332-1
332-2
Φs1
Φs2
322
VDD
351
selb
352
309
(250)

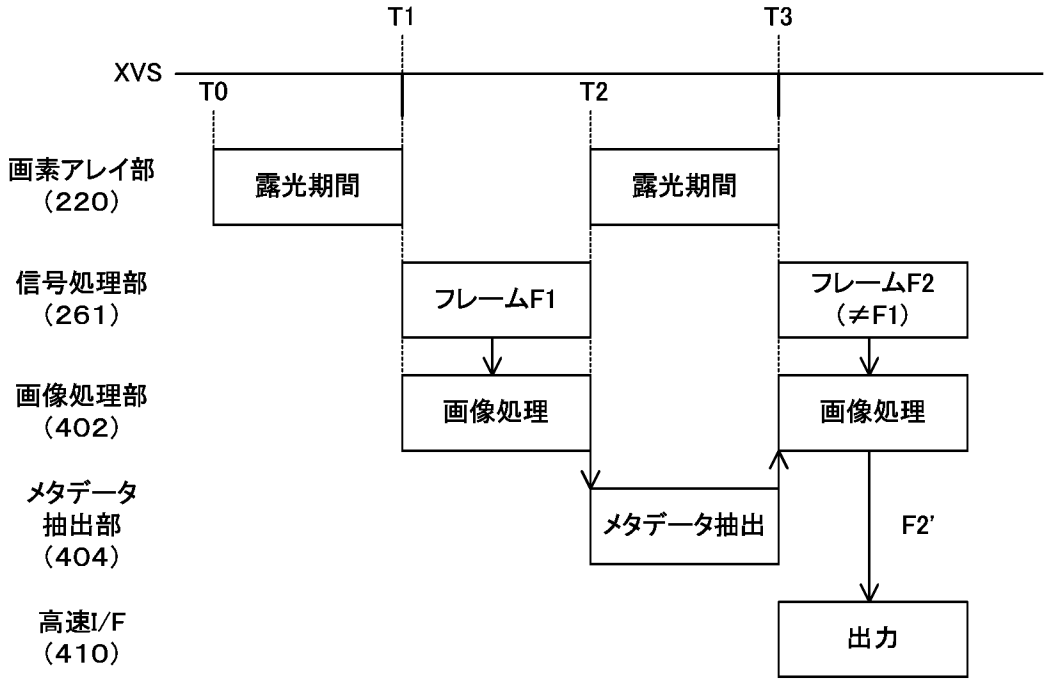
[図9]


300
220
画素
画素
画素
画素
画素アレイ部
261
262
ADC
ADC
信号処理部
400
ロジック回路
(261)
400
ロジック回路
401
カラムインターフェース
402
画像処理部
フレームF1
403
メタデータ
ISP回路
(212)
404
メタデータ抽出部
中間データ
重み
405
ワークメモリ
フレーム
F2'
(410)

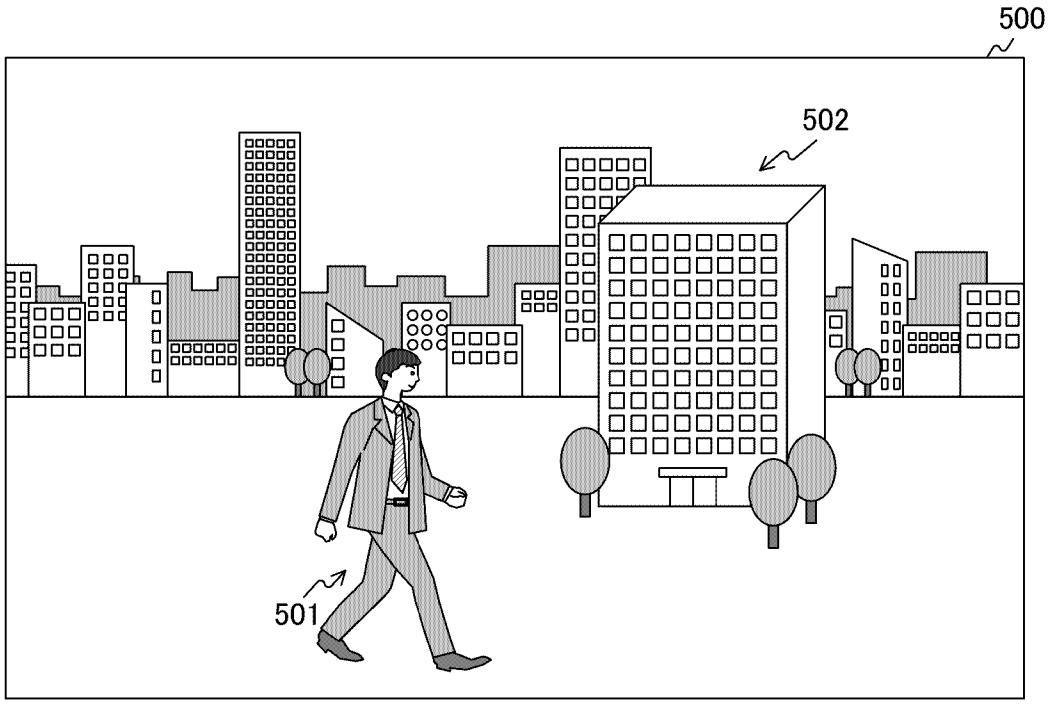
[図10]


T1
T4
XVS
T0
画素アレイ部
（220）
露光期間
T2
T3
信号処理部
（261）
フレームF1
フレームF2
(=F1)
画像処理部
（402）
画像処理
画像処理
メタデータ
抽出部
（404）
メタデータ抽出
F2'
高速I/F
（410）
出力

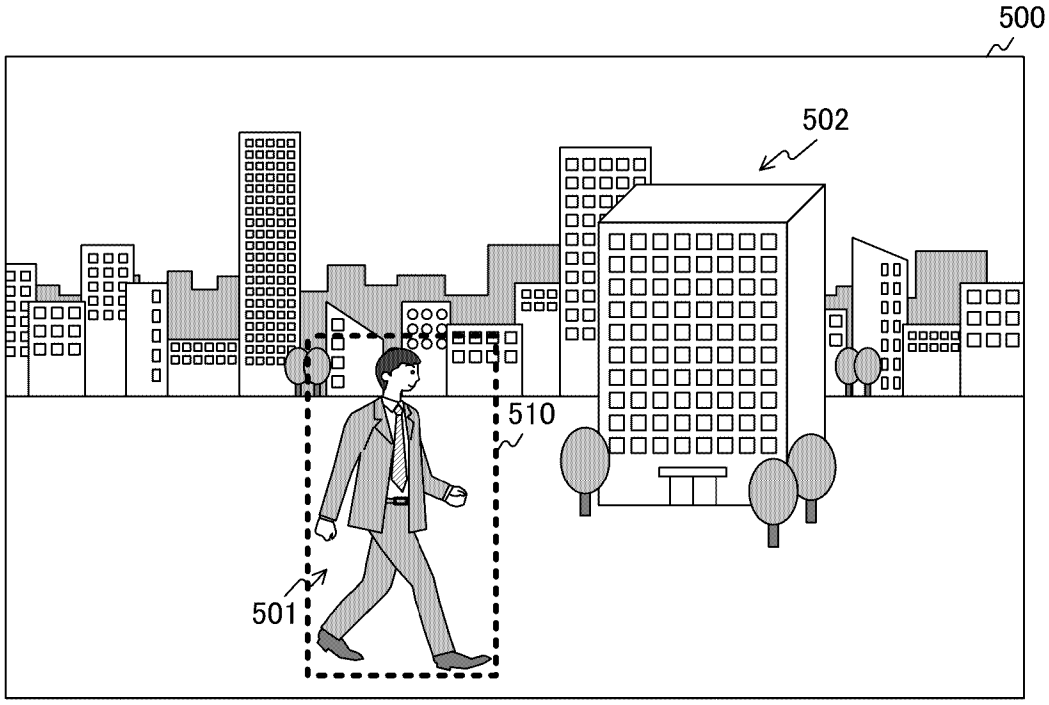
[図11]


T1
T3
XVS
T0
T2
画素アレイ部
（220）
露光期間
露光期間
信号処理部
（261）
フレームF1
フレームF2
（≠F1）
画像処理部
（402）
画像処理
画像処理
メタデータ
抽出部
（404）
メタデータ抽出
F2'
高速I/F
（410）
出力

[図12]

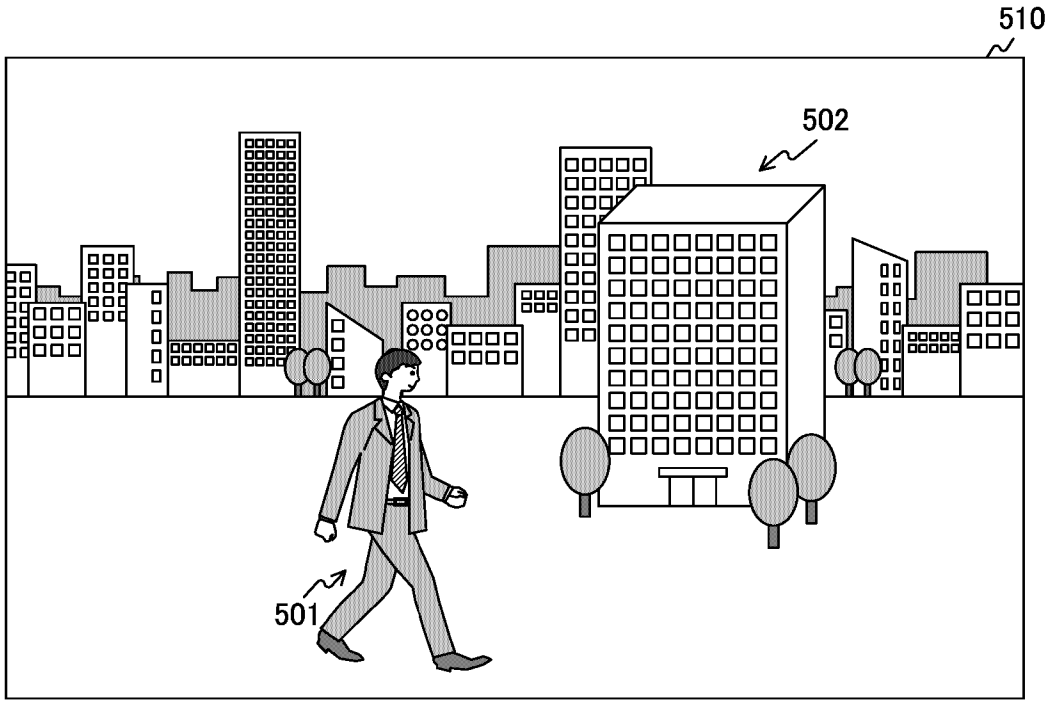


a

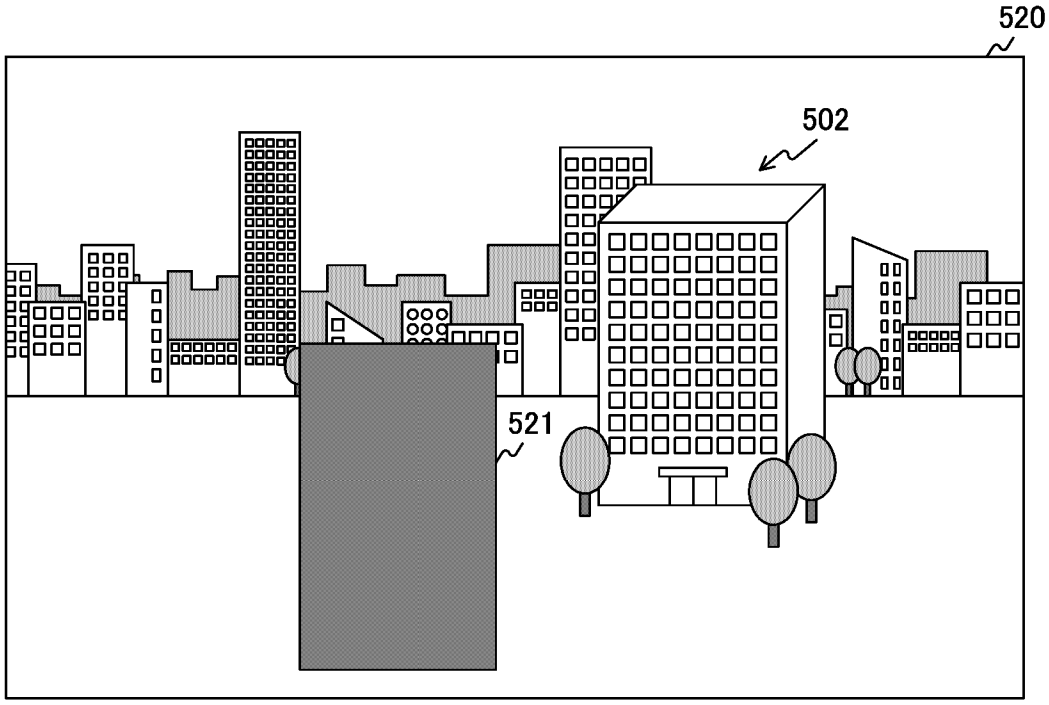


b

[図13]

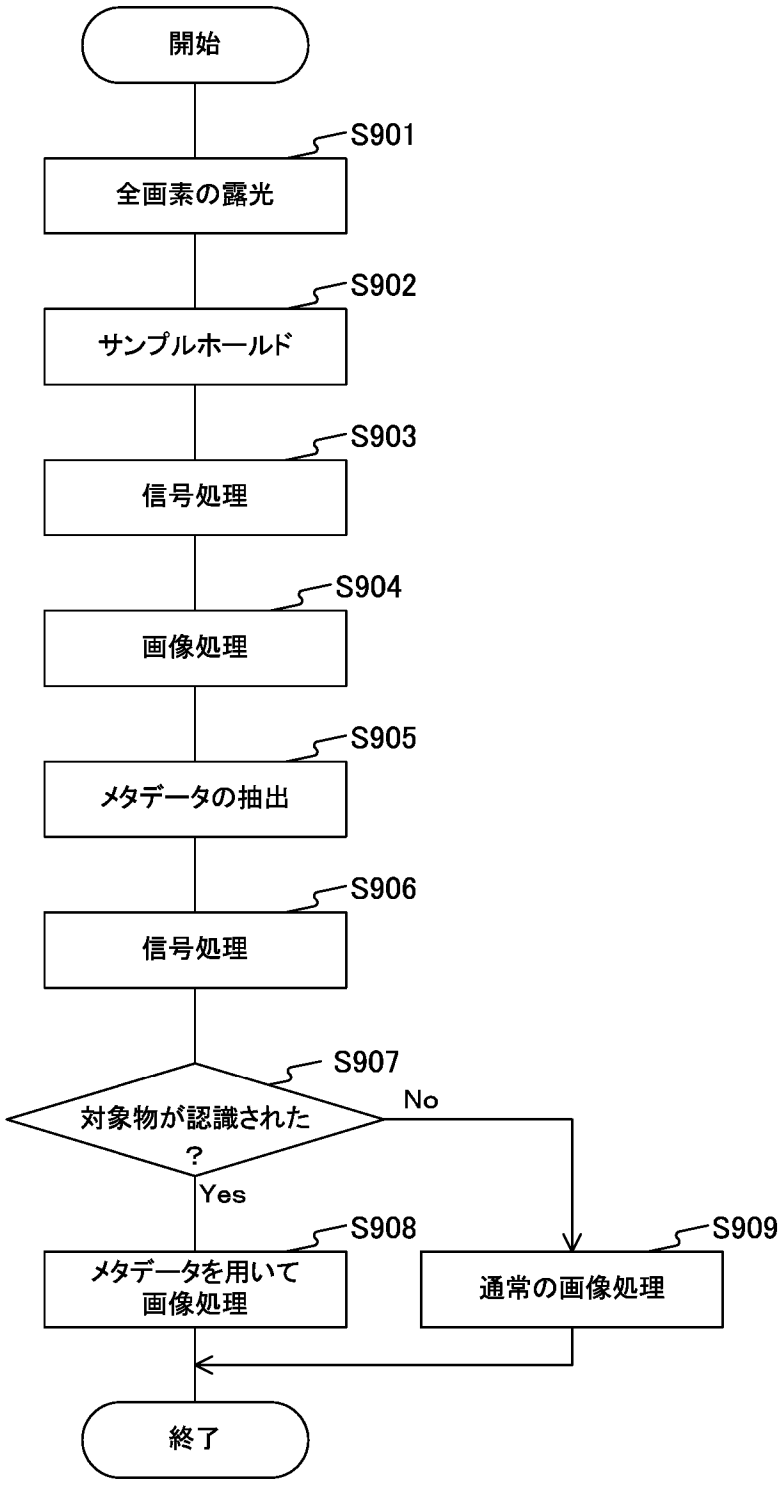


a

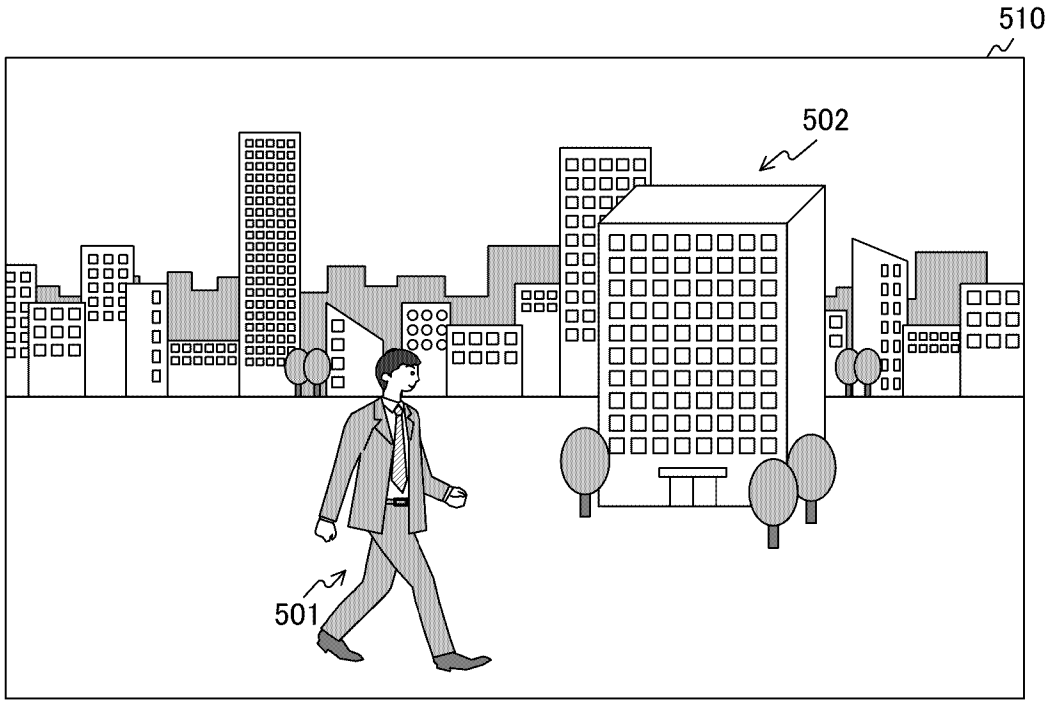


b

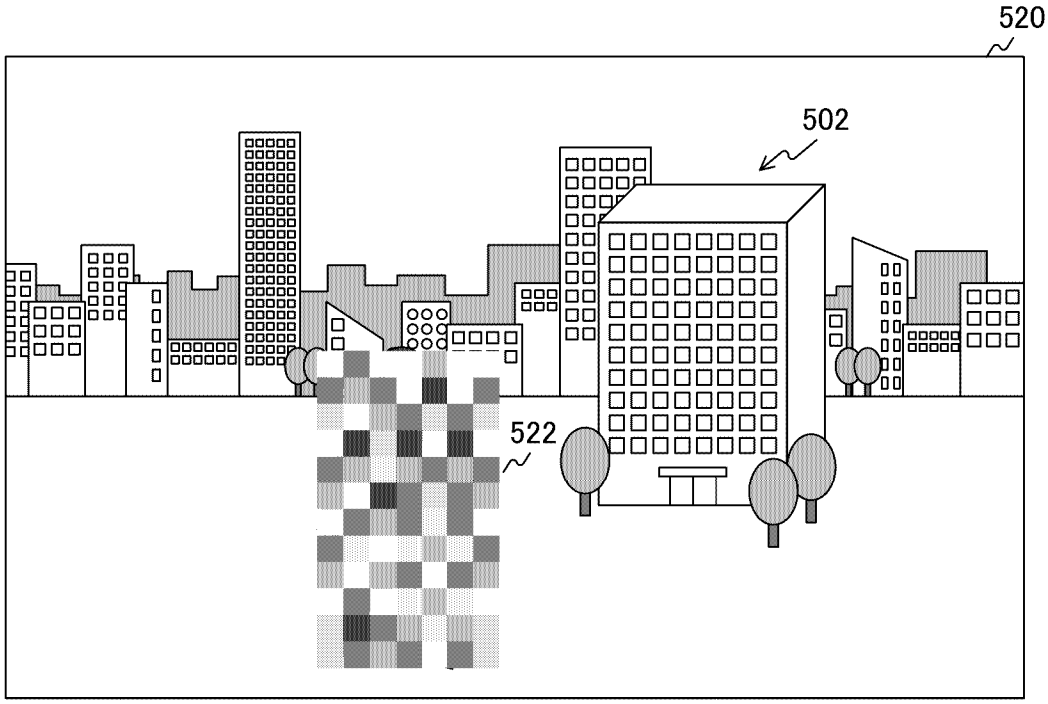
[図14]


開始
S901
全画素の露光
S902
サンプルホールド
S903
信号処理
S904
画像処理
S905
メタデータの抽出
S906
信号処理
S907
対象物が認識された
？
No
Yes
S908
メタデータを用いて
画像処理
S909
通常の画像処理
終了

[図15]

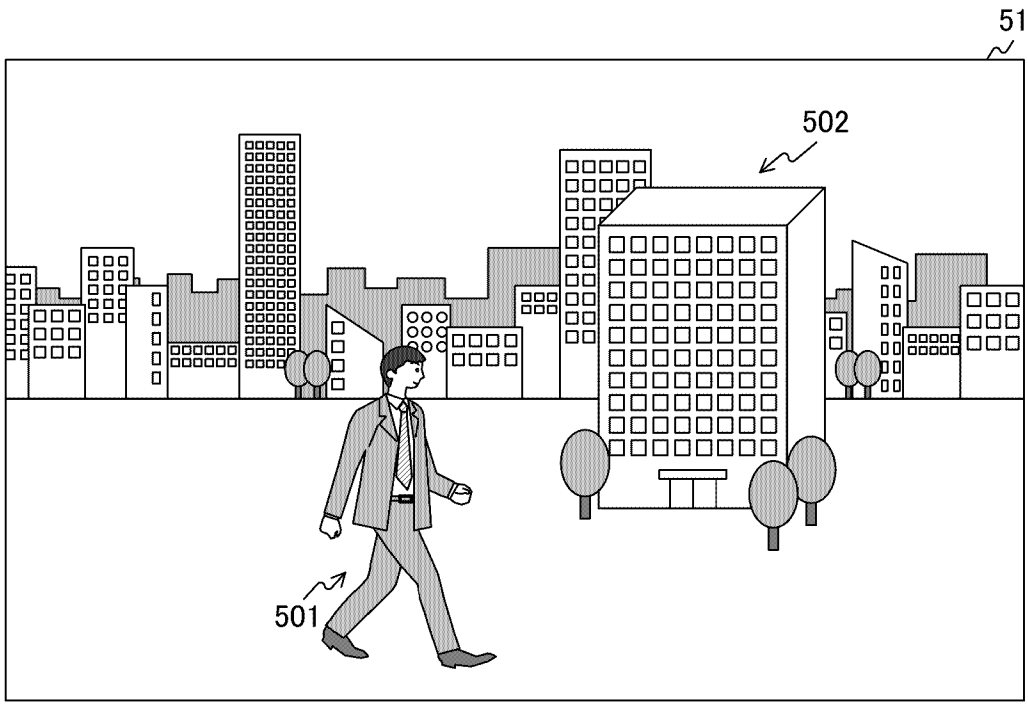


a

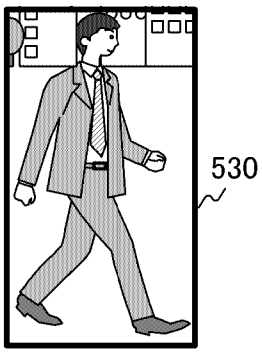


b

[図16]

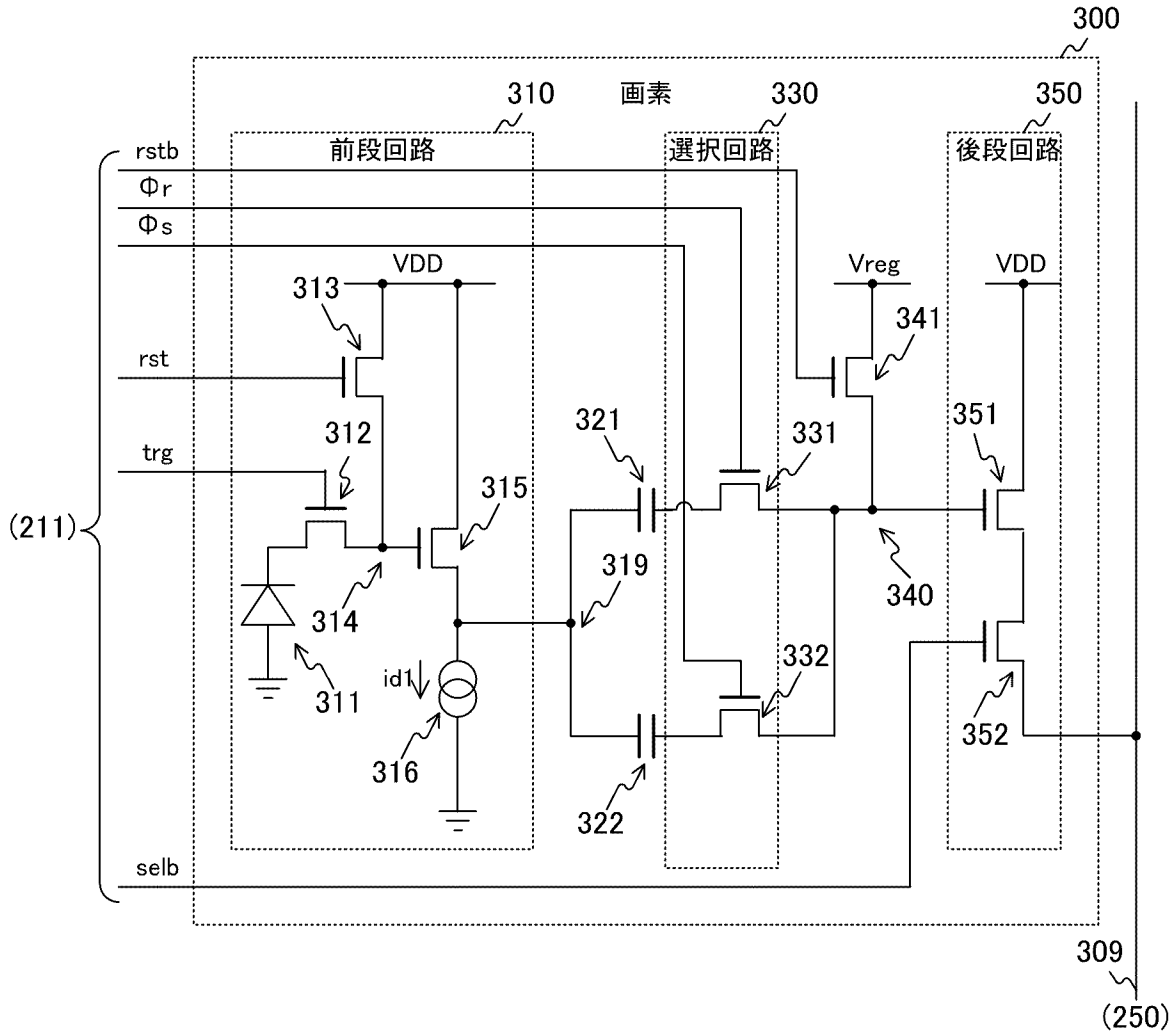


a

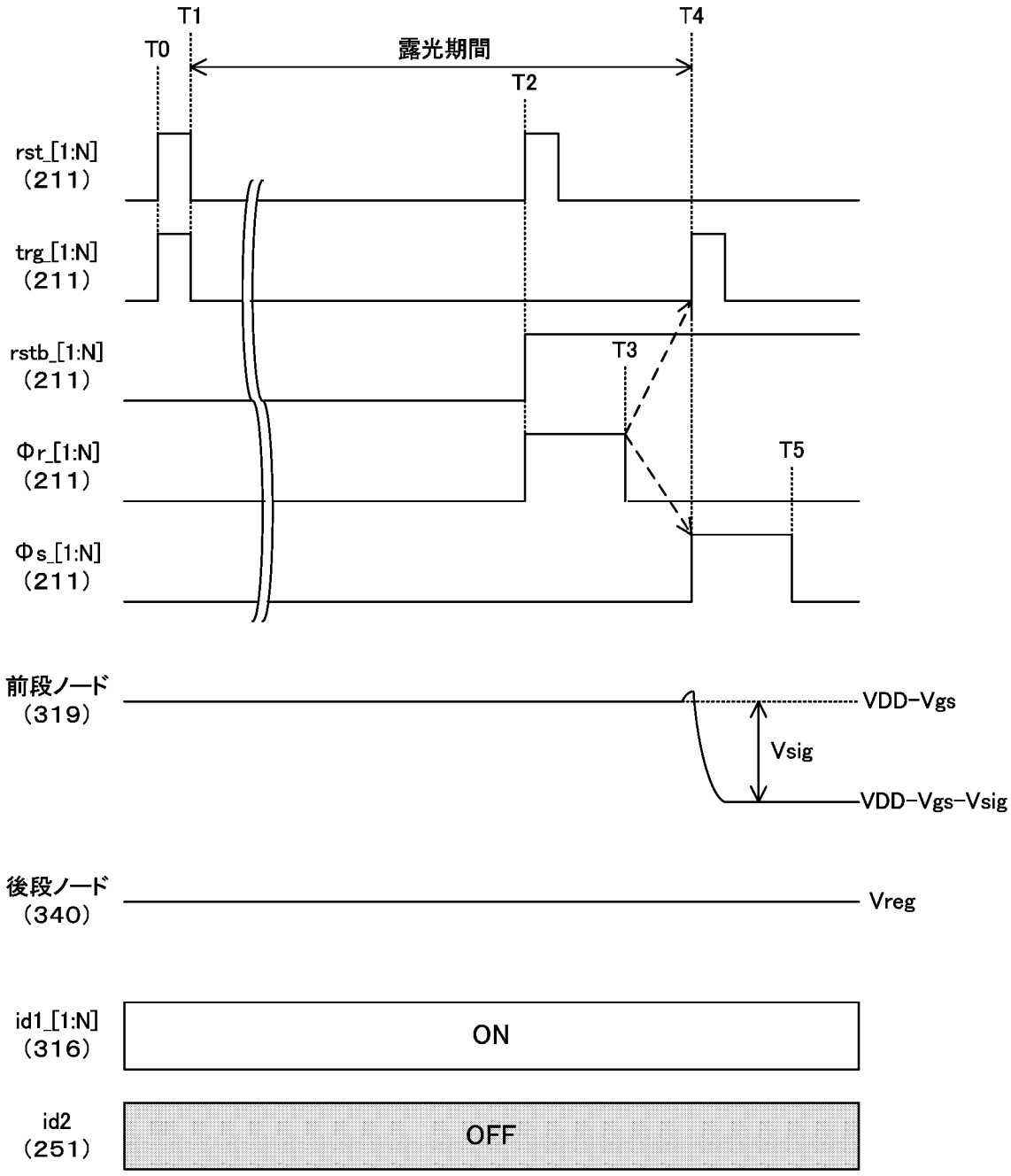


b

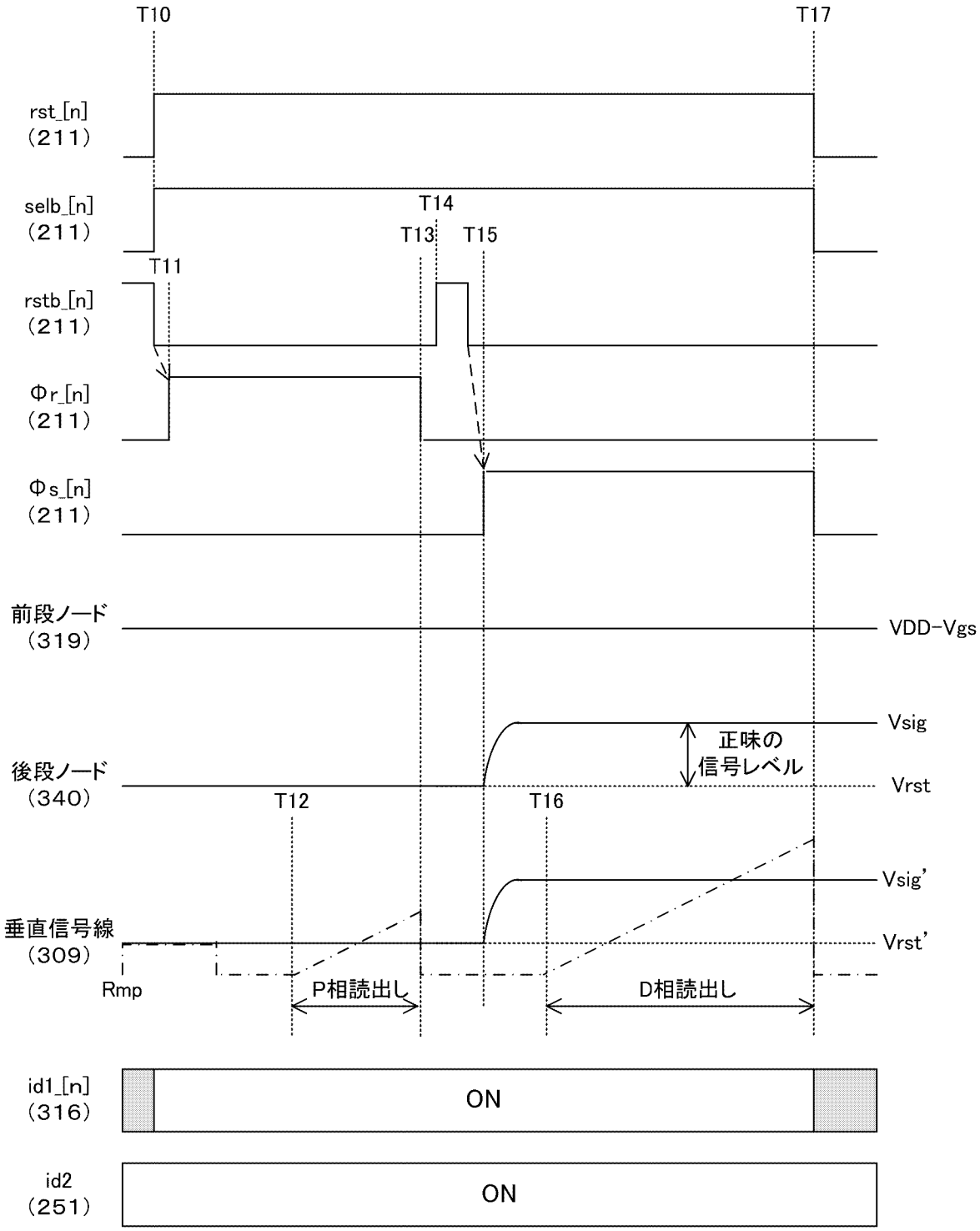
[図17]


300
310
画素
330
350
前段回路
選択回路
後段回路
rstb
Φr
Φs
VDD
Vreg
VDD
313
341
rst
312
321
331
351
trg
315
(211)
319
340
314
332
311
id1
316
352
322
selb
309
(250)

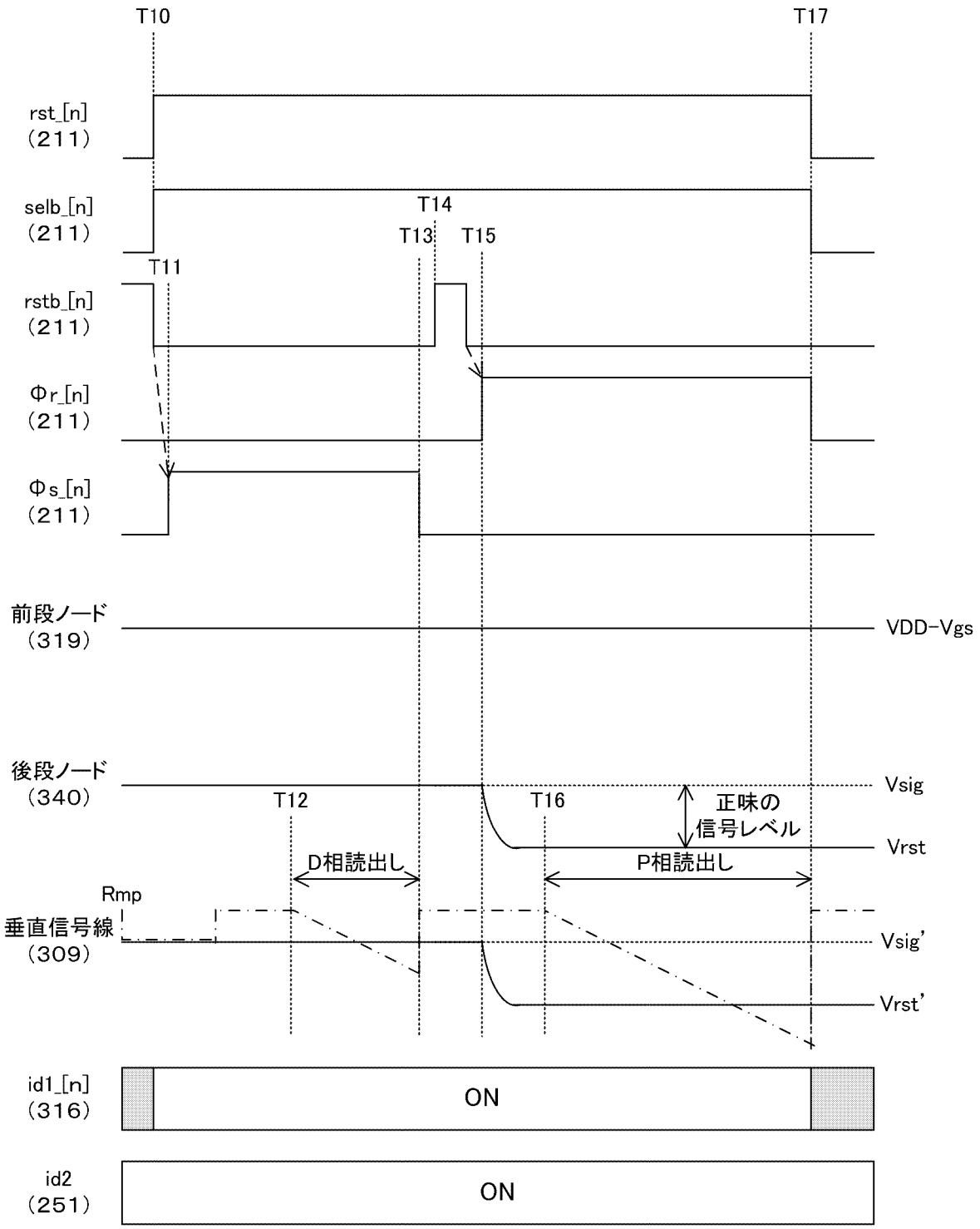
[図18]


T0
T1
露光期間
T2
T3
T4
T5
rst_[1:N]
(211)
trg_[1:N]
(211)
rstb_[1:N]
(211)
Φr_[1:N]
(211)
Φs_[1:N]
(211)
前段ノード
(319)
VDD-Vgs
Vsig
VDD-Vgs-Vsig
後段ノード
(340)
Vreg
id1_[1:N]
(316)
ON
id2
(251)
OFF

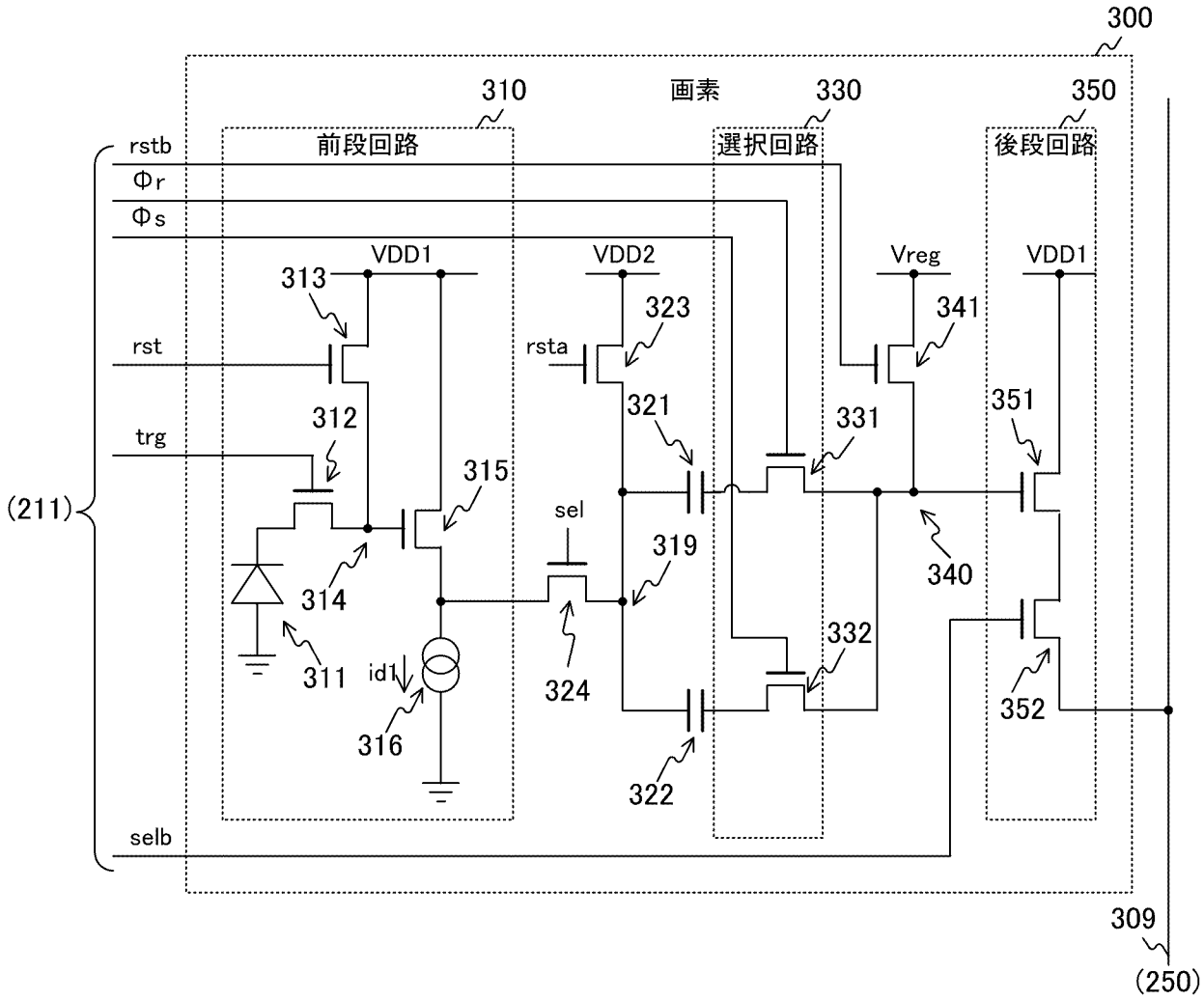
[図19]


T10
T17
rst_[n]
(211)
selb_[n]
(211)
T14
T13
T15
T11
rstb_[n]
(211)
Φr_[n]
(211)
Φs_[n]
(211)
前段ノード
(319)
VDD-Vgs
Vsig
正味の
信号レベル
後段ノード
(340)
Vrst
T12
T16
Vsig'
垂直信号線
(309)
Vrst'
Rmp
P相読出し
D相読出し
id1_[n]
(316)
ON
id2
(251)
ON

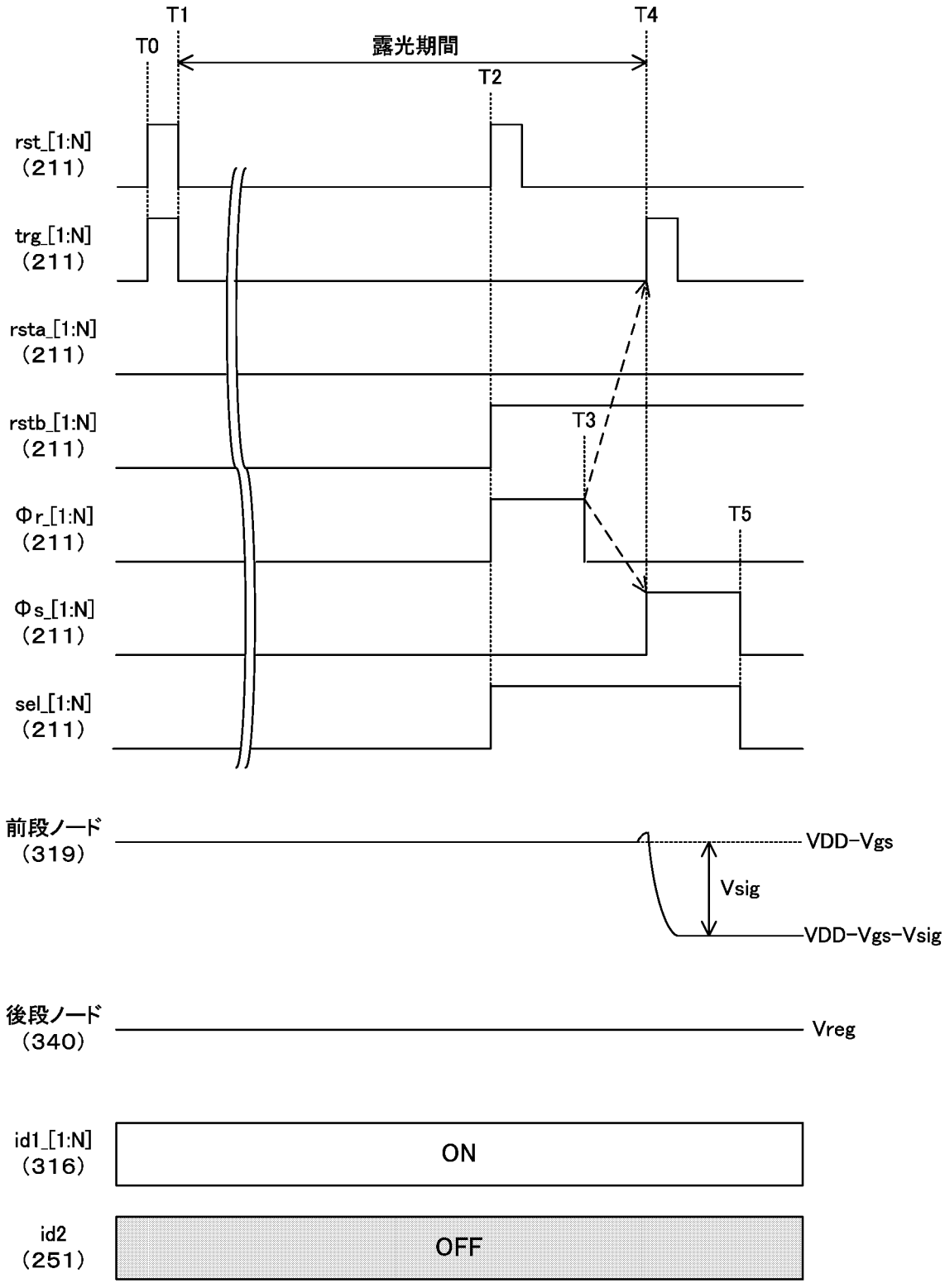
[図20]


T10
T17
rst_[n]
(211)
selb_[n]
(211)
T14
T13
T15
T11
rstb_[n]
(211)
Φr_[n]
(211)
Φs_[n]
(211)
前段ノード
(319)
VDD-Vgs
後段ノード
(340)
Vsig
T12
T16
正味の
信号レベル
Vrst
D相読出し
P相読出し
Rmp
垂直信号線
(309)
Vsig'
Vrst'
id1_[n]
(316)
ON
id2
(251)
ON

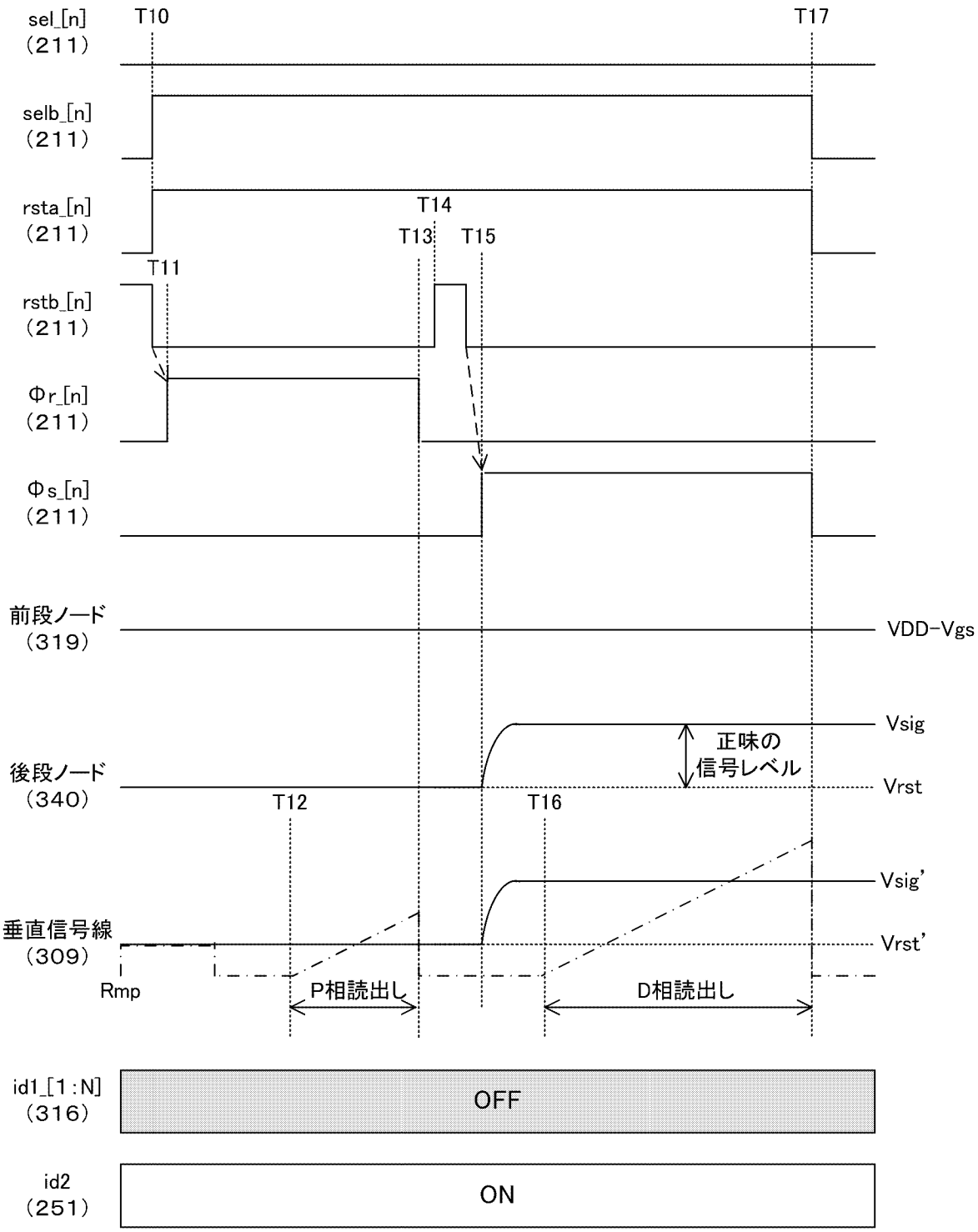
[図21]


300
310
画素
330
350
前段回路
選択回路
後段回路
rstb
Φr
Φs
VDD1
VDD2
Vreg
VDD1
313
323
341
rst
rsta
312
321
331
351
trg
315
sel
(211)
319
340
314
311
id1
316
324
332
352
322
selb
309
(250)

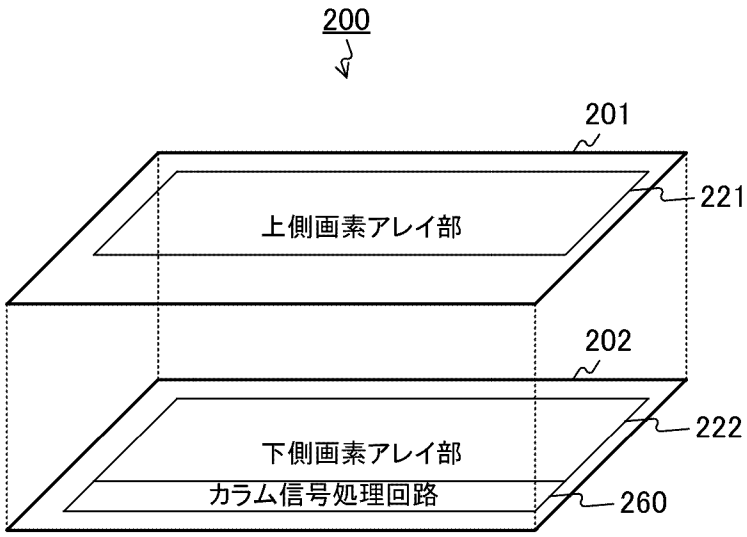
[図22]


T1
T4
T0
露光期間
T2
rst_[1:N]
(211)
trg_[1:N]
(211)
rsta_[1:N]
(211)
rstb_[1:N]
(211)
T3
Φr_[1:N]
(211)
T5
Φs_[1:N]
(211)
sel_[1:N]
(211)
前段ノード
(319)
VDD-Vgs
Vsig
VDD-Vgs-Vsig
後段ノード
(340)
Vreg
id1_[1:N]
(316)
ON
id2
(251)
OFF

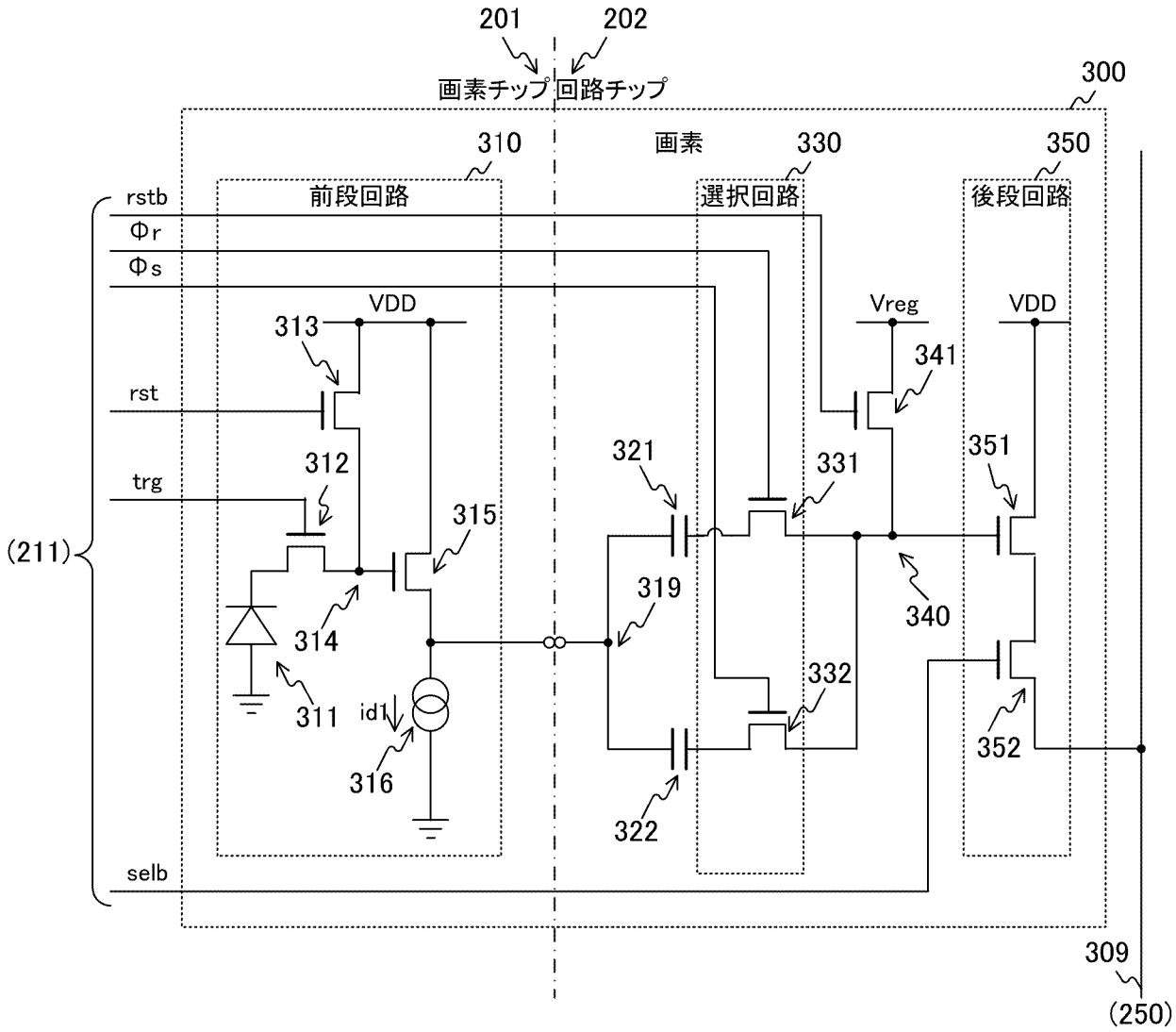
[図23]


sel_[n]
(211)
T10
T17
selb_[n]
(211)
rsta_[n]
(211)
T14
T13
T15
T11
rstb_[n]
(211)
Φr_[n]
(211)
Φs_[n]
(211)
前段ノード
(319)
VDD-Vgs
Vsig
正味の
信号レベル
後段ノード
(340)
Vrst
T12
T16
Vsig'
垂直信号線
(309)
Vrst'
Rmp
P相読出し
D相読出し
id1_[1:N]
(316)
OFF
id2
(251)
ON

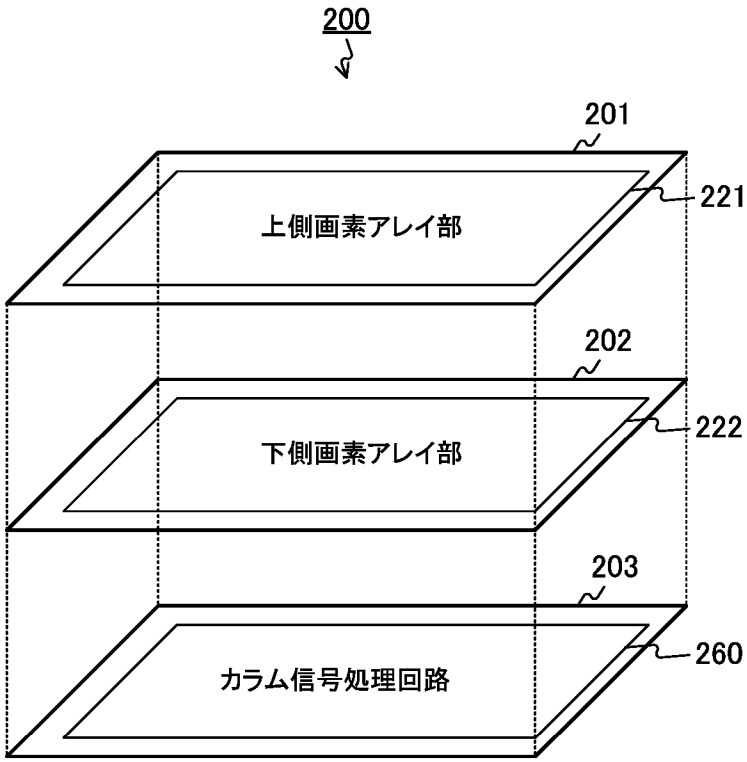
[図24]



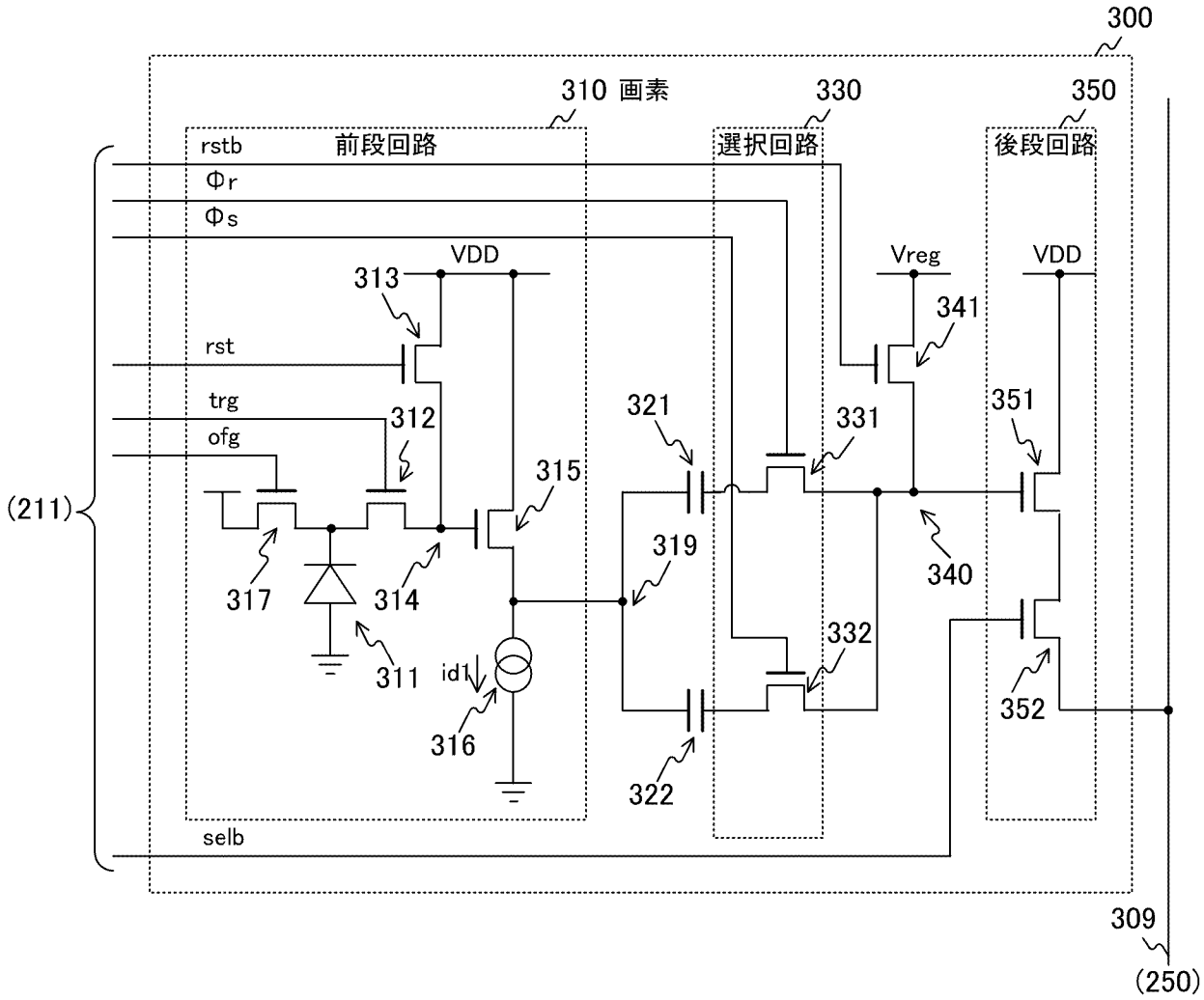
[図25]


201
202
画素チップ
回路チップ
300
310
画素
330
350
前段回路
選択回路
後段回路
rstb
Φr
Φs
VDD
Vreg
VDD
313
341
rst
312
321
331
351
trg
315
(211)
319
340
314
332
311
id1
316
352
322
selb
309
(250)

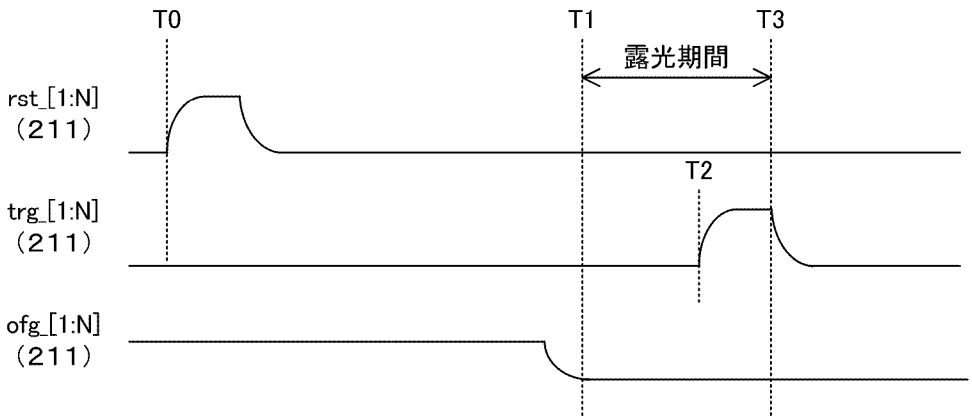
[図26]



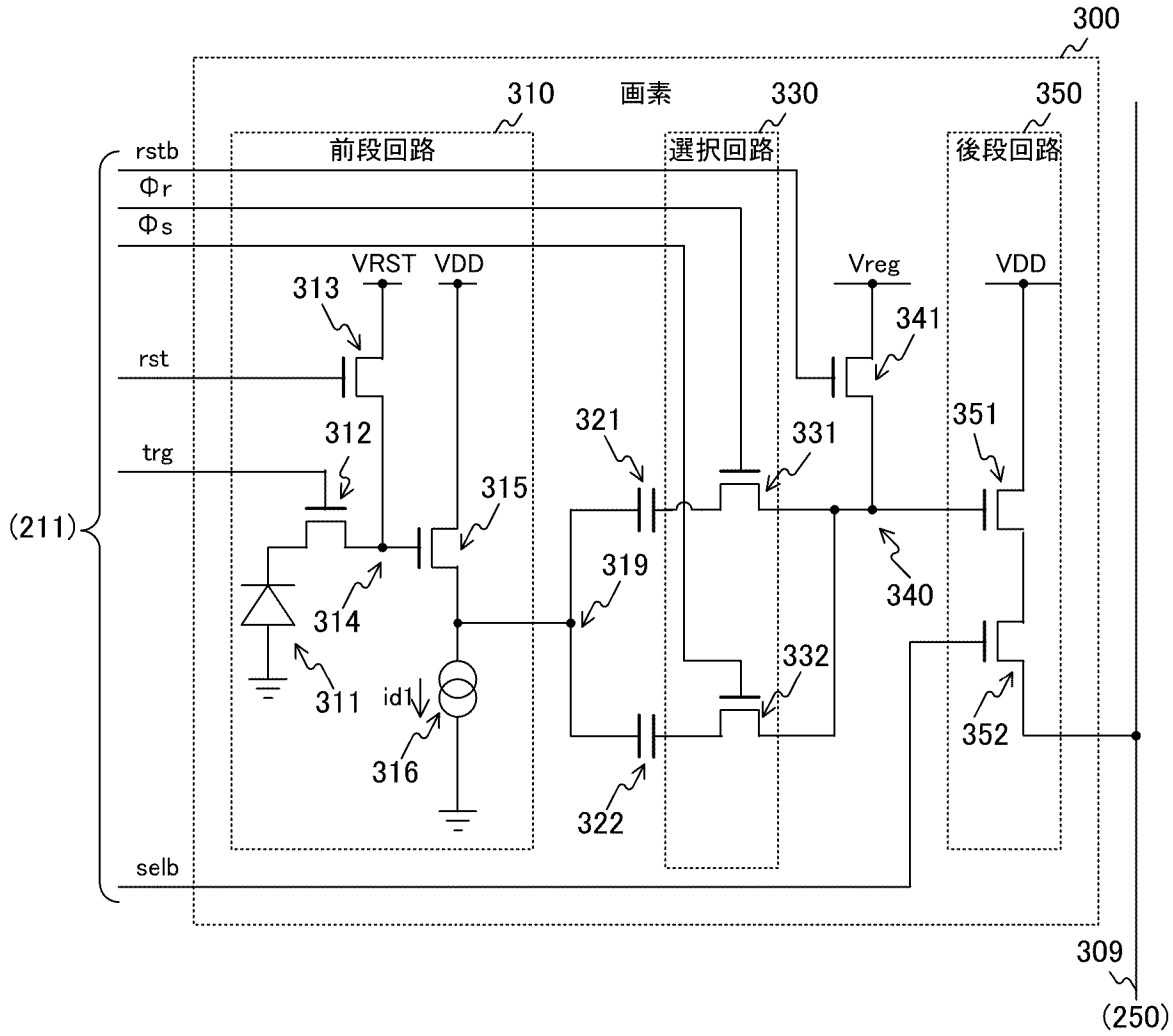
[図27]


300
310 画素
330
350
rstb
前段回路
選択回路
後段回路
Φr
Φs
VDD
Vreg
VDD
313
341
rst
trg
ofg
312
321
331
351
315
(211)
319
340
317
314
311
id1
332
316
352
322
selb
309
(250)

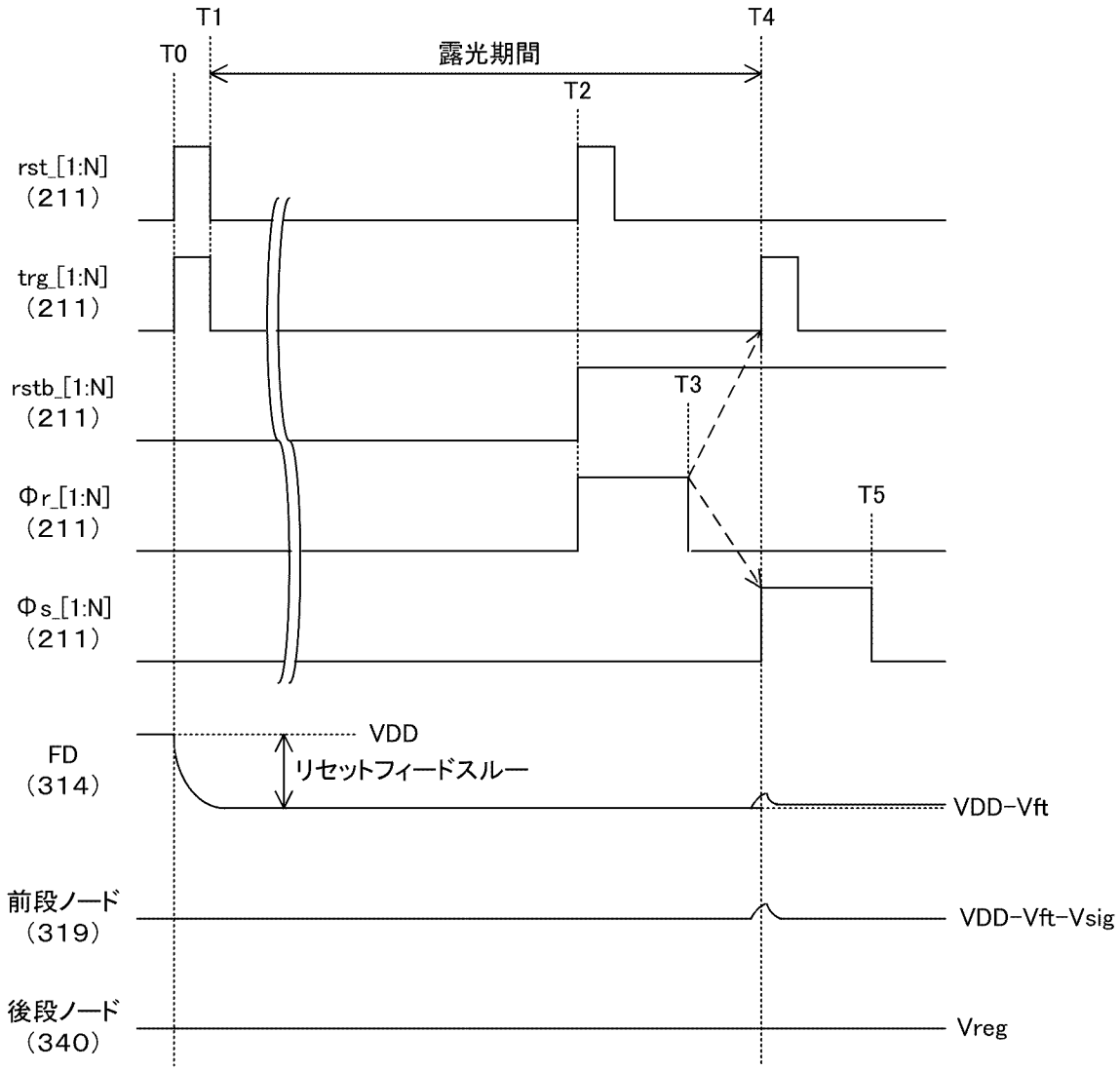
[図28]



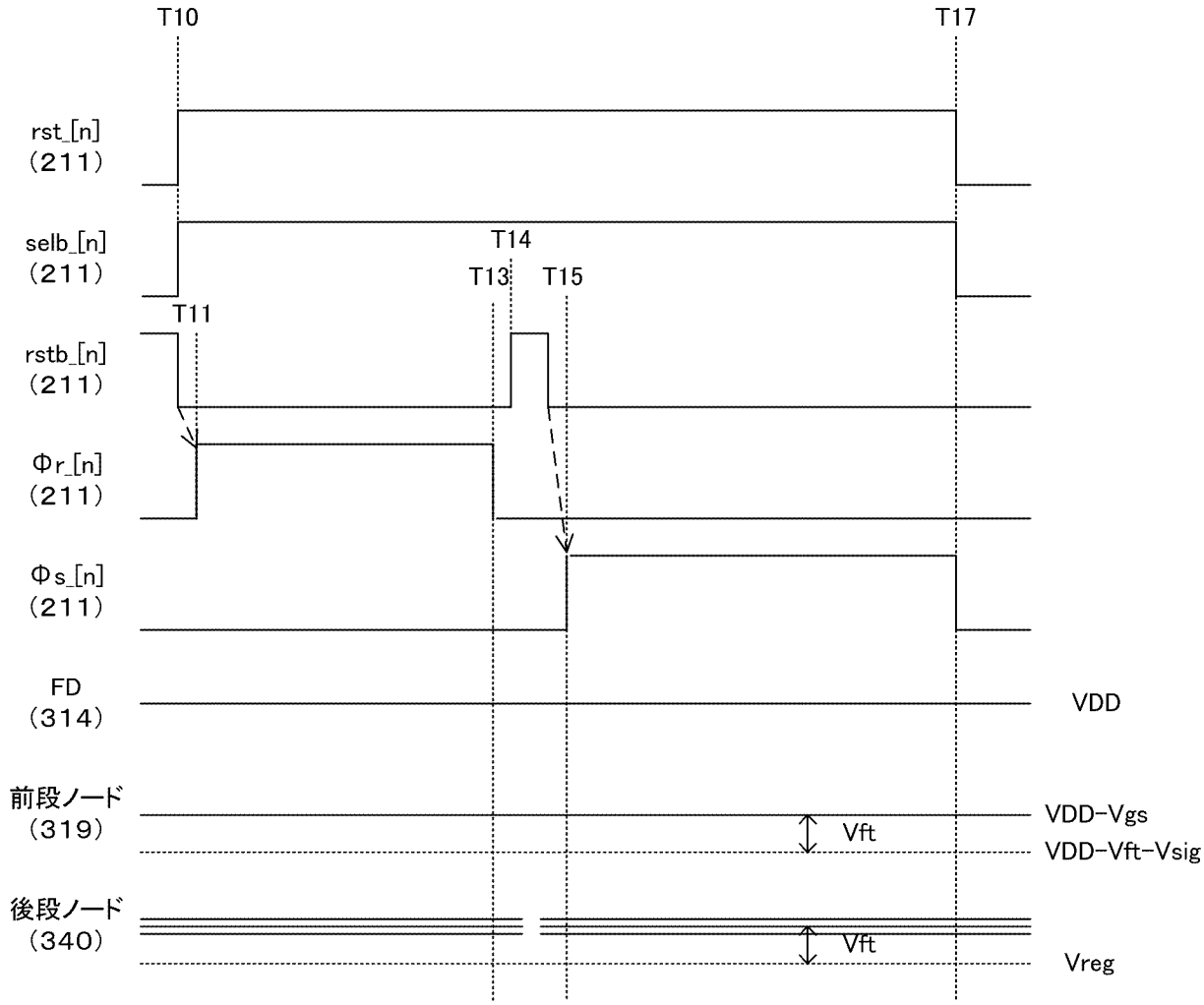
[図29]


300
310
画素
330
350
前段回路
選択回路
後段回路
rstb
Φr
Φs
VRST
VDD
Vreg
VDD
313
341
rst
312
321
331
351
trg
315
(211)
319
340
314
332
311
id1
316
352
322
selb
309
(250)

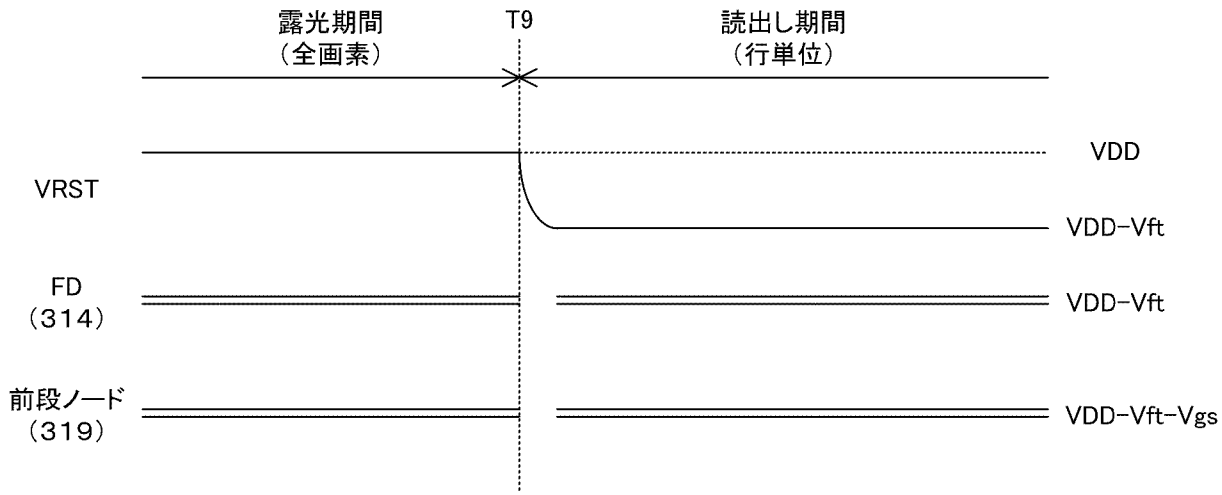
[図30]


T0
T1
T2
T3
T4
T5
露光期間
rst_[1:N]
（211）
trg_[1:N]
（211）
rstb_[1:N]
（211）
Φr_[1:N]
（211）
Φs_[1:N]
（211）
FD
（314）
VDD
リセットフィードスルー
VDD-Vft
前段ノード
（319）
VDD-Vft-Vsig
後段ノード
（340）
Vreg

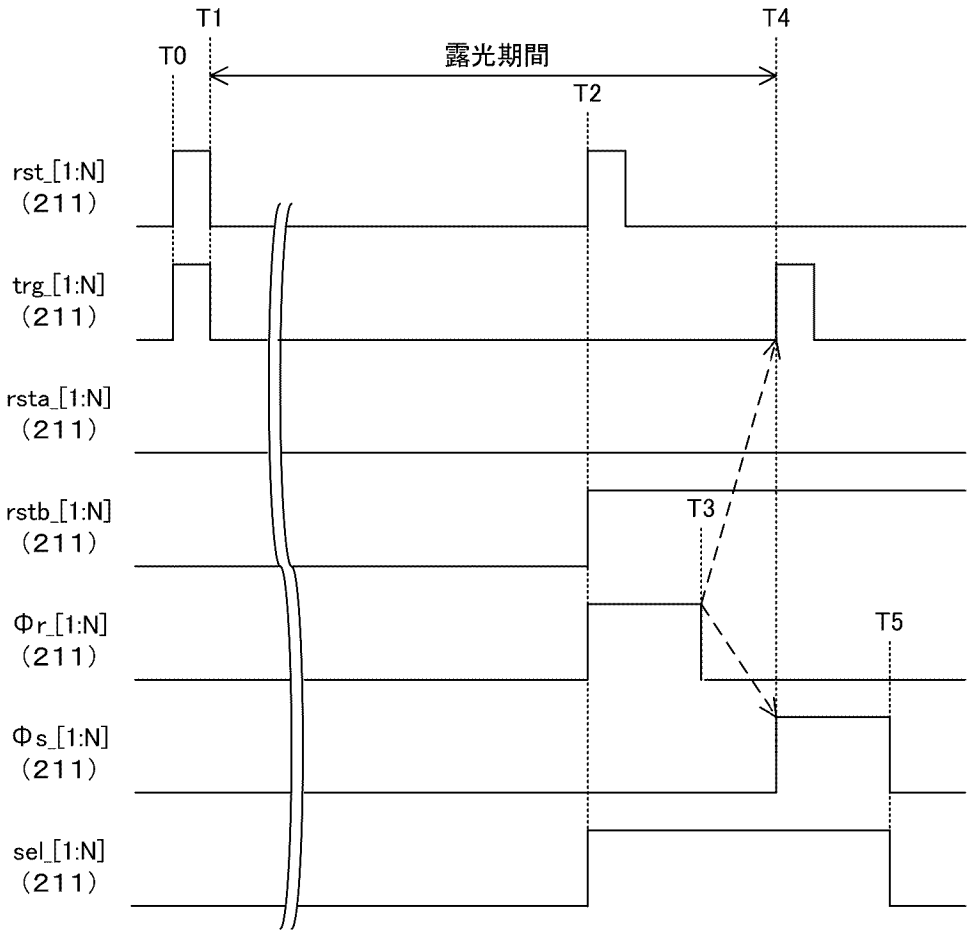
[図31]


T10
T17
rst_[n]
(211)
selb_[n]
(211)
T14
T13
T15
T11
rstb_[n]
(211)
Φr_[n]
(211)
Φs_[n]
(211)
FD
(314)
VDD
前段ノード
(319)
VDD-Vgs
Vft
VDD-Vft-Vsig
後段ノード
(340)
Vft
Vreg

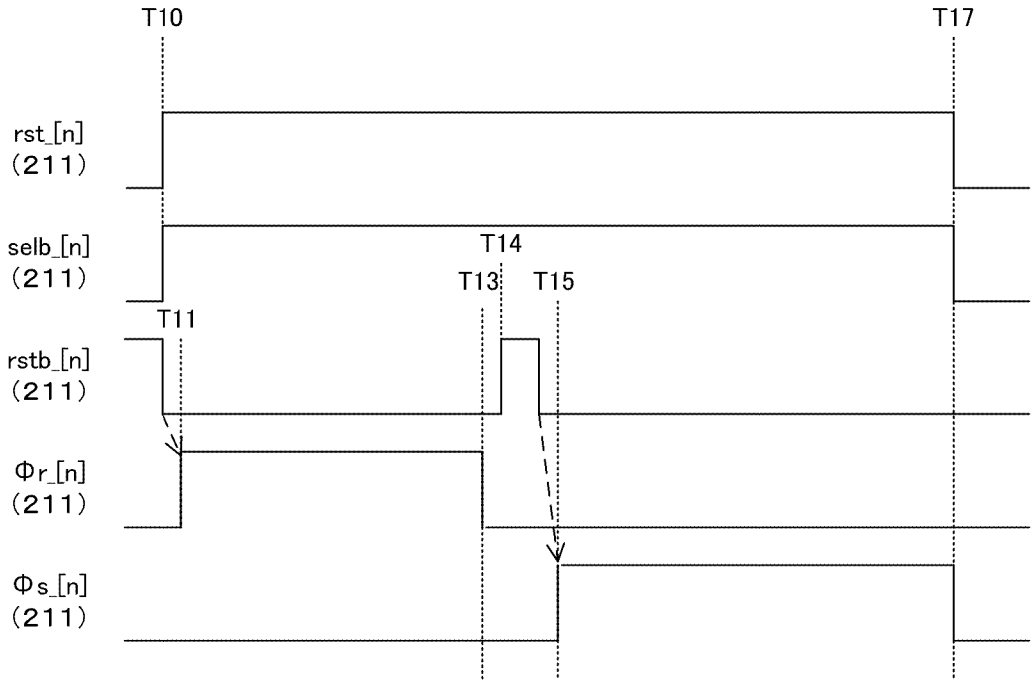
[図32]


露光期間
（全画素）
T9
読出し期間
（行単位）
VDD
VRST
VDD−Vft
FD
（314）
VDD−Vft
前段ノード
（319）
VDD−Vft−Vgs

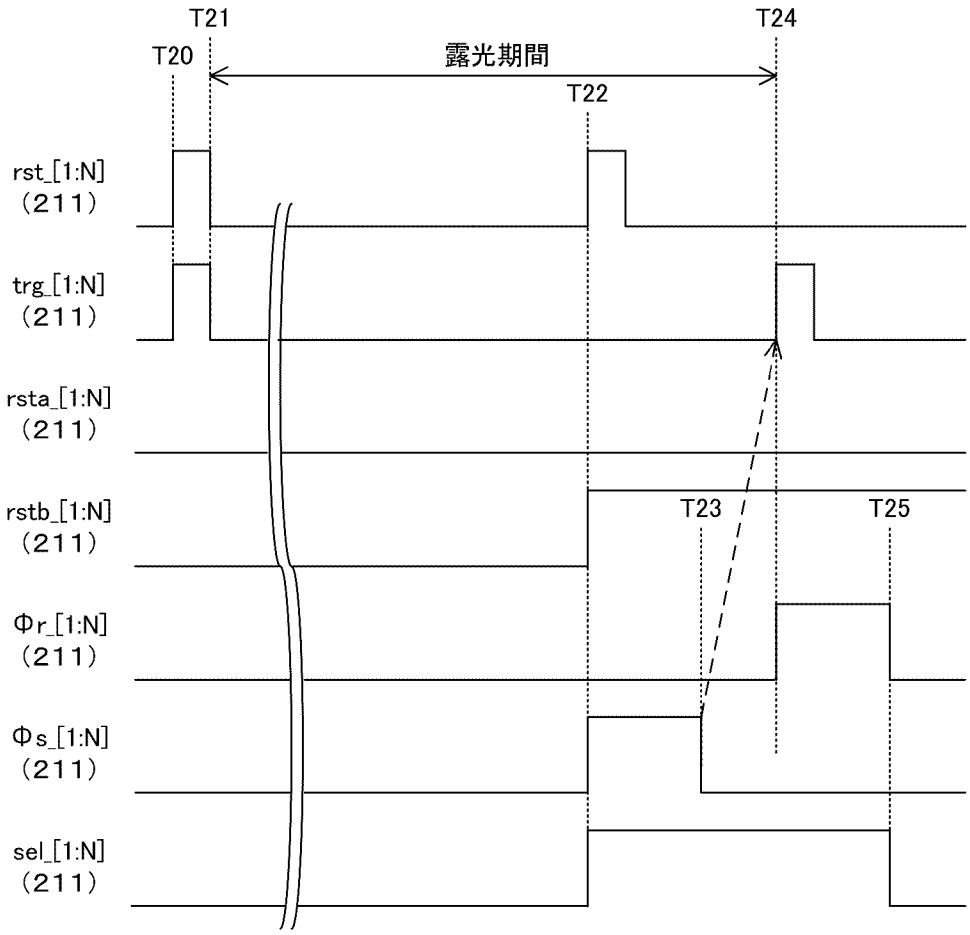
[図33]


T1
T4
T0
露光期間
T2
rst_[1:N]
（211）
trg_[1:N]
（211）
rsta_[1:N]
（211）
rstb_[1:N]
（211）
T3
Φr_[1:N]
（211）
T5
Φs_[1:N]
（211）
sel_[1:N]
（211）

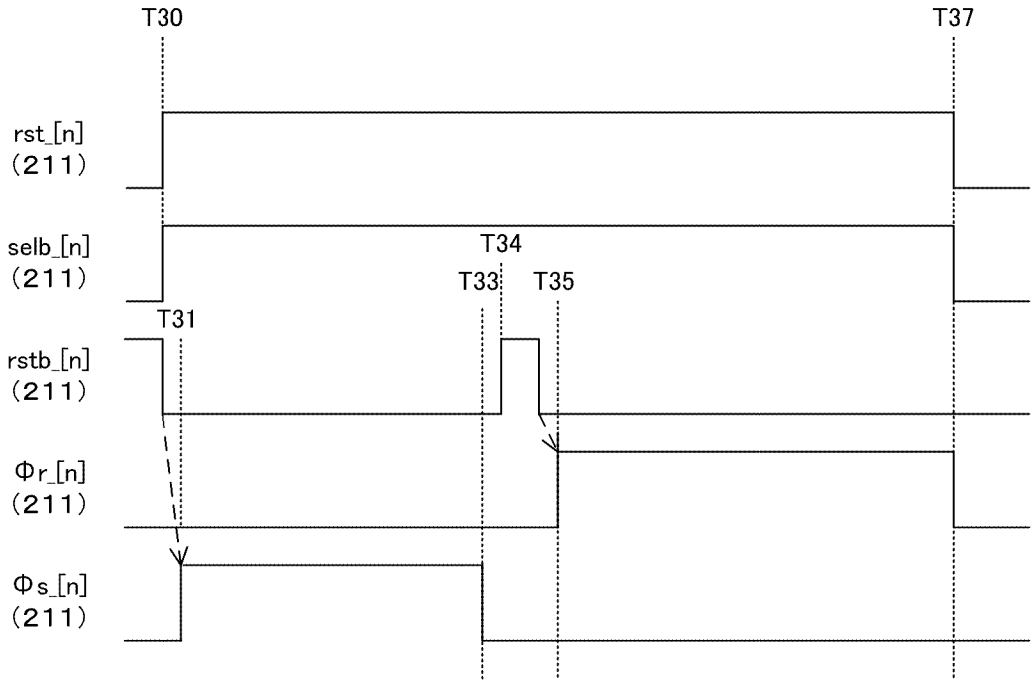
[図34]


T10
T17
rst_[n]
(211)
selb_[n]
(211)
T14
T13
T15
T11
rstb_[n]
(211)
Φr_[n]
(211)
Φs_[n]
(211)

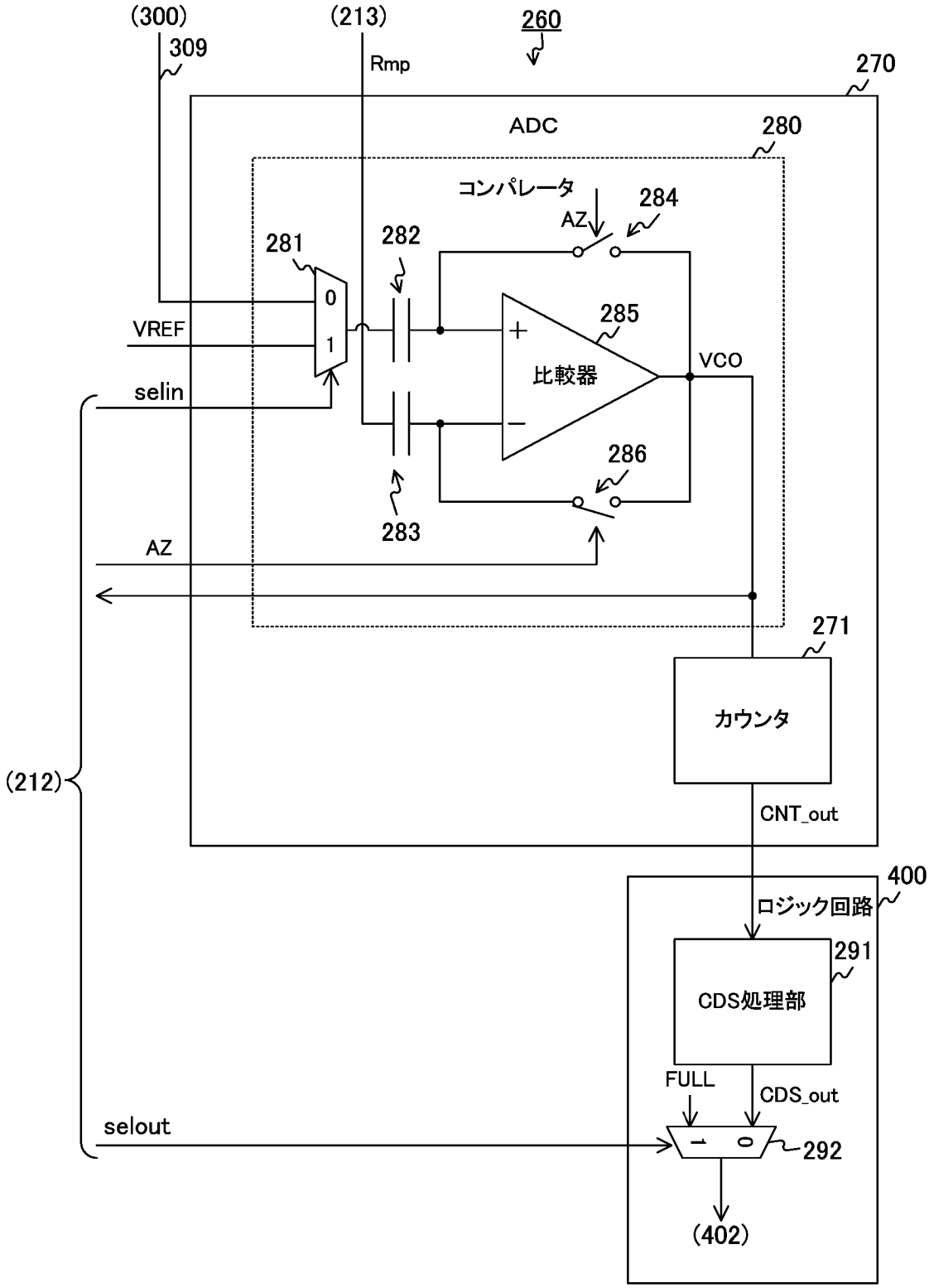
[図35]


T21
T20
露光期間
T24
T22
rst_[1:N]
（211）
trg_[1:N]
（211）
rsta_[1:N]
（211）
rstb_[1:N]
（211）
T23
T25
Φr_[1:N]
（211）
Φs_[1:N]
（211）
sel_[1:N]
（211）

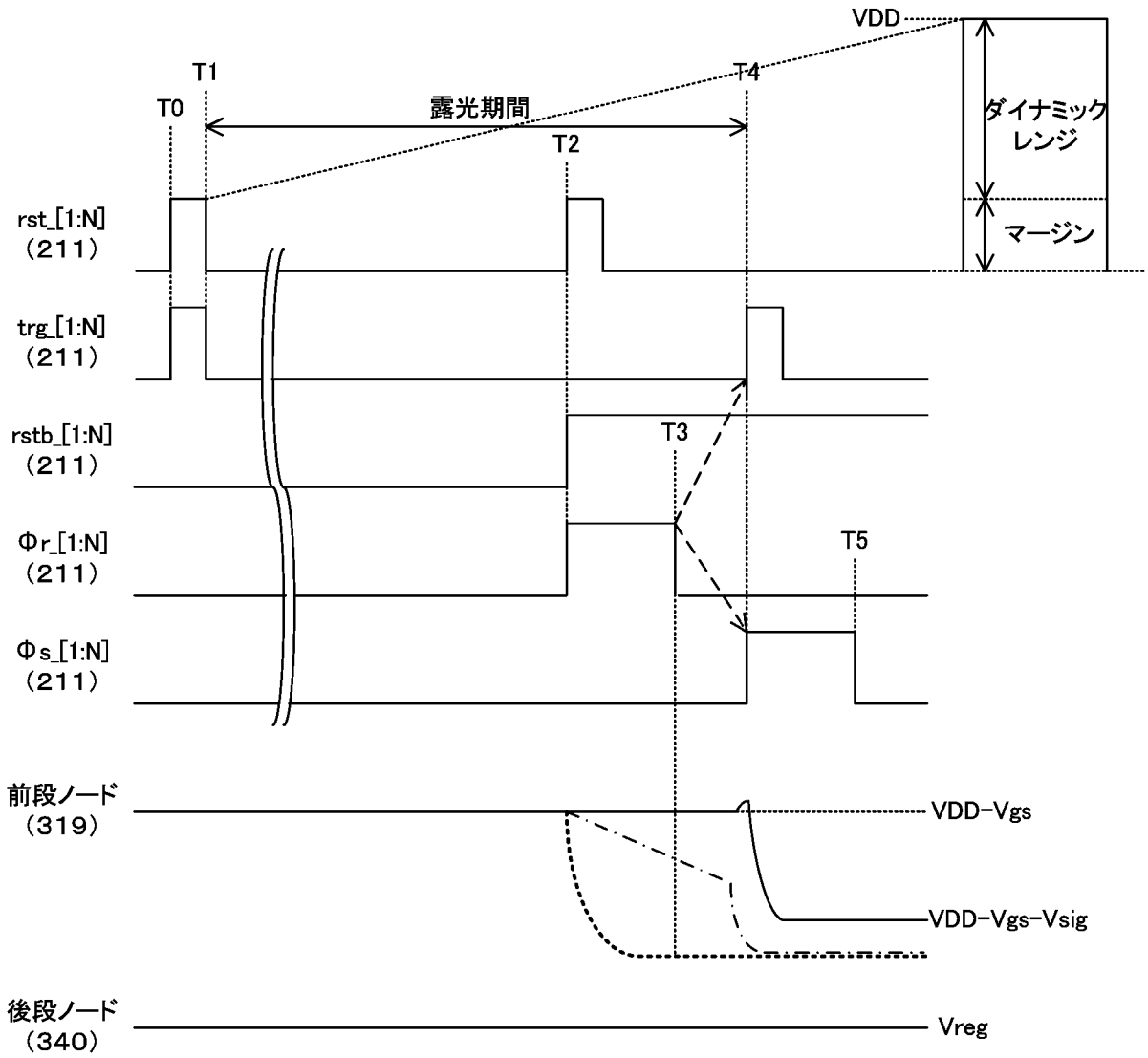
[図36]


T30
T37
rst_[n]
(211)
selb_[n]
(211)
T34
T33
T35
T31
rstb_[n]
(211)
Φr_[n]
(211)
Φs_[n]
(211)

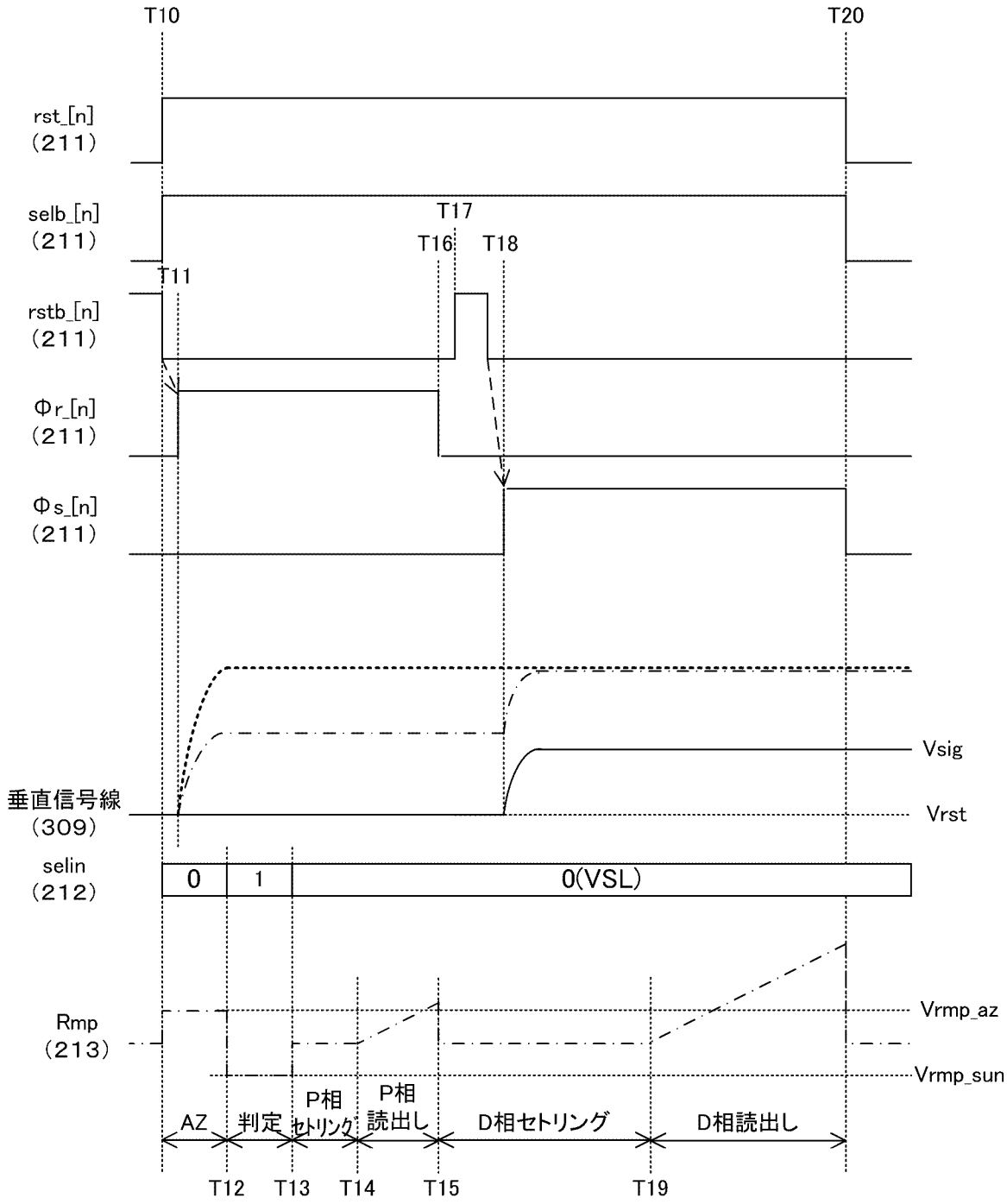
[図37]


(300)
309
(213)
Rmp
260
270
ADC
280
コンパレータ
284
AZ
281
282
0
1
VREF
selin
285
+
−
比較器
VCO
286
283
AZ
271
カウンタ
(212)
CNT_out
400
ロジック回路
291
CDS処理部
FULL
CDS_out
selout
292
(402)

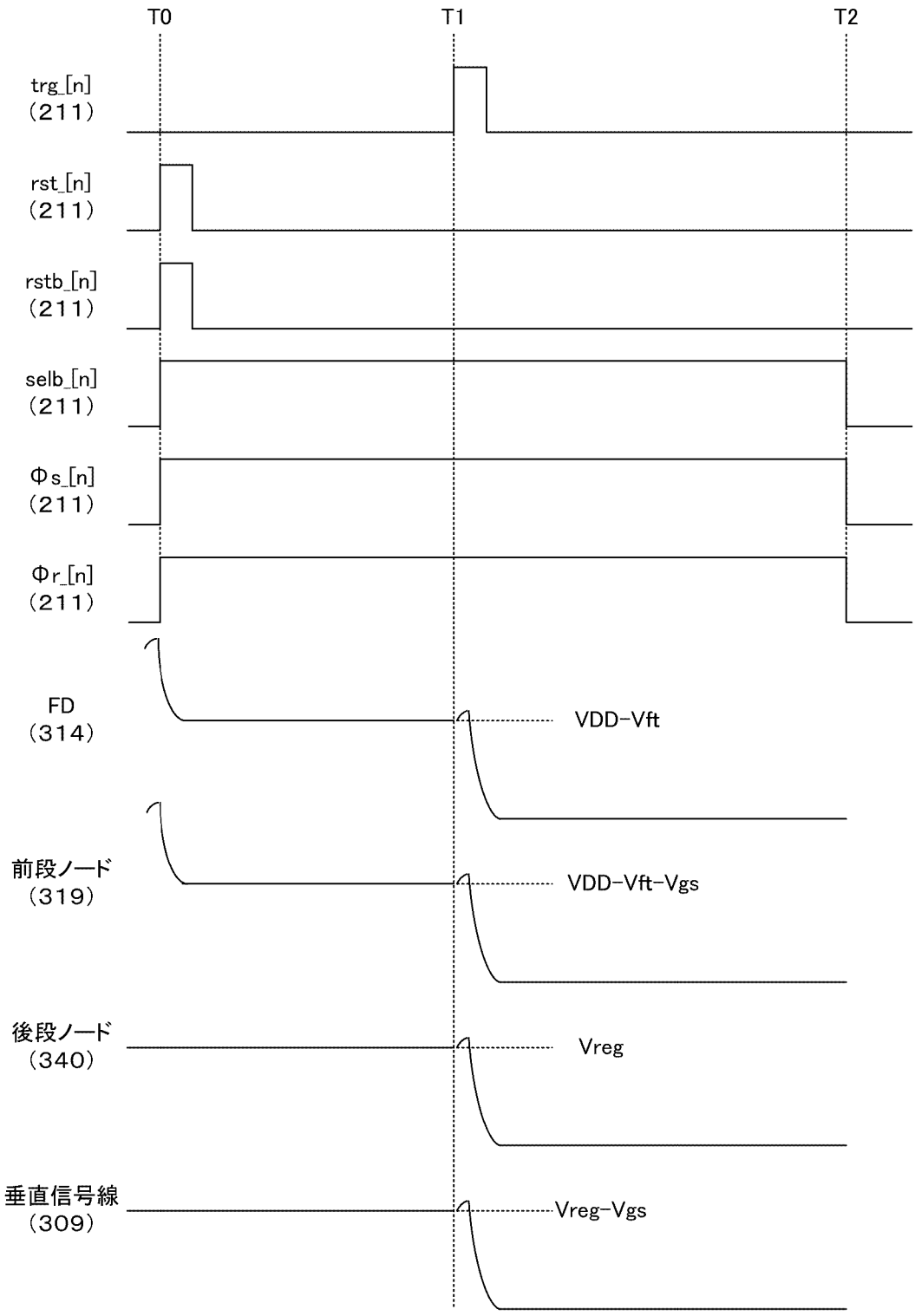
[図38]


VDD
T0
T1
露光期間
T2
T3
T4
T5
ダイナミック
レンジ
マージン
rst_[1:N]
(211)
trg_[1:N]
(211)
rstb_[1:N]
(211)
Φr_[1:N]
(211)
Φs_[1:N]
(211)
前段ノード
(319)
VDD-Vgs
VDD-Vgs-Vsig
後段ノード
(340)
Vreg

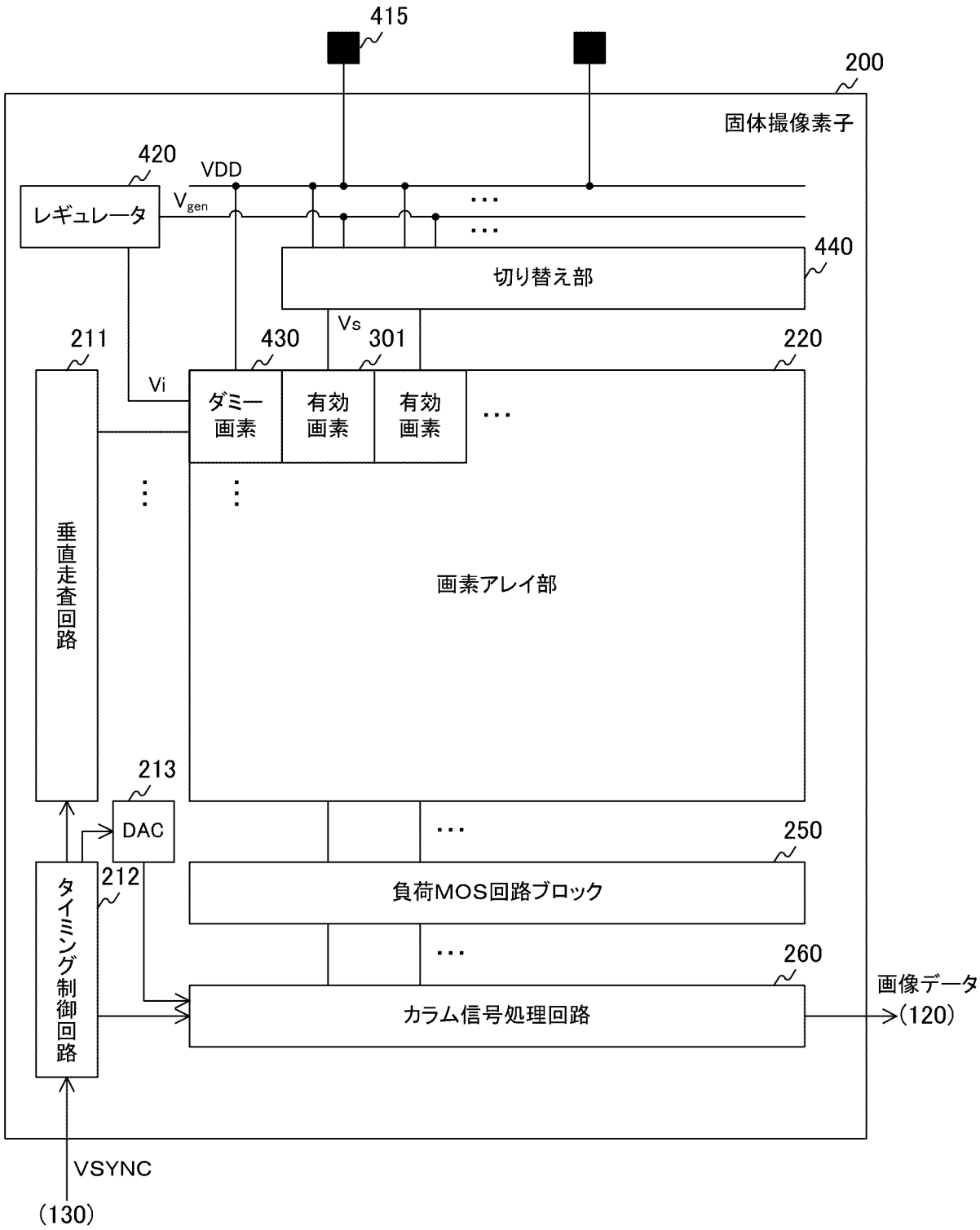
[図39]


T10
T20
rst_[n]
(211)
selb_[n]
(211)
T17
T16
T18
T11
rstb_[n]
(211)
Φr_[n]
(211)
Φs_[n]
(211)
Vsig
垂直信号線
(309)
Vrst
selin
(212)
0
1
0(VSL)
Rmp
(213)
Vrmp_az
Vrmp_sun
AZ
判定
P相
セトリング
P相
読出し
D相セトリング
D相読出し
T12
T13
T14
T15
T19

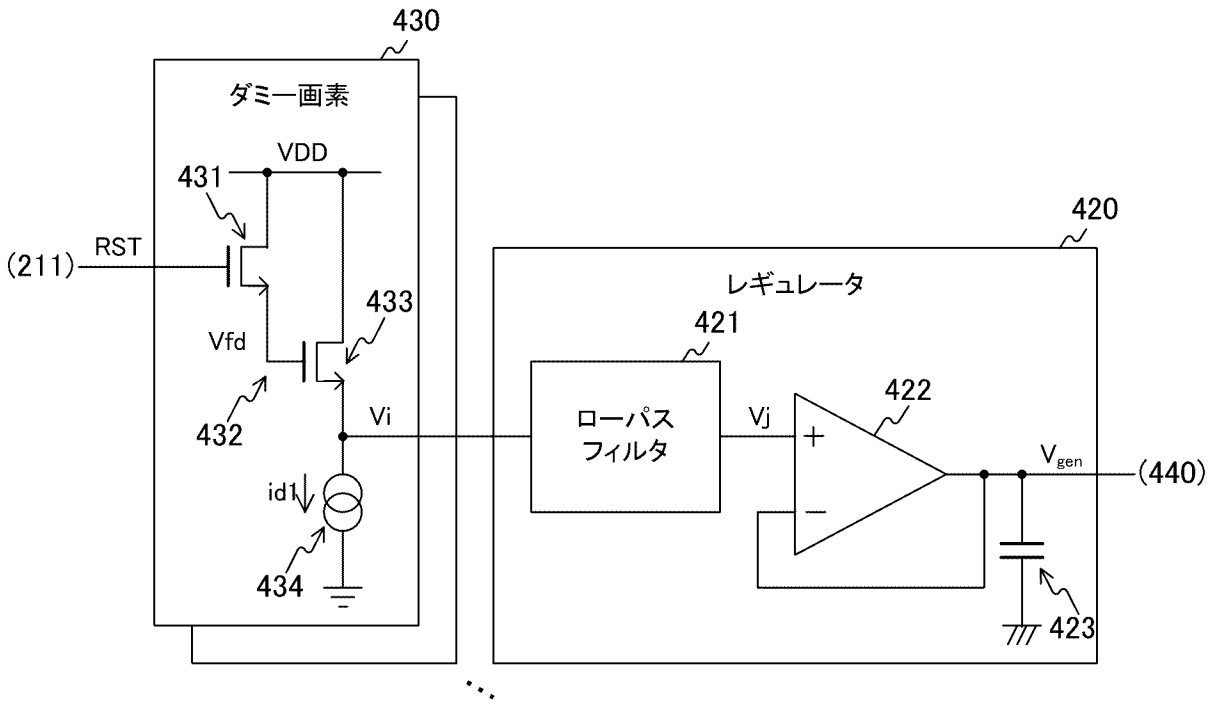
[図40]


T0
T1
T2
trg_[n]
(211)
rst_[n]
(211)
rstb_[n]
(211)
selb_[n]
(211)
Φs_[n]
(211)
Φr_[n]
(211)
FD
(314)
VDD-Vft
前段ノード
(319)
VDD-Vft-Vgs
後段ノード
(340)
Vreg
垂直信号線
(309)
Vreg-Vgs

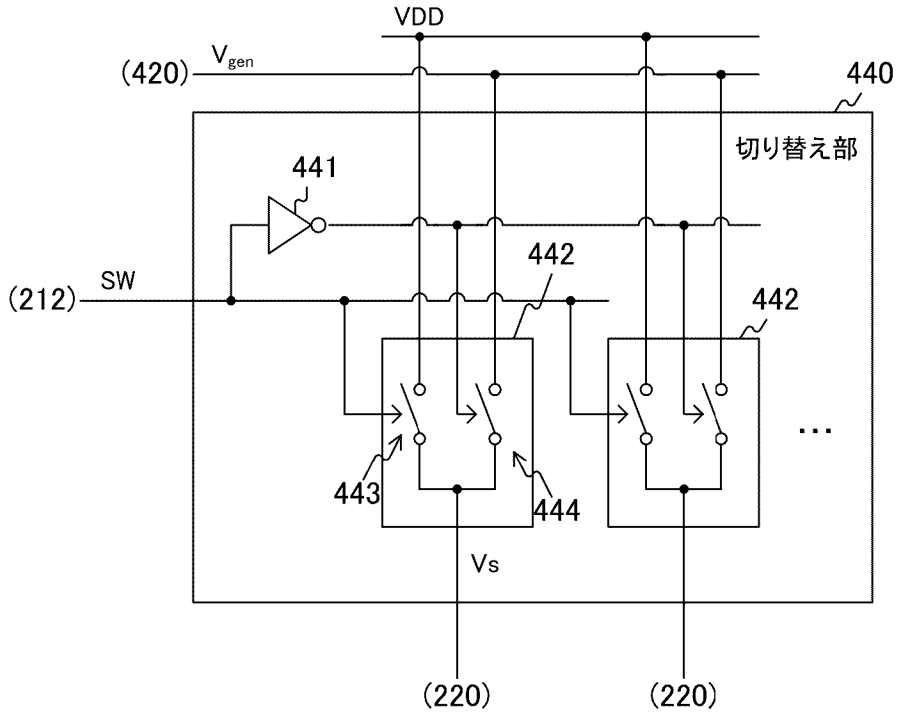
[図41]


415
200
固体撮像素子
420
VDD
レギュレータ
Vgen
440
切り替え部
Vs
211
430
301
220
Vi
ダミー画素
有効画素
有効画素
垂直走査回路
画素アレイ部
213
DAC
250
負荷MOS回路ブロック
212
260
タイミング制御回路
カラム信号処理回路
画像データ
(120)
VSYNC
(130)

[図42]

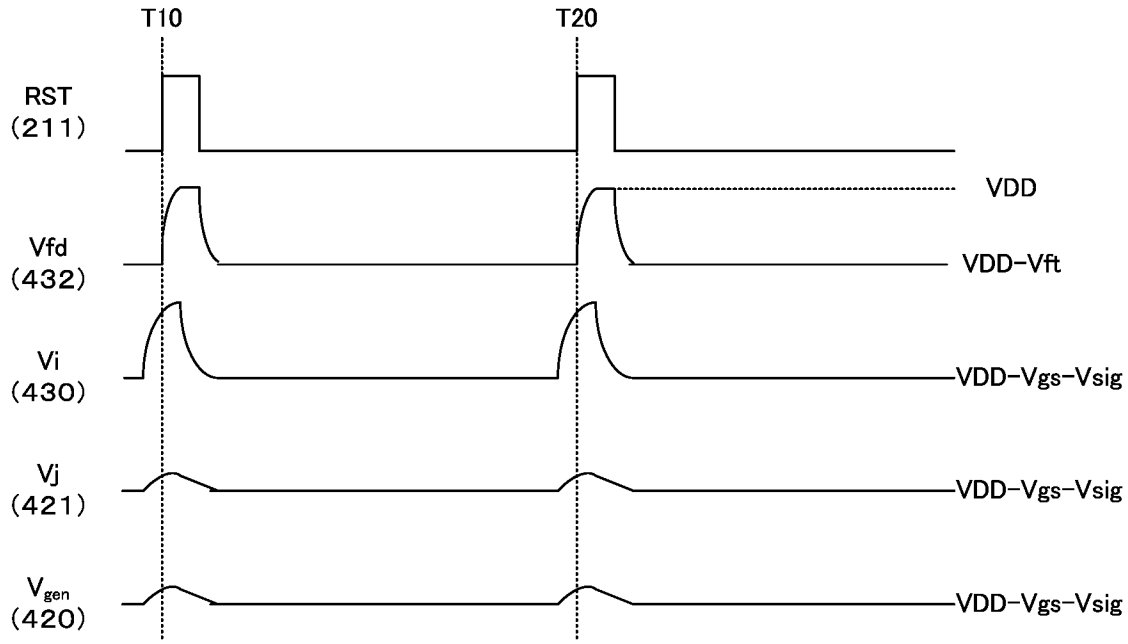

430
ダミー画素
VDD
431
RST
(211)
433
Vfd
432
Vi
id1
434
420
レギュレータ
421
ローパス
フィルタ
Vj
422
Vgen
(440)
423

a

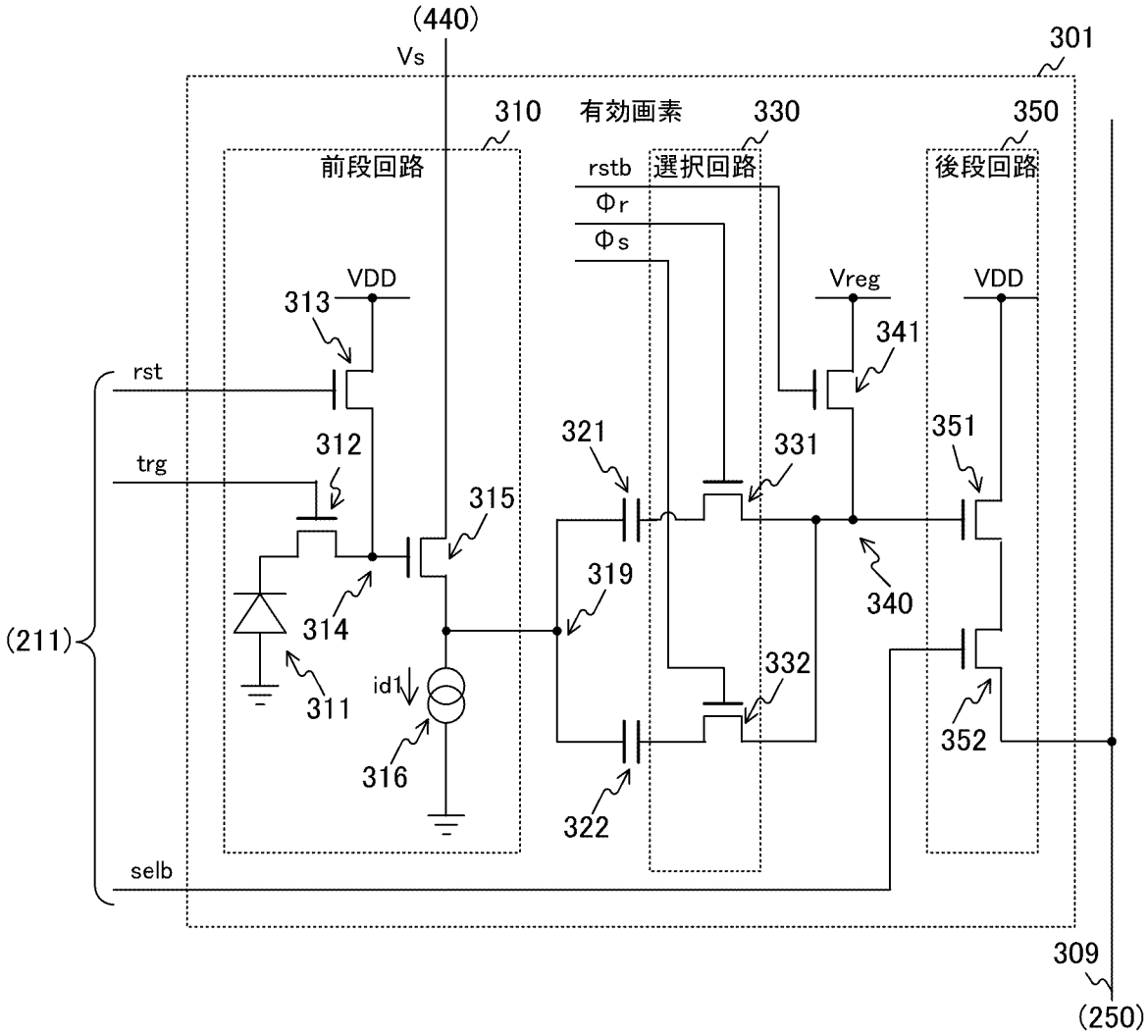

VDD
(420)
Vgen
440
切り替え部
441
442
SW
(212)
442
443
444
Vs
(220)
(220)

b

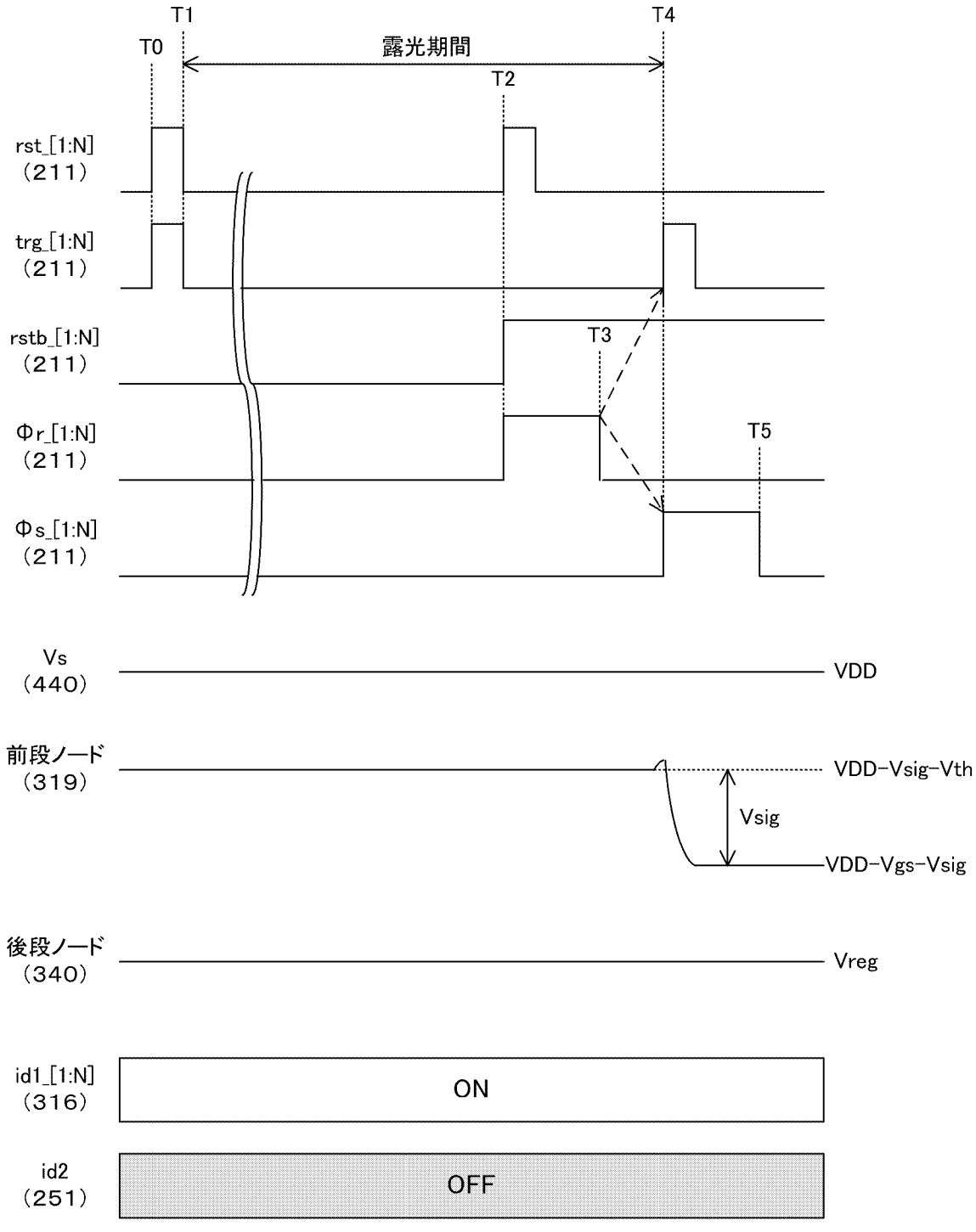
[図43]


T10
T20
RST
(211)
VDD
Vfd
(432)
VDD-Vft
Vi
(430)
VDD-Vgs-Vsig
Vj
(421)
VDD-Vgs-Vsig
Vgen
(420)
VDD-Vgs-Vsig

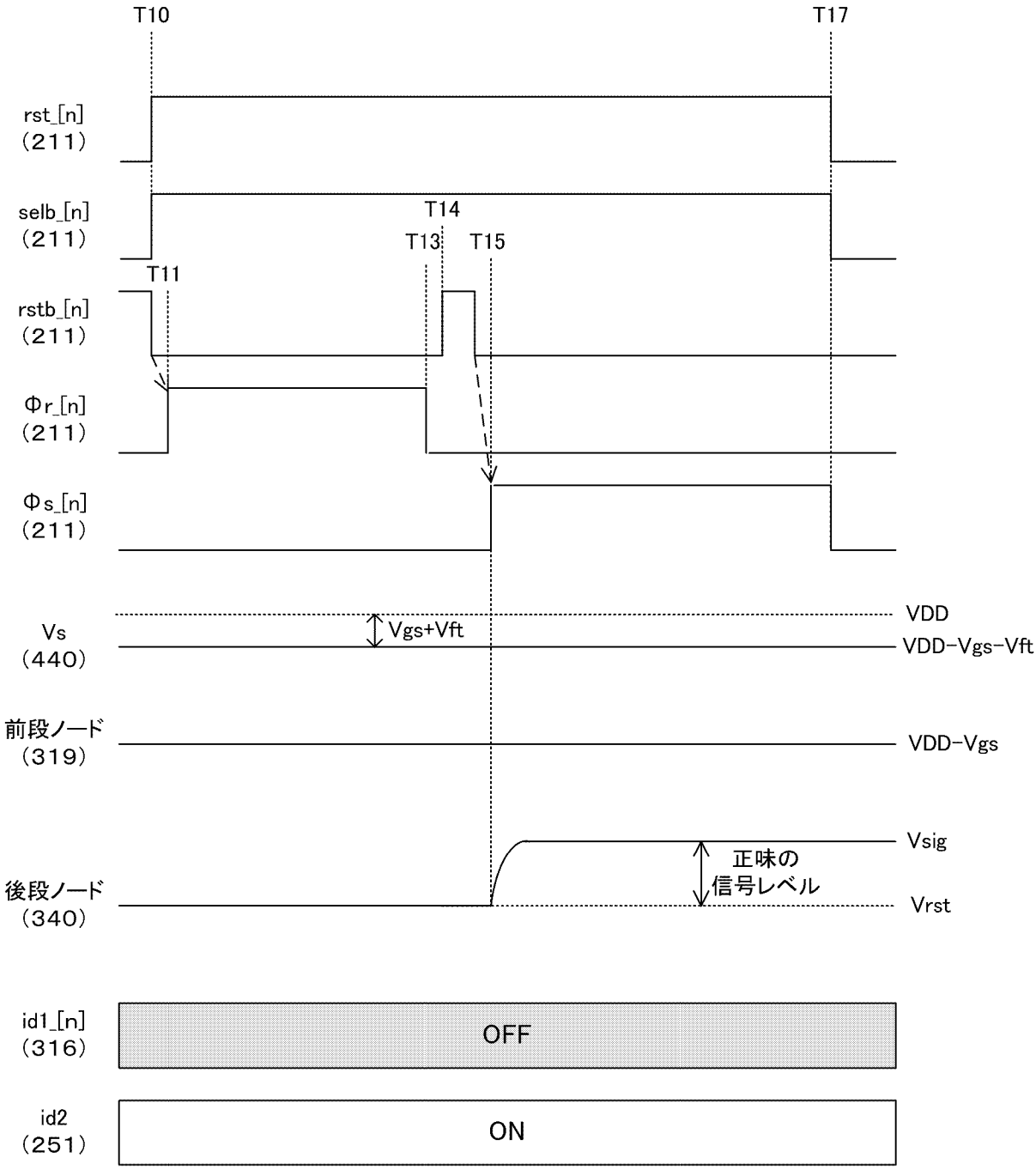
[図44]


(440)
Vs
301
310
有効画素
330
350
前段回路
rstb
選択回路
後段回路
Φr
Φs
VDD
313
Vreg
VDD
341
rst
312
321
331
351
trg
315
319
340
(211)
314
332
311
id1
352
316
322
selb
309
(250)

[図45]


T1
T4
T0
露光期間
T2
rst_[1:N]
（211）
trg_[1:N]
（211）
rstb_[1:N]
（211）
T3
Φr_[1:N]
（211）
T5
Φs_[1:N]
（211）
Vs
（440）
VDD
前段ノード
（319）
VDD-Vsig-Vth
Vsig
VDD-Vgs-Vsig
後段ノード
（340）
Vreg
id1_[1:N]
（316）
ON
id2
（251）
OFF

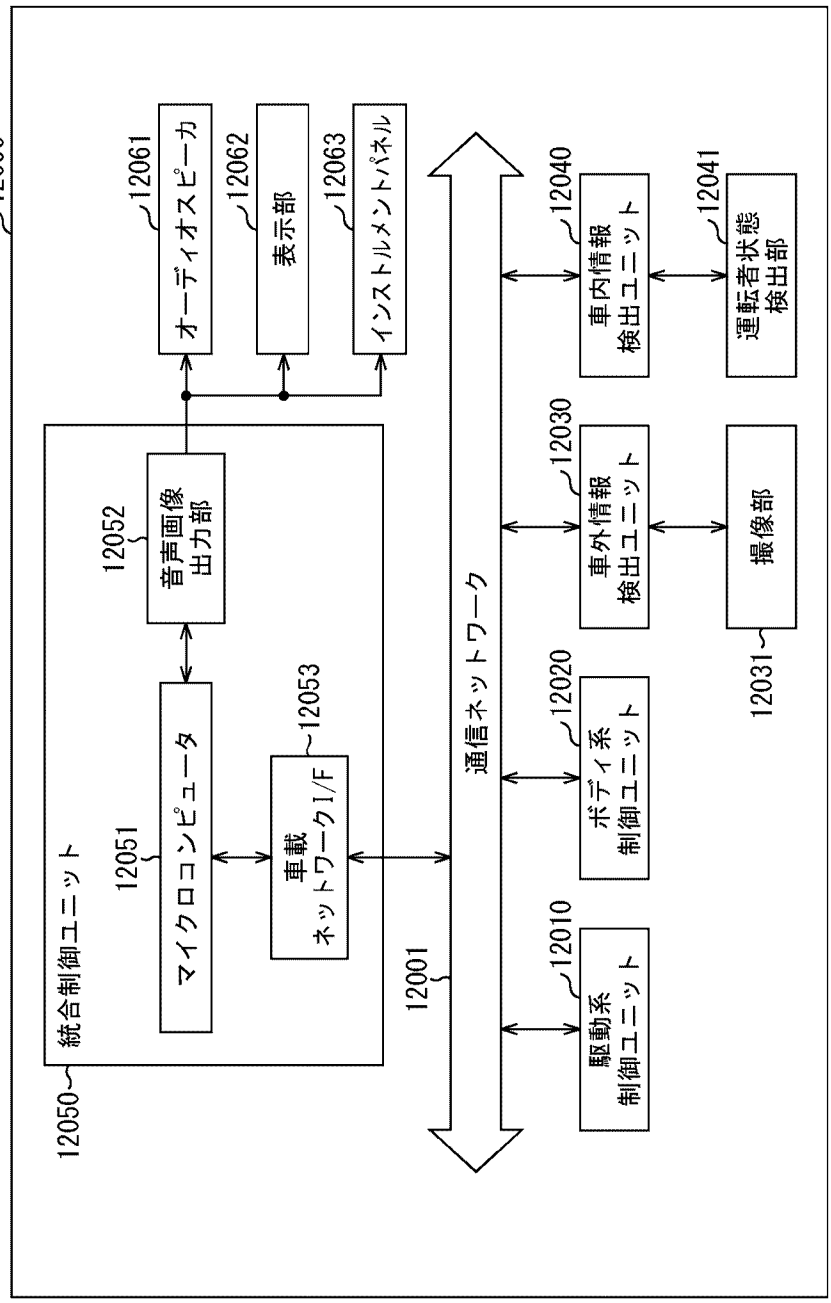
[図46]


T10
T17
rst_[n]
(211)
selb_[n]
(211)
T14
T13
T15
T11
rstb_[n]
(211)
Φr_[n]
(211)
Φs_[n]
(211)
Vs
(440)
Vgs+Vft
VDD
VDD-Vgs-Vft
前段ノード
(319)
VDD-Vgs
Vsig
正味の
信号レベル
後段ノード
(340)
Vrst
id1_[n]
(316)
OFF
id2
(251)
ON

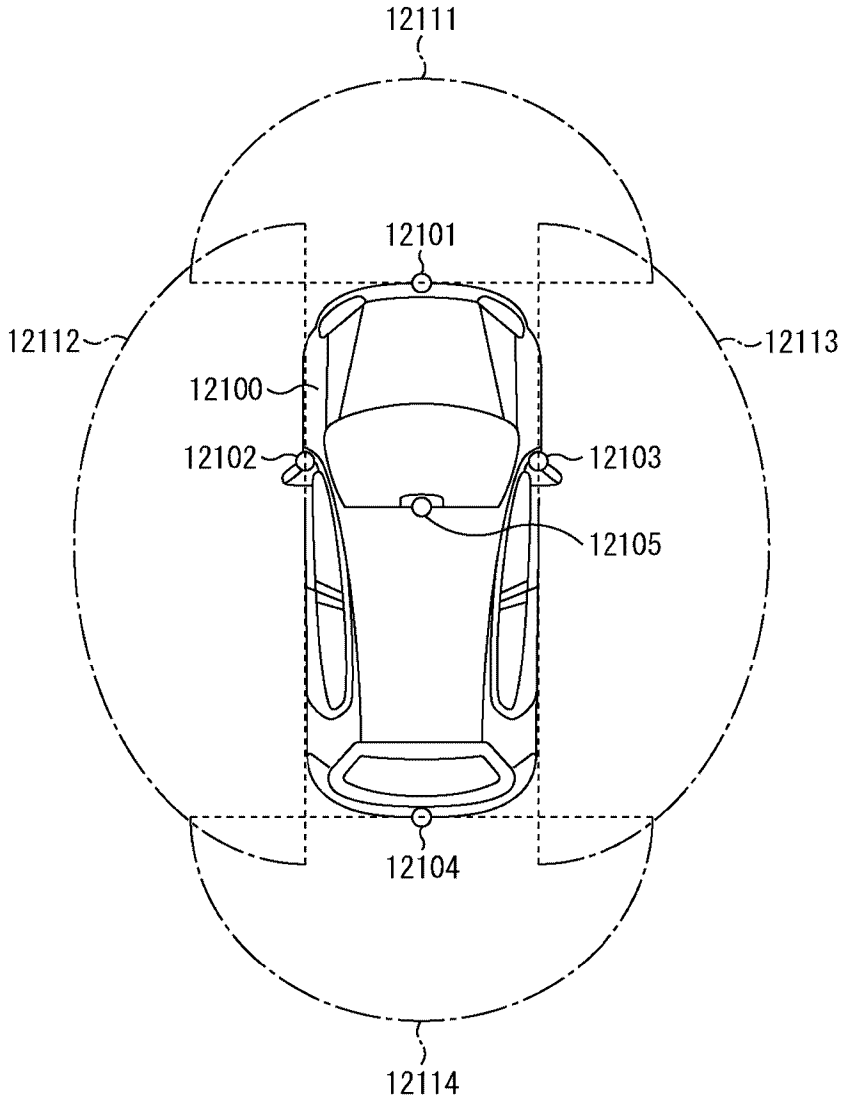
[図47]

動作	ノイズ	RN（μVrms）		備考
		第1の実施形態	第7の実施形態	
グローバル シャッター	画素kTCノイズ	450	450	SH容量50fF
順次読出し	前段のSFのノイズ	380	0	―
	後段の SF以降のノイズ	160	160	ADCノイズを含む
合計		610	478	―

[図48]


12000
12061
オーディオスピーカ
12062
表示部
12063
インストルメントパネル
12040
車内情報
検出ユニット
12041
運転者状態
検出部
12052
音声画像
出力部
12030
車外情報
検出ユニット
撮像部
12031
12053
車載
ネットワークI/F
12051
マイクロコンピュータ
12020
ボディ系
制御ユニット
12001
通信ネットワーク
12010
駆動系
制御ユニット
統合制御ユニット
12050

[図49]


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/048207

A. CLASSIFICATION OF SUBJECT MATTER

H04N 25/40(2023.01)i; ***H04N 23/54***(2023.01)i; ***H04N 23/60***(2023.01)i; ***H04N 25/771***(2023.01)i
FI: H04N25/40; H04N25/771; H04N23/60 500; H04N23/54

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N25/40; H04N23/54; H04N23/60; H04N25/771

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2021/215105 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 28 October 2021 (2021-10-28) paragraphs [0032], [0037], [0043]-[0045], [0052], [0063], [0159], fig. 1-3	1-11
Y	JP 2018-142954 A (SAMSUNG ELECTRONICS CO., LTD.) 13 September 2018 (2018-09-13) paragraph [0042], fig. 1	1-11
Y	JP 2021-33686 A (CELSYS INC.) 01 March 2021 (2021-03-01) paragraphs [0070], [0073], fig. 15	3
Y	WO 2017/099037 A1 (SONY CORP.) 15 June 2017 (2017-06-15) paragraph [0111]	4
Y	JP 2005-287927 A (KONICA MINOLTA MEDICAL & GRAPHIC, INC.) 20 October 2005 (2005-10-20) paragraph [0034]	5

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 February 2023	**28 February 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/048207

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2021/215105 A1	28 October 2021	CN 115398885 A	
JP 2018-142954 A	13 September 2018	US 2018/0246521 A1 paragraph [0056], fig. 1 US 2020/0333796 A1 EP 3367303 A1 KR 10-2018-0097966 A CN 108513059 A CN 111741229 A	
JP 2021-33686 A	01 March 2021	(Family: none)	
WO 2017/099037 A1	15 June 2017	(Family: none)	
JP 2005-287927 A	20 October 2005	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2022/048207

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H04N 25/40(2023.01)i; H04N 23/54(2023.01)i; H04N 23/60(2023.01)i; H04N 25/771(2023.01)i
FI: H04N25/40; H04N25/771; H04N23/60 500; H04N23/54

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H04N25/40; H04N23/54; H04N23/60; H04N25/771

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2021/215105 A1（ソニーセミコンダクタソリューションズ株式会社）28.10.2021 (2021-10-28) 段落[0032],[0037],[0043]-[0045],[0052],[0063],[0159],図1-3	1-11
Y	JP 2018-142954 A（三星電子株式会社）13.09.2018 (2018-09-13) 段落[0042],図1	1-11
Y	JP 2021-33686 A（株式会社セルシス）01.03.2021 (2021-03-01) 段落[0070],[0073],図15	3
Y	WO 2017/099037 A1（ソニー株式会社）15.06.2017 (2017-06-15) 段落[0111]	4
Y	JP 2005-287927 A（コニカミノルタエムジー株式会社）20.10.2005 (2005-10-20) 段落[0034]	5

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
17.02.2023	28.02.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
花田　尚樹 5V 5889

電話番号 03-3581-1101 内線 3571

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/048207

引用文献	公表日	パテントファミリー文献	公表日
WO 2021/215105 A1	28.10.2021	CN 115398885 A	
JP 2018-142954 A	13.09.2018	US 2018/0246521 A1 段落[0056],図1 US 2020/0333796 A1 EP 3367303 A1 KR 10-2018-0097966 A CN 108513059 A CN 111741229 A	
JP 2021-33686 A	01.03.2021	（ファミリーなし）	
WO 2017/099037 A1	15.06.2017	（ファミリーなし）	
JP 2005-287927 A	20.10.2005	（ファミリーなし）	