

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03K 17/687 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200480040638.2

[43] 公开日 2007年1月31日

[11] 公开号 CN 1906852A

[22] 申请日 2004.12.30

[21] 申请号 200480040638.2

[30] 优先权

[32] 2004.1.19 [33] EP [31] 04100147.0

[86] 国际申请 PCT/IB2004/052940 2004.12.30

[87] 国际公布 WO2005/078931 英 2005.8.25

[85] 进入国家阶段日期 2006.7.18

[71] 申请人 皇家飞利浦电子股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 克莱门斯·G·J·德哈斯

[74] 专利代理机构 永新专利商标代理有限公司

代理人 韩宏

权利要求书4页 说明书10页 附图3页

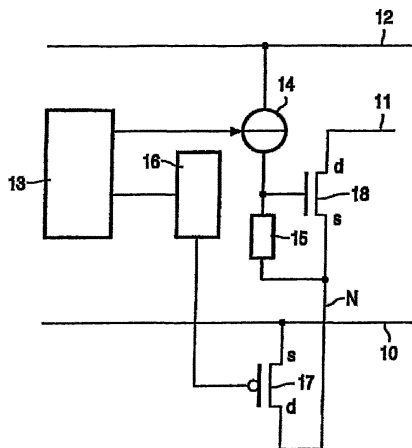
[54] 发明名称

MOS 开关电路

[57] 摘要

一种电子电路，具有通过开关电路连接的一个信号导体(11)和一个电源参考导体(10)。该开关电路包括实现于共同衬底(100)上的一个 PMOS 晶体管(17)和一个 NMOS 晶体管(18)。该 PMOS 晶体管(17)的源极和该电源参考导体(10)连接。该 NMOS 晶体管(18)的源极和 PMOS 晶体管(17)的漏极连接，其漏极和信号导体(11)连接。控制电路(13、14、15、16)在“开”和“关”状态间切换，其中控制电路(13、14、15、16)控制第一和第二 MOS 晶体管(17、18)的栅源电压，以分别使这些 MOS 晶体管(17、18)的沟道导通或者使这些第一和第二晶体管(17、18)的沟道不导通。优选情况下，还提供一个互补开关电路。该互补开关电路使用极性相反的电压差，一个和第二电源连接的 NMOS 晶体管(27)和一个和信号导体连接的 PMOS 晶体管

(28)。该开关电路的开电阻通过匹配 NMOS 晶体管的栅源电压以及 PMOS 晶体管的栅源电压实现匹配。



1、一种电子电路，包括信号导体（11）、电源参考导体（10）和连接在该信号导体（11）和电源参考导体（10）之间的开关电路，该开关电路包括：

和所述电源参考导体（10）连接的衬底结构（100，102）；

在所述衬底结构（100，102）上实现的第一 MOS 晶体管（17），其具有源极、漏极和栅极，其源极和所述电源参考导体（10）连接，该第一 MOS 晶体管（17）具有第一导电类型；

在所述衬底结构（100，102）上实现的第二 MOS 晶体管（18），其具有源极、漏极和栅极，其源极和所述第一 MOS 晶体管（17）的漏极连接，其漏极和所述信号导体（11）连接，该第二 MOS 晶体管（18）具有和所述第一导电类型相反的第二导电类型；

控制电路（13，14，15，16），其多个输出和第一 MOS 晶体管（17）的栅极以及第二 MOS 晶体管（18）的栅极和源极连接，该控制电路（13，14，15，16）用来在“开”状态和“关”状态间切换，其中该控制电路（13，14，15，16）控制所述第一和第二 MOS 晶体管（17，18）的栅源电压，以分别使这两个 MOS 晶体管（17，18）的沟道导通，以及使这两个第一和第二晶体管（17，18）的沟道不导通。

2、如权利要求 1 所述的电子电路，包括另一个电源参考导体（12）和另一个开关电路，其互补于所述开关电路，该另一个开关电路包括：

— 第二导电类型的第三 MOS 晶体管（27），其具有源极、漏极和栅极，其源极和所述另一个电源参考导体（12）连接；

— 第一导电类型的第二 MOS 晶体管（28），其具有源极、漏极和栅极，其源极和所述第三 MOS 晶体管（27）的漏极连接，其漏极和所述信号导体（11）或另一个信号导体（202）连接；

— 控制电路（13、16、19、23、26、29）的输出和所述第三 MOS 晶体管（27）的栅极以及所述第四 MOS 晶体管（28）的栅极和源极

连接，该控制电路（13、16、19、23、26、29）对所述第三和第四 MOS 晶体管（27、28）施加栅源电压，以分别使这两个第三和第四 MOS 晶体管（27、28）导通以及使这两个晶体管不导通。

3、如权利要求 2 所述的电子电路，其中所述控制电路（13、16、19、23、26、29）用于为所述第一和第四 MOS 晶体管（17、28）提供第一基本上匹配的栅源电压，并为所述第二和第三 MOS 晶体管（18、27）提供第二基本上匹配的栅源电压。

4、如权利要求 1 所述的电子电路，其中所述控制电路包括：

— 电源输入（12），用于提供相对于所述电源参考导体（10）而言具有第一极性的电源电压，该第一导电类型是这样的，当其栅极的电压有和相对于其源极的所述第一极性相反的第二极性时，所述第一 MOS 晶体管（17）的沟道导通；

— 激励电路（16），被馈入电源电压，用于为第一 MOS 晶体管产生相对于所述电源参考导体（10）而言具有第二极性的处于“开”状态的栅极电压。

5、如权利要求 1 所述的电子电路，其中所述控制电路包括：

— 电源输入（12），用于提供相对于所述电源参考导体（10）而言具有第一极性的电源电压，该第二导电类型是这样的，当其栅极的电压有和相对于其源极的所述第一极性相反的第二极性时，所述第二 MOS 晶体管的沟道导通；

— 电阻性元件（15），其连接于所述第二 MOS 晶体管的栅极和源极之间；

— 电流源电路（14），其连接于所述电源输入和所述第二 MOS 晶体管（18）的栅极间，用于从所述电源输入提供一个预定的依赖于状态的电流，以通过所述电阻性元件（15）。

6、如权利要求 5 所述的电子电路，包括另一个电阻性元件（370）

以及一个具有输入支路和输出支路的电流镜电路（372、374），该另一个电阻性元件（370）和该输入支路串联连接在所述电源参考导体（10）和所述另一个电源参考导体（12）之间，该输出支路和所述第二 MOS 晶体管（18）的栅极连接，该电流镜的输入/输出因子以及所述电阻性元件（376）和该另一个电阻性元件（370）的电阻值的比具有这样的值，即在该另一个电阻性元件（370）上的第一压降基本上等于电阻性元件（376）上的第二压降。

7、如权利要求 6 所述的电子电路，其中所述控制电路包括：

—激励电路（16），其被馈入所述电源电压，用于为第一 MOS 晶体管产生相对于所述电源参考导体（10）而言具有第一极性的处于“开”状态的栅极电压，该激励电路包括结型抽运二极管（350、352），所述电流镜包括双极型晶体管（372、374）。

8、一种电子电路，包括信号导体（200），第一和第二电源导体（10、12），连接在该第一电源导体（10）和该信号导体（200）间的第一开关电路，以及连接在该第二电源导体（10）和该信号导体（200）或另一个信号导体（202）间的第二开关电路，该第一开关电路包括：

—第一 PMOS 晶体管（17），其具有源极、漏极和基极，其源极和所述第一电源导体（10）连接；

—第一 NMOS 晶体管（18），其具有源极、漏极和基极，其源极和所述第一 PMOS 晶体管（17）的漏极连接，其漏极和所述信号导体（11）连接；

该第二开关电路包括：

—第二 NMOS 晶体管（27），其具有源极、漏极和基极，其源极和所述第二电源导体（12）连接；

—第二 PMOS 晶体管（28），其具有源极、漏极和基极，其源极和所述第二 NMOS 晶体管（27）的漏极连接，其漏极和所述信号导体（11）或所述另一个信号导体（202）连接；

该电子电路包括：

控制电路（13、16、19、23、26、29），其输出和所述第一 PMOS 晶体管（17）的栅极、所述第二 NMOS 晶体管（27）的栅极、所述第一 NMOS 晶体管（18）的栅极和源极以及所述第二 PMOS 晶体管（28）的栅极和源极连接，该控制电路（13、16、19、23、26、29）用于在“开”和“关”状态间切换，其中该控制电路（13、16、19、23、26、29）控制所述第一和第二 PMOS 晶体管（17、28）以及所述第一和第二 NMOS 晶体管（18、27）的栅源电压，以分别使这些晶体管的沟道导通以及使这些第一和第二晶体管的沟道不导通。

9、如权利要求 8 所述的电子电路，其中所述控制电路（13、16、19、23、26、29）用于为所述第一和第二 PMOS 晶体管（17、28）提供基本上匹配的第一栅源电压，以及为所述第一和第二 NMOS 晶体管（18、27）提供基本上匹配的第二栅源电压。

MOS 开关电路

本发明涉及带有开关电路的电子电路，具体涉及在敌方干扰环境下使用的和总线通信线连接的开关电路，具体是具有匹配“开”电阻的一对开关电路。

电子开关电路有两个端子，依赖于控制信号，该两个端子处于电连接状态或者事实上彼此绝缘。简单的电子开关电路包括一个晶体管，如 NMOS 晶体管，其主电流沟道连接于两个端子之间。这样的简单开关电路在敌方电磁环境下不能令人满意地工作，其中端子间的电压波动较大，甚至出现符号改变。例如，NMOS 晶体管具有传导电流的漏极-背栅极（drain-backgate）二极管，当主电流沟道的电压前向偏置该二极管时，其旁路于主电流沟道。同样地，晶体管源极相对于其栅极控制电压的电压波动可使晶体管在导通和非导通状态间切换。

实现工作于不利环境下的开关电路的一种方法是使用两个 NMOS 晶体管，该两个晶体管的主电流沟道串联于开关电路的端子间，而其源-漏路径在端子间方向相反。因此，该两个晶体管的漏极-背栅极二极管反向串联，即，以相反的方向排列，这样，至少一个晶体管工作时不通过其漏极-背栅极二极管导通前向旁路电流，其不依赖于端子间电压差的符号。

这种解决方案要求用于至少一个晶体管的栅-源电压的浮动供电电路，因为其源极电压必须可以在至少一个端子的电压波动的影响下浮动。一个有用的浮动栅-源电压源的示例是和这种晶体管的栅极连接的电流源以及连接在栅极和源极间的电阻器，因此来自源极的电流在电阻器上产生一个压降，该压降确定栅-源电压。

然而，在这种开关电路中，这些晶体管中的一个同另一个晶体管相比体积过大，这是为了防止使用中出现击穿。在 NMOS 晶体管中，

例如，漏极-背栅极二极管的击穿电压，在背栅极电压大于衬底电压时比背栅极电压小于衬底电压时要大。因此，其漏极-背栅极二极管在端子电压低于衬底电压时被反向偏置的晶体管必须是体积过大的。

另一个问题出现在使用一对开关电路来连接不同的电源导体而且在电源连接上需要相等的“开”阻抗时。如果通信总线包括两个导体，第一导体必须和第一电源导体连接，第二导体必须和第二电源导体连接，每个有同样的“开”阻抗，这时就会发生这种情况。这种情况下，通常，一个开关电路包括两个 NMOS 晶体管，另一个开关电路包括两个 PMOS 晶体管。这使得对“开”阻抗进行匹配比较困难。

本发明的目的之一是提供一种带有开关电路的电子电路，该电路可以承受端子间两个方向的电压，并且无需使用体积过大的晶体管。

本发明的另一个目的是提供一种带有总线导体的电子电路，其中总线导体的电势通过开关电路被拉到电源电势，该开关电路可以承受端子间两个方向的电压，并且无需使用体积过大的晶体管。

本发明的另一个目的是提供一种电子电路，其中通过开关电路为一个或多个总线导体提供基本上相等的“开”阻抗。

本发明提供根据权利要求 1 所述的一种电子电路。根据本发明，具有相反导电类型的第一和第二 MOS 晶体管的沟道串联连接于信号导体和电源导体间。第一晶体管的源极和电源导体连接，其漏极和第二晶体管的源极连接，第二晶体管的漏极和输出连接。

请注意，这种连接和互补晶体管间传统的漏极-漏极或源极-源极连接不同。因此，这些晶体管的源漏二极管是反向串联的。即便两个晶体管使用共同的衬底电压，或衬底电压的差别没有大到致使该差别超出了所有可能的电源波动，任何一个晶体管相对于另一个晶体管而言都无需体积过大。这是因为第一和第二晶体管，在漏极电压相对于衬底电压为反向时击穿电压最大，并且当漏极电压符号对应于较低击穿电压时，漏极背栅极二极管是前向偏置的。

使用这种混合导电类型的互补开关电路时，一个和第一电源导体连接，一个和另一个电源导体连接，在低信号条件下，可以通过匹配

开关电路的 NMOS 晶体管的开电阻和匹配开关电路的 PMOS 晶体管的开电阻，轻易地实现基本上相等的“开”阻抗。这使得这种开关电路在需要相等“开”阻抗的总线系统中成为有益的使用选择。每个开关电路的晶体管的衬底最好分别和开关同其连接的电源导体连接。然而，如果这两个电源导体间的电源电压差不大（小于击穿电压），两个开关电路的衬底可以处于同一电势。

第二 MOS 晶体管的源栅电压最好由浮动电压源控制，其不把源电压或栅电压相对于电源连接固定，而只是定义栅-源电压差。优选情况下，该浮动电压源由和第二晶体管的栅极连接的电流源电路以及连接在第二晶体管的栅极和源极间的电阻性元件实现。

当电路只有一个电源时，该电源在电源参考导体和电源输入间供电，浮动电压源的电流源最好由来自电源输入的电流供电，而第一晶体管的栅极由具有在输入和电源参考导体间的供电范围之外的电压的激励电路（pump circuit）驱动。因此，控制电路中唯一吸收大电流的部分，即浮动电压源中的电流源电路，可以由电源直接供电。激励电路只需驱动一个栅极，该栅极需要的电流很小，因此激励电路很小。

本发明的其他目的和有益方面将使用以下附图以非限制性的示例方式进行描述：

图 1 示出了带有开关电路的电子电路；

图 2 示出了有一对开关电路的总线系统；

图 3a 示出了开关电路的一部分；

图 3b 示出了开关电路的另一部分。

图 1 示出了带有开关电路的电子电路。该电子电路包括一个第一电源导体 10、一个第二电源导体 12、一个信号导体 11、一个控制电路 13、一个电流源 14、一个电阻器 15、一个激励电路 16、一个 PMOS 晶体管 17 和一个 NMOS 晶体管 18。（应该理解，按习惯，术语“NMOS 晶体管”包括任何带有导电栅极材料如多晶硅的晶体管）。

第一和第二电源导体 10、12 分别是电子电路电源的负极和正极。

信号导体 11 和 NMOS 晶体管 18 的漏极连接。NMOS 晶体管 18 的源极和内部节点 N 连接。内部节点 N 和 PMOS 晶体管 17 的漏极连接，PMOS 晶体管的源极和第一电源导体 10 连接。电流源 14 和电阻器 15 共同形成了浮动栅-源电压源。电阻器 15 连接在 NMOS 晶体管 18 的栅极和源极之间，电流源 14 连接在第二电源连接 12 和 NMOS 晶体管 18 的栅极间。激励电路 16 具有一个和 PMOS 晶体管 17 的栅极连接的输出。控制电路 13 具有和激励电路 16 以及电流源 14 的控制输入连接的输出。

请注意，PMOS 晶体管 17 的源极和漏极是连接起来的，因此，PMOS 晶体管 17 的内在漏极背栅极二极管的前向是从节点 N 到第一电源导体 10 的。PMOS 晶体管 18 的源极和漏极是连接起来的，因此，NMOS 晶体管 18 的内在漏极背栅极二极管的前向是从节点 N 到信号导体 11 的。也就是说，这两个二极管在信号导体 11 和第一电源导体 10 之间串联连接，其前向方向相反。

当然漏极背栅极二极管的性质是众所周知的，但还是对其进行简单回忆。

图 1a 示出了在绝缘衬底 102 上用后电极 100 实现的晶体管 17、18。每个 MOS 晶体管包括第一导电类型的源极和栅极 (S, D) 区域，(对 NMOS 晶体管 18 而言是 N 型,对 PMOS 晶体管 17 而言是 P 型)，其由和第一导电类型相反的第二导电类型的插入区域 104、106 隔开。插入区域 104、106 的大部分形成了晶体管的背栅极。紧邻着插入区域的表面放置栅极电极 (G)，以在插入区域 (104、106) 的表面形成晶体管的沟道。因为一边的背栅极和另一边的源极和漏极是相反的导电类型，由源极和漏极到背栅极形成了结型二极管。传统上，以及在该电路中，只有漏极背栅极二极管和晶体管的工作有关。源极-背栅极二极管通过在源极和背栅极间连接导体而短路，或者更普遍地，通过施加源极背栅极 (source back gate) 电压使得源极背栅极二极管不被前向偏置。

工作中，图 1 的电路用于提供信号导体 11 和第一电源导体 10 之间的电连接。在控制电路 13 的控制下，电连接在“开”和“关”状

态间切换，其时电连接分别为高阻抗和低阻抗。

在“开”状态，电流源 14 为电阻器 15 提供电流，因此电阻器上产生压降，该压降施加于 NMOS 晶体管 18 的栅极和源极间，其符号和大小可以使 NMOS 晶体管 18 的沟道导通。（尽管示出的是电阻器 15，应该明白，可采用任何有电阻值的元件，例如适当偏置的晶体管的沟道，用一定电阻值的材料（如金属或多晶硅）制成的长度和宽度合适的槽（track））。同样在“开”状态，激励电路 16 为 PMOS 晶体管 17 的栅极提供小于第一电源导体 10 的电压，其大小可使 PMOS 晶体管 17 的沟道导通。

在“关”状态，电流源 14 不提供电流，因此 NMOS 晶体管 18 不导通，激励电路 16 为 PMOS 晶体管 17 的栅极提供等于或大于第一电源导体 10 的电压，使 PMOS 晶体管 17 不导通。

通常在“开”状态，信号导体 11 和第一电源导体 10 之间最多有一个很小的电压差。因此，PMOS 晶体管 17 和 PMOS 晶体管 18 都工作于小电压范围（非饱和，电阻特性）。信号导体 11 和第一电源导体 10 之间的阻抗是 PMOS 晶体管 17 和 PMOS 晶体管 18 的沟道阻抗之和，其值取决于施加于这两个晶体管的栅-源电压。

当信号导体 11 和第一电源导体 10 之间的电压差增大时，最终晶体管 17、18 中的一个作为电流源（如果信号导体 11 的电压大于第一电源导体 10 的电压，是 NMOS 晶体管 18，如果信号导体 11 的电压低，是 PMOS 晶体管 18）。这种情况下另一个晶体管 17、18 的漏极背栅极二极管被前向偏置，因此，这种情况下，另一个晶体管作为前向偏置的二极管。

在“关”状态，信号导体 11 和第一电源导体 10 之间为高阻抗。通常在“关”状态，信号导体 11 的电压大于第一电源导体 10 的电压。这种情况下，NMOS 晶体管 18 的漏极背栅极二极管反向偏置，NMOS 晶体管 18 的沟道表现为高电阻，其栅-源电压低于其门限值。因此，NMOS 晶体管 18 确保高阻抗，这种情况下不能依赖 PMOS 晶体管 17，因为其漏极背栅极二极管被前向偏置。

由于电压的波动，信号导体 11 的电压也可能低于第一电源导体

10 的电压。这种情况下，PMOS 晶体管 17 的漏极-背栅极二极管被反向偏置，PMOS 晶体管 17 的沟道表现为高电阻，其栅-源电压低于其门限值。因此，PMOS 晶体管 17 确保高阻抗，这种情况下不能依赖 NMOS 晶体管 18，因为其漏极背栅极二极管被前向偏置。

优选情况下，NMOS 晶体管 18 和 PMOS 晶体管 17 不用共同的半导体衬底实现，其最好是有共同绝缘衬底的 SOI（绝缘体上硅）晶体管。优选情况下，这种绝缘衬底带有后电极 100。这种情况下，漏极背栅极二极管反向偏置的击穿电压依赖于漏极和后电极之间的电压差。通常，在 NMOS 晶体管中，漏极电压高于和低于后电极的电压时，其击穿电压分别较高或较低；例如，这是 DMOS 晶体管的情形，其具有扩展的漏极背栅极结，以处理高压。相反，PMOS 晶体管中，漏极电压高于或低于后电极电压时，其击穿电压通常分别较低或较高。请注意，在图 1 的电路中，当 NMOS 晶体管 18 的沟道电压为高电压时，其漏极电压永远大于第一电源连接 10 的电压，当 PMOS 晶体管 17 的沟道电压为高电压时，其漏极电压永远小于第一电源连接 10 的电压。因此，当后电极的电压大约等于第一电源导体 10 的电压时，电路最优地得益于较高击穿电压。尽管只示出了单个后电极 100，应该理解，后电极 100 可能由几个独立部分组成，这几个独立部分可能有不同的和电源导体 10 的电压相近的电压（如，和第二电源导体 12 的电压相近）。如果电源波动，漏极电压可能远低于或高于后电极的电压，这会引起同样的问题。

图 2 示出了一个电子电路，其中使用了两个互补开关电路。电子电路包括一个通信总线，其具有第一和第二总线导体 200、202，若干个站 208a、b 和总线导体连接（示出了两个，但是可以使用任意多个）。通常，总线导体 200、202 不（全部）是集成电路一部分的线路，但延伸通过例如汽车的设备，其中站 208a、b 位于不同位置。

总线导体 200、202 分别和第一和第二电源导体 10、12 连接。第一总线导体 200 通过第一电阻器 206 和第一开关电路的串联连接和第一电源导体 10 连接。第二总线导体 202 通过第二电阻器 204 和第二开关电路的串联连接和第二电源导体 12 连接。

站 208a、b 在工作中相互通信，其通过把第一和第二总线导体 200、202 的电势拉到第二和第一电源导体 10、12 的电势实现，这样电流通过电阻器 204、206 从另一个电源导体 10、12 流出。电子开关用来在休眠状态把总线导体 200、202 从电源导体 10、12 断开，例如，在休眠状态降低电池电量消耗，当从一个总线导体到电源导体应该有短路电路时尤其如此。

连接第一总线导体 200 和第一电源导体 10 的第一开关由图 1 示出的 NMOS 晶体管 18 和 PMOS 晶体管 17 实现，其在此称为第一 NMOS 晶体管 18 和第一 PMOS 晶体管 17。代替电流源 14 和电阻器 15 的是示出的浮动电压源 19。

连接第二总线导体 202 和第二电源导体 12 的第二开关的结构和操作和第一开关的结构和操作互补。第二开关包括第二 NMOS 晶体管 27 和第二 PMOS 晶体管 28。第二 NMOS 晶体管 27 的源极和第二电源导体 12 连接，其漏极和第二 PMOS 晶体管 28 的源极连接。第二 PMOS 晶体管的漏极通过电阻器 204 和第二总线导体 202 连接。提供了另一个控制电路 23、另一个激励电路 26 和另一个浮动电压源 29。另一个控制电路 23 的控制输出和另一个激励电路 26 以及另一个浮动电压源 29 连接。另一个激励电路 26 的输出和第二 NMOS 晶体管 27 的栅极连接。另一个浮动电压源 29 的输出和第二 PMOS 晶体管 28 的源极和栅极连接。

在总线电路中，为了保证总线导体 200、202 上的对称信号，期望连接第一和第二总线导体 200、202 和第一和第二电源导体 10、12 的阻抗基本上相等，至少在“开”状态，当开关上的电压差较小时基本上相等。使用对称信号是有益的，这是因为其降低由总线导体 200、202 上的信号引起的干扰。对称信号所需的基本上相等的阻抗易于实现，因为只需要将 NMOS 晶体管和 NMOS 晶体管匹配，以及将 PMOS 晶体管和 PMOS 晶体管匹配：不需要进行 PMOS-NMOS 阻抗匹配。

第一总线导体 200 和第一电源导体 10 之间连接的阻抗是电阻器 206、第一 NMOS 晶体管 18 和第一 PMOS 晶体管的沟道的串联结构。在“开”状态，电阻器获得该串联结构的大部分压降，第一 NMOS

晶体管 and 第一 PMOS 晶体管都处于线性范围（非饱和，作为电阻器）。同样的，第二总线导体 202 和第二电源导体 12 之间连接的阻抗是电阻器 204、第二 NMOS 晶体管 27 和第二 PMOS 晶体管 28 的沟道电阻的串联结构。

通过在几何上以及根据施加的栅-源电压来匹配第一和第二 NMOS 晶体管 18、27，这两个 NMOS 晶体管贡献的阻抗可以实现基本上相等（请注意，第一 NMOS 晶体管 18 的栅-源电压由浮动电压源电路 19 控制，第二 NMOS 晶体管的栅-源电压由另一个激励电路 26 控制）。同样的，通过在体积上以及根据施加的栅-源电压来匹配第一和第二 PMOS 晶体管 17、28，这两个 PMOS 晶体管贡献的阻抗可以实现基本上相等。

图 3a 示出了用于第二 PMOS 晶体管 28 的浮动电压源的示例。该电路包括控制晶体管 34、第一和第二电阻器 370、376 和用双极型晶体管 372、374 实现的电流镜。控制晶体管 34 的控制电极和浮动电压源的控制输入 32 连接。第二电源导体 12 和通过控制晶体管 34 的沟道以及第一电阻器 370 和电流镜的输入连接。电流镜的输出形成浮动电压源的第一端子 31（和第二 PMOS 晶体管的栅极连接，未示出）。电流镜的输出通过第二电阻器 376 和浮动电压源的第二端子连接（和第二 PMOS 晶体管 28 的源极连接，未示出）。

工作中，当需要实现“开”状态时，输入 32 上的控制信号使控制晶体管 34 导通，当需要实现“关”状态时，使其不导通。在开状态，电流从第二电源导体 12 通过第一电阻器 370 流向电流镜。该电流等于 $(V_s - V_a - V_f)/R$ ，其中 V_s 是第一和第二电源连接 10、12 之间的电压差， V_a 是第二电源连接和位于控制晶体管 34 与第一电阻器 370 之间的节点 a 间的压降， V_f 是前向二极管偏置电压，其确定电流镜的输入电压。电流镜反射该电流，其输出电流流经第二电阻器 376。选择电流镜的输入输出比和电阻值，以使电阻器 370、376 上的压降相等（都基本上为 $V_s - V_a - V_f$ ，或为 V_s 量级）。通常，输入输出比为 1，电阻值相等。

图 3b 示出了激励电路的示例。激励电路包括驱动器 33，第一和

第二二极管 350、352，激励电容器 354 和放电晶体管 356。时钟输入 CLK 和驱动器 33 的输入连接，该驱动器 33 的输出和激励电容器 354 的第一电极连接。第一二极管在反向从激励电容器 354 的第二电极连接到节点 a（参考图 3a）。第二二极管 352 在前向从激励电容器 354 的第二电极连接到激励电路的输出 30。放电晶体管 356 的主电流沟道连接在输出 30 和第一电源导体 10 之间。其控制电极和输入 32 连接。

工作中，向驱动器 33 的输入提供时钟信号。可以使用任何合适的时钟频率。优选情况下驱动器 33 的输出转换率有限。这使频率和总线导体间的耦合最小。驱动器用基本上等于电压差 V_s 的电压摆幅驱动激励电容器 354 的第一电极，因此使第二电极的峰值电压升到大于节点 a 的电压的该电压差 V_s 减去第一二极管 350 的前向偏置电压 V_{f1} 。输出 30 的电压也包括第二二极管 352 上的压降 V_{f2} ，因此其为 $2V_s - V_a - V_{f1} - V_{f2}$ 。因此，第二晶体管 27 的栅源电压为 $2V_s - V_a - V_{f1} - V_{f2}$ ，其为 V_s 的量级。电路切换到关状态时，放电晶体管 356 对输出 30 放电，控制晶体管 34 处于非导通状态，因此，激励电容器 350 的第二电极的最大电压下降。

实践中，因为流经二极管的电流很小，所以 $V_{f1} V_{f2}$ 很小， $V_{f1} + V_{f2}$ 大约相等，因此 V_s 和两个第二 NMOS 晶体管 27 和第二 PMOS 晶体管 28 的栅源电压间的偏差基本上相等。

可以使用类似的电路产生第一 NMOS 晶体管 18 和第一 PMOS 晶体管 18 的栅源电压，因此这两个第一晶体管的栅源电压等于两个第一晶体管的电压。然而，请注意，对于提供电阻匹配而言，第一和第二 NMOS 晶体管 18、27 的栅源电压基本上相等，第一和第二 PMOS 晶体管 17、28 的栅源电压基本上相等就足够了：PMOS 和 NMOS 晶体管的栅源电压无需相等。因此，优选情况下，由另一个电荷泵 (charge pump) 26 引起的栅源电压，基本上等于由浮动电压源 19 引起的栅源电压。因此，优选情况下，电荷泵 16 引起的栅源电压，基本上等于由另一个浮动电压源 29 引起的栅源电压。

尽管通过具体实施例说明了本发明，应该理解，本发明不限于这

些实施例。例如，应该理解，可以不偏离本发明而在开关电路中包括和 NMOS 以及 PMOS 晶体管串联的其他元件，比如，串联在 NMOS 和 PMOS 晶体管间。同样的，尽管示出了使用激励电路从第一和第二电源导体间提供的电力导出栅极电压，应该理解，可以使用其他的电路来提供第一和第二电源导体之间的范围外的栅极电压，如其他的提供该范围外电压的电源线。尽管示出了独立的控制电路 13、23，应该理解，实践中可以使用组合的控制电路，其与通过开关电路进行开关相关。

同样的，应该认识到，本发明的一个重要应用在于总线通信系统，其具有必须使用相等阻抗拉到第一和第二电源电势的第一和第二总线导体。但是，应该清楚，本发明不限于该应用，例如，本发明也可用于交替地将同一个信号导体（尤其是易受不可预测的电压波动影响的总线导体）的电源拉到不同电源电压的开关电路。

此外，尽管优选情况下，本发明用于不直接传送信息而拉动电势的开关电路（如，在正常使用而不是休眠状态拉动，这种情况下控制电路 13、23 决定休眠状态），应该理解，开关电路也可用于施加信息。这种情况下，控制电路（或组合控制电路）和逻辑电路连接，这些逻辑电路提供要施加的信号。如果使用激励电路，优选情况下，要保证该电路的频率不干扰逻辑信号（例如，高很多。）。

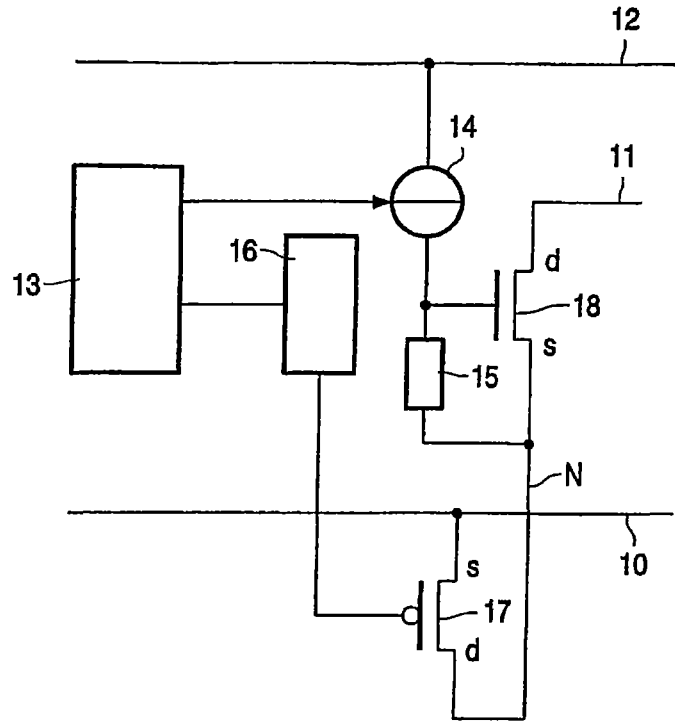


图1

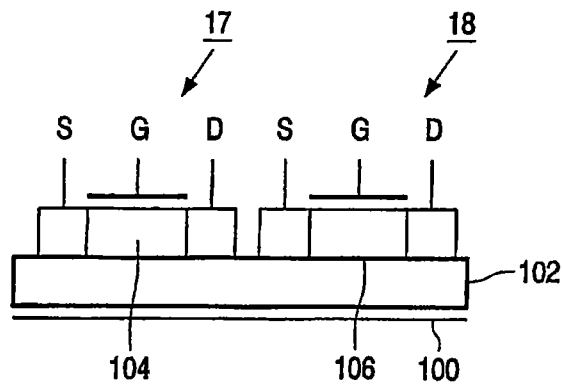


图1a

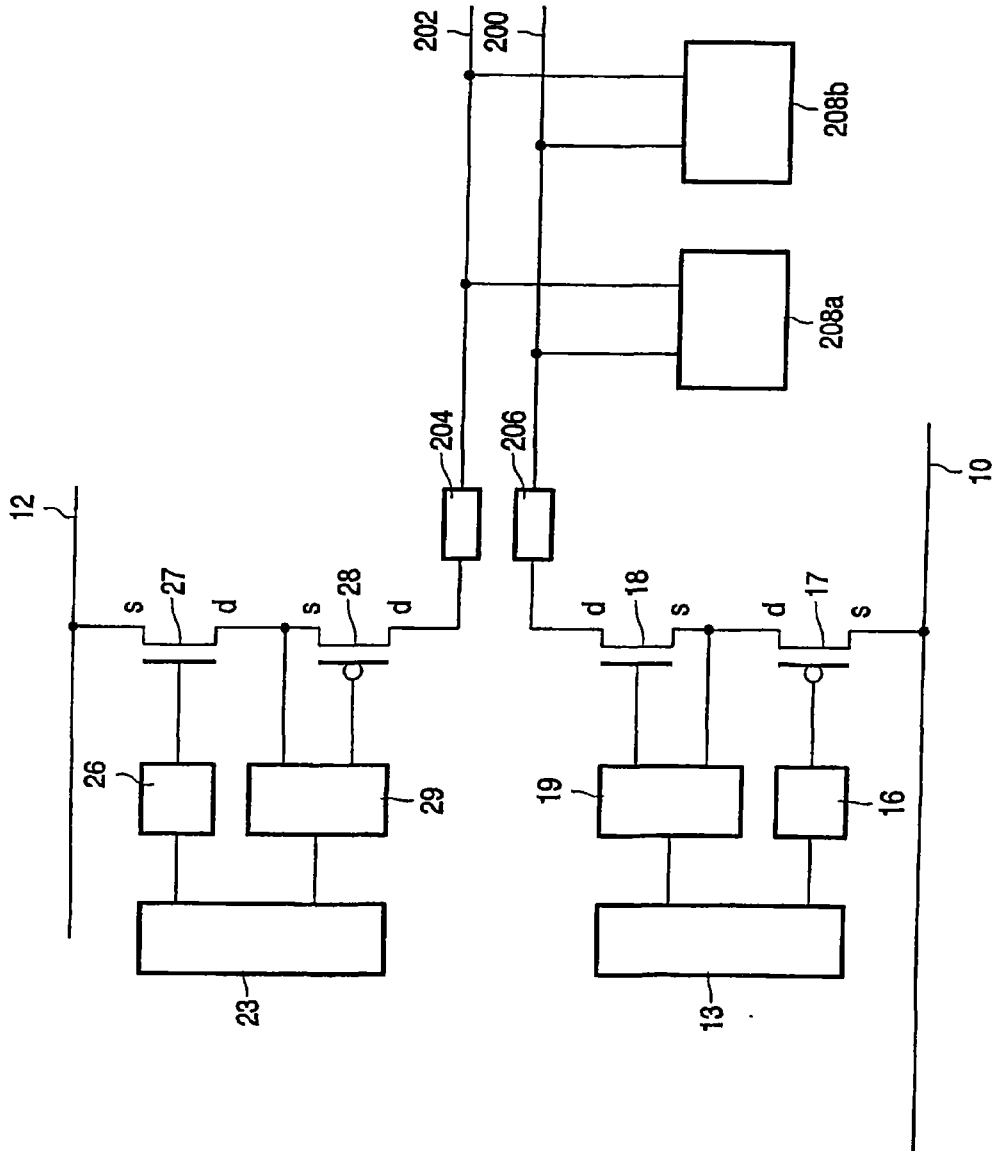


图2

