

公告

修正
補充
年 月 日

申請日期	89.05.10
案 號	89108933
類 別	G11C 1/2

A4
C4

483002

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	具有防止干擾之鐵電記憶體
	英 文	Ferroelectric memory with disturb protection
二、發明 創作人	姓 名	1. 林 慎 一 郎 (Shinichiro Hayashi) 2. 大 槻 達 男 (Tatsuo Otsuki) 3. 卡 洛 斯 A. 佩 斯 得 黑 洛 裘 (Carlos A Paz de Araujo)
	國 籍	1. 日 本 2. 日 本 3. 美 國
	住、居所	1. 日本大阪府 569-1041 高槻市為原 2-9-3-301 2. 日本大阪府 569-1121 高槻市真上町 2-1-31-402 3. 美國科羅拉多州 80919 科羅拉多泉西桑背 得克利夫巷 317 號
三、申請人	姓 名 (名稱)	1. 西門特克斯公司 SYMMETRIX CORPORATION 2. 松下電器產業股份有限公司 Matsushita Electronics Industrial Co., Ltd.
	國 籍	1. 美 國 2. 日 本
	住、居所 (事務所)	1. 美國科羅拉多州 80918 科羅拉多泉馬克達 布林道 5055 號 2. 〒571-8501 日本國大阪府門真市大字門真 1006 番地
	代 表 人 姓 名	1. 拉瑞 D. 馬米蘭 (Larry D. McMillan) 2. 中村邦夫

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

美 1999年5月19日 09 / 314, 800

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

發明背景

1. 發明領域

本發明係有關一種積體電路記憶體單元的領域，特別是有關一種用來當作非揮發性記憶體內組件的鐵電記憶體，更特別的是，這類鐵電裝置包含一些能對抗干擾電壓脈波的鐵電電容器以及場效電晶體。

2. 相關技術說明

因為鐵電材料具有長時間保持資訊的能力，故吾人將之用於非揮發性記憶體內。鐵電物質會在存在有施加電場時偏極化且接著在移除電場之後無限期地保持一個偏極化狀態。Araujo等人於專利第W0 93/12542號文件中說明了一種包含分層超晶格材料而呈薄膜形式的鐵電物質能夠保持足夠的偏極性，以便在使鐵電物質偏極化並移除電場之後大概十年或是更長的時間內執行記憶體作業。

實際上，因為記憶體必須遵循操作方式的緣故，鐵電記憶體保持所儲存資料的能力是遠小於鐵電物質單獨保持偏極性的時段。新近提出的鐵電記憶體結構設計會在讀取或書寫近旁電容器時要求鐵電物質忍受非有意施加的小電壓脈波。習知設計中將這些小電壓脈波稱為「干擾」電壓。例如，實驗結果顯示鈦酸鉛銻(PZT)電容器能夠在損失10%所保持偏極性下忍受重複速率大概是 10^8 的0.4伏特(V)干擾電壓。對具有 10^8 個週期的1V較大脈波而言，偏極性會以更快速率變差而導致所保持偏

五、發明說明(²)

極性有大概三分之二的損失。

第1圖顯示的是一種包含分層超晶格材料亦即鉍酸鋇鉍之電容器的干擾電壓損失。這種電容器因為干擾電壓而產生的偏極性損失是類似於PZT的損失，亦即在1V的 10^8 個單向週期之後所保持偏極性的正規化百分比會投射到大概三分之二的損失。目前尖端設計下的記憶體會使用大約3V的書寫脈波。第1圖指出即使對一個等於十分之一尖端設計下書寫電壓的干擾電壓而言也就是說即使對一個0.3V的干擾電壓而言，其偏極性也會顯著地變差。

專利第W0 93/12542號文件中顯示了一種由習知場效電晶體以及鐵電電容器構成的鐵電隨機存取記憶體(FERAM)單元。該電容器的底部電極是依習知1T 1C動態隨機存取記憶體(DRAM)單元的方式連接到一個電晶體的活性區域上。參照專利第W0 93/12542號文件中的第3C和3D圖，該電晶體的閘極是連接到字元線上，而該電晶體的源極區域是連接到位元線上。該電晶體的汲極區域是連接到一個其內儲存有資料之鐵電電容器的底部電極上。將位元線和字元線驅動到高和低電壓以便施行讀取和書寫作業，這些作業會使鐵電材料受到干擾電壓的影響。隨著時間的消逝，這些干擾電壓會使鐵電偏極性變差直到不再能夠執行記憶體作業為止，除非吾人是依類似於習知DRAM之更新作業的方式讀取並重寫記憶體儲存狀態。

五、發明說明(3)

Nakamura等人發表於IEEE p.68(1995)的論文「具有單一-電晶體的鐵電記憶體單元(A Single-Transistor Ferroelectric Memory Cell)」中顯示了一種具有單一-電晶體的鐵電記憶體單元；亦即一種將閘極形成為呈金屬-鐵電物質-金屬-絕緣體-半導體(MFMIS)結構的鐵電浮動閘隨機存取記憶體(FFRAM)。這個裝置會使用由習知矽材料形成的浮動閘。以矽底部閘極當作底部電極，且將一個鐵電層成長於該閘極頂部上。第一電極會駐在該鐵電層頂上。利用第一電極控制該閘極的電荷以便使該鐵電層偏極化。利用已偏極化鐵電物質的區域場以改變跨越電晶體之源極/汲極區域的臨限電壓。吾人可以藉由添加一個背面閘極而強化該記憶體單元，將這個背面閘極當作一個位元線並保持在一個程式化電壓亦即一個足以導致鐵電切換的電壓上。將第一電極當作一個字元線並保持在具有該程式化電壓之一半位準的電壓上。其他已製成的FFRAM電晶體包含一個由依垂直順序為二氧化矽、多晶矽、氧化銻、鈦酸鉛銻、和銻等形成的MFMIS閘極。於FFRAM單元內使用MFMIS閘極不會排除從干擾電壓衍生出的問題，因為有很多單元會在吾人將字元線或位元線加到MFMIS閘極的特定結構上時受到這些線上電壓變化的干擾。故持續存在著於積體電路記憶體內保護鐵電物質使不受干擾電壓影響的需求。

以上討論的FFRAM是一種鐵電場效電晶體或是FFET型的記憶體。於1996年6月4日授予McMillan等人的美

五、發明說明(4)

國專利第 5,523,964 號文件中揭示了其他的 FFET。這些 FFET 以及其他 FFRAM 都受害於不同程度的干擾問題。

發明概述

本發明藉由提供一種薄膜裝置以防止像積體電路鐵電記憶體內的記憶體單元之類鐵電裝置受到干擾電壓的影響而克服了上述問題。於某一實施例中，該干擾保護裝置是一種可變電阻或變阻器。這個變阻器會排除或降低加到該鐵電物質上之干擾電壓脈波的量值。在標準干擾電壓脈波的低電壓位準上，該變阻器會依一種屏蔽來自該鐵電層之施加電壓的方式而變成已充電的，因此防止該鐵電物質內的部分偏極性切換作用。在有意切換該鐵電物質之偏極化狀態的高電壓位準上，該變阻器的阻抗會變得小很多，因此容許吾人將幾乎全部電壓加到該鐵電層上。

吾人能夠將一種根據本發明的鐵電裝置用於鐵電型積體電路記憶體裝置內，此中一般而言係指像鐵電場效電晶體 (FEET) 之類的 FERAM，包含了討論如上的 FFRAM 以及應用鐵電電容器的 FERAM 上。於較佳實施例中，該記憶體裝置是一種 FFET。這個 FFET 包含：一基板，一形成於該基板之內的 n-或 p-摻雜的源極區域，和一形成於該基板之內的 n-或 p-摻雜的汲極區域，一位於該源極區域與該汲極區域之間的通路區域，以及一鐵電閘極。該鐵電閘極是直接位在該通路區域上以便取決於該鐵電閘極的

五、發明說明(5)

偏極化狀態而調制在該源極區域與該汲極區域之間的電流流動。使用一個電極或是一些電極的組合以便將電場加到該鐵電物質上而切換其偏極化狀態。干擾保護裝置會保護該鐵電材料使不受干擾電壓效應的影響。這種干擾保護裝置一般會包含一個薄膜層或是一些薄膜層的組合而使電流依電壓函數的形式流動。更特別的是，該保護機制較佳地包含了一薄膜變阻器或是肖特基(Schottky)二極體。薄膜變阻器是用於干擾保護裝置的最好結構，較佳的是一種以氧化鋅為基礎的變阻器，且最好添加了一些包含銻、鉍、鎳、鈷、銻、錳、矽、鉻、鈦、鉀、鎘、銲、銻、鐵、以及其組合等的攙雜元素。攙雜了鉍的氧化鋅與銻的組合是最好的。

較佳的是經由與該薄膜變阻器接觸的第一電極將資料輸入到FFET記憶體單元之內，因此吾人可以依類比於DRAM的方式將這個電極稱為該「位元線」。吾人能夠使用該電晶體的源極區域或是汲極區域以選出將要書寫及/或讀取的記憶體單元，且因此依類比於DRAM的方式將這個區域上的電氣接點稱為一個「字元線」。較佳的是，在變阻器底部與該鐵電閘極之間有一個第二電極；於讀取作業期間加到第一電極上的電壓是足夠高的以致變阻器會將之送到第二電極上，而第二電極則將該電壓加到該鐵電層上使之切換。

施加於鄰近FFET記憶體單元上的讀取和書寫作業會導致將干擾電壓脈波加到該變阻器上。這個變阻器會降低

五、發明說明(⁶)

對應到各鄰近單元上的讀取和書寫作業的電壓雜訊或是防止它抵達閘極的鐵電材料上。抵達該閘極的任何電場在量值上都是很小而具有可忽略的效應；也就是說，這個干擾電壓是可忽略的。

較佳的是，在等於或接近記憶體之操作電壓的「高」電壓（我們將之標示為 V_H ）上，也就是在讀取和書寫作業週期內加到鐵電記憶體單元的切換電壓上，這個薄膜變阻器的電阻係數 R_d 以及該鐵電層的電容量 C_F 的關係如下：

$$(1) \quad R_d > 0.1 \times 1 / (2 \pi f C_F)$$

其中 f 是記憶體的操作頻率。若在設計 FFET 記憶體單元以及選出用於其組件的材料時遵循公式 (1)，則這個變阻器對讀取和書寫作業的效應是很小的。更好的是，在等於或接近記憶體之操作電壓的「高」電壓，這個薄膜變阻器的電阻係數 R_d 以及該鐵電層的電容量 C_F 的關係如下：

$$(2) \quad R_d > 0.01 \times 1 / (2 \pi f C_F)$$

其中 f 是記憶體的操作頻率。若在設計 FFET 記憶體單元以及選出用於其組件的材料時遵循公式 (2)，則這個變阻器對讀取和書寫作業的效應是可忽略的。

較佳的是，在等於記憶體操作電壓之半或更低的「低」電壓（我們將之標示為 V_L ）上，這個薄膜變阻器的電阻係數 R_d 以及該鐵電層的電容量 C_F 的關係如下：

$$(3) \quad R_d > 10 \times 1 / (2 \pi f C_F)$$

五、發明說明(7)

其中 f 是記憶體的操作頻率。若在設計 FFET 記憶體單元以及選出用於其組件的材料時遵循公式 (1)，則干擾電壓的效應是很小的。更好的是，在等於記憶體操作電壓之半或更低的電壓上，這個薄膜變阻器的電阻係數 R_d 以及該鐵電層的電容量 C_F 的關係如下：

$$(4) \quad R_d > 100 \times 1 / (2 \pi f C_F)$$

其中 f 是記憶體的操作頻率。若在設計 FFET 記憶體單元以及選出用於其組件的材料時遵循公式 (2)，則干擾電壓的效應是可忽略的。

根據本發明的干擾保護裝置和方法會使記憶體的可靠度增加一個至少等於一千的倍數，且能夠在不致顯著地影響記憶體之讀取和書寫作業下使可靠度增加一個等於一百萬或更高的倍數。本發明的無數其他特性、目的、及優點將會因為以下參照所附圖示對顯示用實施例的詳細說明而變得更明顯。

圖式之簡單說明

第 1 圖描繪的是習知鐵電記憶體結構內因多數單指向干擾電壓脈波而在薄膜鐵電物質上發生的效應。

第 2 圖描繪的是一種鐵電場效電晶體 (FFET) 記憶體單元，其中含有一個變組器層而依防止由干擾電壓脈波產生如第 1 圖所示問題效應的方式保護電晶體的儲存狀態。

第 3 圖描繪的是一種用來製造具有如第 2 圖所示型式 FFET 之方法的簡略流程圖。

第 4 圖係用以顯示漏電流量測的絕對值對電壓作圖的

五、發明說明(8)

曲線，其中一種具有本發明中用來防止對鐵電層產生干擾之型式的薄膜變阻器顯示出非歐姆行為。

第5圖顯示的是該鐵電材料的偏極化狀態以及在「打開」狀態下一個FFET的最終通路狀態。

第6圖顯示的是該鐵電材料的偏極化狀態以及在「關閉」狀態下一個FFET的最終通路狀態。

第7A圖顯示的是一種根據本發明的替代實施例，其中的非線性元件是一種肖特基二極體。

第7B圖顯示的是一種代表根據本發明之FFET 100的電路圖。

第8圖顯示的是一種如第7圖所示電路的等效電路。

第9圖顯示的是於一種根據本發明之理想的干擾保護裝置上電壓對電流作圖而得到的曲線。

第10圖顯示的是用於最佳鐵電電容器之電容量 R_d 的「高」電壓範疇和「低」電壓範疇。

第11圖顯示的是用於最佳變阻器之電阻係數 R_d 的「高」電壓範疇和「低」電壓範疇。

第12圖結合第10和11圖的資訊以顯示最佳變阻器之電阻係數 R_d 的「高」電壓範疇和「低」電壓範疇與最佳鐵電電容器之電容量 C_F 的關係。

發明的詳細說明

如同習知設計，本發明中用到的「基板」一詞在一般狀況下包含像第2圖中層124之類的一個或更多個材料層，其上可能澱積了另一個固體材料層且在一種特殊狀

五、發明說明(9)

況下指的是一個一般而言由矽、砷化鎳、玻璃、紅寶石、或其他習知材料形成的晶圓102，其上則形成了其他各層。除非另外標示，本發明中基板指的是其上澱積有一種薄膜材料的任何積體電路層。

此中像「向上」、「向下」、「上方」、「頂部」、「靠上邊」、「下方」、「底部」、「靠下邊」之類的各定向詞指的是相對於像第2圖中102之類晶圓或基板。也就是說，若第二元件是位在第一元件「上方」，指的是遠離基板102；而若它位在另一元件「下方」，則指的是比其他元件更靠近基板102。此中認定一個沿基板102長軸而定義的平面是「水平」平面，且認定垂直於這個平面的各方向都是「垂直」的。若第一元件位在第二元件「上方」，意思是一個垂直於基板而穿過第一元件的線段也會穿過第二元件。

此中「薄膜」一詞是將要用於積體電路內之薄膜的適當厚度。這種薄膜的厚度是小於一微米，且一般而言是落在20到500毫微米的範圍內。重要的是分辨這個詞與像光學之類基本上屬宏觀習知設計中用到的同一個詞亦即「薄膜」，該「薄膜」指的是一種厚度超過一微米且通常是位在2到100微米範圍內的膜。這種宏觀「薄膜」的厚度是積體電路內「薄膜」厚度的數百甚至是數千倍，且是藉由完全不同的方法製成的，且一般而言會產生裂紋、孔洞、以及其他不完美結構等會破壞積體電路但是不會對光學以及其他宏觀習知設計造成任何影響。

五、發明說明 (10)

於習知設計中吾人未依均勻的方式應用 FFET, FFRAM, FERAM等詞以及其他類似的詞。於本發明中, 鐵電場效電晶體 (FFET) 指的將是一種其中以像 126 之類的鐵電元件控制像 109 之類電晶體通路內電荷之流動的記憶體裝置, 這個定義有意包含討論如上的 FFRAM 以及任何其他像電晶體的鐵電記憶體裝置。吾人將以鐵電 RAM (FFRAM) 一詞應用在任何鐵電隨機存取記憶體裝置上, 其中同時包含了 FFET 以及以一個電容器當作鐵電元件的鐵電裝置。
受變阻器-保護的 FFET 記憶體單元

第 2 圖描繪的是一種鐵電記憶體裝置, 亦即根據本發明的 FFET 單元 100。這個 FFET 單元 100 包含: 一半導體晶圓 102, 一內夾介電層 (ILD) 112, 導體 114, 116, 以及有變阻器-保護的閘極分層系列 118。晶圓 102 較佳的是一矽晶圓, 但是也可為任何其他習知材料其中至少包含銻化銻、氧化錳、鈦酸鋁、藍寶石、石英、紅寶石、砷化鎵、銻化矽、以及這些材料之組合等。晶圓 102 包含一部分圍繞著一對電晶體活性面積 106 和 108 的 n-或 p-攙雜桶 104, 如同習知設計中所熟知的這類活性面積是一些具有 n-或 p-攙雜的區域且取決於施加其上的電壓而可為一源極或一汲極。因此, 吾人將稱它們為源極/汲極, 更明確地說是源極/汲極 106 和源極/汲極 108。當桶 104 為 p-攙雜時源極/汲極 106 和源極/汲極 108 都是 n-攙雜的, 反之亦然。在形成了有變阻器-保護的閘極分層系列 118 (以下將會詳細加以說明) 之後, 形成 ILD 112, 然後再

五、發明說明 (11)

於ILD 112形成一些深坑並分別於其內填充導體114和116以便於活性面積106和108上提供電氣接點。

有變阻器-保護的閘極分層系列118包含：一第一或頂部電極120、一薄膜變阻器層122、一第二或底部電極124、一鐵電閘極126、以及一光學緩衝層130。電極120和124較佳的是由鉑製成的，但是也為任何其他像多晶矽、鋁、鈦、或鎢之類的導電材料製成的，且一般而言是一種多重層導體而包含一像鈦之類的黏著層及/或一像氮化鈦之類的勢壘層。變阻器層122較佳的是由氧化鋅製成的且依其範圍落在從1%到10%其耳濃度的量額攙雜了鈦及/或鈹因為具有這種濃度的薄膜含有會在最寬廣範圍的電壓以及依薄膜形式流動的電流上具有最大的非歐姆幕次。第二電極124是定位在變阻器層122底下以便將變阻器層122放置於第一電極120與第二電極124之間且位於鐵電層126上方。鐵電層126係落在通路區域128上方而延伸於各活性面積106和108之間。

光學緩衝層130是定位在鐵電層126與晶圓102之間。用於緩衝層130的較佳材料包含氮化矽、氮化鋁、氮化鈦鋁、以及氮化鈦，其中以氮化矽最好，但是也能夠包含氧化鈦或其他導電的金屬氧化物。緩衝層130是用來補償晶圓102上的表面不規則度。這些不規則度可能包含像裂紋或粗糙度之類熱學誘導的特性以及基板晶格內的點電荷缺陷。晶圓102內的表面電荷缺陷特別會在鐵電裝置內產生問題，因為這類缺陷具有會降低穿過晶圓

五、發明說明(¹²)

102之施加電壓的場-屏蔽效應。較佳的是使用氮化矽和氮化鈦，因為這類氮化物也扮演著防止各相鄰層之間污染物發生層間擴散的角色。明確地說，緩衝層130會防止來自晶圓102的摻雜矽部分向上擴散。這種型式的擴散作用會產生眾多的電荷陷阱而將會在不存在緩衝層130的情況下顯著地削弱了閘極區域的電氣穩定度。包含緩衝層130的FFET裝置具有對鐵電記憶體應用而言屬最佳化的箱形偏極性曲線，而不含緩衝層130的FFET裝置可能含有一些像由不完全偏極性構成的鵝頸區域之類的不規則度而削弱了記憶體的性能。

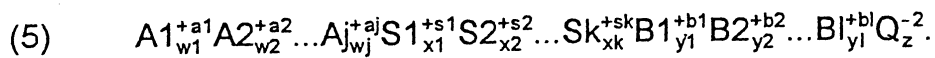
吾人也可以在利用其他鐵電裝置的其他鐵電記憶體內使用含有或不含電極120的變阻器層122，如同於1998年2月17日授予而Yoshimori等人的美國專利第5,719,416號文件以及於1996年10月1日授予Mihara等人的美國專利第5,561,307號文件中所揭示像利用鐵電電容器之類鐵電裝置的鐵電記憶體。於這種構造中，吾人能夠排除第二電極124。

鐵電層126可為由任何呈薄膜形式之鐵電物質製成的。為了這種應用的目的，一個薄膜是任何厚度小於1000毫微米的材料。吾人可以使用包含鈦酸鉛和鈦酸鉛銻(PZT)的鐵電鈣鈦礦材料，但是可能很難從厚度小於大約150毫微米的這類材料得到足夠的偏極性。因此，較佳的是使用具有如1998年9月8日授予Azuma等人的美國專利第5,803,961號文件中所揭示型式之鐵電分層超晶格材

五、發明說明 (13)

料。特別是較佳的分層超晶格材料是包含鉍酸鋁鉍或鉍酸鋁鉍鈮的材料。吾人可以使這種分層超晶格材料的比例縮放成厚度小於大約40毫微米而仍舊能夠提供足夠的偏極性以執行記憶體作業。

所有的分層超晶格材料都可以一般化地表為一個平均的經驗化學式：



注意化學式(5)指的是由一些形成超晶格的部分構成的化學計量平衡清單。於化學式(5)中， A_1, A_2, \dots, A_j 代表著一個像鈣鈦礦之八面體結構中的A-位置元素，其中包含鋁、鈣、鋇、鉍、鉛、和其混合物，以及具有類似離子半徑的其他金屬。 S_1, S_2, \dots, S_k 代表著超晶格產生元素，其中最好只包含鉍但是也可以包含像鉍、銻、鏷、銻、鉻、和鉍之類的三價材料。 B_1, B_2, \dots, B_l 代表著像鈣鈦礦結構中的B-位置元素，其中可能包含像鉍、哈、鎢、鈮、和銻之類的元素以及其他元素。而Q代表的陰離子最好是氧原子但是也可以包含像氟、氯之類的元素以及像氟氧化物及氯氧化物等這類元素的混合物。化學式(5)中上標所標示的是個別元素的價電數。例如，若Q為氧原子則q是-2。其下標所標示的是此實驗用化學式所代表的化合物中某一特定元素的原子數目。依單位單元的形式，其下標所標示的是一個單位單元內所含元素的原子平均數目。其下標可能是整數或分數。也就是說，化學式(5)包含的各種例子裡材料的單位

五、發明說明 (14)

單元可能隨處改變，比如於 $Sr_{7.5}Ba_{.25}Bi_2Ta_2O_9$ 中平均而言有 75% 的 A-位置是由鋇元素所佔據而有 25% 的 A-位置是由鉍元素所佔據。若化合物中只有一種 A-位置元素則由「A1」元素代表而 w_2, \dots, w_j 全部等於零。若化合物中只有一種 B-位置元素則由「B1」元素代表而 y_2, \dots, y_l 全部等於零，且對超晶格產生元素而言也是相同的。平常的例子裡只有一種 A-位置元素，一種超晶格產生元素，以及一個或兩個 B-位置元素；雖然因為本發明想要包含具有複數個 A-和 B-位置或是超晶格產生元素的例子而依更一般化的形式寫成化學式 (5)。可以由下列方程式找出 z 的數值：

$$(6) (a_1w_1 + a_2w_2 + \dots + a_jw_j) + (s_1x_1 + s_2x_2 + \dots + s_kx_k) + (b_1y_1 + b_2y_2 + \dots + b_ly_l) = 2z.$$

分層超晶格材料不會包含能適用化學式 (5) 的每一種材料，但是只包含那些會於結晶程序期間自發地將本身形成由一些明確結晶層構成的一層拼料。這種自發的結晶程序通常是由熱學處理或對拼料混合物之退火程序而得到輔助。經強化的溫度會有利於將形成超晶格的一部分排進像鈣鈦礦的八面體之類有益熱力學的結構之內。

如加在 S_1, S_2, \dots, S_k 上一般「超晶格產生元素」一詞是指這些金屬在交錯於像鈣鈦礦的兩個層之間經過濃縮的氧化金屬層形式中是特別穩定，而與整個分層超晶格材料上超晶格產生元素的均勻隨機分布相反的事實。特別是，鉍具有的離子半徑會允許它扮演著 A-位置材料超晶格產生元素的功能，但是若以少於臨限值的化學計量

五、發明說明 (¹⁵)

比例的量額出現則鉍會自發地濃縮成一個非像鈣鈦礦的
 氧化鉍層。

吾人也應該了解此中分層超晶格材料一詞也包含有攙
 雜的分層超晶格材料。也就是說，包含於化學式(1)的
 任意一種材料，其中可攙雜有像矽、鎳、鈾、鋳、錫、
 或哈之類的各種材料。

分層超晶格材料至少包含全部三種 Smoleskii-型式的
 鐵電分層超晶格材料亦即那些分別具有下列化學式的材
 料：

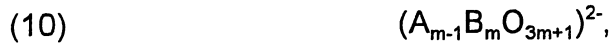


其中 A 是像鈣鈦礦之超晶格內的一種 A-位置金屬，B
 是像鈣鈦礦之超晶格內的一種 B-位置金屬，S 是像鉍或
 鉍之類的三價超晶格產生金屬，而 m 是一個足以平衡整
 個化學式電荷的數目。其中 m 是一個分數，整個平均的
 經驗化學式會提供許多不同或混合而成像鈣鈦礦的層。
 這些混合的分層超晶格材料實際上包括許多含有根據下
 列化學式(10)之整數 m 值之像鈣鈦礦層的混合物。分開
 的各層會自發地從溶液產生而不需要分開的澱積步驟。
 A-位置金屬和 B-位置金屬都可能包含由具有不同離子半
 徑之陽離子構成的混合物。

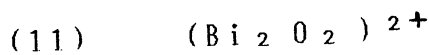
於根據化學式(5)的分層超晶格材料中，熱力學會偏
 好於各層內形成其厚度為 m 個八面體而根據下列化學式

五、發明說明 (16)

的 八 面 體 結 構 :



其中 m 是一個大於 1 的整數而其他變數則定義如上。
這些層是由具有下列化學式的氧化鉍層分隔開的 :



其中 Bi 是化學式 (5) 中的 S。

一種超晶格產生層 S 包含鉍 (III) 氧化物，且可能也包含其他像鉍 (III) 之類尺寸相似的三價金屬陽離子。若鉍出現於超過根據化學式 (5) 用於產生分層超晶格材料所需要的化學計量的量額內它也會扮演著像鈣鈦礦晶格內 A-位置金屬的角色。最好的分層超晶格材料包含鉍酸鉍、鉍酸鉍、以及鉍酸鉍鉍。另外，吾人能夠有利地以包含釩和鎢的 B-位置金屬混合物提供這些材料。

除了變阻器層 122 之外，FFET 單元的組件都是藉由熟悉習知設計的人所熟知的機制製作而成的。例如，鐵電層較佳地是藉由包含液體先質的旋轉塗鍍和產霧技術等液體澱積技術澱積而成的，且其厚度位在從 40 到 400 毫微米的範圍內。這種旋轉塗鍍技術最好是利用一種包含 2-乙基己醇金屬酸鹽的液足先質溶液，其中金屬具有代表對應到想要金屬氧化物之金屬含量的化學計量。將這種先質溶液加到一個在 500 到 3000 rpm 範圍內旋轉的基板上，在 150 到 500°C 的溫度範圍內進行乾燥，且在 400 到 1000°C 的溫度範圍內進行退火。第一和第二電極 120 和 124 較佳地是由鉑或其他貴重金屬噴濺達大約 200 毫微

五、發明說明 (17)

米的厚度而製成的。半導體晶圓 102 可從任何的公司商業訂單上購得的，或是以熟悉習知設計的人所熟知的機制在現場製作而成的。

裝置作業

於作業中，鐵電層 126 具有一個殘留偏極化狀態連同一個會調制通路 128 內電流之流動的附屬場。這個裝置會於鐵電層 126 的殘留偏極化狀態容許電力從源極 106 送到汲極 108 時顯示出邏輯的「1」或是「開啓」狀態。於 1996 年 6 月 4 日授予 Mcmillan 等人的美國專利第 5,523,964 號文件以及於 1998 年 10 月 13 日提出的美國專利申請案第 09/170,590 號文件中提供了澱積鐵電記憶體內源極 106、汲極 108、和電極 120 之電氣接點的方法。這個裝置會於鐵電層 126 的殘留偏極化狀態禁制電力從源極 106 送到汲極 108 時顯示出邏輯的「0」或是「關閉」狀態。鐵電層 126 可以是由任何薄膜鐵電材料（亦即一種其厚度通常位在從極薄材料的大約 40 毫微米到較厚材料的大約 400 毫微米或更大範圍內的鐵電材料）製成的。

第 5 和 6 圖顯示的是 FFET 40 的作業。於這些圖中，吾人為了簡化圖示使之更易於了解故並未顯示出第 2 圖中 FFET 單元的細節。而顯示的是，FEET 40 只包含了基板 32、源極/汲極 42 和 44、通路 46、鐵電層 54、以及閘極 56。這些圖也顯示了一個用來將電壓加到閘極 56 上的機制 60、一個用來將電壓加到源極/汲極 42 上的機制 62、一個用來將電壓加到源極/汲極 44 上的機制 64、以及一個

五、發明說明(8)

用來將電壓加到基板 32 上的機制 66。吾人可以使用習知設計中所熟知的任何機制。於這些圖中，活性面積 42 和 44 的摻雜是任意地選為 n-型並將基板電壓選為零。第 5 圖顯示的是對「開啓」狀態下的 FFET 40 而言鐵電材料 54 的偏極化狀態以及通路 46 的最終狀態，而第 6 圖顯示的是對「關閉」狀態下的 FFET 40 而言鐵電材料 54 的偏極化狀態以及通路 46 的最終狀態。於這些圖中，像 70 之類的具有負號的圓圈代表的是電子，像 71 之類具有正號的圓圈代表的是正離子或空缺；而像 72 之類的箭號代表的則是偏極化電荷的方向。若沿各圖的向上方向將電場加到 FFET 40 上，也就是說若將正電壓加到閘極 56 上，則鐵電材料 54 會發展出如第 5 圖所示的偏極性。較佳的是，這個閘極電壓是位在從大約 1 到 15 伏特的範圍內，且最好是位在從大約 3 到 5 伏特的範圍內。若這個電壓是等於或大於鐵電物質的矯頑電壓，則基本上鐵電材料 54 內的所有鐵電物質範疇都會被偏極化成如圖所示的狀態；但是，即使是一個很小的電壓（例如 1.0 伏特或更高的電壓）都會導致某些範疇產生切換。通路 46 上方的正偏極化電荷將一些電子誘導到該通路內，由於電子是 n-型材料內的載子故這些電子會大大地增加了通路的導電性。假定有一個汲極偏壓 V_d 。（較佳的是落在大約 0.5 到 8 伏特的範圍內），則已增加了導電性的通路 46 會造成大大地增加了從汲極到源極的電流，感測這個電流以偵測「開啓」狀態且此中吾人隨意地稱這個狀態為邏輯的

五、發明說明 (19)

「1」。若沿各圖的向下方向將電場加到 FFET 40 上，也就是說若將負電壓加到閘極 56 上，則鐵電材料 54 會發展出如第 6 圖所示的偏極性。通路 46 上方的負偏極化電荷將一些正電荷誘導到該通路內，這些電子會排斥 n-型材料內的載子而大大地減小了通路的導電性。假定有一個汲極偏壓 V 。(較佳的是位在大約 0.5 到 8 伏特的範圍內)，則已減小了導電性的通路 46 會造成大大地減少了從汲極到源極的電流，感測這個電流以偵測「關閉」狀態且此中吾人隨意地稱這個狀態為邏輯的「0」。若選擇 n-型的載子，則分別需要相反的閘極電壓和偏極化狀態以產生「啓啓」和「關閉」的狀態。

有關變阻器層的細節

薄膜變阻器層 122 會在所加電壓與流經變阻器材料的電流之間呈現出非線性的電流/電壓特徵。明確地說，這個非線性的電流/電壓特徵能夠藉由下列公式中的非歐姆冪次 N 的量價而加以評估：

$$(12) \quad I = (V/C)^N,$$

其中 V 是所加電壓， I 是流經變阻器材料的電流，而 C 是一個常數。通常對薄膜而言這個非歐姆冪次 N 的量價會減小。這種非歐姆行為會依二極體的方式扮演著防止很小的干擾電壓脈波干擾鐵電層 126 內鐵電材料之偏極化狀態的角色。

利用變阻器 122 的想要特性以防止 FFET 100 內的干擾，吾人能夠利用第 7-12 圖而發展出這樣的結果。第 2 圖中

五、發明說明 (20)

的閘極分層系列 118 可以看成一個包含變阻器 122 以及電極 120 和 124 的變阻器裝置 110，而鐵電電容器 111 則是由鐵電閘極層 126、電極 124、和通路 128 形成的。將一種用於這種結構的等效電路顯示於第 7 圖中。為了仔細分析這個變阻器，吾人可以將之表為依並聯方式連接的一含有電阻 R_d 的可變變阻器 810 以及一含有電容量 C_d 的可變電容器 812，如第 8 圖所示。由於該鐵電電容器的電阻是比該變阻器的電阻高了很多，我們能夠只考量其電容觀點而顯示為含有電容量 C_F 的電容器 811。

第 9 圖顯示的是以一種將要用來保護鐵電材料使不受干擾的理想變阻器上的電壓對電流作圖而得到的品質曲線。理想狀況下，這個變阻器含有區域 910 和 911，在區域 910 上電壓或電場的小量增加會造成沿所加電場方向的電流量有極大的增加，而在區域 911 上電壓的顯著增加幾乎不會造成任何電流量的增加。理想狀況下，吾人想要的是在產生極少電壓降之下快速地將接近加到電極 120 上之讀取和書寫電壓的「高」電壓傳送到電極 124 上。因此，吾人想要的是使區域 910 或 912 內的材料受到讀取和書寫電壓或接近這個電壓的作用。以鐵電電容器 111 之電容量 C_F 的形式，變阻電容器 110 的電容量 C_d 以及變阻器 122 的電阻 R_d 可以表為想要的形式：

$$(13) \quad R_d > 100 \times C_F$$

或

$$(14) \quad R_d < 0.01 \times [1 / (2\pi f C_F)]$$

五、發明說明 (21)

其中 f 是記憶體的操作頻率。由於對串聯的電容器而言，跨越每一個電容器的電壓降都是正比於電容量的倒數，公式 (14) 確保吾人能使加到電極 120 上之讀取和書寫電壓的 99% 會抵達電極 124。同樣地，由於跨越各電阻的電壓降都是正比於電阻，故公式 (14) 也確保吾人能使加到電極 120 上之讀取和書寫電壓的 99% 會抵達電極 124。

另一方面，吾人也想要在明顯地低於該讀取和書寫電壓的電壓上也就是位在很像會發生干擾電壓的電壓範圍內時，不會將加到電極 120 上的電壓傳送到電極 124 上，且若已傳送了某一電壓則這個電壓會比加到電極 120 上的干擾電壓小很多；也就是說，在跨越變阻器 122 處有顯著的電壓降。因此，吾人想要的是使區域 911 內的材料受到明顯地小於讀取和書寫電壓之電壓的作用。以鐵電電容器 111 之電容量 C_F 的形式，變阻電容器 100 的電容量 C_d 以及變阻器 122 的電阻 R_d 可以表為想要的形式：

$$(15) \quad R_d < 0.01 \times C_F,$$

或

$$(16) \quad R_d > 100 \times [1 / (2\pi f C_F)],$$

其中 f 是記憶體的操作頻率。由於對串聯的電容器而言，跨越每一個電容器的電壓降都是正比於電容量的倒數，公式 (16) 確保吾人能使加到電極 120 上之任何干擾電壓的 1% 會抵達電極 124。同樣地，由於跨越各電阻的電壓降都是正比於電阻，故公式 (14) 也確保吾人能使加到電極 120 上之任何干擾電壓的 1% 會抵達電極 124。

五、發明說明 (22)

利用阻抗的定義：

$$(17) \quad Z = R/[1+(2\pi f)^2 C^2 R]^{\frac{1}{2}},$$

其中 C 是電容量而 f 則又是操作頻率，對落在或接近該讀取和書寫電壓的「高」電壓 V_H 而言，在理想狀況下對 10 仟赫 (kHz) 的頻率而言我們會從公式 (13) 和 (14) 得到：

$$(18) \quad C_{dH} > 0.01 \text{ microfarads } (\mu F)$$

或

$$(19) \quad R_{dH} < 100 \text{ kilohms } (k\Omega),$$

其中 C_{dH} 是變阻器 122 在高電壓下的電容量而 R_{dH} 是變阻器 122 在高電壓下的電阻。同樣地，對「低」電壓 V_L 亦即小於等於讀取和書寫電壓之一半的電壓而言，在理想狀況下對 10 仟赫 (kHz) 的頻率而言我們會從公式 (13) 和 (14) 得到：

$$(20) \quad C_{dL} < 1 \text{ picofarad } (pf)$$

和

$$(21) \quad R_{dL} > 1,600 \text{ megaohms } (M\Omega).$$

若對一種變阻材料而言公式 (15) 到 (17) 的條件會成立，則確保吾人能夠在接近或等於 V_H 的電壓下對記憶體單元 100 進行書寫，同時對 V_L 或更低的電壓而言不會發生任何的干擾現象。

上述條件只在 10 仟赫亦即平常的記憶體操作頻率的下限下會真正嚴格地成立。若我們在大約 1 百萬赫的頻率亦即普通記憶體操作頻率的上限下施行相同的計算，我

五、發明說明 (23)

們會得到大約相同的電容量要求但是會發現 R_d 可能是大約小了一百倍。因此，若我們選擇公式 (15) 到 (17) 的條件，這個變阻器應該能在所有平常的記憶體操作頻率下操作得很好。這個電容量條件是以電壓對電容量曲線的形式顯示成第 10 圖中。指向上的箭號標示的是我們要這個電容量在接近或等於 V_H 的電壓下落在箭號所指出的區域內，而指向下的箭號標示的是我們要這個電容量在 V_L 或更低的電壓下落在箭號所指出的區域內。這個電阻條件是以電壓對電阻曲線的形式顯示成第 11 圖中。指向上的箭號標示的是我們要這個電阻在接近或等於 V_H 的電壓下落在箭號所指出的區域內，而指向下的箭號標示的是我們要這個電阻在 V_L 或更低的電壓下落在箭號所指出的區域內。於第 12 圖中結合了這兩種曲線，其中是以可接受電阻區域對可接受電容區域作圖。對接近或等於 V_H 的電壓下的變阻器而言想要的是落在線段 1210 外側面積內的電阻和電容，而 V_L 或更低的電壓下的變阻器而言想要的是落在線段 1212 內側面積 V_H 內的電阻和電容。簡言之，吾人可以從第 12 圖看出這些材料的電阻特別適合用來當作保護裝置，因為 FFET 100 具有的電阻量值應該會在標準干擾電壓與接近或等於讀取和書寫電壓之間有四個等級的變化的緣故。

以上對保護裝置 110 的電阻 R_d 與鐵電電容器 111 的電容量 C_F 之間關係的討論的目標是定出一些用於理想保護裝置的參數；也就是說，對讀取和書寫電壓具有可忽

五、發明說明 (²⁴)

略的效應且所保留的干擾電壓是可忽略的。由於干擾電壓對如第1圖所示之偏極化能力的效應是非線性的，故使干擾電壓減小一百倍將會使其對偏極化能力的效應減小大約一千倍。偏極化能力減小與裝置可靠度之間的關係也是非線性的。也就是說，在偏極化能力不準度上10%的增加能夠引致不正確記憶體狀態增加了一千倍以及使裝置可靠度對應地減小了一千倍。因此，一種位在以上所討論限制條件內的干擾保護裝置能夠導致一個鐵電裝置的可靠度增加一百萬倍。

很顯然地從上述討論可以看出對已討論參數都小於理想參數的干擾保護裝置而言還是能夠具有保護鐵電裝置111不受干擾電壓影響的顯著能力。例如，對一種干擾保護裝置而言，其中當電壓落在或接近 $V_{H/H}$ 時：

$$(22) \quad C_d > 10 \times C_F,$$

或

$$(23) \quad R_d < 0.1 \times [1/(2\pi f C_F)],$$

其中當電壓落在或低於 V_L 時：

$$(24) \quad C_d < 0.1 C_F,$$

或

$$(25) \quad R_d > 10 \times [1/(2\pi f C_F)],$$

將會導致加到電極120上的讀取和書寫電壓中大概有90%會抵達電極124，且將會導致加到電極120上的干擾電壓中只有大約10%會抵達電極124。這能夠導致在可靠度有大約一萬倍的改良，且保守地說至少使在可靠度得

五、發明說明 (25)

到一千倍的改良。為了得到這種位準的改良，只需要在高電壓的電阻係數與低電壓的電阻係數之間量值上有兩個等級的差異就行了。

如同吾人為使公式(13)到(16)為真的理想變阻器做的一般，吾人也能夠為使公式(22)到(25)為真的變阻器計算出 C_{dH} 、 R_{dH} 、 C_{dL} 和 R_{dL} 的較佳數值。對10千赫頻率下落在或接近讀取和書寫電壓的高電壓 V_H 而言，這些數值為：

$$(26) \quad C_{dH} > 0.1 \mu F$$

或

$$(27) \quad R_{dH} < 1 M\Omega,$$

其中 C_{dH} 是變阻器 122 在等於或接近讀取和書寫電壓下的電容量而 R_{dH} 是變阻器 122 在等於或接近讀取和書寫電壓下的電阻。同樣地，對10千赫頻率下落在低電壓 V_L 或更低的電壓而言：

$$(28) \quad C_{dL} < 0.1 \text{ pf}$$

或

$$(29) \quad R_{dL} > 160 M\Omega.$$

如同我們從上述討論看出的，這些較佳數值在較高頻率下不會明顯地改變，而對1百萬赫的頻率而言，其較佳電阻係數可減低兩個等級。

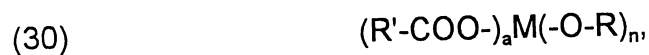
特別較佳的是以非歐姆的氧化鋅薄膜當作變阻材料。添加錒和釷攙雜物能夠顯著地改良這些具有穩定電壓性能特徵之薄膜的非歐姆行為，即使當各層的厚度位在從

五、發明說明 (²⁶)

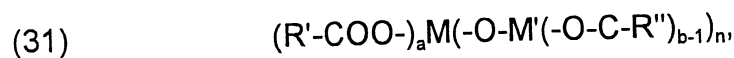
大約 50 到大約 500 毫微米的範圍內時亦然。這些含氧化鋅基的薄膜包含一些其平均粒子半徑位在從大約 10 到大約 300 毫微米的範圍內的小型晶體顆粒。

氧化鋅變阻材料會因為存在於氧化鋅晶體顆粒與顆粒邊界的摻雜氧化物之間界面上的雙肖特基勢壘而發生非線性電流/電壓特徵。這種型式的勢壘含有受到第一氧化鋅晶體顆粒和第二氧化鋅晶體顆粒束縛的摻雜氧化物。有一個導電區會存在於內夾結晶邊界亦即摻雜氧化物的駐在處上。這種型式的勢壘會要求氧化鋅晶體顆粒與顆粒邊界的摻雜氧化物之間的晶體界面以穩定的數目出現，亦即沿膜厚度方向具有均勻的分布。當晶體顆粒的尺寸或直徑較之單元表面積以及氧化鋅薄膜變阻器已成長得太大時，則變成很難或不可能得到晶體界面的均勻分布。沒有等顆粒分布會導致不穩定或非線性的電壓性能特徵。

吾人可以藉由一種利用液體先質的製造方法而強化非歐姆行為的特殊性質而生成這種固體薄膜變阻層。因此，橫遍整個薄膜層都存在有摻雜物的均勻分布。這種先質溶液包含烷氧基金屬化物、金屬羧酸鹽、以及烷氧基金屬羧酸鹽錯化物。較佳的先質是具有下列形式之烷氧基金屬羧酸鹽：



或



五、發明說明 (27)

其中 M 是一種其外部電價為 (a+n) 的金屬而 M' 其外部電價為 b 的金屬，其中 M 和 M' 最好是選自一組由鈹結合一個能提供非歐姆行為的攙雜物構成的金屬，特別是鈹、鈮、以及其組合；R 和 R' 分別是一種具有 4 到 9 個碳原子的烴基族；和 R'' 最好是一種具有 3 到 8 個碳原子的烴基族。特別較佳的是後者含有一個中心的 -O-M-O-M'-O- 結構的化學式，因為溶液內至少由 50% 金屬-氧鍵構成的配方會存在於最後的固體金屬氧化物內。吾人可以從烷氧基金屬羧酸鹽與個別烷氧基金屬化物或金屬羧酸鹽試劑之間的反應得到類似的 -M-O-M'-O- 結構。較佳的是藉由將反應副產物（醇類和醚類）以及任何沸點小於 115°C、小於 120°C 更好、最好是小於 125°C 的污染物蒸餾掉以驅動而完成這類吸熱反應。從溶液內排除這類揮發性部分會有利地減少最後金屬氧化物膜內的裂紋以及其他缺陷。

用來形成薄膜的液體先質，較佳的是以二甲苯或辛烷溶劑將烷氧基金屬化物、金屬羧酸鹽、以及烷氧基金屬羧酸鹽稀釋成想要的濃度。吾人可以隨著需要而添加一些極性溶劑（特別是乙酸正丁酯）以溶解溶液內的烷氧基金屬羧酸鹽。特別較佳的是使用基本上呈脫水的烷氧基金屬羧酸鹽，因為能對應地免除水-誘導的聚合化或膠化作用，這類作用會顯著地降低含有烷氧化物配合基之溶液的儲存期。較佳的是避免溶液內出現任何水解-誘導的部分或是使其含量最小化。吾人也可以使用像習知溶液-膠質之類已水解的先質，但是增加溶液-膠質的黏

五、發明說明(28)

稠度會傾向於削弱由較佳的旋轉塗鍍施加方法導出的均勻厚度；且已水解的溶液會傾向於隨著時間快速地變差。所以，現成的已水解膠質會不利地在某一時段內產生很差而品質不一致的金屬氧化物膜。

這些先質是藉由對含有金屬的醇類加熱以形成烷氧基金屬化合物且為了形成烷氧基金屬羧酸鹽於已加熱的混合物上添加羧酸而形成的。當然，這類溶液也包含一個烷氧基部分、一個羧酸鹽部分、及/或一個烷氧基羧酸鹽部分。較佳的羧酸類包含己醇酸和辛酸，且最好是2-乙基己醇酸。所選出的羧酸類含有的碳原子數目應該落在從大約4到10個。這種醇類通常含有大約4到8個碳原子。最好的醇類是異丙基醇。

選出這類先質拼料以提供一種化學計量的平衡而在對先質液體施行熱處理時生成想要的固體金屬氧化物材料。較佳的是以鋅或其他用來形成變阻材料基礎的金屬當作主要成員出現於全部金屬中。較佳的是以高達10到15%濃度加入一些同時接合於有機配合基上的攙雜元素以強化氧化鋅的非歐姆行為。這類攙雜元素包含鉍、釷、鐳、鈷、銻、錳、矽、鎳、鈦、鉀、鎘、銻、銻、銻、鐵、以及它們的組合。

第3圖描繪的是一種用來製造具有如第2圖所示型式FFET之方法P300的簡略流程圖。

執行步驟P302準備好一基板以便施加後續各層。例如，藉由習知烤爐於氧氣內烘烤對一個習知矽晶圓或基板

五、發明說明 (29)

102施行熱氧化處理以產生一氧化物絕緣層，然後再利
用正或負光阻材料藉由習知技術進行蝕刻以便在區域106
.128，和108之上打開一些視窗。桶104和源極/汲極106
和108基本上都是與場效電晶體內的對應結構相同的，
且這些器件都是藉由任何習知機制亦即植入p-或n-攪雜
物而形成的。

步驟P304是一個包含形成緩衝層130的高度較佳但是
屬選擇性步驟。較佳的是在將基板加熱到一個落在從70
到100°C範圍內的溫度下藉由低壓化學氣相澱積法而形
成一個氮化矽層。可替代地，吾人可以噴濺氮化矽使其
厚度落在從10到20毫微米的範圍內，之後能夠在氮氣底
下對基板進行加熱或退火處理。較佳的退火處理輪廓包
含在大約600°C的最大退火溫度下落在從2小時到30分
鐘範圍內的持久性，其中包含5分鐘向上跳升達到最大
溫度以及5分鐘向下跳落的時間。還有另一種替代方法
是從一個來源材料標靶噴濺出該緩衝層。在使基板冷卻
之後，若稍後想要藉由曝露在輻射下以便為鐵電層126
定向，則步驟P304可能包含形成一個包括二氧化矽或旋
轉塗鍍玻璃的頂蓋緩衝層(未標示)。

可能會發生一種氧化現象，其中於步驟P306中對鐵電
層進行氫退火處理期間使氮化矽緩衝層130最靠近鐵電
層126的一側發生氧化作用。最終形成的薄二氧化矽層
(未標示)是吾人不想要的但是有時候是不可避免的。一
個依這種方式形成的層能夠扮演著寄生電容器的角色；

五、發明說明 (30)

不過，若這個層是夠薄的則實際的寄生電容是可忽略的。當吾人於製造期間藉由曝露在輻射下為鐵電層 126 定向時，這種薄膜的效應是更加必然且有時候是吾人想要的。據此，當吾人將要藉由輻射曝光為鐵電層 126 的成長定向時，較佳的是在步驟 P304 的結果上藉由 850°C 的氧氣環境施行 30 分鐘的退火處理使氮化矽表面層氧化而增強緩衝層 130 的均勻度。

步驟 P306 包含形成鐵電層 126 的程序，這個鐵電層較佳的是一種對應到 Smolenskii 化學式的分層超晶格材料。鐵電層 126 係利用含有許多有效量額金屬部分的液體先質進行初始澱積以便在對溶液施行熱處理時生成一個分層超晶格材料。較佳的是將這類溶液設計成會產生一些由各氧化鈹層分開且含有根據上述化學式 (2) 之平均經驗化學式的個別像鈣鈦礦金屬氧化物。較佳的是這類溶液係由基本上呈脫水狀態之聚氧化烷基金屬錯化物與相容溶劑混合而形成的。較佳的是這類先質包含了至少三種金屬。鐵電層 126 的偏極化性能絕大部分都是由選出型式之先質溶液、選出試劑的純度、以及對溶液的後續處理而導出的。特別較佳的是於溶液中使用 2-乙基己醇酸鹽，並將這些材料與二甲苯或正辛烷混合以便使每公升溶液內具有其莫耳濃度落在從 0.1 到 0.3 莫耳的範圍內的想要金屬氧化物產物。

將這種先質溶液加到包含緩衝層 130 的基板上。較佳的是在環境溫度和壓力下將液體先質溶液滴到基板的最

五、發明說明 (³¹)

上層表面上，然後在從大約500到3000rpm下旋轉基板大約30秒鐘以去除任何過量溶液並留下一個薄膜殘留物。最好的旋轉速率是1500rpm。可替代地，吾人可以藉由一種含霧澱積技術施加液體先質，如於1995年10月10日授予Mcmillan等人的美國專利第5,456,945號文件中所揭示的。

於乾燥的空氣中令最終的液體先質膜在溫度位在從大約150到500°C範圍內的熱板上接受乾燥處理。乾燥程序的時間和溫度應該充足以便實質上自液體薄膜上去除或鍛燒掉所有的有機材料並留下乾燥的金屬氧化物殘留物。較佳的乾燥時間是落在大約1分鐘到大約30分鐘的範圍內。對一種單一-階段的乾燥程序而言，最好是於空氣中以400°C的溫度持續進行大約2分鐘到10分鐘。不過，更好的是依步階間隔的方式對該液體膜進行乾燥。例如，吾人能夠令該膜在260°C下乾燥5分鐘再於400°C下乾燥5分鐘。另外，較佳的是在超過700°C的溫度下以簡短的加熱間隔當作乾燥週期的結尾；例如，利用鎢-鎳燈管將基板加熱到725°C達30秒鐘。

吾人也可以在使先質膜曝露在UV輻射中的同時執行乾燥程序。UV乾燥程序能夠產生一種含有已強化之C-軸定向而具有已改良電氣性質的分層超晶格材料。這種C-軸定向能夠改良從分層超晶格材料之對應薄膜上得到的介電常數以及漏電流數值。吾人可以重複澱積和乾燥程序直到獲致具有想要厚度的鐵電層126為止。一單一層

五、發明說明 (32)

提供了位在 60 毫微米與 90 毫微米之間的厚度，而位在大約 180 到 200 毫微米的厚度通常需要在此中所揭示的各參數下施加兩個由 0.130M 到 0.200M 先質溶液構成的覆被層。

今已乾燥的先質殘留物接受退火處理以完成鐵電層 126 的形成。吾人稱這個退火步驟為「第一退火」以便和其他退火步驟加以區別；不過，吾人應該了解的是在這個「第一退火」之前可能發生其他退火步驟。在氧環境內於擴散式烤爐中對包含該已乾燥先質殘留物的基板進行加熱到落在從 400 到 1000°C 範圍內的溫度達 30 分鐘到兩個小時。更好的是於位在從 600 到 800°C 範圍內的溫度下施行第一退火，最好是在大約 600°C 下施行 80 分鐘。較佳的是這個第一退火步驟是發生於包含以 5 分鐘推進烤爐且以 5 分鐘拉出烤爐的推/拉程序中。所標示的退火時間包含用來產生進出烤爐的熱能斜坡。

步驟 308 包含於鐵電層 126 上方形成一個第二電極 124。第二電極 124 係藉由習知機制噴濺-澱積而成的，且這個澱積程序提供了位在從 100 到 300 毫微米範圍內的厚度，其中最好的厚度是大約 200 毫微米。

步驟 P310 涉及了準備一種用來澱積薄膜層 122 之液體先質溶液的程序。較佳的是形成一些包含烷氧基鋅羧酸鹽部分的先質，其中烷氧基羧酸鹽部分係由鋅與其碳原子數目應該位在從大約 4 到 8 個的醇類以及其碳原子數目應該位在從大約 4 到 8 個的羧酸鹽反應而導出的。這類先質溶液含有由依足以生成想要的已攪雜氧化鋅材料

五、發明說明 (33)

之比例的各種氯化烷基金屬化合物構成且呈化學計量平衡的混合物。這種溶液的莫耳濃度是能夠從一公升溶液得到0.1到0.4莫耳想要金屬氧化物經驗化學式的材料。較佳的羧酸類包含己醇酸和辛酸，且最好是2-乙基己醇酸。最好的醇類是異丙基醇。

較佳的是以鋅當作主要成員出現於全部金屬中。較佳的是加入一些同時接合於有機配合基上包含鋇、鉍、鎳、鈷、鎘、錳、矽、鎢、鈦、鉀、鎘、鉍、鈾、鐵、以及其組合的攙雜元素。於像鋇之類揮發性金屬攙雜物的例子裡，應該加入高達10到15%過量莫耳部分以便於製造期間補償揮發損失。

於步驟P312中，利用像施加旋轉塗鍍玻璃之類的習知的旋轉塗鍍機器施加這種先質。這種旋轉-覆被方法包含使第二電極124曝露在轉輪中心下以其速率落在從大約1000到2000rpm範圍內的角速度旋轉部分完成基板的步驟。以滴管將步驟P310中得該先質溶液澱積到第二電極124之上，其中透過旋轉而去除了過剩的液體。由液體先質溶液構成的最終薄膜會覆被於電極124上且將會接受處理以生成薄膜變阻層122。可替代地，吾人可以於上述含霧澱積法中施加這種液體先質。

步驟P314包含使來自步驟P312之液體膜乾燥的步驟，較佳的是以位在從150到300°C範圍內的溫度施行了其範圍落在從大約2分鐘到大約30分鐘的一段時間。這種乾燥步驟會扮演著去除絕大多數先質溶劑，有機配合基，

五、發明說明 (34)

以及任何來自液體溶液之有機污染物的角色。乾燥的金屬和金屬氧化物殘留物會保留在基板上。這種乾燥步驟可能會分裂成一個最少含兩個步驟的系列，這個系列包含上達大約 300°C 的相當低溫度下的第一乾燥程序以及上達大約 500°C 的較高溫度下的第二乾燥程序。例如，第一乾燥程序可能於空氣中以較佳溫度落在上達大約 300°C 範圍內的熱板對基板加熱大約 30 秒鐘，然後再於空氣中以加熱到 500°C 的熱板施行另外 5 分鐘的乾燥處理而發生的。這種雙-步驟乾燥處理會扮演著強化在之後保留在電極 124 上金屬氧化物殘留物之純度的角色。

步驟 P316 包含對步驟 P314 中已乾燥金屬氧化物殘留物進行退火的程序，且吾人稱之為第二退火。較佳的是利用一種快速熱學處理技術於氧氣環境內施行這個退火步驟；利用像重氫燈管、可調頻的激態雙原子分子輻射放射式雷射、或是 Danielson 射源之類的 UV 射源於空氣中施行 UV 輻射烘烤。吾人也可以使用擴散式烤爐。

較佳的是利用熱源以高達每秒鐘 200°C 的速率使液體先質膜的溫度從室溫跳升到其範圍落在從大約 400 到大約 1000°C 的高臺溫度達一段時間，其中包含其範圍位在從 5 秒鐘到大約 15 分鐘的斜坡時間以及高臺保持時間。更好的是最高保持溫度是位在從大約 500 到 800°C 範圍內。加熱到低於大約 400°C 的溫度通常無法提供足夠的結晶作用。另外，電極佈線將會在超過大約 800°C 的溫度開始發生擊穿現象，且熱擴散作用能夠於最後的變阻

五、發明說明 (35)

器產品中引致作業上的問題。在加熱程序之後，較佳的是藉由以其量值恰好與溫度增加的跳升速率相反的速率減低環境溫度而使基板冷卻到室溫。

吾人可以在控制所形成晶體尺寸的目標下選擇性地調整這類包含跳升到最高溫度的斜坡、最高溫度的選擇、保持在最高溫度的持久性、以及冷卻速率等退火處理參數。較佳的是使高臺溫度保持一段其範圍落在從大約15秒鐘到10分鐘的時段。之後，較佳的是對基板進行冷卻使環境溫度跳落到室溫。

藉由特定的實例，於550°C的最高溫度下維持60秒鐘通常會產生其平均直徑位在大概20到30毫微米範圍內的變阻結晶顆粒。提高溫度會提供日益減小的結晶顆粒，其中由大約650°C的最高溫度製造出大概10毫微米的顆粒。

步驟P316的高退火溫度通常會在乾燥之後去除溶劑以及保留在膜內的任何有機官能基殘留物；不過，將有極小量額的有機材料會接受原位鍛燒並將碳原子當作次要污染物引進膜內。這類碳污染物的存在並非極為明顯，理由是它無法防止這種材料扮演著變阻器的角色；不過，碳殘留物的存在可能稍微改變根據本發明而製造之材料的電氣性質。

於步驟P318中，再次使基板接受液體氧化鋅層的澱積，並依需要重複處理步驟P312到P316以增加薄膜變阻層122的厚度。較佳的是，吾人想要的厚度是位在從大約50到大約500毫微米的範圍內。

五、發明說明 (36)

步驟 P320 包含裝置的完成步驟，較佳的是藉由噴濺將第一電極形成於薄膜變阻層 122 的頂上，對裝置施行退火處理，並藉由包含施加正阻抗材料接著施行蝕刻的習知照光蝕刻方法為裝置施行圖形製作。在圖形製作之後，吾人可以令整個裝置再接受一次退火處理以減輕因蝕刻作用而導致的應力裂紋現象。

這種方法會在單一晶圓上形成一種含有許多 FFET 單元的晶圓。較佳的是，每一個電路上都包含一個膜厚度小於 200 毫微米的氧化鋅薄膜變阻層 122，且其中鋅結晶顆粒的尺寸是小於 50 毫微米。於一種更好的實施例中，其中較佳厚度是小於大約 1000 毫微米且較佳的顆粒尺寸是落在從 50 到 500 毫微米的範圍內而結晶顆粒尺寸是落在從 10 到 300 毫微米的範圍內。於利用這類薄膜的積體電路中，較佳的薄膜變阻層 122 厚度是落在從 40 到 500 毫微米的範圍內，而結晶顆粒的尺寸是落在從 10 到 200 毫微米的範圍內。

以下的非限制性的各實例說明了用來施行本發明的較佳材料和方法。

實例 1-準備不含鈹摻雜物的氧化鋅先質溶液

藉由將 2-乙基己醇鋅酸鹽混合到由二甲苯和乙酸正丁酯構成的 50/50 (v/v) 混合溶劑以提供一種濃度大約是 0.1 莫耳/公升的 2-乙基己醇鋅酸鹽。在其溼度低於大約 40% 的已變乾環境下將 2-乙基己醇鈹酸鹽加到這種混合物上，使其數量足夠產生鈹濃度為 0, 0.5, 1.0, 和 5 莫耳

五、發明說明 (37)

百分比的 2-乙基己醇鋇酸鹽。這類鋇濃度是定為 2-乙基己醇鋇酸鹽的莫耳數除以 2-乙基己醇鋇酸鹽加 2-乙基己醇鋇酸鹽的莫耳數，亦即鋇在全部金屬中所佔的百分比。

第 4 圖描繪的是得自利用依步驟 308-320 而準備的溶液製成薄膜變阻器之漏電流的絕對值。第 4 圖顯示出含有 5% 鋇的薄膜氧化鋅變阻層具有非常低的漏電流以及其速率日益增高之非歐姆行為的對應高電壓降。若我們作出漏電流是正比於電阻係數的粗糙假設，我們會看到這種材料會在 5 伏特的電阻係數與 1 伏特的電阻係數之間提供稍微多過兩個等級的差異。因此，這種材料能夠於為一個讀取和書寫電壓為 5 伏特而干擾電壓為 1 伏特或更低（亦即與實際的新近記憶體技術一致）的記憶體提供一千倍與一萬倍之間的可靠度改良。因此，我們會看到本發明的保護裝置和方法將能夠以新近技術為可靠度提供顯著的改良。隨著我們在高壓電阻係數與低壓電阻係數之間為薄膜變阻器提供更大差異之能力的改良，我們對可靠度的改良也會提高。

吾人已依含有兩個電極之 FFET 的形式說明了本發明，吾人應該鑑賞的是也能夠應用像 MFMIS 裝置頂部的變阻器亦即含有三個電極之類含有其他數目之電極的 FFET。此外，吾人也能夠將之應用在其他 FERAM 以及其他鐵電裝置上。

熟悉習知設計的人將會認識到以上所討論保護裝置 110 的電阻係數與鐵電電容器 111 的電容量之間以及導自電

五、發明說明(28)

阻係數和電容量之數值的關係，其中是以前保護裝置為變阻器的實施例為基礎會和其保護裝置為連接到如第7A圖所示鐵電FET 109之閘極二極體或尚特基二極體107以及其他等效電子裝置的實施例一樣好，其中只需要作一些次要的變化，由於吾人也可以將如第8圖所示之等效電路應用在這些裝置上的緣故。因此，吾人應該了解的是保護裝置110可能具有很多其他形式，其中包含二極體、尚特基二極體、以及其他等效裝置。

符號之說明

- 32.....基板
- 40.....鐵電場效電晶體
- 42, 44, 106, 108...活性面積(源極/汲極)
- 46.....鐵電層
- 54, 126.....鐵電層
- 56.....閘極
- 62, 64.....機制
- 70.....電子
- 71.....空缺
- 72.....偏極化電荷的方向
- 100.....鐵電場效電晶體單元
- 102.....半導體晶圓
- 104.....桶
- 110.....變阻器裝置
- 111.....鐵電電容器
- 112.....內夾介電層

五、發明說明 (39)

- 114, 116..... 導體
- 118..... 有變阻器 - 保護的閘極分層系列
- 120..... 第一 (頂部) 電極
- 122..... 薄膜變阻層
- 124..... 第二 (底部) 電極
- 128..... 通路區域
- 130..... 光學緩衝層
- 810..... 可變變阻器
- 811..... 電容器
- 812..... 可變電容器
- 910, 911, 912..... 區域

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱: 具有防止干擾之鐵電記憶體)

一種鐵電場效電晶體記憶體單元(100), 包含一位於閘極(120)與鐵電層(126)之間的薄膜變阻器(122), 該變阻器會保護該鐵電層使之不受因記憶體的讀取、書寫、以及感測作業而產生之干擾電壓脈波的影響, 第二電極(124)是位在該變阻器與該鐵電層之間, 將該薄膜鐵電層定位在電晶體(100)的通路(128)上方以便當作一個鐵電閘極而操作, 對很像要發生干擾電壓的電壓而言, 該薄膜變阻器的電阻會遵循公式 $R_d > 10 \times 1 / (2\pi f C_F)$, 其中 R_d 是該薄膜變阻器的電阻係數, f 是該記憶體的操作頻率, 而 C_F 是該鐵電層的電容量, 對接近該記憶體之讀取和書寫電壓的電壓而言, 該薄膜變阻器的電阻會遵循公式 $R_d < 10 \times 1 / (2\pi f C_F)$ 。

英文發明摘要(發明之名稱: Ferroelectric memory with disturb protection)

A ferroelectric field effect transistor memory cell (100) includes a thin film varistor (122) located between the gate electrode (120) and the ferroelectric layer (126). The varistor protects the ferroelectric layer from disturb voltage pulses arising from memory read, write and sense operations. A second electrode (124) is located between the thin film varistor and the ferroelectric layer. The thin film ferroelectric is positioned over the channel (128) of a transistor (100) to operate as a ferroelectric gate. For voltages at which disturb voltages are likely to occur, the thin film varistor has a resistance obeying a formula $R_d > 10 \times 1 / (2\pi f C_F)$, where R_d is resistivity of the thin film varistor, f is an operating frequency of said memory, and C_F is the capacitance of the ferroelectric layer. For voltages at or near the read and write voltage of the memory, the thin film varistor has a resistance obeying a formula $R_d < 0.1 \times 1 / (2\pi f C_F)$.

六、申請專利範圍

1. 一種積體電路記憶體(100)，包括：一個含有鐵電元件(126)的鐵電場效電晶體(109)；以及一個用來將電壓加到該鐵電元件上的導體(120)；該記憶體的特徵是有一個位在該導體與該場效電晶體內鐵電元件之間的干擾保護裝置(110)。
2. 如申請專利範圍第1項之積體電路記憶體，其中該鐵電場效電晶體包括：一個形成於該基板之內的源極區域(106)；一個形成於該基板之內的汲極區域(108)；一個位於該源極區域與該汲極區域之間的通路區域(128)；且該鐵電元件包括一個直接落在該通路區域上的鐵電閘極是。
3. 如申請專利範圍第1或2項之積體電路記憶體，其中是該干擾保護裝置包括一個選自一組由一個薄膜變阻器(122)、一個二極體(107)、以及一個肖特基二極體(107)等組成的電氣元件。
4. 如申請專利範圍第1或2項之積體電路記憶體，其中該干擾保護裝置包括一個薄膜變阻器(122)。
5. 如申請專利範圍第1或2項之積體電路記憶體，其中該干擾保護裝置的電容量會小於該鐵電場效電晶體在有意使用環境內的可操作頻率下的電容量。
6. 如申請專利範圍第1或2項之積體電路記憶體，其中對很像要發生干擾電壓的電壓而言，該干擾保護裝置的電阻會遵循公式

$$R_d > 100 \times 1 / (2 \pi f C_F)$$

六、申請專利範圍

其中 R_d 是該干擾保護裝置的電阻係數， f 是該記憶體的操作頻率，而 C_F 是該鐵電層的電容量。

7. 如申請專利範圍第 1 或 2 項之積體電路記憶體，其中對很像要發生干擾電壓的電壓而言，該干擾保護裝置的電阻會遵循公式

$$R_d > 10 \times 1 / (2 \pi f C_F)$$

其中 R_d 是該干擾保護裝置的電阻係數， f 是該記憶體的操作頻率，而 C_F 是該鐵電層的電容量。

8. 如申請專利範圍第 1 或 2 項之積體電路記憶體，其中對接近該記憶體之讀取和書寫電壓的電壓而言，該干擾保護裝置的電阻會遵循公式

$$R_d < 0.01 \times 1 / (2 \pi f C_F)$$

其中 R_d 是該干擾保護裝置的電阻係數， f 是該記憶體的操作頻率，而 C_F 是該鐵電層的電容量。

9. 如申請專利範圍第 1 或 2 項之積體電路記憶體，其中對接近該記憶體之讀取和書寫電壓的電壓而言，該干擾保護裝置的電阻會遵循公式

$$R_d < 0.1 \times 1 / (2 \pi f C_F)$$

其中 R_d 是該干擾保護裝置的電阻係數， f 是該記憶體的操作頻率，而 C_F 是該鐵電層的電容量。

10. 如申請專利範圍第 1 或 2 項之積體電路記憶體，其中對位在或接近該記憶體之讀取和書寫電壓的電壓而言，該干擾保護裝置具有小於 100 仟歐姆的電阻以及大於 0.01 微法拉第的電容量。

六、申請專利範圍

11. 如申請專利範圍第 1 或 2 項之積體電路記憶體，其中對位在或接近該干擾電壓的電壓而言，該干擾保護裝置具有大於 1,600 仟歐姆的電阻以及小於 1.0 微微法拉第的電容量。
12. 如申請專利範圍第 1 或 2 項之積體電路記憶體，其中對位在或接近該記憶體之讀取和書寫電壓的電壓而言，該干擾保護裝置具有小於 1000 仟歐姆的電阻以及大於 0.001 微微法拉第的電容量。
13. 如申請專利範圍第 1 或 2 項之積體電路記憶體，其中對位在或接近該干擾電壓的電壓而言，該干擾保護裝置具有大於 160 百萬歐姆的電阻以及小於 10.0 微微法拉第的電容量。
14. 如申請專利範圍第 4 項之積體電路記憶體，其中該薄膜變阻器包括氧化鋅。
15. 如申請專利範圍第 14 項之積體電路記憶體，其中該氧化鋅是攙雜了一種選自一組由銻、鉍、鐳、鈷、銻、錳、矽、鎢、鈦、鉀、鎘、銻、銻、鐵、以及其組合的元素。
16. 如申請專利範圍第 1 或 2 項之積體電路記憶體，其中該鐵電元件包含了一種分層超晶格材料。
17. 如申請專利範圍第 1 或 2 項之積體電路記憶體，其中具有一個落在該干擾保護裝置 (122) 與該鐵電元件 (126) 之間的第二導體 (124)。
18. 一種用來操作積體電路記憶體 (100) 的方法，該記憶

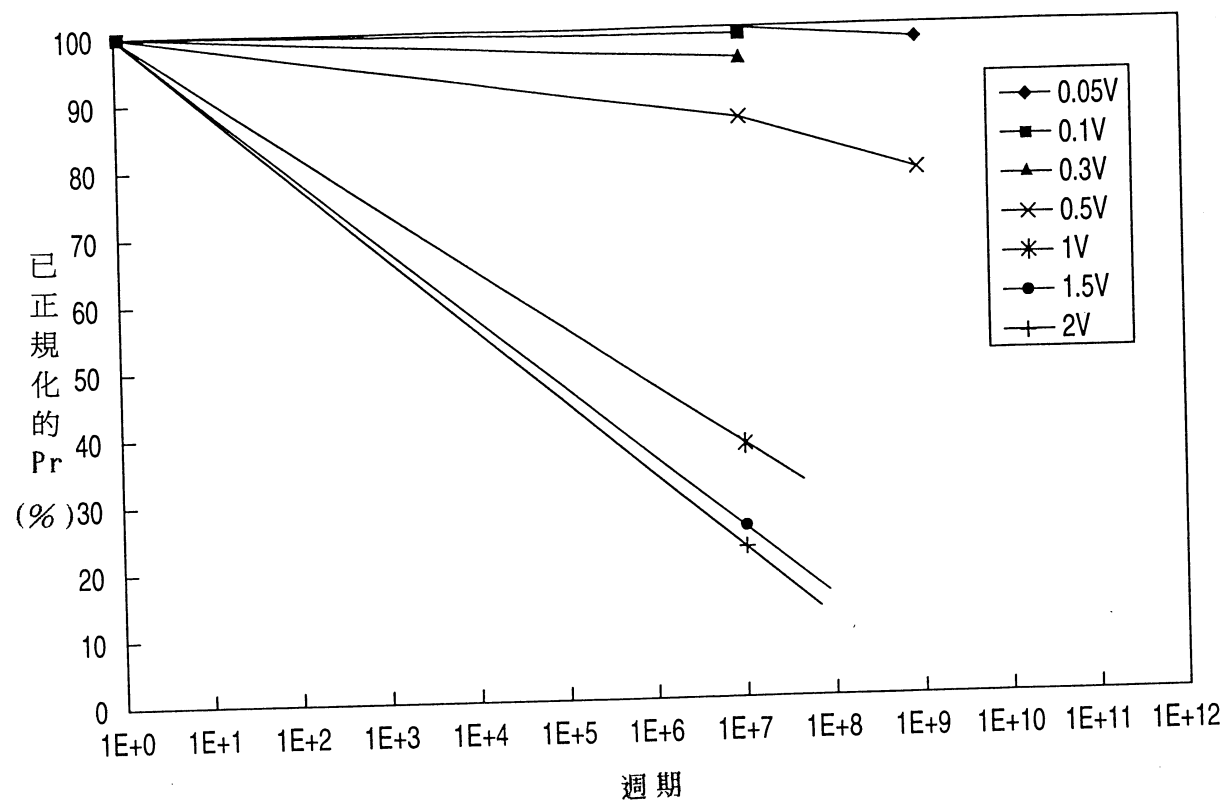
六、申請專利範圍

體包括：一個薄膜變阻器(122)以及一個能在第一偏極化狀態與第二偏極化狀態之間切換的薄膜鐵電FET(109)，該方法的特徵包括下列步驟：在基本上不致干擾該鐵電裝置之偏極化狀態下將一個第一電壓脈波傳送到該薄膜變阻器上，該第一電壓脈波是一個若直接加到該薄膜鐵電裝置上時便足以干擾該偏極化狀態的電壓；

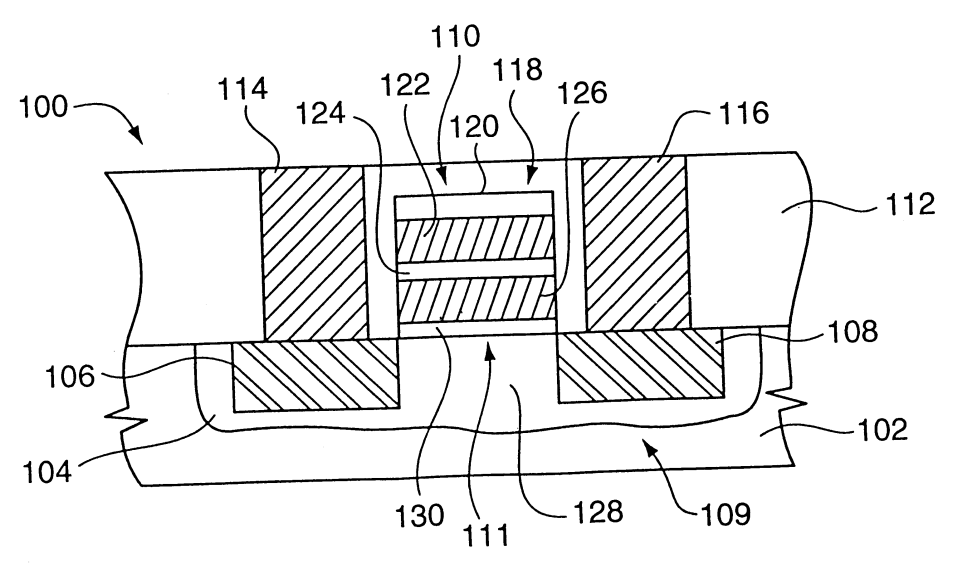
將一個其電壓比該第一電壓脈波更高的第二電壓脈波傳送到該薄膜變阻器上以切換該鐵電FET的該偏極化狀態。

19. 如申請專利範圍第18項之方法，其中在不致干擾該鐵電裝置之偏極化狀態下傳送第一電壓脈波的該步驟包括屏蔽該鐵電裝置使不受該第一電壓脈波影響的步驟。

89108933

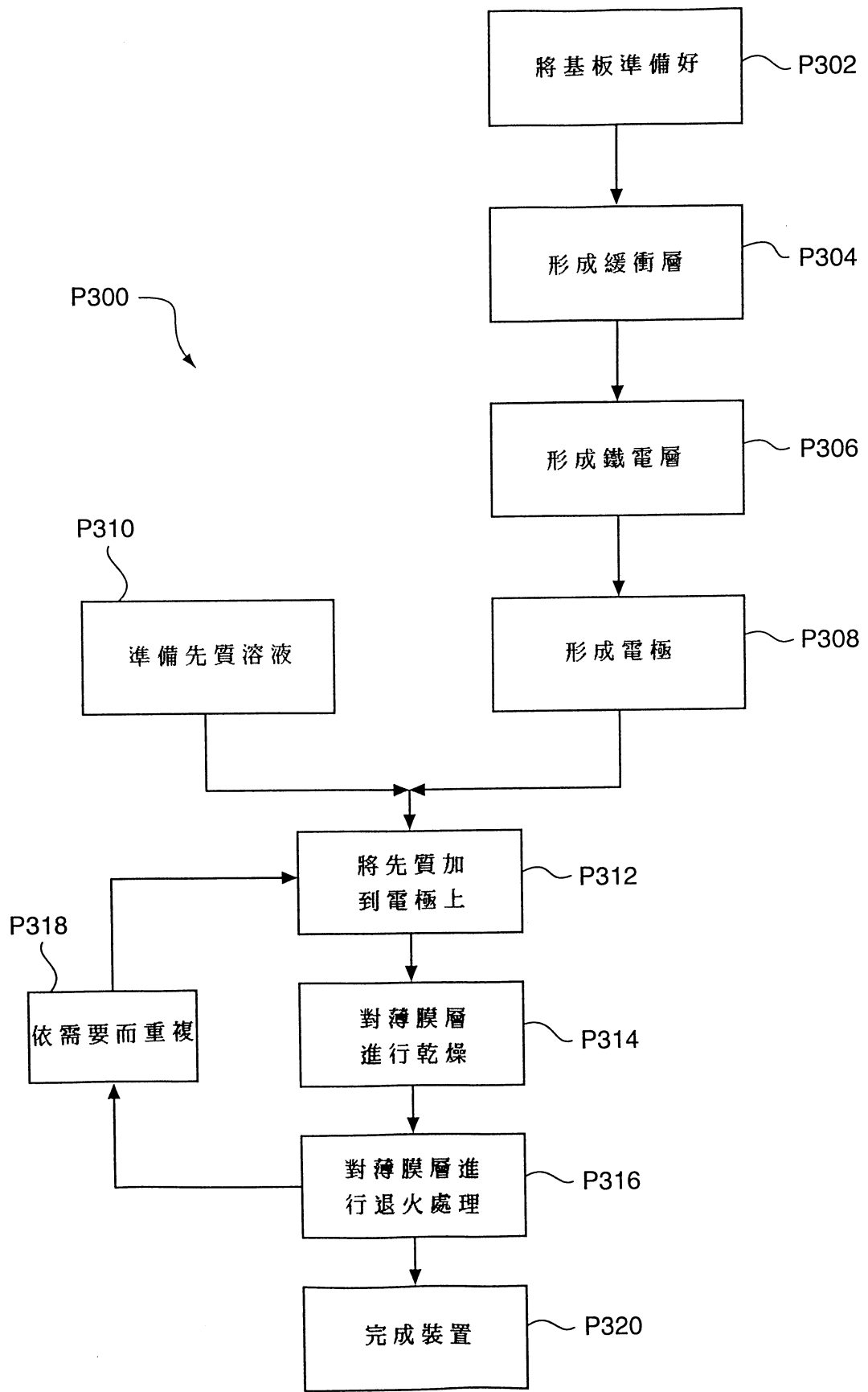


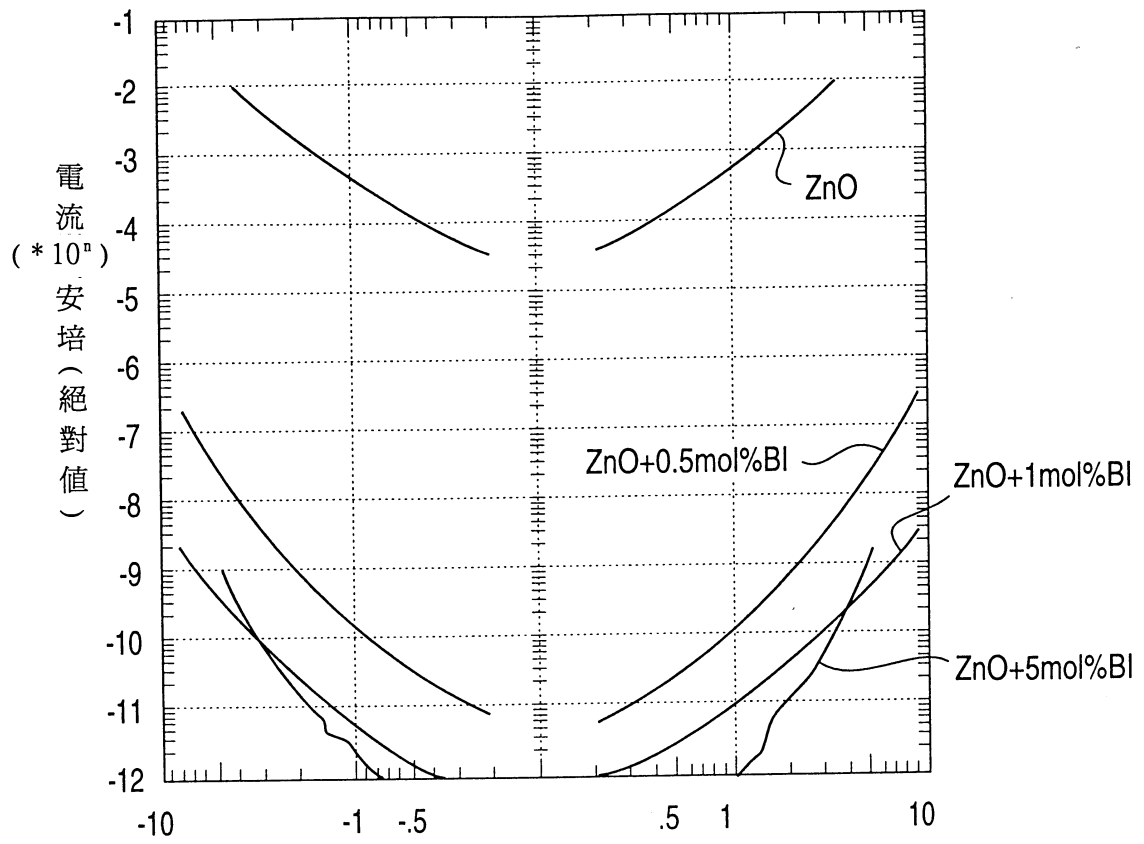
第 1 圖



第 2 圖

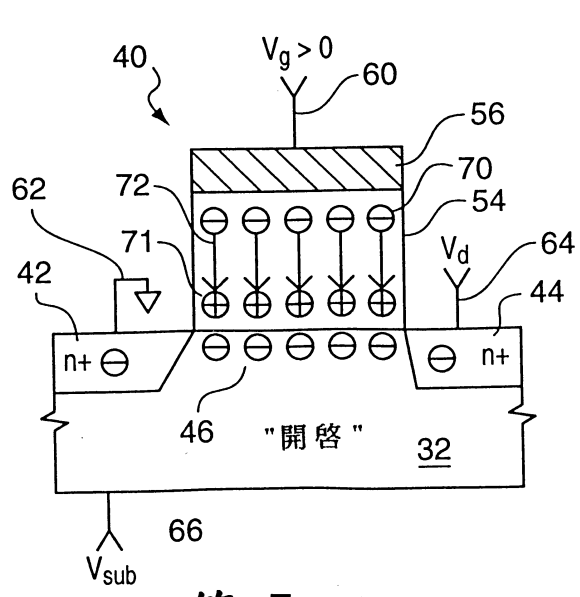
第 3 圖



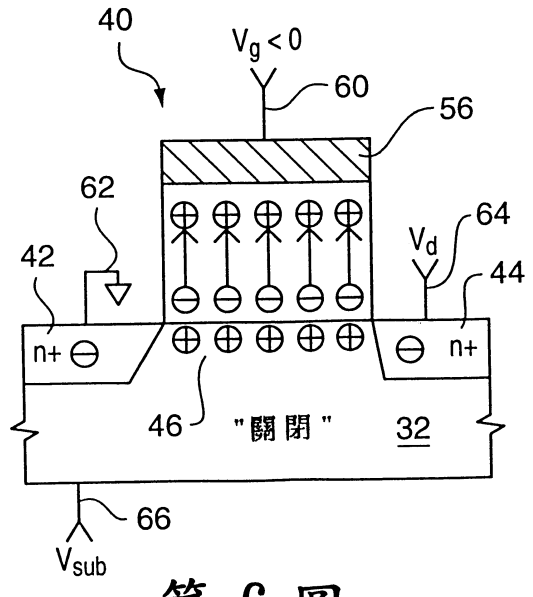


偏壓 (伏特)

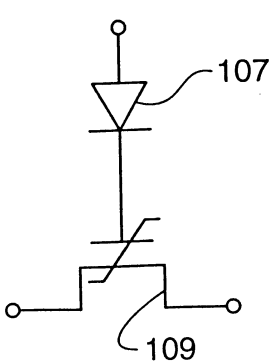
第 4 圖



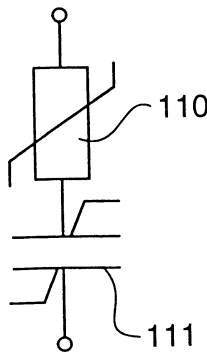
第 5 圖



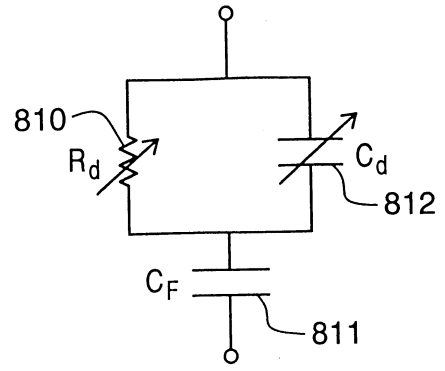
第 6 圖



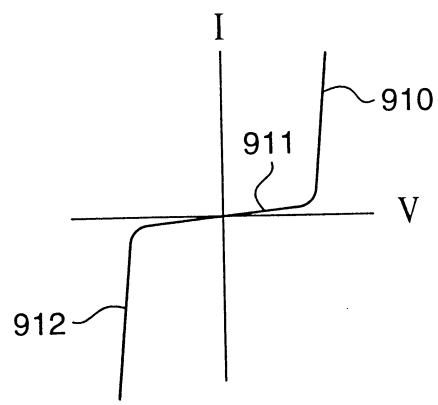
第 7A 圖



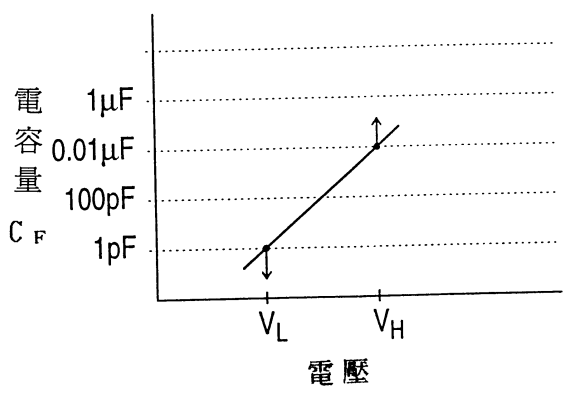
第 7B 圖



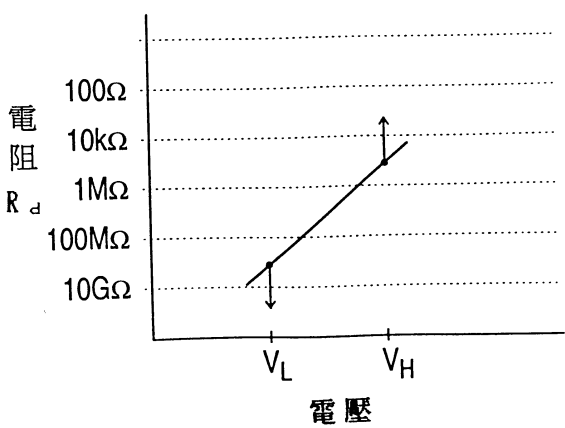
第 8 圖



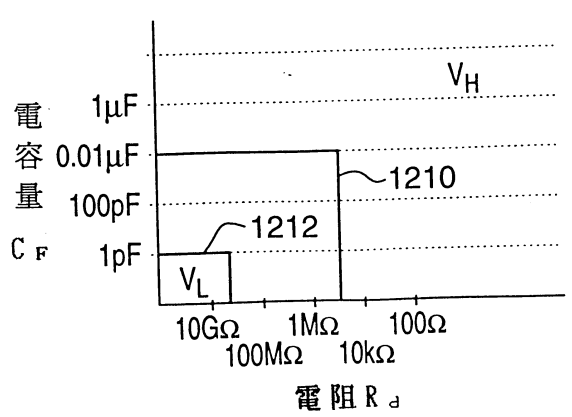
第 9 圖



第 10 圖



第 11 圖



第 12 圖