



(12) 发明专利

(10) 授权公告号 CN 101779376 B

(45) 授权公告日 2013. 11. 06

(21) 申请号 200880102622. 8

(22) 申请日 2008. 08. 08

(30) 优先权数据  
11/836, 220 2007. 08. 09 US

(85) PCT申请进入国家阶段日  
2010. 02. 09

(86) PCT申请的申请数据  
PCT/US2008/072629 2008. 08. 08

(87) PCT申请的公布数据  
W02009/021186 EN 2009. 02. 12

(73) 专利权人 高通股份有限公司  
地址 美国加利福尼亚州

(72) 发明人 马丁·圣劳伦特  
博里什·安德烈耶夫 保罗·巴希特

(74) 专利代理机构 北京律盟知识产权代理有限  
责任公司 11287

代理人 刘国伟

(51) Int. Cl.  
G06F 1/04 (2006. 01)

(56) 对比文件

CN 1278674 A, 2001. 01. 03,  
CN 1601432 A, 2005. 03. 30,  
US 6720810 B1, 2004. 04. 13,

审查员 任兴超

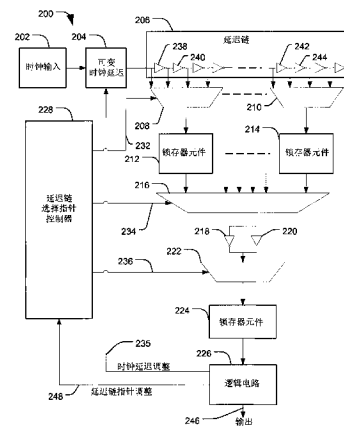
权利要求书3页 说明书10页 附图7页

(54) 发明名称

测量时钟抖动的电路装置和方法

(57) 摘要

在一实施例中, 揭示一种方法, 其包括在电路装置的延迟链处接收时钟信号, 以及确定所述时钟信号在所述延迟链内的选定点处的值。所述方法还包括在所述值未指示所述时钟信号的沿的检测时调整所述选定点。



1. 一种测量时钟抖动的方法,其包含:  
将时钟信号移位已知时间增量以提供时间移位时钟信号;  
在电路装置的延迟链处接收所述时间移位时钟信号;  
确定所述时间移位时钟信号在所述延迟链内的选定点处的值;以及  
在所述值未指示所述时钟信号的所要部分的检测时调整所述时间增量及所述选定点。
2. 根据权利要求1所述的方法,其中所述所要部分包含所述时钟信号的上升沿、下降沿和水平部分中的一者。
3. 根据权利要求1所述的方法,其进一步包含在所述选定点指示所述时钟信号的所述所要部分的检测时确定时钟周期。
4. 根据权利要求3所述的方法,其进一步包含:  
确定与所述时钟信号的所述所要部分的所述检测相关联的误差裕度;以及  
在所述误差裕度大于误差阈值时,将所述时钟信号移位所述已知时间增量。
5. 根据权利要求4所述的方法,其中所述延迟链包含多个延迟元件,其中每一延迟元件引入一延迟时间,且其中所述已知时间增量包含所述延迟时间的分数。
6. 根据权利要求3所述的方法,其进一步包含基于所述所确定时钟周期与标称时钟周期之间的差来确定抖动值。
7. 根据权利要求3所述的方法,其进一步包含基于所述经确定的时钟周期来控制操作时钟的频率。
8. 根据权利要求3所述的方法,其进一步包含基于所述经确定的时钟周期来控制操作时钟的电压。
9. 根据权利要求1所述的方法,其中所述选定点最初包含所述延迟链中的初始点,所述初始点大于提供所述时钟信号的时钟的标称周期,且其中调整包含递减所述延迟链中的所述选定点以识别在所述延迟链中早于所述初始点的第二点。
10. 根据权利要求8所述的方法,其进一步包含:  
确定所述时钟信号在第二点处的第二值;以及  
在所述第二值未指示所述时钟信号的所述沿的检测时调整所述第二点。
11. 根据权利要求1所述的方法,其中所述选定点最初包含所述延迟链中的初始点,所述初始点小于提供所述时钟信号的时钟的标称周期,且其中调整包含递增所述延迟链中的所述选定点以识别在所述延迟链中迟于所述初始点的第二点。
12. 根据权利要求1所述的方法,其中所述选定点包含所述延迟链内的与所述时间移位时钟信号基于标称时钟频率沿所述延迟链所行进的预期距离有关的点。
13. 一种电路装置,其包含:  
可变延迟元件,其将时钟信号移位已知时间增量以提供时间移位时钟信号;  
延迟链,其包含多个延迟元件,所述延迟链响应于所述时间移位时钟信号;  
分级多路复用器电路,其包括响应于所述延迟链的多个输入;以及  
逻辑电路,其耦合到所述分级多路复用器以控制所述分级多路复用器以确定所述时间移位时钟信号在所述延迟链内的选定点处的值且在所述值未指示所述时钟信号的沿时调整所述时间增量及所述选定点。
14. 根据权利要求13所述的电路装置,其中所述分级多路复用器电路包含响应于所述

逻辑电路的多个多路复用器,其中所述多个多路复用器中的每一者包括耦合到所述延迟链中的不同点的多个输入。

15. 根据权利要求 14 所述的电路装置,其中所述多个多路复用器中的每一者包括相等数目的输入。

16. 根据权利要求 14 所述的电路装置,其中所述分级多路复用器电路进一步包含至少一个第二多路复用器,所述至少一个第二多路复用器包括响应于所述多个多路复用器中的每一者的相应输出的多个输入。

17. 根据权利要求 16 所述的电路装置,其中所述至少一个第二多路复用器的输出提供所述时间移位时钟信号在所述选定点处的所述值。

18. 根据权利要求 13 所述的电路装置,其中所述分级多路复用器电路包含:

第一多个多路复用器,所述第一多个多路复用器中的每一多路复用器包括耦合到所述延迟链内的不同点的相等数目的输入,所述第一多个多路复用器中的每一多路复用器包括选择输入;以及

至少一个第二多路复用器,其包括耦合到所述第一多个多路复用器的相应输出的第二多个输入,所述至少一个第二多路复用器包括响应于所述逻辑电路的选择输入且具有用以将与所述延迟链的所述选定点有关的所述值提供到所述逻辑电路的输出。

19. 根据权利要求 13 所述的电路装置,其中所述逻辑电路在所述选定点指示所述时间移位时钟信号的沿时确定时钟周期。

20. 根据权利要求 13 所述的电路装置,其中所述逻辑电路基于标称时钟周期与所述所确定时钟周期之间的差来调整操作时钟的频率。

21. 根据权利要求 13 所述的电路装置,其中所述逻辑电路基于标称时钟周期与所述所确定时钟周期之间的差来调整操作时钟的电压。

22. 一种测量时钟抖动的方法,其包含:

将时钟信号移位已知时间增量以提供时间移位时钟信号;

在电路装置的延迟链处接收所述时间移位时钟信号;

确定所述时间移位时钟信号在所述延迟链内的沿的位置以确定所述时钟信号的所检测时钟周期,其中定位所述时间移位时钟信号的所述沿包含:

以迭代方式确定所述时间移位时钟信号在所述延迟链内的选定点处的值;

调整所述选定点,直到所述值指示所述时间移位时钟信号的沿为止;以及

比较所述时间移位时钟信号的所述沿的所述位置与标称时钟信号的沿的位置以确定时钟抖动测量。

23. 根据权利要求 22 所述的方法,其中所述选定点包含所述延迟链内的与标称时钟周期有关的点。

24. 根据权利要求 22 所述的方法,其进一步包含基于所述时钟抖动测量来控制操作时钟的频率。

25. 根据权利要求 24 所述的方法,其进一步包含在所述时钟抖动测量超过预定阈值时降低所述操作时钟的频率。

26. 根据权利要求 22 所述的方法,其进一步包含基于所述时钟抖动测量来控制操作时钟的电压。

27. 根据权利要求 26 所述的方法,其中控制所述电压包含在所述时钟抖动测量超过预定阈值时降低所述操作时钟的电压电平。

28. 一种处理器装置,其包含:

用于将时钟信号移位已知时间增量以提供时间移位时钟信号的装置;

用于在电路装置的延迟链处接收所述时间移位时钟信号的装置;

用于确定所述时间移位时钟信号在所述延迟链内的选定点处的值的装置;以及

用于在所述值未指示所述时间移位时钟信号的沿时调整所述选定点的装置。

29. 根据权利要求 28 所述的装置,其进一步包含用于在所述选定点指示所述时间移位时钟信号的沿时确定最短时钟周期以及用于基于所述最短时钟周期与标称时钟周期之间的差来确定抖动值的装置。

30. 根据权利要求 28 所述的装置,其进一步包含用于基于所述抖动值来控制操作时钟的频率的装置。

31. 根据权利要求 28 所述的装置,其进一步包含用于基于所述抖动值来控制操作时钟的电压的装置。

32. 根据权利要求 28 所述的装置,其中所述用于调整所述选定点的装置包含逻辑电路。

## 测量时钟抖动的电路装置和方法

### 技术领域

[0001] 本发明大体上涉及测量时钟抖动的电路装置和方法。

### 背景技术

[0002] 一般来说,电路装置内的时钟信号的时间稳定性可影响性能(尤其在同步数字电路装置内)。短期时钟波动(或时钟抖动)可归因于时序约束违规的危险而降低系统性能。因为时钟抖动影响核心处理器可操作所处的最大频率,所以时钟抖动在电路装置中引入参数良率的限制。常规上,处理器频率的降低可难以被准确地测量,部分因为测量点插入还可干扰时钟信号。举例来说,测量时钟抖动的外部测试探针可通过引入电容、电感、阻抗失配以及可引入额外时钟波动的其它异常而干扰时钟信号。

[0003] 为了更准确地测量时钟抖动,已将芯片上测试结构添加到电路装置。芯片上测试结构可包括大量触发器以俘获沿延迟链的多个取样点处的时钟值。然而,为了准确地取样时钟信号,使用大量取样点且因此使用大量触发器。大量触发器可占据整个电路的显著面积。另外,与所述测试结构相关联的准确度通常限于延迟链的每一组件的插入延迟。举例来说,如果延迟链中的每一组件具有 20 皮秒延迟,则在延迟链中的组件之间所采取的测量的准确度可限于正或负 20 皮秒。在以超过十亿赫兹的频率而操作的处理器电路中,40 皮秒延迟裕度可表示所检测时钟抖动上的显著量的不确定性,其可通过添加大于所检测时钟抖动不确定性裕度的操作裕度来处理。此操作裕度限制电路装置可操作的频率。

[0004] 另外,一旦测量到特定电路设计中的时钟抖动,仍难以确定设计改变是否可减少抖动。虽然过多的抖动裕度可增加电路衬底的面积使用、增加功率消耗且增加销售特定设计的时间,但不足的抖动裕度可导致质量降低和故障数增加或良率降低。因此,需要测量时钟抖动的改进型电路装置和方法。

### 发明内容

[0005] 在一特定实施例中,揭示一种方法,其包括沿电路装置的延迟链发送时钟信号,以及确定时钟信号在延迟链内的选定点处的值。所述方法还包括在值未指示时钟信号的所要部分的检测时调整选定点的位置。

[0006] 在另一特定实施例中,揭示一种电路装置,其包括由多个延迟元件组成的延迟链。延迟链响应于时钟信号。电路装置还包括逻辑电路和具有响应于延迟链的多个输入的分级多路复用器电路。逻辑电路控制分级多路复用器以确定时钟信号在延迟链内的选定点处的值且在值未指示时钟信号的沿时调整选定点。

[0007] 在又一特定实施例中,揭示一种方法,其包括在电路装置的延迟链处接收时钟信号,以及确定在延迟链内时钟信号的沿的位置以确定时钟周期。定位时钟信号的沿包括以迭代方式确定时钟信号在延迟链内的选定点处的值,和调整选定点,直到值指示时钟信号的沿为止。所述方法还包括比较时钟信号的沿的位置与标称时钟信号的沿的位置以确定时钟抖动测量。

[0008] 在再一特定实施例中,揭示一种处理器装置,其包括用于沿电路装置的延迟链传递时钟信号的装置,和用于确定时钟信号在选定点处的值的装置。处理器装置还包括用于在值未指示时钟信号的沿时调整选定点的装置。

[0009] 提供由时钟抖动确定电路的实施例提供的一个特定优点,其在于:时钟抖动确定电路在确定时钟抖动方面实现高准确度,从而允许设计者设定较小时钟抖动裕度以增强电路装置的操作时钟速度。

[0010] 提供另一特定优点,其在于:时钟抖动确定电路占据整个电路的较小面积且与抖动补偿电路和/或常规的时钟抖动确定电路相比消耗更少的操作功率。

[0011] 提供再一特定优点,其在于:时钟抖动确定电路适于对执行各种应用的处理器核心测量在长时间周期内的抖动。

[0012] 提供另一特定优点,其在于:时钟抖动确定电路可在无校准的情况下操作。

[0013] 实现另一优点,其在于:时钟抖动确定电路不需要模拟电路组件。

[0014] 在审阅整个申请案之后,本发明的其它方面、优点和特征将变得显而易见,整个申请案包括以下部分:附图说明、具体实施方式和权利要求书。

#### 附图说明

[0015] 图 1 为说明包括归因于抖动的时序不确定性的时钟信号的图表;

[0016] 图 2 为用以测量时钟抖动的电路的特定说明性实施例的框图;

[0017] 图 3 为包括用以测量时钟抖动的电路的电路装置的特定说明性实施例的框图;

[0018] 图 4 为说明使用图 2 和图 3 所示的电路对时钟信号进行沿检测的时序图;

[0019] 图 5 为说明在通过已知延迟来调整时钟信号时序之后使用图 2 和图 3 所示的电路对时钟信号进行沿检测的时序图;

[0020] 图 6 为测量时钟抖动的方法的特定说明性实施例的流程图;

[0021] 图 7 为基于所测量的时钟抖动来控制电路装置的操作时钟的方法的特定说明性实施例的流程图;且

[0022] 图 8 为包括用以测量时钟抖动的电路的便携式通信装置的特定说明性实施例的框图。

#### 具体实施方式

[0023] 图 1 为说明包括归因于抖动的时序不确定性的时钟信号 102 的图表 100。图表 100 包括表示时间的 x 轴和表示逻辑电平或电压电平的 y 轴。应理解,时间轴可指示以电路延迟的单位、绝对时间的单位(例如,纳秒)、其它单位或其任何组合的时间。时钟信号 102 具有标称时钟周期 106 且具有具有抖动的所检测时钟周期 108。一般来说,时钟抖动为随时间而累积的时钟循环和相位差的失真,使得时钟沿(上升沿、下降沿或两者)可失真,或可相对于预期标称时钟沿而早或迟到达。由抖动所引起的早上升时钟沿整体由参考数字 104 和 112 指示,且经延迟的时钟沿整体由参考数字 110 指示。

[0024] 一般来说,时钟信号 102 可包括从逻辑低电平到逻辑高电平的多个电位转变,如整体由线 104 和线 110 所指示。时钟信号 102 还包括从逻辑高电平到逻辑低电平的转变。另外,在 112 处展示从逻辑低电平到逻辑高电平的后续转变。虽然时钟信号 102 可具有标

称时钟周期 106, 但实际时钟周期可视各种电位沿转变和与所述转变相关联的延迟 (即, 基于抖动) 而变化。在此例子中, 具有抖动的所检测时钟周期 108 表示最坏状况的时钟抖动, 其中所检测时钟周期短于标称时钟周期, 在常规系统中, 此可归因于时钟抖动而导致数据转变误差, 除非设计者已内建操作时钟裕度来解决所述时钟抖动。

[0025] 一般来说, 参看图 1 所描述的抖动与预期标称时钟周期 (从第一标称时钟脉冲的上升沿到下一标称时钟脉冲的上升沿) 与所确定时钟周期 (从所接收时钟脉冲的上升沿到下一所接收时钟脉冲的上升沿) 之间的差有关。然而, 应理解, 还可从时钟信号的下降沿或从时钟信号的选定部分确定时钟抖动值。

[0026] 参看图 2, 其为可用以通过确定时钟周期且通过比较时钟周期与预期标称时钟周期来测量时钟抖动的电路装置 200 的特定说明性实施例的框图。电路装置 200 包括时钟输入 202、可变延迟元件 204 和延迟链 206。延迟链 206 包括多个延迟元件, 其可为缓冲器、反相器、其它延迟元件或其任何组合。在一特定实施例中, 延迟链 206 可包括多个串联连接的反相器, 包括所说明的反相器 238、240、242 和 244。时钟输入 202 响应于源以接收时钟信号, 时钟信号在经由可变延迟元件 204 的补偿之后提供到延迟链 206。一般来说, 由延迟链的多个串联连接的反相器中的每一者所引入的串联延迟比标称时钟周期 (即, 预期时钟周期) 小得多。在一特定说明性非限制实施例中, 标称时钟周期可为 1,000 皮秒且每一反相器可表示大约 20 皮秒的延迟。

[0027] 电路装置 200 还包括分级多路复用器电路, 其包括第一排一个或一个以上多路复用器电路, 例如, 多路复用器 208 和 210。分级多路复用器电路还包括第二排多路复用器电路 216, 其可用以通过取样延迟链 206 内的时钟信号来确定时钟抖动。另外, 分级多路复用器电路可包括逻辑电路装置, 例如, 一个或一个以上锁存器元件 212 和 214。在一特定说明性实施例中, 分级多路复用器电路可包括额外排的多路复用器电路或逻辑, 例如, 多路复用器 222 和锁存器元件 224。

[0028] 电路装置 200 还包括延迟链选择指针控制器 228, 其控制分级多路复用器。具体来说, 延迟链选择指针控制器 228 经由控制线 232 而控制多路复用器 208 和 210、经由控制线 234 而控制多路复用器 216, 且经由控制线 236 而控制多路复用器 222。电路装置 200 进一步包括响应于锁存器元件 224 且适于确定时钟信号在延迟链 206 内的一点处的沿的逻辑电路 226。

[0029] 逻辑电路 226 可在输出 246 处提供与时钟信号有关的数据。在一特定说明性实施例中, 逻辑电路 226 可在输出 246 处提供可由软件或其它电路用以识别所接收时钟信号在延迟链 206 处的时钟周期的值或其它指示符。在一特定说明性实施例中, 逻辑电路 226 将延迟链指针调整 248 (反馈控制信号) 提供到延迟链选择指针控制器 228。另外, 逻辑电路 226 将时钟延迟调整反馈信号 235 提供到可变时钟延迟元件 204。

[0030] 第一排多路复用器 (例如, 多路复用器 208 和 210) 包括耦合到延迟链 206 中的不同点的多个输入且由延迟链选择指针控制器 228 控制以多路复用来自延迟链 206 中的相应点的值。举例来说, 多路复用器 208 可经由控制线 232 由延迟链选择指针控制器 228 控制以多路复用 (取样) 时钟信号在延迟元件 238 与 240 之间的一点处的值。多路复用器 210 还可经由控制线 232 由延迟链选择指针控制器 228 控制以取样时钟信号在延迟链 206 内的延迟元件 242 与 244 之间的一点处的值。多路复用器 208 将经取样的值提供到锁存器元件

212 且多路复用器 210 将经取样的值提供到锁存器元件 214。

[0031] 一般来说,延迟链 206 的串联连接的反相器(缓冲器或其它延迟元件)中的每一者执行延迟元件的功能且各自具有与通过反相器的数据相关联的预定标称延迟。在一特定说明性非限制实施例中,标称时钟周期可为 1,000 皮秒且每一反相器可表示大约 20 皮秒的延迟。通过使用延迟链 206 以测量时钟抖动,由每一反相器表示的延迟确定测量的粒度(即,给定样本的误差裕度)。举例来说,在一特定说明性实施例中,在两个延迟元件之间所采取的测量已知为大约正或负 20 皮秒的准确度(即,大约 40 皮秒的误差裕度)。可变时钟延迟 204 可经由时钟延迟调整反馈信号 235 由逻辑电路 226 控制以将已知时间偏移插入到延迟链 206 的输入处的时钟信号,使得可使延迟链 206 的分辨率对于确定时钟抖动的目的来说更精确。举例来说,如果反相器 238 与 240 之间的取样点表示从延迟链的起点到取样点的 40 皮秒的时间周期,则可变时钟延迟 204 可将调整总插入延迟的 5 皮秒延迟引入到取样点,使得信号传播到反相器 240 的输出处的取样点的时间周期表示 45 皮秒。因而,可增强特定时钟沿确定的粒度以更精确地确定时钟周期。

[0032] 在一特定说明性实施例中,在电路装置 200 的延迟链 206 处接收在时钟输入 202 处接收的时钟信号。延迟链选择指针控制器 228 控制分级多路复用器的第一排(例如,多路复用器 208 和 210)以取样延迟链 206 内的一点。一般来说,多路复用器 208 和 210 包括响应于延迟链 206 的多个输出的多个输入。延迟链 206 的多个输出中的每一者对应于延迟元件(例如,所说明的反相器)中的一者的相应输出。

[0033] 在延迟链 206 内的选定点处取样时钟信号。延迟链 206 内的选定点可表示具有标称时钟周期或预期时钟周期的时钟的时钟沿。或者,选定点可表示具有大于标称时钟周期或预期时钟周期的时钟的沿。延迟链选择指针控制器 228 控制多路复用器 208 和 210 以将经取样数据提供到锁存器元件 212 和 214。应理解,存在来自分级多路复用器电路的第一排的多个输出,所述第一排将经取样数据从延迟链 206 提供到多个逻辑元件。将来自多个锁存器元件的经取样数据并行地提供到分级多路复用器电路的第二排多路复用器,例如,第二多路复用器 216。可将数据提供到分级多路复用器电路的由并联地耦合的反相器 218 和缓冲器 220 表示的另一排,反相器 218 和缓冲器 220 将经取样时钟数据提供到多路复用器 222。延迟链选择指针控制器 228 可经由控制线 236 而控制多路复用器 222 以将经取样时钟数据提供到锁存器元件 224 和逻辑电路 226。逻辑电路 226 适于确定是否在延迟链 206 内的取样点处发现时钟沿。

[0034] 逻辑电路 226 可经由输出 246 而提供输出(例如,与延迟链 206 中的取样点有关的数据)。另外,逻辑电路 226 可将延迟链指针调整 248 提供到延迟链选择指针控制器 228 以调整多路复用器 208 和 210 的取样点以取样延迟链 206 内的不同点。在一特定说明性实施例中,延迟链 206 中的取样点可指示小于标称时钟周期的时钟周期,且可通过选择延迟链中的不同取样点来调整取样点以识别在延迟链中早于初始点的第二点。延迟链 206 中的取样点可表示由时钟信号的沿基于标称时钟频率而行进的沿延迟链 206 的预期距离。

[0035] 在一特定说明性实施例中,如果逻辑电路 226 确定未在延迟链 206 内的取样点处发现时钟沿,则逻辑电路 226 可更改取样点以在具有小于或大于预期时钟周期的周期的时钟的不同点处取样,此视经取样数据的值而定。具体来说,如果上升时钟沿未到达取样点,则逻辑电路可提供延迟链指针调整 248 以补偿较短时钟周期。电路装置 200 可通过控制分

级多路复用器电路的多路复用器 208、210、216 和 222 以在所调整取样点处取样而再次执行所述过程。

[0036] 一旦逻辑电路 226 定位延迟链 206 内的时钟沿, 逻辑电路 226 便可经由时钟延迟调整反馈信号 235 而调整可变时钟延迟 204 以通过已知时间增量来调整输入时钟信号, 使得时钟信号在延迟链 206 中在所调整时间 (即,  $T_0 + \Delta T$ ) 处转变, 其中  $T_0$  表示在调整输入时钟信号之前从延迟链 206 的起点到延迟链 206 中的取样点的传播 / 插入延迟。延迟链选择指针控制器 228 可重新取样延迟链 206 内的取样点处的时钟信号以更准确地确定时钟沿。

[0037] 可变时钟延迟元件 204 耦合到延迟链 206 的输入以使所接收时钟信号高精度地偏移已知时间增量, 以改变在延迟链 206 处接收时钟信号时的时间。通过调整可变时钟延迟 204, 有效地增强或精细化延迟链 206 的粒度。可变时钟延迟 204 借此提供用于使电路装置 200 在时钟沿检测过程期间提供小精确时钟调整的机制。具体来说, 可通过小于由延迟链 206 的每一延迟元件所引入的延迟的增量来调整输入时钟信号。举例来说, 如果每一延迟元件 (例如, 反相器 238) 引入 20 皮秒延迟, 则可变时钟延迟元件 204 可引入 5 皮秒延迟 (具有已知时间增量的延迟) 以确定是否将时钟沿推到延迟链内的下一取样点, 从而将时钟沿检测的误差裕度减少到正或负 5 皮秒, 而不必添加额外取样点。虽然描述为 5 皮秒的延迟, 但应理解, 还可使用其它时间增量。

[0038] 因而, 逻辑电路 226 通过提供延迟链指针调整 248 而可取样延迟链 206 内的不同点, 且可控制延迟链选择指针控制器 228 以提供分级多路复用器的迭代调整以沿延迟链取样不同点。所接收时钟信号的以迭代方式调整的样本可用以发现第一时钟沿信号, 使得检测时钟信号的沿, 以便解决抖动 (即, 时钟沿的时序的波动)。

[0039] 逻辑电路 226 可任选地通过提供时钟延迟调整反馈信号 235 以调整可变时钟延迟 204 来精细化沿检测。逻辑电路 226 可使用所调整时钟更精确地确定时钟信号的转变。举例来说, 逻辑电路 226 可通过延迟周期的第一分数 (即, 由延迟链 206 的每一延迟元件引入的延迟的分数) 来调整可变时钟延迟 204。逻辑电路 226 接着可重新取样所调整时钟以检测时钟的沿。如果时钟信号的所检测沿仍具有超过临界不确定性的测量上的不确定性, 则逻辑电路可通过小于第一分数的第二分数来调整可变时钟延迟 204。逻辑电路 226 可以迭代方式调整可变时钟延迟 204, 直到确定时钟的沿达到所要精度水平为止。

[0040] 在最后迭代期间, 逻辑电路 226 可提供输出 246, 其指示检测到时钟信号的沿达到所要精度水平。在一特定说明性实施例中, 逻辑电路 226 可基于时钟抖动来提供指示最短所检测时钟周期的控制信号。最短所检测时钟周期可指示最坏状况的时钟周期。额外电路元件可使用所述信息以执行有用功能, 例如, 调整操作时钟的频率或调整电路的电压。举例来说, 可提供自适应电压和频率控制电路, 其可利用所检测时钟周期来调整时钟频率或电压。对频率或电压的所述调整可用以提供更准确的时序且借此可允许所得电路被调谐以用于改进的性能、功率节省或其任何组合。

[0041] 一般来说, 应理解, 可使用具有耦合到延迟链 206 内的多个不同点的大约相等数目的输入的多个多路复用器来实施分级多路复用器电路内的第一排多路复用器 (例如, 多路复用器 208 和 210)。在一特定说明性实施例中, 通过针对第一排多路复用器中的每一多路复用器利用大约相等数目的输入, 可平衡通过第一排多路复用器 (即, 多路复用器 208 和 210) 的延迟。在一特定实施例中, 多路复用器可为八到一多路复用器且十六个多路复用器

可用以取样延迟链 206 内的 128 个点。在另一特定实施例中,更大量的多路复用器可用以取样延迟链中的更多点。另外,应理解,虽然仅展示单一第二排多路复用器 216,但第二排多路复用器可包括一个或一个以上多路复用器组件。在一特定说明性实施例中,分级多路复用器电路可包括多排多路复用器。

[0042] 一般来说,视特定实施而定,取样点信号到达时间最初可经选择为大于、等于或小于标称时钟周期。可基于预期取样点信号到达时间来选择延迟链 206 内的取样点。基于所接收时钟信号,可以迭代方式选择(在延迟链 206 内较早或较迟)其它取样点,直到在特定取样点处检测到所接收时钟信号的所要部分为止。在一特定说明性实施例中,所接收时钟信号的所要部分可为时钟信号的上升沿。在另一特定说明性实施例中,所接收时钟信号的所要部分可为下降沿。在又一特定说明性实施例中,时钟信号的所要部分可为水平部分。举例来说,在此特定例子中,多个取样点可用以确定时钟信号的水平部分的脉冲宽度。在任一情况下,可基于所接收时钟信号的所要部分与标称时钟信号的相应所要部分的偏差来确定时钟抖动值。

[0043] 在一特定说明性实施例中,电路装置 200 可用以测量以电路延迟的相对单位的时钟抖动。在一特定说明性实施例中,可确定最小时钟周期。在另一特定说明性实施例中,电路装置 200 可用以追踪以电路延迟的相对单位而非以时间单位的时钟变化。然而,逻辑可用以经由校准将所测量电路延迟转换成时间单位。

[0044] 另外,虽然图 2 的论述指示用于取样时钟信号的多路复用器的分级布置,但应理解,存在可用以取样时钟信号的许多不同电路配置。举例来说,可利用具有对应于延迟链 206 内的取样点的数目的许多输入的单一路复用器来替换多路复用器 208 和 210。

[0045] 参看图 3,展示包括电路装置 302 的系统 300。电路装置 302 包括时钟电路 306、时钟控制电路 312、逻辑电路 310、时钟抖动测试电路 304、功率控制电路 314、功率电路 316 和其它电路元件 308。时钟电路 306 响应于时钟控制电路 312 且可将输出(例如,时钟信号)提供到其它电路元件 308。时钟抖动测试器电路 304 可耦合到时钟电路 306 的输出以测试时钟信号来确定时钟周期。时钟抖动测试器电路 304 将输出提供到逻辑电路 310,其可确定来自时钟电路 306 的时钟信号的时钟周期是否匹配预期值。当未检测到时钟沿时或如果在预期时间处未接收到时钟沿,则逻辑电路 310 可调整时钟抖动测试电路 304 内的取样点以测量包括时钟抖动的时钟周期。

[0046] 一旦逻辑电路 310 检测到所测量时钟周期,逻辑电路 310 便可调整时钟控制电路 312 以控制时钟电路 306。逻辑电路 310 可将第一输出提供到时钟控制电路 312 且将第二输出提供到功率控制电路 314。在一特定实施例中,逻辑电路 310 将调整信号提供到时钟控制电路 312 以控制时钟电路 306。逻辑电路 310 还可在执行时钟抖动测试电路测量之后将与所检测时钟周期有关的信息提供到功率控制电路 314,功率控制电路 314 可使用来自逻辑电路 310 的所检测时钟周期信息将控制信号提供到功率电路 316。在一特定说明性实施例中,逻辑电路 310 可将与时钟周期有关的信息提供到功率控制电路 314,功率控制电路 314 可使用所述信息来控制功率电路 316,且可将所调整功率或其它控制信号提供到系统内的其它电路元件 308,例如,芯片上系统(SOC)装置。

[0047] 在一特定说明性非限制实施例中,逻辑电路 310 可将与所测量时钟周期有关的信息提供到功率控制电路 314。功率控制电路 314 可使用所述信息(例如)来调整到其它电

路元件 308 的功率。或者,功率控制电路 314 可将额外功率提供到时钟控制电路 312、时钟电路 306 或其任何组合(未展示连接)以将额外功率提供到时钟电路 306 以潜在地减少时钟抖动。

[0048] 参看图 4,其展示代表性时钟信号 400 的一部分。时钟信号 400 在 402 处处于逻辑电平高且在 406 处开始转变到逻辑电平低。时钟信号 400 展示在说明在延迟元件之间所取的多个取样点的栅格上,取样点表示例如延迟 404 等延迟。时钟信号 400 的转变点 406 发生在取样点之间的窗内,如 408 处所指示。因为转变 406 发生在取样点之间(如所示),所以经取样转变点的精度已知在由取样窗 408 界定的裕度内。

[0049] 参看图 5,可使用可变延迟元件(例如,图 2 中的可变时钟延迟 204)来延迟时钟信号以提供时钟信号 500 的经延迟版本。具体来说,可变延迟元件可将已知时间偏移插入到延迟链的输入处的时钟信号。可将经延迟时钟信号 500 延迟精确已知的时间增量(时间偏移)。如图 5 所示,经延迟时钟信号 500 为时钟信号 400(图 4 中)的经延迟版本,其已被延迟 506 处所指示的时间增量( $\Delta T$ ),使得从经延迟时钟信号 500 的逻辑电平高 502 到逻辑电平低的转变点发生在点 508 处,点 508 对应于取样点 510。通过插入精确的时间偏移,可以大于延迟链(例如,图 2 中的延迟链 206)的延迟元件可能原本允许的准确度来确定时钟沿点 508 的转变。

[0050] 参看图 6,说明检测时钟周期且确定时钟抖动(例如,通过使用图 2 中的电路装置)的方法。方法包括在电路装置的延迟链处接收时钟信号,如 602 处所示。在一特定说明性实施例中,电路装置可包括时钟产生器,其将时钟信号发送到延迟链。所述方法进一步包括取样延迟链内的选定点处的时钟信号(604 处),以及确定时钟信号在选定点处的值(如 606 处所示)。在一特定说明性实施例中,选定点为延迟链内的取样点。取样点最初可表示延迟链内应检测预期标称时钟信号的要部分的取样点。所要部分可为时钟信号的上升沿、下降沿或水平部分。在一特定说明性实施例中,可组合 604 与 606 处所指示的方框。在另一特定实施例中,可通过计算、缩放、内插或另外处理 604 处所取样的时钟信号的值来确定时钟信号在选定点处的值。

[0051] 进行到 608,接着比较时钟信号在取样点处的值以确定时钟信号的值是否表示所要部分(例如,上升沿、下降沿、水平部分)。如果时钟信号的值指示检测到所要部分,则方法进行到方框 612。如果时钟值指示未检测到所要部分,则方法进行到方框 610,其中在延迟链内选择新的取样点。方法返回到 602 且处理继续。如果时钟信号的值最初指示未检测到所要部分(如 610 处所示),则后续处理发生在延迟链内的不同取样点处,直到最终在 608 处检测到时钟信号的要部分为止。接着,方法继续到 612。

[0052] 一旦经取样值指示已检测到所要部分,便接着在决策步骤 612 处比较经取样值与所要精度水平。如果未达到所要精度水平,则方法进行到步骤 614,其中将时钟输入延迟已知时间增量( $\Delta T$ )。在将时钟输入延迟已知时间增量( $\Delta T$ )之后,方法返回到步骤 602 以用于进一步处理。

[0053] 当在 612 处确定时钟沿处于所要精度水平时,所述方法继续到 616,其中已基于时钟沿在延迟链内的位置且基于已知时间增量( $\Delta T$ )来确定(即,测量)抖动时钟周期。另外,方法进行到 618,其中基于所测量抖动时钟周期与标称时钟周期之间的差来确定时钟抖动。所述方法在已确定抖动时钟周期以及抖动时钟周期与标称时钟周期之间的差之后结束

于 620 处。因而,所述方法可提供所检测抖动时钟周期以及所检测抖动时钟周期与标称时钟周期的差两者以识别抖动误差测量。

[0054] 基于时钟信号在延迟链的选定点处的沿的检测来确定时钟周期。另外,基于从延迟链内指示时钟信号的沿的特定时间所确定的值而在特定时间(表示从延迟链的起点到延迟链内的取样点的传播/插入延迟)确定时钟周期。另外,基于由延迟链 206 内的元件所引入的延迟而知晓与时钟沿的检测相关联的误差裕度,且可通过使在延迟链处接收时钟信号的时间移位已知时间增量(例如,通过使用如图 2 所示的高精度可变时钟延迟元件 204)来减小误差裕度。另外,为了增加精度,可变延迟元件的已知时间增量可为延迟链内的反相器中的一者的延迟时间的分数。另外,在已确定抖动时钟周期以及抖动时钟周期与标称时钟周期之间的差之后,所得信息可用以控制操作时钟的频率或可用以控制操作时钟的电压或其它电路组件的电压。

[0055] 对于时钟抖动确定,初始取样点可为延迟链中表示大于标称时钟周期的传播/插入延迟的点,其中标称时钟周期是基于时钟信号的预期频率。在此实例中,选择点的调整包括取样延迟链中的选定点处的时钟信号,和以迭代方式调整选定点直到检测到时钟信号的沿为止。在一特定说明性实施例中,逻辑电路最初选择延迟链中大于预期时钟周期的点,且如果未检测到时钟沿,则逻辑选择扫描链中的第二点且确定时钟信号在第二点处的值。如果未发现时钟沿,则逻辑再次调整扫描链中的取样点。因而,选定点为延迟链内与由时钟信号的沿基于标称时钟频率沿延迟链所行进的预期距离有关的点,且可以迭代方式将所述选定点调整到较早时间点以发现时钟信号的转变沿,以便执行抖动时钟检测。

[0056] 参看图 7,在另一说明性实施例中,展示基于所检测抖动测量来控制电路的操作时钟的方法。所述方法包括在 702 处在电路装置的延迟链处接收时钟信号,以及在 704 处定位时钟信号在延迟链内的沿以确定时钟信号的时钟周期。定位时钟信号的沿包括取样延迟链中的不同点处的时钟信号,直到时钟沿被定位为止。所述方法进一步包括在 706 处比较时钟信号的沿的位置与标称时钟信号的预期沿的位置以确定时钟抖动值,以及在 708 处基于时钟抖动值来控制电路装置的操作时钟或操作电压。所述方法终止于 710 处。

[0057] 在一特定说明性实施例中,用于测量目的的选定点为延迟链内大于与标称时钟周期相关联的取样点的点。一旦确定适于抖动测量的时钟周期,便可如所描述而调整操作时钟信号的电压或频率。在一特定实施例中,可在时钟抖动超过预定阈值时降低操作时钟的频率。另外,可在时钟抖动超过预定阈值时增加操作时钟的电压。因而,可基于操作时钟信号的所测量时钟抖动来调整操作时钟的频率和电压。

[0058] 另外,所揭示的系统和方法提供用于在来自延迟链的选定点指示时钟信号的沿时确定最短时钟周期以及用于基于最短时钟周期与标称时钟周期之间的差来确定抖动值的装置。另外,所揭示的系统提供用于基于所测量抖动值来控制操作时钟的频率、电压或其任何组合的装置。用于调整选定点的装置的实例为逻辑电路,例如,图 3 中所说明的逻辑电路 310。

[0059] 在一特定说明性实施例中,可在制造过程期间利用时钟抖动测试电路(例如,图 2 中所说明的电路 200 和图 3 中所说明的电路 304)以基于所测试性能而将电路装置分类成不同频段(bin)。举例来说,可将基于具有抖动的所检测时钟周期与标称时钟周期之间的超过阈值差的差来指示高抖动发生率的电路装置进行分类以用于较低性能电路装置中。或

者,视电路而定,可再制或摧毁所述装置。

[0060] 另外,虽然图 2 的分级多路复用器电路仅说明分级多路复用器组件的两个层级,但可使用一个或一个以上多路复用器排。在一特定说明性实施例中,使用多个多路复用器排。另外,第一排多路复用器装置的数目可视取样点的数目和准确度而变化。另外,视所需准确度和成本(在财务成本和电路面积使用成本方面两者)而定,可使用具有较长或较短延迟周期的其它延迟元件。另外,时钟抖动确定电路的实施例可用以通过调整可变时钟延迟元件(例如,图 2 中的可变时钟延迟 204)直到时钟沿的转变点经检测达到所要准确度为止来确定时钟抖动值达到较高准确度。通过确定时钟抖动达到所述准确度水平,电路设计者可提供较小的时钟抖动裕度以增强电路装置的操作时钟速度。

[0061] 另外,因为时钟抖动检测电路使用多路复用器来选择性地对延迟链进行取样,所以检测电路可占据整个电路的相对小的面积而不减少潜在取样点的数目。虽然常规抖动检测电路包括用于每一取样点的单独锁存器电路,但多路复用器允许锁存来自选定取样点的测量值而非锁存用于每一取样点的测量值,借此减少用以测量时钟抖动的锁存器电路的数目且减少用以取得所述测量值的电路面积。另外,时钟抖动确定电路可用以基于时钟抖动确定来调整所述电路或另一电路的操作时钟的电压或频率以增强性能且节省时钟功率。

[0062] 结合所描述的电路装置、方法和系统,时钟抖动测量电路可用以基于对特定取样点处的所要值的检测来测量与所接收时钟信号相关联的时钟周期。可基于检测来确定预期标称时钟信号与所接收时钟信号之间的差。在一特定说明性实施例中,所述差可表示时钟信号的抖动值,其可用以调整到时钟产生器电路的功率、调整到其它电路元件的功率、更改时钟信号的频率,或其任何组合。应理解,时钟信号的所要部分可为时钟信号的上升沿或下降沿。在一特定说明性实施例中,时钟信号的所要部分可为时钟信号的水平部分。在一特定说明性实施例中,可根据早时钟沿、迟时钟沿或其任何组合确定时钟抖动。

[0063] 另外,虽然许多实例依据时间对测量进行了描述,但如本文中所使用,术语“时间”为测量的相对单位。在一特定实施例中,可依据绝对时间(例如,秒、微秒、纳秒、皮秒,等等)来表示时间。在另一特定说明性实施例中,可依据电路延迟的相对单位来表示时间。在又一特定说明性实施例中,可使用另一测量单位来指示时间。在再一特定说明性实施例中,时间可为基于绝对时间、相对时间和另一测量单位中的一者或一者以上的计算值。

[0064] 图 8 说明整体指定为 800 的便携式通信装置的示范性非限制实施例。便携式通信装置 800 包括芯片上系统 822,所述芯片上系统包括处理器,例如,具有时钟抖动确定电路 811 的数字信号处理器 810(如参看图 2 到图 3 以及图 6 到图 7 所描述)。图 8 还展示可耦合到数字信号处理器 810 和显示器 828 的显示器控制器 826。此外,输入装置 830 耦合到数字信号处理器 810。另外,存储器 832 耦合到数字信号处理器 810。编码器/解码器(编解码器)834 还可耦合到数字信号处理器 810。扬声器 836 和麦克风 838 可耦合到编解码器 834。

[0065] 图 8 还指示无线控制器 840 可耦合到数字信号处理器 810 和无线天线 842。在一特定实施例中,电源 844 耦合到芯片上系统 822。此外,在一特定实施例中,如图 8 所说明,显示器 828、输入装置 830、扬声器 836、麦克风 838、无线天线 842 和电源 844 处于芯片上系统 822 的外部。然而,每一者均耦合到芯片上系统 822 的组件。

[0066] 在一特定说明性实施例中,时钟抖动确定电路 811 可用以监视操作时钟的时钟抖

动且可用以基于所检测抖动来动态地调整时钟功率、电路功率消耗或操作时钟的频率。时钟抖动确定电路 811 可用以增强便携式通信装置 800 的整体性能。具体来说,时钟抖动确定电路 811 可产生可由控制电路(例如,时钟控制电路(例如,图 3 中所说明的时钟控制电路 312))或由 DSP 810 内的控制逻辑使用的抖动信息,以增加处理器速度(即,减小误差开销的时钟抖动裕度以允许增强性能)、调整操作时钟(即,例如,使操作时钟稍微变慢以减少抖动)、调整功率消耗,或其任何组合。

[0067] 应理解,虽然时钟抖动确定电路 811 经展示为在数字信号处理器 810 内,但可在其它组件(包括显示器控制器 826、无线控制器 840、编解码器 834,或执行可受时钟抖动影响的操作的任何其它组件)中提供时钟抖动确定电路 811。

[0068] 所属领域的技术人员应进一步了解,可将结合本文所揭示的实施例而描述的各种说明性逻辑块、配置、模块、电路和算法步骤实施为电子硬件、计算机软件或两者的组合。为了清楚地说明硬件与软件的此互换性,上文已大体上依据其功能性而描述了各种说明性组件、块、配置、模块、电路和步骤。将所述功能性实施为硬件还是软件视特定应用和强加于整个系统的设计约束而定。所属领域的技术人员可针对每一特定应用以变化方式来实施所述的功能性,但所述实施决策不应被解释为导致偏离本发明的范围。

[0069] 可直接以硬件、以由处理器执行的软件模块或以两者的组合来实施结合本文中所揭示的实施例而描述的方法或算法的步骤。软件模块可驻留于 RAM 存储器、快闪存储器、ROM 存储器、PROM 存储器、EPROM 存储器、EEPROM 存储器、寄存器、硬盘、可移除磁盘、CD-ROM 或此项技术中已知的任何其它形式的存储媒体中。示范性存储媒体耦合到处理器,使得处理器可从存储媒体读取信息且将信息写入到存储媒体。在替代方案中,存储媒体可与处理器成一体。处理器和存储媒体可驻留于 ASIC 中。ASIC 可驻留于计算装置或用户终端中。在替代方案中,处理器和存储媒体可作为离散组件而驻留于计算装置或用户终端中。

[0070] 提供对所揭示的实施例的先前描述以使所属领域的技术人员能够作出或使用所揭示的实施例。所属领域的技术人员将容易明白对这些实施例的各种修改,且在不偏离本发明的精神或范围的情况下,可将本文中所界定的一般原理应用于其它实施例。因而,不希望将本发明限于本文所示的实施例,而是将赋予本发明与如由所附权利要求书界定的原理和新颖特征一致的最广的可能范围。

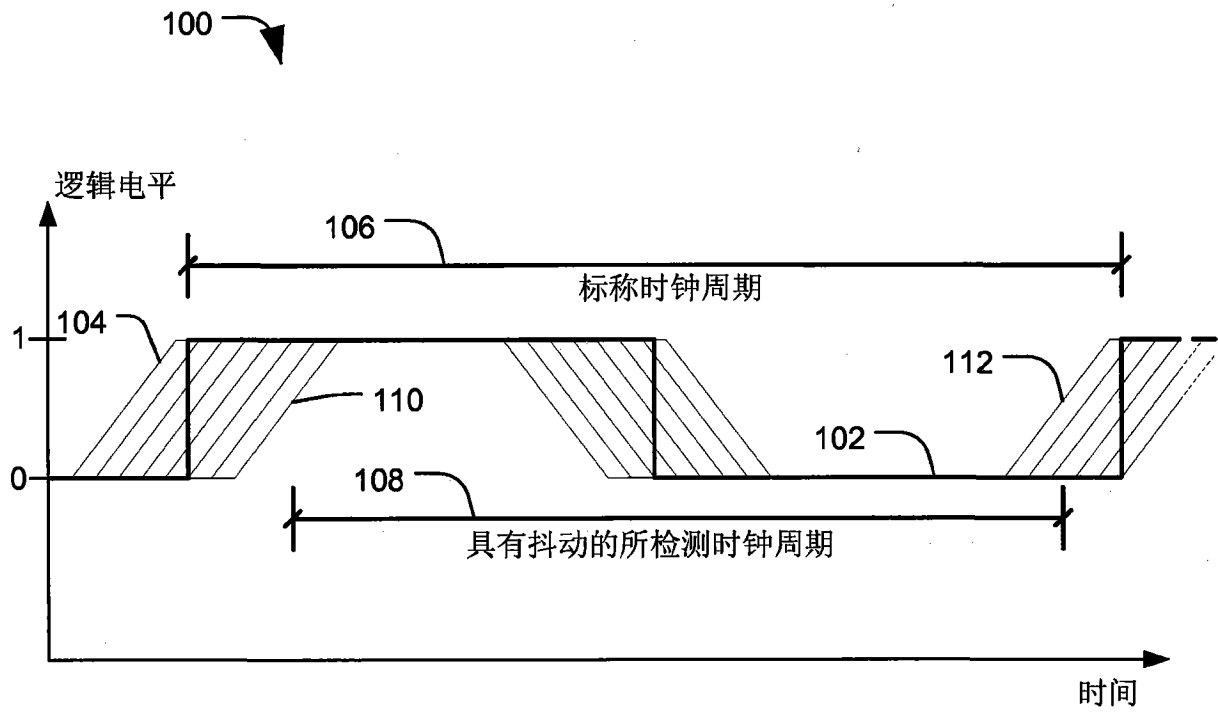


图 1

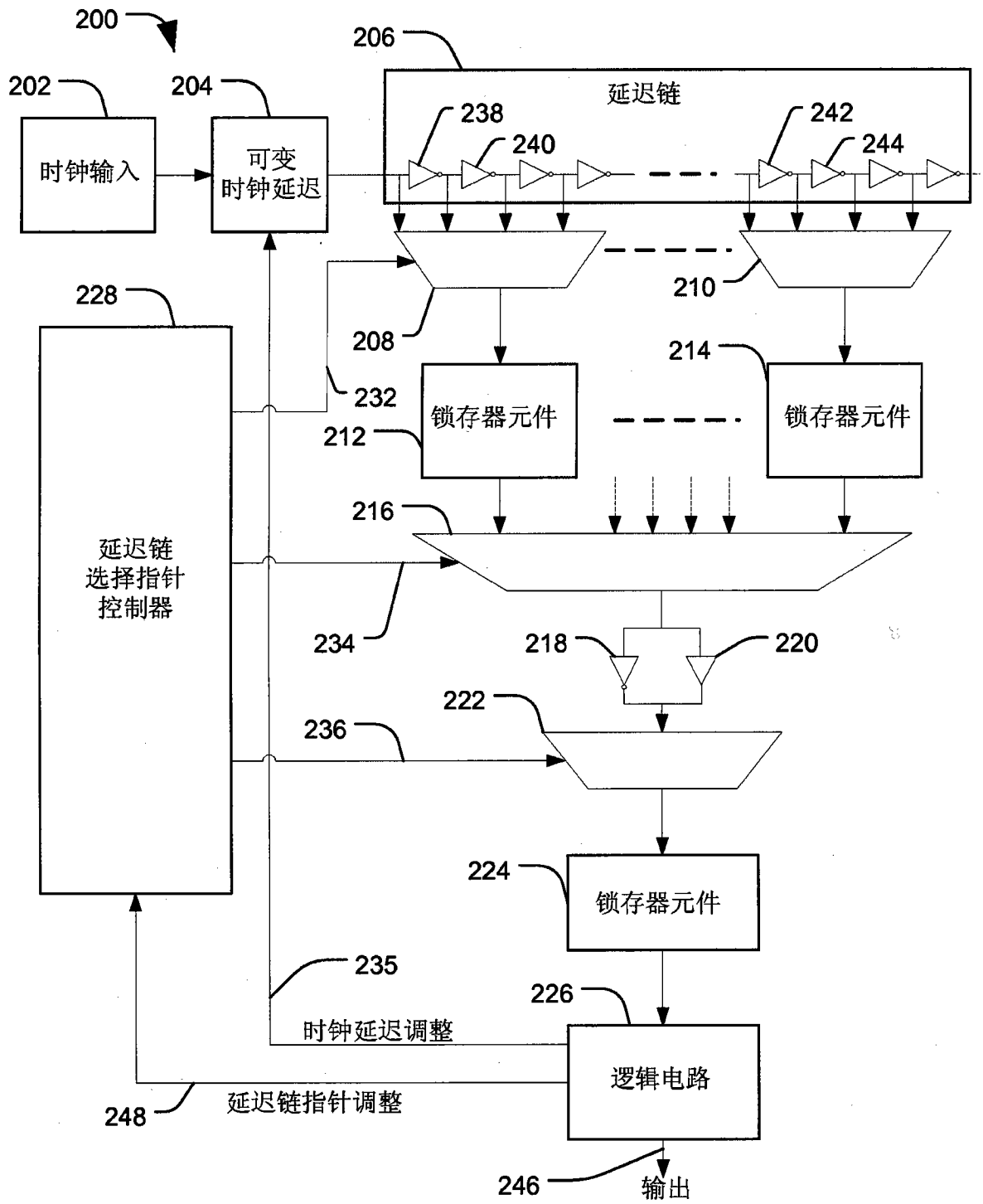


图 2

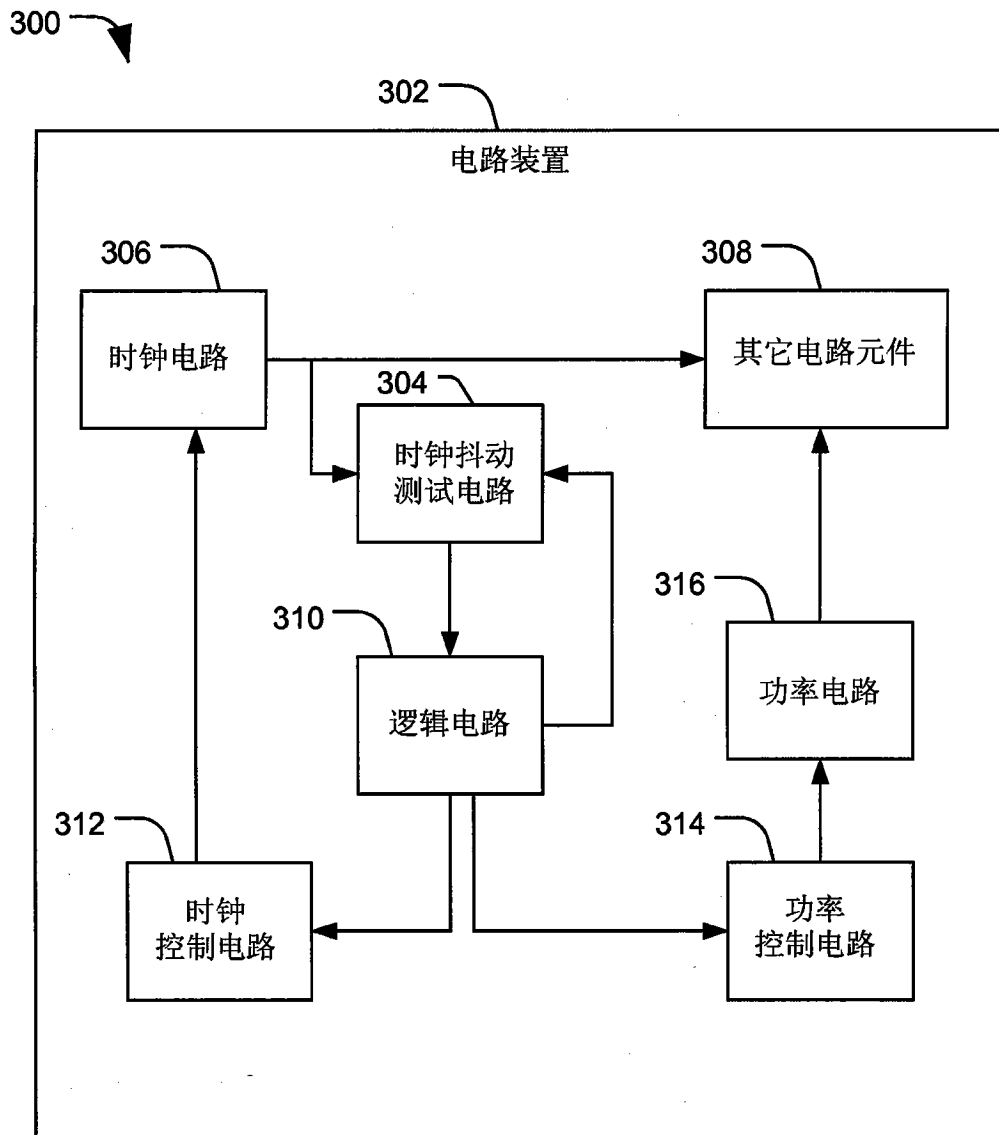


图 3

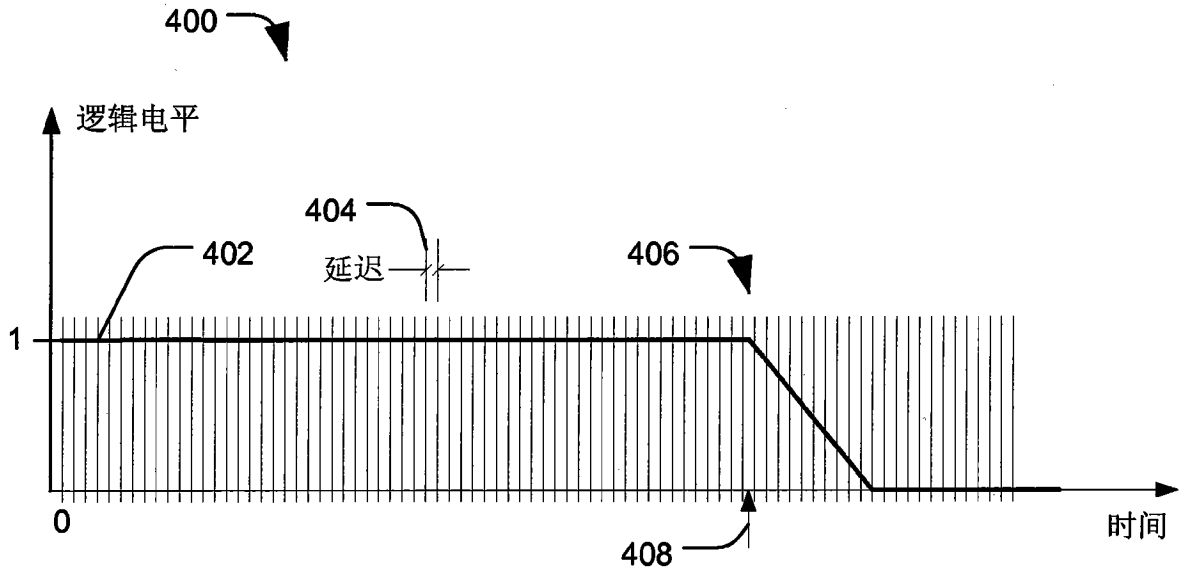


图 4

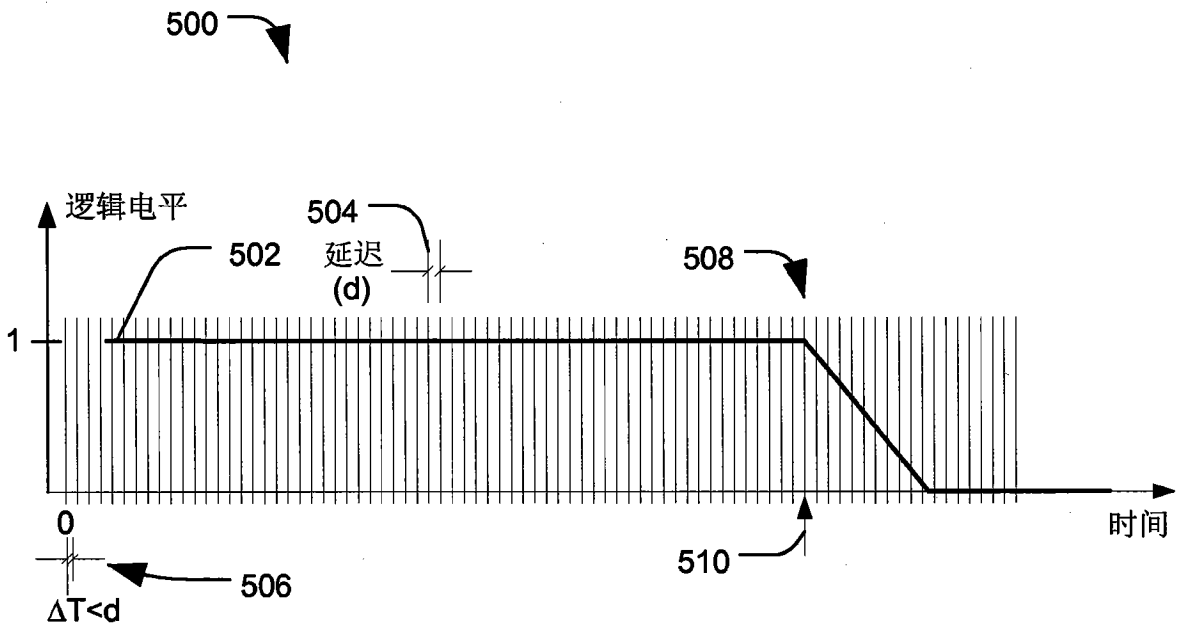


图 5

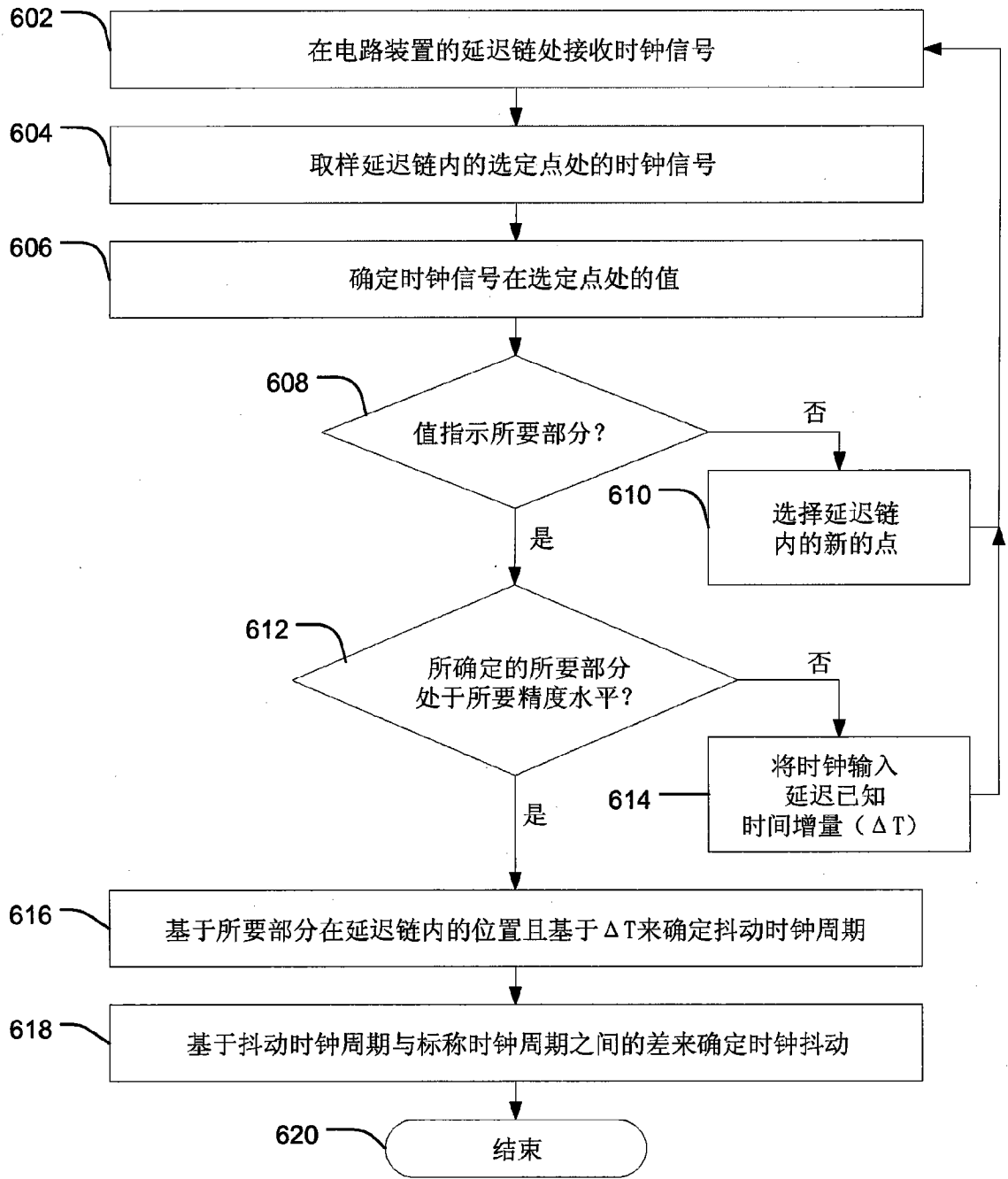


图 6

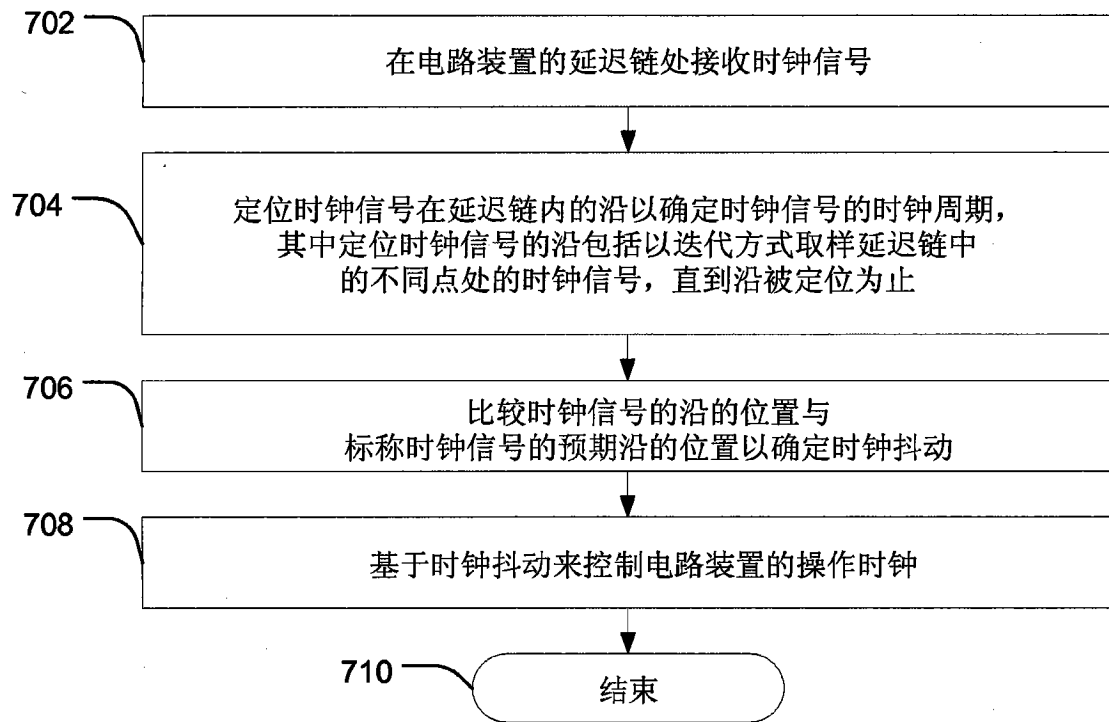


图 7

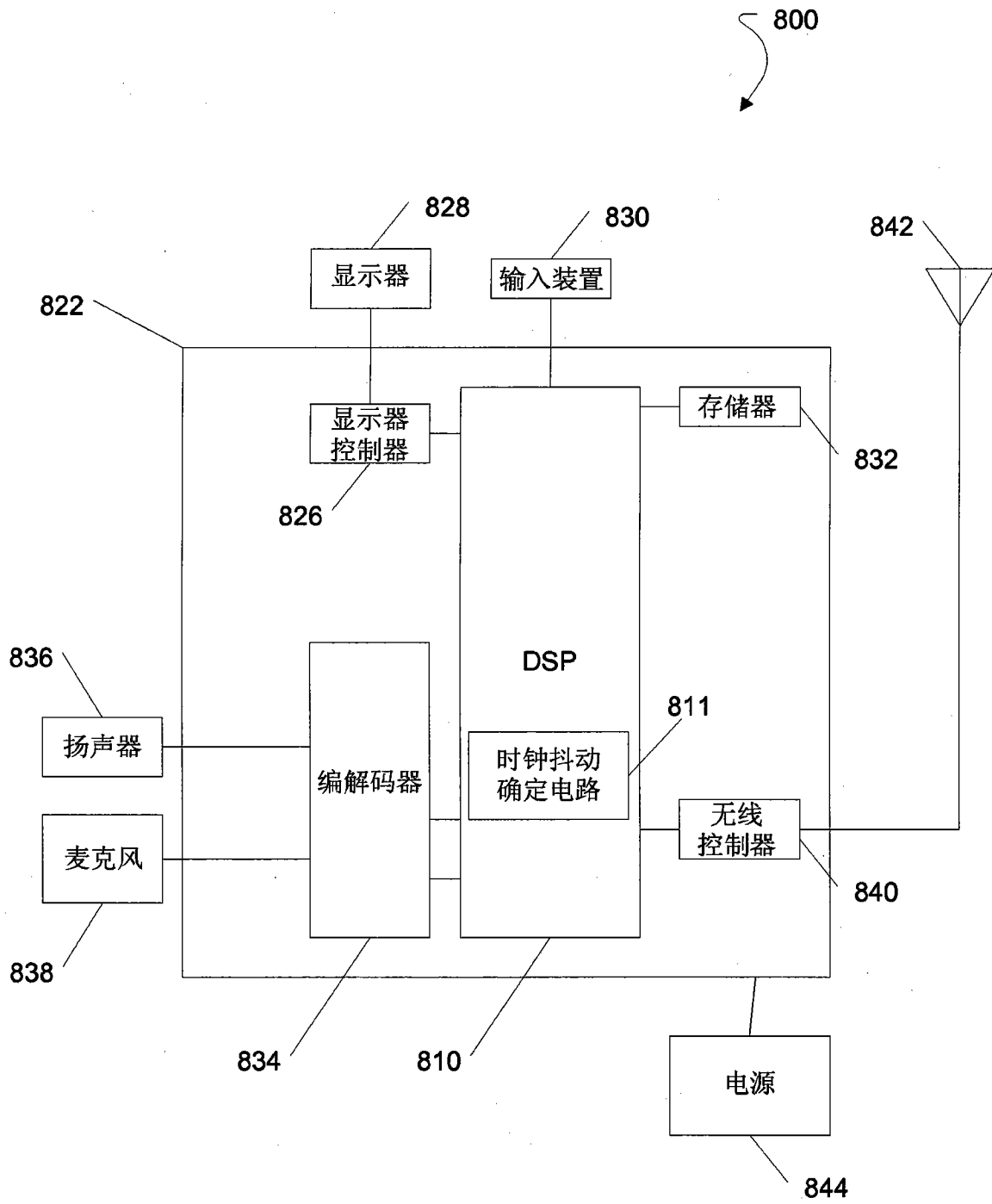


图 8