



441189

申請日期	88.12.20
案號	88122389
類別	H03L 7/087, 7/087

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	時鐘恢復之鎖相迴路及增益控制
	英文	PLL AND GAIN CONTROL FOR CLOCK RECOVERY
二、發明人 創作	姓名	1.貝納 L.葛隆 2.摩西斯 E.羅賓森 3.陳儀清
	國籍	1.美國 2.巴拿馬 3.中國大陸
	住、居所	1.美國,明尼蘇達州 55347 伊甸園,木犬廣場 9545 號 2.美國,德州 78759,奧斯汀,林恩大灣 11500 號 3.美國,愛荷華州 50010,愛梅斯,霍桑廣場 1497 號
三、申請人	姓名 (名稱)	洛克奇普斯公司
	國籍	美國
	住、居所 (事務所)	美國,明尼蘇達州 55431,明尼亞波里,316 棟,色西斯大道以南 7901 號
	代表人 姓名	羅伯 M.克勒

經濟部智慧財產局員工消費合作社印製

裝
訂
線

五、發明說明 (/)

本發明之技術領域

本發明一般來說有關於時鐘的恢復，而特別的是，本發明有關於用來從高數據速率的信號中恢復時鐘之鎖相迴路、互導電路以及增益控制電路。

本發明之背景

在高速的數據通信系統中，時鐘與數據的恢復需要如此的接收器電路：能夠將內部的振盪器調整至所傳遞的數據之頻率與相位。有關於時鐘恢復的說明，查閱 C.R.Hogge 所著的”自修正之時鐘恢復電路”，IEEE，J，光波技術 LT-3 1312(1985)。Hogge 說明一種接收器電路：調整所恢復的時鐘信號，致使時鐘信號的轉變之中心在所傳遞的數據信號之中心。

接收器電路典型地需要一種鎖相迴路之電路，藉以從所傳輸的數據中取得時鐘信號。鎖相迴路之電路調整內部的振盪器，使之適應於一個外部所供應的參考信號，諸如所接收的數據信號。這種的鎖相迴路電路比較參考信號以及內部振盪器信號，並且提供用來調整振盪器的輸出。例如，一種並列式的數位鎖相迴路之結構說明於”一種具有 2x-過取樣的 1.0625 Gbps 之無線電收發機以及傳輸信號之預加強”，ISSCC 1997 Dig. Tech. 論文，238(1997)。

在超過 1GHz 操作的通信系統中，高速的數據恢復需要高速的組件，其速度在互補式金氧半導體(CMOS)的製造中，則是難以實現的。特別的是，現今大約 0.18 至 0.35 微米的 CMOS 製造尺寸，能夠得到具有大約 10 至 15 GHz

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(二)

的截止頻率 f_t 之 NMOS 電晶體。因此，要處理具有大約 1.25 GHz 頻率的信號，便會促使電晶體達到它們的極限。再者，在傳統的吸收器電路中，增益的控制以鎖相迴路進行處理之前，會先調整其輸入信號。使用 CMOS 的處理，準確地調整高頻輸入數據的增益目前乃是不可能的。經濟的 IC 製造產生了一種需求：使用 CMOS 技術解決高速之時鐘恢復。

由於以上所敘述的原因以及下列所敘述的其它原因，對那些熟知技術的人員而言顯而易見的是，在此項技術上有如此的需求：在高速的數據通信系統中，能夠恢復時鐘信號以及數據之 CMOS 接收器電路。再者，有如此的需求：接收器電路能夠調整增益，以適應通信數據的電壓之改變。

本發明之概要

高速數據傳遞接收器電路以上所提及的問題以及其它本發明所針對的問題，並且將會藉由閱讀與研習以下的說明書而了解之。

附圖之簡略說明

圖 1 為一個數據通信系統的方塊圖；

圖 2 為本發明一個實施例的雙迴路鎖相迴路之電路圖示；

圖 3 為一個微調的迴路電路之圖示；

圖 4 為一個互導電路的電路圖；

圖 5 為一個粗調的迴路電路之圖示；

五、發明說明(3)

圖 6A 為一個互導器的輸入級之電路圖；

圖 6B 為一個座標圖示，闡述圖 6A 的輸入級之操作；

圖 7A 一個雙互導電路的方塊圖；

圖 7B 為一個座標圖示，闡述圖 7A 的雙互導電路之操作；

圖 8 為包含自動增益控制電路的互導電路之一個實施例；

圖 9 為包含自動增益控制電路的互導電路之另一個實施例；

圖 10 闡述一個包封檢測器電路的方塊圖；

圖 11 闡述正峰值檢測電路的一個實施例；以及

圖 12 闡述負峰值檢測電路的一個實施例。

元件符號說明

- 100 通信系統
- 102 發送器單元
- 104 接收器單元
- 106 數據連接
- 108 檢測電路
- 200 鎖相迴路之電路
- 202 互補數據線
- 204 相位檢測器(PD)
- 205 負的數據連接線(dvn)
- 206 類比電壓輸出
- 207 正的數據連接線(dvp)

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(4)

- 208 類比電壓輸出
- 210 互導電路
- 212 電壓控制振盪器(VCO)
- 214 相位-頻率檢測器(PFD)
- 216 上升的輸出信號
- 218 下降的輸出信號
- 220 電荷幫浦電路
- 222 除法電路
- 224 參考時鐘信號
- 230 電阻器(R_1)
- 232 電阻器(R_1^*)
- 234 電阻器(R_2)
- 236 電容器
- 237 可選用性的電容器
- 250 捕捉門鎖器
- 260 包封檢測器
- 270 互導控制電路
- 272 連接線
- 300 互導電路的輸入級
- 301 互導電路的輸出級
- 302 n通道的輸入場效應電晶體
- 304 n通道的主動負載電晶體
- 306 p通道的主動負載電晶體
- 308 p通道的主動負載電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

- 310 衰減電阻器
- 312 衰減電阻器
- 316 非必須的電容器
- 318 p 通道電晶體
- 320 p 通道電晶體
- 322 n 通道電晶體
- 324 n 通道電晶體
- 326 n 通道電晶體
- 328 n 通道電晶體
- 330 p 通道電晶體
- 332 p 通道電晶體
- 334 p 通道電晶體
- 336 p 通道電晶體
- 340 n 通道電晶體
- 342 n 通道電晶體
- 344 n 通道電晶體
- 346 n 通道電晶體
- 350 中間的輸出端
- 351 中間的輸出端
- 360 低電流高阻抗的輸出端
- 450 範例的輸入級
- 452 n 通道電晶體
- 454 n 通道電晶體
- 500 互導電路

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明(6)

- 501 從屬的互導電路
- 502 第一互導電路
- 504 第二互導電路
- 512 峰值檢測器
- 514 峰值檢測器
- 516 低通濾波器
- 520 主要的互導電路
- 522 10 μ A 的電流源
- 523 互導電路的輸出
- 524 n 通道電晶體
- 526 電流源
- 600 包封檢測電路
- 602 正峰值檢測器
- 604 負峰值檢測器
- 605 峰值檢測器的輸出
- 607 峰值檢測器的輸出
- 610 類比的峰值檢測器電路
- 612 電流鏡電路
- 614 複製的類比檢測器電路
- 616 放大器電路
- 618 提昇的 n 通道電晶體
- 620 提昇的 n 通道電晶體
- 622 充電的電容器
- 624 放電的電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

- 626 節點
- 628 濾波的電阻器
- 630 用來接收偏動的電流(Ibias)的輸出連接線
- 632 p 通道電晶體
- 634 電容器
- 636 p 通道電晶體
- 638 p 通道電晶體
- 640 n 通道電晶體
- 642 n 通道電晶體
- 644 電流鏡電路的輸出
- 646 信號源
- 648 放電電晶體
- 650 充電電容器
- 652 n 通道的提昇電晶體
- 660 放大器電路的輸入端
- 662 放大器電路的輸入端
- 664 n 通道的偏壓電晶體
- 668 放大器電路的輸入電晶體
- 670 放大器電路的輸入電晶體
- 672 p 通道電晶體
- 674 p 通道電晶體
- 680 放大器電路的輸出連接線
- 710 類比的峰值檢測器電路
- 712 複製的類比檢測器電路

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明(8)

- 714 放大器電路
- 720 p 通道的降低電晶體
- 722 p 通道的降低電晶體
- 724 充電電容器
- 726 p 通道的提昇電晶體
- 730 節點
- 732 n 通道電晶體
- 734 p 通道電晶體
- 736 p 通道電晶體
- 738 n 通道的降低電晶體
- 740 偏壓電晶體
- 750 p 通道電晶體
- 752 充電電容器
- 756 放電電晶體
- 758 複製電路的輸出連接線
- 760 放大器電路的輸出節點

本發明之詳細說明

在以下的較佳實施例之細節說明中，藉由參照構成其一部分之附圖，並且藉由闡述可以實行本發明的特定之實施例，來陳述其說明。相當詳細地說明這些實施例，致使那些熟知技術的人員能夠實行本發明，而可以了解的是：能夠利用其它的實施例，以及從事邏輯、機械和電氣的改變，而不違反本發明的精神和範疇。因此，並不限制以下

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

詳細的說明，並且只由申請專利範圍來界定本發明的範疇。

在此使用專有名詞”串列”，藉以定義一種接收器的架構，其架構乃是以全數據速率(例如 1.25Gb/s)來完成時鐘的恢復以及數據的恢復。串列的方式需要以 1.25 GHz 的時鐘速率操作之電路—此為一種需求，而其以 0.25 或 0.35 μm 的 CMOS 積體電路製造程序來實現，乃是非常困難的。

在此使用專有名詞”並列”，藉以定義一種接收器的架構，其中使用至少全數據速率之取樣速率，來對輸入數據流取樣，諸如 1.25 Gb/s 或者更大，並且以數條的並列路徑處理其所取樣的數據。每一條路徑相較於串列的方式，則能夠以鬆緩的時鐘速率來操作之。

參照圖 1 來說明一個操作在高通信速率之下的通信系統 100。其系統包含發送器 102 以及接收器 104 單元。發送器以及接收器單元之間的數據連接 106 能夠在大約 1.25 Gb/s 或者更高的數據速率下操作。數據連接 106 並不包含用來使接收單元以及傳輸單元同步化的時鐘線，但卻能夠包含互補的數據線。就其本身而言，接收單元包含檢測電路 108，藉以從所接收到的數據中恢復其時鐘信號。在一個實施例中，檢測電路包含一個雙迴路鎖相迴路(PLL)的電路，將其電路連接藉以接收輸入的數據信號。雙迴路的功能提供粗調迴路的頻率擷取以及微調迴路的準確之相位控制。在一個實施例中，接收器包含微小數值的互導功能，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (10)

諸如 $10\mu\text{S}$ (微西門子)。再者，在鎖相迴路之電路中，可以設置可變的增益功能，藉以容許可變的輸入信號電壓。

圖 2-9 闡述鎖相迴路以及互導電路不同的實施例。基本的鎖相迴路電路 200 包含一個粗調迴路、一個微調迴路、一個包封檢測器 260、以及用來控制微調迴路中互導數值的互導控制電路 270(圖 2)。互導控制電路在連接線 272 上提供控制輸出，以下將更為詳細地說明包封檢測器以及互導控制電路的實施例。微調迴路使用一個相位檢測器 204，其分別提供不同的類比電壓輸出 206 與 208，即 V_{iP} 與 V_{iN} 。微調迴路處理互補數據線 202 上所提供的輸入數據，且將其輸入數據當作相位檢測器 204 的相位參考。藉由單一個的互導電路 210，將相位檢測器的類比輸出轉換成爲一類比電流。類比的輸出電流耦接到一個電壓控制振盪器(VCO)212。VCO 可以是任何一種種類的振盪器，其包含但並不限於一種環式振盪器。VCO 耦接到相位檢測器的第二輸入。在操作中，微調迴路會調整 VCO 的信號，使之相應於輸入數據的相位。在一個實施例中，電壓控制振盪器 212 爲五級的環式振盪器，並將其分接而提供十個具有相同頻率、但不同相位的輸出時鐘信號。

粗調的 PLL 使用一個諸如 62.5MHz 的參考時鐘信號 224，作爲相位-頻率檢測器(PFD)214 的頻率參考，藉以從事快速的頻率擷取。PFD 耦接到一個電荷幫浦電路 220，其轉而調整電壓控制振盪器 212 的輸入電壓。如所闡示的，鎖相迴路電路的粗調以及微調迴路共同使用 VCO 212。

(請先閱讀背面之注意事項再填寫本頁)

訂

裝

五、發明說明 (11)

在以下的段落中，提供鎖相迴路電路的詳細說明。鎖相迴路電路區分為兩半，即粗調以及微調迴路。首先提供微調迴路電路的說明，接著再說明粗調迴路。

微調 PLL 電路的電路圖呈現於圖 3。相位檢測器 (PD)204 對輸入的數據採取因數 2 的過取樣行為，並且以 1/5 的輸入數據速率，提供 5 個並列的數據輸出。輸入數據線 202 包括互補的數據線。如以下的圖 9-12 所示的，互補的數據線為一條負數據連接線(dvn)205 以及一條正數據連接線(dvp)207。術語正和負定義兩連接線之間的關係，而不是代表其上所提供的數據信號大小之符號。十個高速的捕捉門鎖器 250 用來將串列的輸入數據轉換至並列的數據路徑。換言之，輸入數據每個數據位元取樣兩次。一個取樣樣本位於數據週期的中間，而另一個樣本則位於數據週期的邊緣。邊緣的樣本用來調整 PLL 電路的相位，而中間的樣本則用來充當五個並列數據輸出的其中一個。

五個中間樣本同樣也用來當作一種邏輯功能，藉以判斷邊緣樣本的有效性。當兩個相鄰的中間樣本具有相同的數值時，則其間的邊緣樣本即是無效的，並且將其去除。當兩個相鄰接的中間樣本之數值不相同時，則其間的邊緣樣本之大小為有效的，並且需要決定其數值的符號。正的符號用於正的變換，而負的符號則用於負的變換。當其為有效之時，則結果的邊緣樣本便會正比於相位的誤差。

當以 1.25 Gb/s 提供輸入的數據時，則每一條路徑便以 0.250GHz 操作。因此，其 PD 產生一對互補的類比電壓輸

(請先閱讀背面之注意事項再填寫本頁)

訂

錄

五、發明說明(12)

出 206 和 208，此對電壓具有正比於輸入數據與時鐘之間的之相位誤差差動電壓，而其中的時鐘則是五倍於電壓控制振盪器的頻率。

互導電路 210 將此差動類比電壓轉換為流經電阻器 230(R1)以及 234(R2)的類比電流，其電流則會改變電容器 236 上的電荷。可以將一個可選用性的電容器 237 耦接到電阻器 234。電阻器 230 以及 234 所分的電壓控制著振盪器 212 的輸入電壓。對 1V 峰對峰值的單端輸入信號而言，互導電路有效的一端之互導值大約為 $10\mu\text{S}$ 左右。因此，1V 的單端峰對峰值之誤差電壓產生峰對峰值 2V 的差額電壓以及 $20\mu\text{A}$ 的峰對峰值輸出電流(集中於 0A 附近的 $\pm 10\mu\text{A}$ 峰值電流)。微調 PLL 的操作能夠描述成：

$$\omega_N = \sqrt{\frac{K_o 4Sg_m T_B}{\pi C_2}} \quad (1)$$

以及

$$\zeta = \frac{\omega_N}{2} R_2 C_2 \quad (2)$$

其中的 ω_N 為自然頻率，而 ζ 為阻尼因數。此外， K_o 為 VCO 的增益， S 為輸入至相位檢測器的最大迴轉率， g_m 為互導電路的單端互導值， T_B 為位元週期， R_2 為濾波器的電阻值，而 C_2 為濾波器的電容值。 ω_N 以及 ζ 的典型數值分別

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (15)

傳導電晶體 340 和 342 電流的十分之一。因此，由電晶體 344 和 346 映射流經電晶體 340 和 342 的電流，並且將之除以十。電晶體 344 和 346 連接到輸出節點 360，藉以降低其輸出節點以及減少其輸出電流。

在操作期間中，電晶體 314 被致動，因而跨於電晶體 302 和 304 閘極上的差動電壓致使節點 360 上的電流輸出。因此，隨著電晶體 302 閘極上的電壓增加，流經電晶體 334 和 336 的電流也會增加。同樣地，隨著電晶體 304 閘極上的電壓增加，流經電晶體 344 和 346 的電流也會增加。

圖 5 呈現一個粗調迴路的電路圖。粗調迴路包含一個相位頻率檢測器 214，而檢測器 214 使用一個參考時鐘 (REF CLK) 的輸入 224，以及一個 VCO 電路 212 的下除輸出。使用除法電路 222 將 VCO 電路的輸出除以四。於 VCO 擷取頻率之後，在輸入端 226 上即能夠提供一個致能信號至相位頻率檢測器，藉以限制其粗調電路的操作。相位頻率檢測器提供輸出信號 216 和 218，藉以控制電荷幫浦 220。電荷幫浦提供一流經電阻器 232 (R_1^*) 的電流。再者，此一電流流至電阻器 234、電容器 236、以及共有的振盪器電路 212。因此，粗調迴路用來將 VCO 電路的頻率調整為參考時鐘 (REF CLK) 224。

粗調的 PLL 能夠描述如下：

$$\omega_N'' = \sqrt{\frac{K_o I_P}{2\pi C_2 N}}$$

(3)

五、發明說明(16)

以及

$$\zeta = \frac{\omega_N}{2} R_2 C_2$$

(4)

其中的 ω_N *為自然頻率，而 ζ *為阻尼因數。在此使用星號藉以識別有粗調 PLL 有關的變數。變數 K_0 、 R_1 *、 R_2 以及 C_2 相同於微調 PLL 所定義的。 I_p 為電荷幫補 220 的最大電流，而 N 等於四，其乃是相應於除法器(除以 4)電路 222。由於互導 210 以及電荷幫浦電路 220 兩者提供電流的脈衝，因此能夠致使 R_1 以及 R_1 *的值小。例如，其電阻值可以是 100Ω ，或者更小，甚至為零。

以上所說明的接收器之實施例提供操作於 1V 單端峰對峰值輸入信號的高速之時鐘恢復電路。由於輸入電壓能夠從 200mv 變化至 1V 的單端峰對峰值，因此接收器電路的另一個實施例包含可變的增益倍率，藉以從大約 $10\mu S$ 增加至大約 $50\mu S$ 左右的單端互導值。在說明包含可變增益倍率的接收器電路之前，所要注意的是，高速的數據速率以及 0.25 至 0.35 μm 的 CMOS 製造程序在相位檢測器 204 的輸入端上，並不提供可靠的可變增益倍率。因此，以下的實施例實現單一的可變增益放大器，乃是由互導電路所實現。可以了解的是，在以上所說明的電路中，閃鎖器、數據輸出、VCO 級、晶體頻率、互導值大小、以及除法電路的數量對本發明而言，並非是嚴格要求的。依據閱讀本發明的說明書，經由熟知技術的人員便能夠更改這些

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (18)

數值的減小，電路 450 的線性範圍也會減小。此一行為與微調迴路的互導電路所需要的相反。

圖 7A 和 7B 闡述一種具有輸入差動電壓與互導值之間的逆線性關係之互導電路 500。電路 500 解決在 g_m 數值和線性範圍之間的關係問題，而其同樣也容許大的規劃範圍。對一個 3V 的 CMOS 處理而言，電路 500 能夠達成 5X 至 10X 的規劃範圍。因此，接收器可以支援從 200mv 至 1V 峰對峰值的單端之輸入電壓。互導電路 500 能夠用來充當圖 2 的互導電路 210 之一個實施例。

圖 7A 的電路具有兩個(幾乎一樣的)互導電路 502 和 504，兩電路並聯連接，藉以接收差動的類比電壓輸入。第一互導器 502 具有一固定的互導值 g_{m1} ，而第二互導器 504 具有一可變的互導值 g_{m2} 。互導電路 504 所具有反逆於電路 502 的輸入。因此，對此雙電路方式而言，整體有效的互導值能夠表示為：

$$g_m = \left| \frac{i_{out}}{V_t^+ - V_t^-} \right| = g_{m1} - g_{m2} \quad (6)$$

如果將第一電路 502 的互導值 g_{m1} 設定在大約 $100 \mu S$ 左右，而第二電路 504 的互導值 g_{m2} 從大約 $50 \mu S$ 變化至 $90 \mu S$ ，則等效的互導值具有從 $10 \mu S$ 至 $50 \mu S$ 的 5X 範圍。如果兩互導電路(g_{m1} 和 g_{m2})皆使用圖 4 所示的輸入級實施例 300，則互導器的 g_m (有等效的)數值與線性範圍之間的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(19)

關係如圖 7B 所示。藉由一個控制迴路產生互導器 504 的控制電壓(vctrl)，而控制迴路則根據接收器輸入信號 202 的大小來調整其電壓。藉由閱讀本說明書，將會得知的是，控制電流 ictrl 可以用來代替控制電壓。此一控制迴路歸類於一種自動增益控制(AGC)的迴路，在下節中將會更為詳細地說明之。

在圖 8 中，呈現用於接收器電路的互導電路 501 之一個實施例，其具有一個 AGC 迴路。互導電路 501 能夠用來當作互導電路 210 的一個實施例，而 AGC 迴路則是圖 2 的包封檢測器 260 和 GM 控制電路 270 的一個實施例。AGC 電路具有兩個峰值檢測器 512 和 514(正和負峰值)，其連接到一個輸入 202，即微調迴路的相位檢測器之正或負輸入。峰值檢測器的輸出連接到一個低通濾波器 516，而一個低頻信號(理想上為 DC)會出現在主要互導電路 520 的輸入端上。低頻信號的數值等於在輸入 202 上的單端輸入信號之峰對峰值。一個 $10\mu\text{A}$ 的電流源 522 於主要互導電路 520 的輸出上迫動。為了保持主互導電路的輸入電壓乘以主互導電路的互導值之乘積等於 $10\mu\text{A}$ ，其迴路以如此的方式響應：

$$(\text{在電路 520 之輸入的電壓}) * g_m = 10\mu\text{A}$$

(7)

其迴路藉由降低或提昇控制電壓 Vctrl 來實現之。最後，相同的控制電壓 Vctrl 控制著微調迴路 PLL 中的從屬互導電路 501 之數值，因此會產生所要的自動控制增益之

五、發明說明 (20)

行爲。互導電路 520 的輸出 523 能夠直接用來當作 V_{ctrl} 。然而，在所示的實施例中，電晶體 524 和電流源 526 用來從事其輸出信號的位準偏移。同樣地，電阻器 528 和電容器 530 用來降低在 V_{ctrl} 接線上的雜訊。對信號的處理而言，這兩個電路(位準偏移和 RC)爲可選用性的。

圖 9 闡述包含主要互導電路 520、從屬互導電路 501、以及包封檢測電路 600 的自動增益控制電路之另一個實施例。連接包封檢測器藉以接收差動輸入信號 205 和 207，並且提供正和負的輸出電壓(在 605 和 607 上)，其電壓乃是代表輸入信號的電壓包封。包封檢測器包含一個正峰值檢測器 602 以及一個負峰值檢測器 604。分別參照圖 11 和圖 12，這種的峰值檢測器之實施例詳細說明提供於下。包封檢測器一般的方塊圖闡述於圖 10 中。

參照圖 10，正峰值檢測器 602 包含一個類比的峰值檢測器電路 610、一個電流鏡電路 612、一個複製的類比檢測器電路 614、以及一個放大器電路 616。負峰值檢測器 604 包含一個類比的峰值檢測器電路 710、一個複製的類比檢測器電路 712、以及一個放大器電路 714。正和負的峰值檢測器兩者共用電流鏡電路 612。爲了說明起見，而將其電流鏡電路描述爲正峰值檢測器電路的一部分，但其等效於負檢測器的一部分，或兩者都不是。

圖 11 闡述正峰值檢測器電路 602 的一個實施例。類比峰值檢測器電路 610 包含第一和第二提昇的 n 通道電晶體 618 和 620。連接電晶體 618 的閘極，藉以接收正的輸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (71)

入電壓信號 207，並且連接電晶體 620 的閘極，藉以接收負的輸入電壓信號 205。如同以上所解釋的，這些輸入信號乃是互補的，因此當一個信號位於正峰值時，另一個信號便位於負峰值。類比峰值檢測器電路在輸出節點上提供一個接近 DC 電壓的信號。如以下的解釋。由於電晶體 618 和 620 乃是交替致動的，因此認為其輸出電壓接近 DC。藉由交替地致動電晶體，因而在節點 626 上的輸出電壓將不會保持於平穩的，提昇電晶體 618 和 620 兩者皆連接到充電的電容器 622。放電的電晶體 624 連接到電容器 622，藉以控制電容器的放電速率。電晶體 624 的閘極電壓受到一個調節電源所控制，如以下更為詳細的解釋。

在操作期間中，類比電壓檢測器電路對電容器 622 充電至等於正電壓峰值的電壓，其正電壓峰值則為差動輸入減去 V_t 所提供。換言之，當正的輸入信號致動電晶體 618 時，電容器 622 便會充電至一正的電壓。隨著正輸入信號的降低以及電晶體 618 的關斷，負的輸入信號便會開始致動電晶體 620。因此，電容器 622 經由電晶體 620 充電至一個正的電壓。電晶體 624 提供電容器 622 的放電路徑，致使節點 626 能夠追蹤差動輸入信號的正峰值電壓。換言之，在一整個時間中，輸入的振幅可以改變，而且在電容器 622 上的電壓必須調整。可以預期的是，輸入信號將會在 200mV 以及 1V 的峰對峰值之間變化。節點 626 所提供的電壓經由濾波的電阻器 628，連接到放大器電路的輸入節點 660。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(22)

放大器電路 616 包含兩個輸入 660 和 662，以及一個輸出連接線 680。輸出連接線 680 提供一個連接到主要互導電路 520 的正電壓信號。放大器電路包含輸入電晶體 668，控制流經 p 通道電晶體 672 的電流。流經電晶體 672 的電流映射至 p 通道的電晶體 674。設置偏壓電晶體 664，藉以致能放大器電路以及提供一固定的偏動的電流。在輸出連接線 680 上的電壓受電晶體 670 以及電晶體 674 所控制。電晶體 670 受複製的類比檢測器電路 614 所控制。電晶體 668 和 670 在尺寸上乃是同等的，同樣地，電晶體 672 和 674 在尺寸上也是同等的。如以下所解釋的，在節點 660 上的輸入電壓以及在節點 662 上的輸入電壓乃是相等的，以致於放大器藉由驅動電晶體 652 的閘極等於 618 和 620 閘極上的輸入信號之正包封，而保持 660 和 662 上的電壓相等。

複製的類比檢測器電路 614 提供一 DC 的輸入電壓給放大器的輸入節點 662。複製的電路包含一個 n 通道的提昇電晶體 652，其同等於提昇電晶體 618。此提昇電晶體連接到一個充電電容器 650 以及一個放電電晶體 648。充電電容器 650 以及放電電晶體 648 同等於電容器 622 以及電晶體 624。連接電晶體 652 的閘極連接線，藉以接收節點 680 上所提供的輸出電壓。在操作期間中，將電晶體 652 致動，藉以對電容器 650 充電。隨著電容器 650 的充電，而將電晶體 670 致動，並且降低節點 680 上的電壓。在節點 680 上的電壓之減少會降低傳經電晶體 652 的電流。此

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明 (>)

一回授的過程因而將節點 662 上的電壓穩定至類比峰值檢測器 610 輸出的 DC 等效電壓。由於電路 612 的輸出乃是一個穩定的 DC 電壓，因此並無濾波電阻器連接於電晶體 652 與電晶體 670 的閘極之間。

電流鏡電路 612 提供一受控制的電壓位準，其電壓位準連接到類比峰值檢測器的電晶體 624 和 648 之閘極連接線。電流鏡電路在此同樣也用來當作一個提供調節電壓的調節器電路。電流鏡電路同樣也提供一個連接到放大器電路的電晶體 664 閘極之調節偏壓電壓。電流鏡電路包含用來接收偏動的電流(Ibias)的輸出連接線 630。偏動的電流乃是由電流源(並無闡述)所調節的電流。偏動的電流建立一流經電晶體 632 的電流，且其電流映射至電晶體 636 以及電晶體 640。電晶體 640 的閘極連接到電晶體 624 和 648 的閘極。因此，藉由控制節點 630 上的輸出偏動的電流，而提供一受控的電壓源，藉以控制電容器 622 和 650 的放電電流。傳經電晶體 632 的電流同樣也映射至電晶體 638 和 642。在節點 644 上的電壓連接到放大器的偏壓電晶體 664，藉以控制放大器電路的偏動的電流。設置電容器 634，用來穩定輸入節點 630，藉以對抗偏動的電流或者供應電壓的變動。

負峰值檢測器電路 604 闡述於圖 12 中。再者，負峰值檢測器電路包含一個負的類比檢測器電路 710、一個複製的峰值檢測器 712、以及一個放大器電路 714。類比峰值檢測器電路 710 包含一個 p 通道的降低電晶體 720 和 722

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (24)

，連接此兩個電晶體，藉以分別接收正的輸入信號和負的輸入信號。p 通道的提昇電晶體 726 連接到電容器 724，藉以控制電容器的放電路徑。此一電路的操作方式相似於以上所說明的正峰值檢測器之電路 610。換言之，電晶體 720 和 722 交替地致動，藉以在節點 730 上提供一個趨近於輸入信號的較低峰值電壓位準之電壓。在節點 730 上的電壓接近於一個 DC 電壓，並且必包含電晶體 720 和 722 的致動與止動所導致之變動。

節點 730 上所提供的電壓連接到放大器電路 714。放大器電路 714 同等於正峰值檢測器電路的放大器電路 616。在節點 730 上的輸入電壓連接到電晶體 732 的閘極，而傳經電晶體 732 和電晶體 734 的電流則映射至電晶體 736。放大器電路包含一個偏壓電晶體 740 以及一個 n 通道的降低電晶體 738。電晶體 738 的閘極連接到複製電路 712 的輸出連接線 758。

複製電路包含一個降低 p 通道電晶體 750、充電電容器 752、以及一個放電電晶體 756。此一電路的規格尺寸相同於類比峰值檢測器 710 的電晶體 722、電容器 724、以及電晶體 726。在操作期間中，類比檢測器 710 在節點 730 上提供一個趨近於在輸入連接線上所提供的較低峰值電壓之輸出電壓。此一輸入電壓致動放大器電路的電晶體 732，並且控制節點 760 上的電壓。在節點 760 上的輸出電壓致動電晶體 750，且電晶體 750 調整節點 758 上的輸入電壓。所以，將節點 758 上的電壓穩定於節點 730 上所提供

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(25)

的電壓之 DC 等效電壓。

如同以上所說明並且在圖 9 所呈現的，包封電路 600 提供一對互補的電壓輸出信號，而此對電壓信號的差值等於差動輸入信號的包封。其輸出電壓信號用來控制闡述於圖 9 的主要互導電路 520。主要互導電路提供一個受控的電壓給予從屬的互導電路 501。此效果為一種自動增益控制電路，其檢測差動輸入電壓信號的峰值電壓振幅之變動，並且調整互導電路的增益，藉以調整從屬互導電路的輸出，而致使鎖相迴路的特性獨立於輸入信號的振幅。

結論

已經說明了一種高速的數據通信系統，且其系統具有一個用來從所傳遞的數據中恢復數據以及時鐘信號的接收器。其接收器電路具有雙迴路的鎖相迴路(PLL)之電路。PLL 的微調迴路包含一個具有差動的類比電壓輸出之相位檢測器。已經說明了互導電路，其將差動的類比電壓輸出轉換為低電流的類比輸出。互導電路具有高阻抗的輸出、小的互導值(~ 10 至 $50 \mu S$)、以及可變的增益控制。已經說明了用來調整互導電路的互導值之增益控制電路。PLL 的粗調迴路提供內部振盪器或外部參考時鐘的頻率之擷取。增益控制電路包含一個具有負和正峰值檢測器電路之包封檢測器。

儘管在此已經闡述並且說明了特定的實施例，然而對那些熟知技術的人員而言，將會察知：任何一種計算用來實現相同目的之安排可以用來替代所示的特定實施例。本

五、發明說明(26)

說明書企圖涵蓋本發明任何一種的改變與變體。因此，其明白的意思乃是：本發明僅受限於申請專利範圍以及其等效物。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要 (發明之名稱：)

時鐘恢復之鎖相迴路及增益控制

一種高速的數據通信系統，其系統包含一個用來從所傳遞的數據中恢復數據以及時鐘信號的接收器。其接收器電路具有雙鎖相迴路(PLL)之電路。PLL 的微調迴路包含一個具有差動的類比電壓輸出之相位檢測器。互導電路將差動的類比電壓輸出轉換為低電流的類比輸出。互導電路具有能夠受控於一個自動增益調整電路的可變增益。PLL 的粗調迴路提供內部振盪器的快速頻率擷取。

英文發明摘要 (發明之名稱：PLL AND GAIN CONTROL FOR CLOCK RECOVERY)

A high speed data communication system includes a receiver to recover data and clock signals from communicated data. The receiver circuit has a dual phase lock loop (PLL) circuit. A fine loop of the PLL includes a phase detector providing a differential analog voltage output. Transconductance circuitry converts the differential analog voltage output to a low current analog output. The transconductance circuitry has a variable gain which can be controlled by an automatic gain adjust circuit. A coarse loop of the PLL allows for fast frequency acquisition of an internal oscillator.

六、申請專利範圍

一個正峰值檢測器電路，用來檢測差動類比輸入電壓信號的較高峰值電壓；以及

一個負峰值檢測器電路，用來檢測差動類比輸入電壓信號的較低峰值電壓。

5.如申請專利範圍第 4 項之高速數據接收器，其中包含一個調節器電路，用來提供一個調節的電壓給予正和負的峰值檢測器電路。

6.如申請專利範圍第 5 項之高速數據接收器，其中的調節電路包含一個電流鏡電路，並且提供一個調節的電壓，而其電流鏡電路則是連接來接收所調節的偏動的電流。

7.如申請專利範圍第 4 項之高速數據接收器，其中的正峰值檢測器電路包含：

一個類比的峰值檢測器電路；

一個複製的類比峰值檢測器電路；以及

一個放大器電路，連接到類比的峰值檢測器電路以及複製的類比峰值檢測器電路。

8.如申請專利範圍第 7 項之高速數據接收器，其中的類比峰值檢測器電路包含：

第一提昇電晶體，具有連接來接收第一差動類比的輸入電壓信號之閘極；

第二提昇電晶體，具有連接來接收第二差動類比的輸入電壓信號之閘極；

第一充電電容器，連接到第一提昇電晶體和第二提昇電晶體；以及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

電容器放電電流。

12.如申請專利範圍第 11 項之高速數據接收器，其中複製的類比峰值檢測器電路包含：

第三降低電晶體，具有連接來接收放大器電路所提供的輸出電壓之閘極；

第二充電電容器，連接到第三降低電晶體；以及

第二放電電晶體，連接到第二充電電容器，藉以提供第二電容器放電電流。

13.如申請專利範圍第 1 項之高速數據接收器，其中的互導電路具有大約 10 至 50 μ S 範圍的可變之互導數值。

14.如申請專利範圍第 1 項之高速數據接收器，其中的高速輸入數據信號具有大約 1.25GHz 的頻率；

15.如申請專利範圍第 1 項之高速數據接收器，其中的互導電路具有大約 10 至 100 μ S 範圍的可規劃或可變之互導數值。

16.如申請專利範圍第 1 項之高速數據接收器，其中包含：

一個相位頻率檢測器電路，連接來接收振盪器的輸出，並且提供代表振盪器輸出和參考時鐘信號之間的頻率差之輸出；以及

一個電荷幫浦電路，用來提供相應於相位頻率檢測器電路的輸出信號，而其電荷幫浦的輸出信號則是連接到振盪器的一個輸入端。

17.如申請專利範圍第 9 項之高速數據接收器，其中包

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

含一個連接於振盪器和相位頻率檢測器之間的除法電路，且其除法電路將振盪器的輸出除以一个預定的數值。

18.如申請專利範圍第 1 項之高速數據接收器，其中的互導電路包含一個具有衰減電阻器的差動輸入級，藉以降低互導電路的增益。

19.如申請專利範圍第 18 項之高速數據接收器，其中的互導電路包含一個具有電流鏡的輸出級，藉以降低互導電路的輸出上之電流。

20.如申請專利範圍第 1 項之高速數據接收器，其中的互導電路包含一個用來調整互導電路增益的偏壓調整電路。

21.如申請專利範圍第 1 項之高速數據接收器，其中的互導電路包含一個用來調整互導電路增益的可變增益調整電路，其調整則是相應於高速輸入數據信號的大小之變動。

22.如申請專利範圍第 1 項之高速數據接收器，其中的振盪器為一種環式振盪器。

23.如申請專利範圍第 1 項之高速數據接收器，其中的高速輸入數據信號具有大約 1.25GHz 的頻率，且其振盪器提供十個的輸出信號，其中的每一個具有大約 250MHz 的頻率。

24.如申請專利範圍第 1 項之高速數據接收器，其中的互導電路包含：

一個具有第一和第二輸入的差動輸入級，用來接收差

裝

訂

線

六、申請專利範圍

動的類比輸出電壓，其差動輸入級具有受控於第一輸入的第一電流路徑以及受控於第二輸入的第二電流路徑；以及一個輸出級，包含：

第一電流鏡電路，用來將相同於第一電流路徑上所提供的電流映射至第三電流路徑；

第二電流鏡電路，用來將第三電流路徑上所提供的電流之十分之一映射至第四電流路徑；

第三電流鏡電路，用來將於第四電流路徑上所提供的相同電流映射至第六電流路徑，其第六電流路徑則形成輸出電流路徑的一部份；

第四電流鏡電路，用來將於第二電流路徑上所提供的相同電流映射至第五電流路徑；以及

第五電流鏡電路，用來將第五電流路徑上所提供的電流之十分之一映射至第六電流路徑。

25.如申請專利範圍第 1 項之高速數據接收器，其中包含：

第二互導電路，並聯連接到互導電路，致使九效的互導值等於互導電路的互導值減去第二互導電路的互導值。

26.如申請專利範圍第 25 項之高速數據接收器，其中的第二互導電路具有相應於偏壓電壓或偏動的電流的可變互導數值。

27.一種數據通信系統，包含：

一個發送器，用來傳遞在通信接線上的高速數據；

一個接收器，連接到通信接線，藉以接收高速的數據

裝

訂

線

六、申請專利範圍

，並且藉以取得時鐘信號，其接收器包含：

一個相位檢測器電路，將其連接藉以接收高速的輸入數據信號，並且提供代表高速輸入數據信號與第二輸入信號之間差值的差動類比電壓輸出；

一個振盪器，連接到互導電路，並且提供第二輸入信號給予相應於類比輸出電流的相位檢測器；

一個相位頻率檢測器電路，將其連接藉以接收振盪器的輸出，以及提供代表振盪器輸出和參考時鐘信號之間頻率差的輸出；以及

一個電荷幫浦電路，用來提供相應於相位頻率檢測器電路的輸出信號，而其電荷幫浦的輸出信號則是連接到振盪器的一個輸入端。

28.如申請專利範圍第 27 項之數據通信系統，其中的高速數據具有大約 1.25GHz 的頻率，而參考時鐘信號則具有大約 62.5MHz 的頻率。

29.如申請專利範圍第 27 項之數據通信系統，其中的接收器進一步地包含一個連接於振盪器和相位頻率檢測器之間的除法電路，且其除法電路將振盪器的輸出除以一個預定的數值。

30.如申請專利範圍第 27 項之數據通信系統，其中的振盪器為一種環式振盪器。

31.如申請專利範圍第 27 項之數據通信系統，其中的高速輸入數據信號具有大約 1.25GHz 的頻率，且其振盪器提供十個的輸出信號，其中的每一個具有大約 250MHz 的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

頻率。

32.一種數據接收器電路，包含：

差動輸入的連接線，用來接收差動的類比輸入電壓信號；

一個相位檢測器電路，將其連接藉以接收差動的類比輸入電壓信號，並且一個差動的類比電壓輸出；

一個從屬的互導電路，連接到相位檢測器電路，藉以將差動的類比電壓輸出轉換為類比的輸出電流，且其互導電路具有可變的增益；

一個濾波器網路，藉以將來自互導電路的輸出電流轉換成爲用來充當振盪器輸入的類比電壓；

一個振盪器，經由濾波器網路連接到互導電路，並且提供第二輸入信號給予相應於類比輸出電流的相位檢測器；

一個主要互導電路，連接到從屬的互導電路，用來控制從屬互導電路的可變增益；以及

一個包封檢測器連接到主要互導電路其包封檢測電路提供一個較高的電壓輸出信號以及一個較低的輸出電壓信號，且此兩信號定義差動的類比輸入電壓信號之峰值振幅差值。

33.如申請專利範圍第 32 項之數據接收器電路，其中從屬互導電路可變的互導數值之範圍大約爲 10 至 50 μ S。

34.如申請專利範圍第 32 項之數據接收器電路，其中從屬的互導電路包含：

六、申請專利範圍

第一互導電路，具有固定的增益；以及

第二互導電路，與第一互導電路並聯連接，具有可變的增益，且其第一和第二互導電路反向地連接，致使從屬互導電路的增益等於第一互導電路的固定增益與第二互導電路的可變增益之間的差值。

35.如申請專利範圍第 34 項之數據接收器電路，其中第一互導電路的固定增益大約為 $100\mu\text{S}$ ，而第二互導電路的可變增益之範圍大約為 50 至 $90\mu\text{S}$ ，致使從屬互導電路的增益之範圍等於 10 至 $50\mu\text{S}$ 。

36.如申請專利範圍第 34 項之數據接收器電路，其中的包封檢測器包含：

一個正峰值檢測器電路，用來檢測差動類比輸入電壓信號的較高峰值電壓；以及

一個負峰值檢測器電路，用來檢測差動類比輸入電壓信號的較低峰值電壓。

37.如申請專利範圍第 36 項之數據接收器電路，其中的負和正峰值檢測器電路每一個皆包含：

一個類比的峰值檢測器電路；

一個複製的類比峰值檢測器電路；以及

一個放大器電路，連接到類比的峰值檢測器電路以及複製的類比峰值檢測器電路。

38.一種操作接收器的方法，包含：

接收差動的輸入信號；

產生代表輸入信號與第二信號之間的差值之類比電壓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

；

使用互導電路，將類比信號轉換為一類比電流；
檢測輸入信號的較高與較低之峰值電壓；以及
調整互導電路之增益，相應於較高與較低峰值電壓之
間的差值大小。

39.如申請專利範圍第 38 項之方法，其中的調整增益
之行爲包含：

調整主要互導電路的互導數值，相應於較高與較低峰
值電壓之間的差值大小，藉以提供一個控制電壓或控制電
流；以及

將控制電壓或電流連接到互導電路。

40.如申請專利範圍第 38 項之方法，其中使用一個包
封檢測電路來執行檢測較高與較低峰值電壓的行爲。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

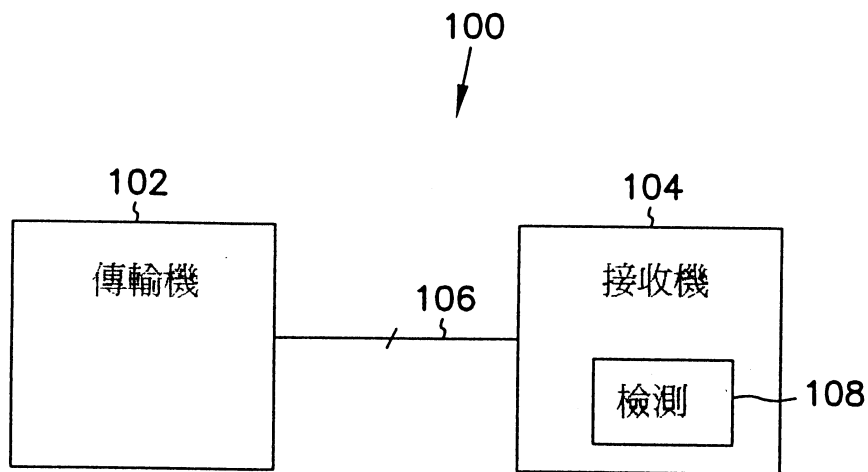


圖 1

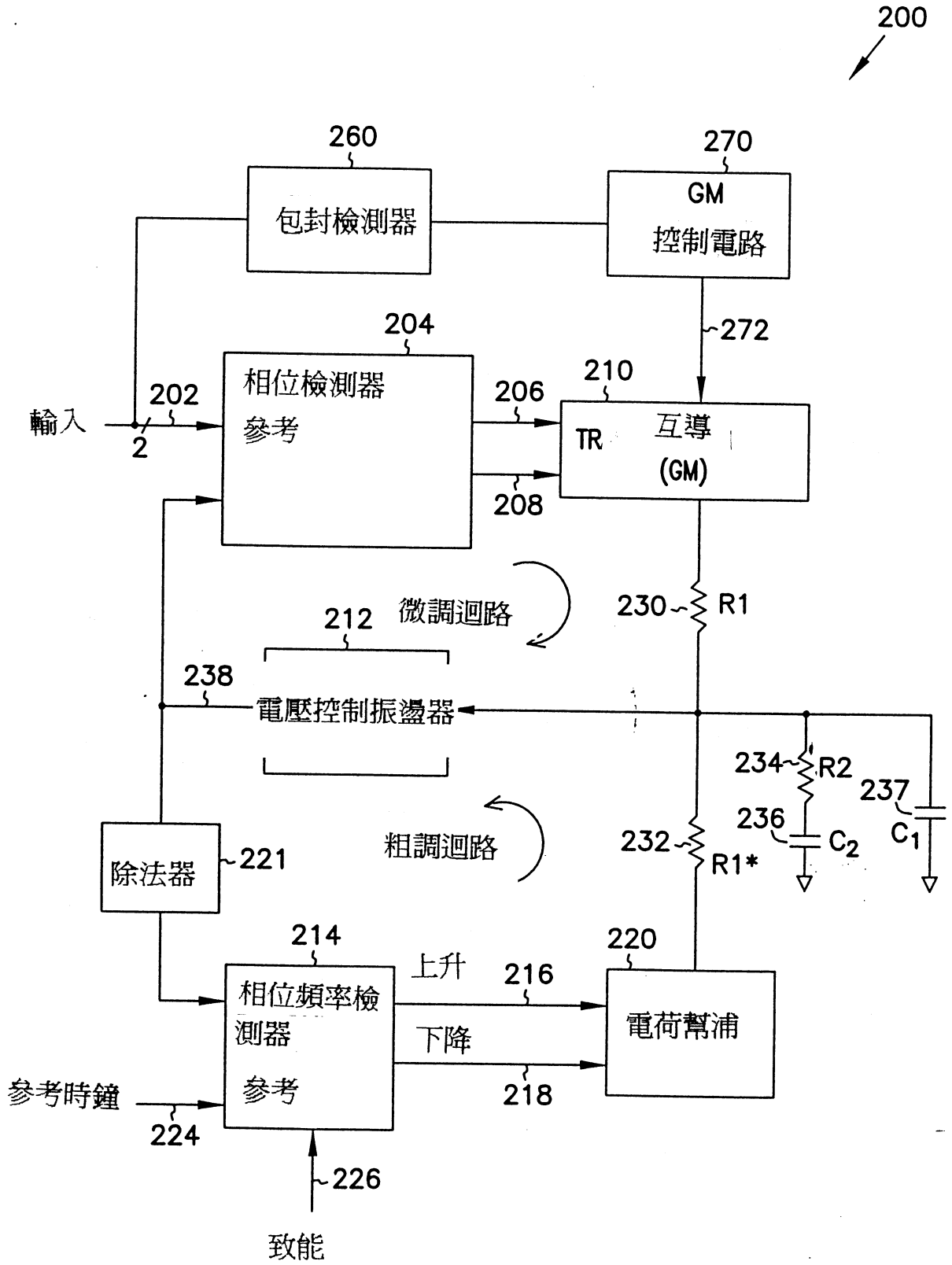


圖 2

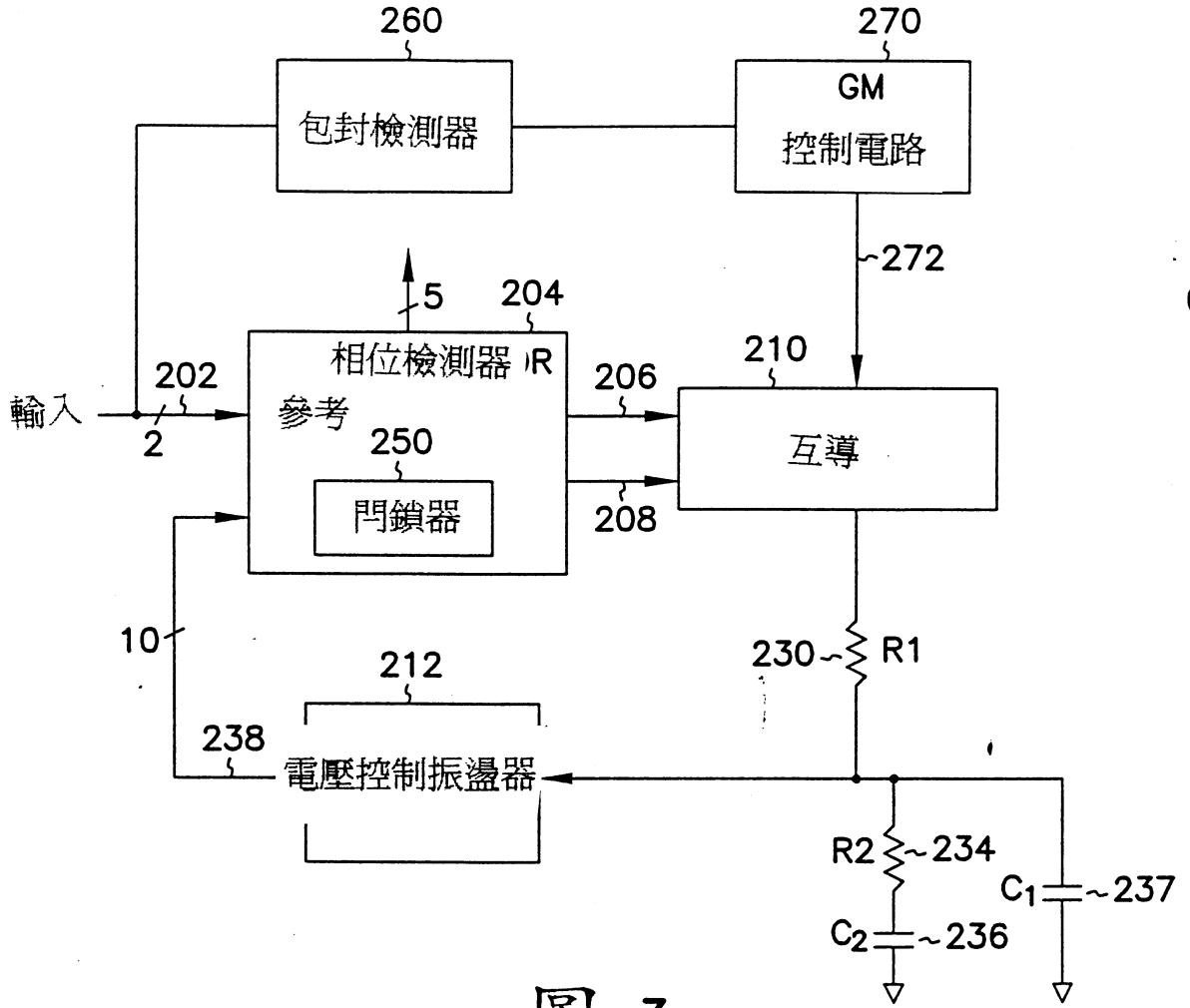


圖 3

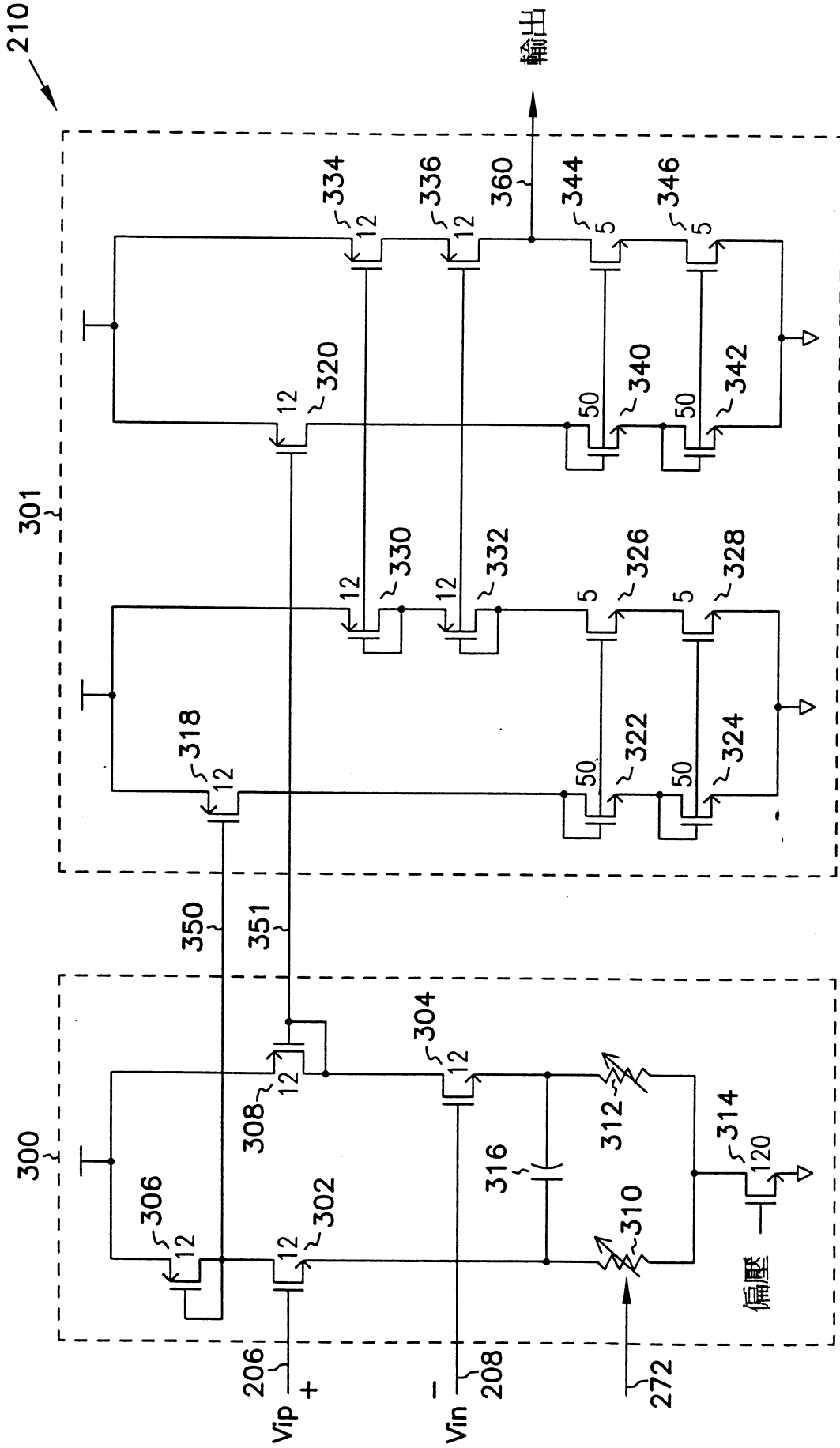


圖 4

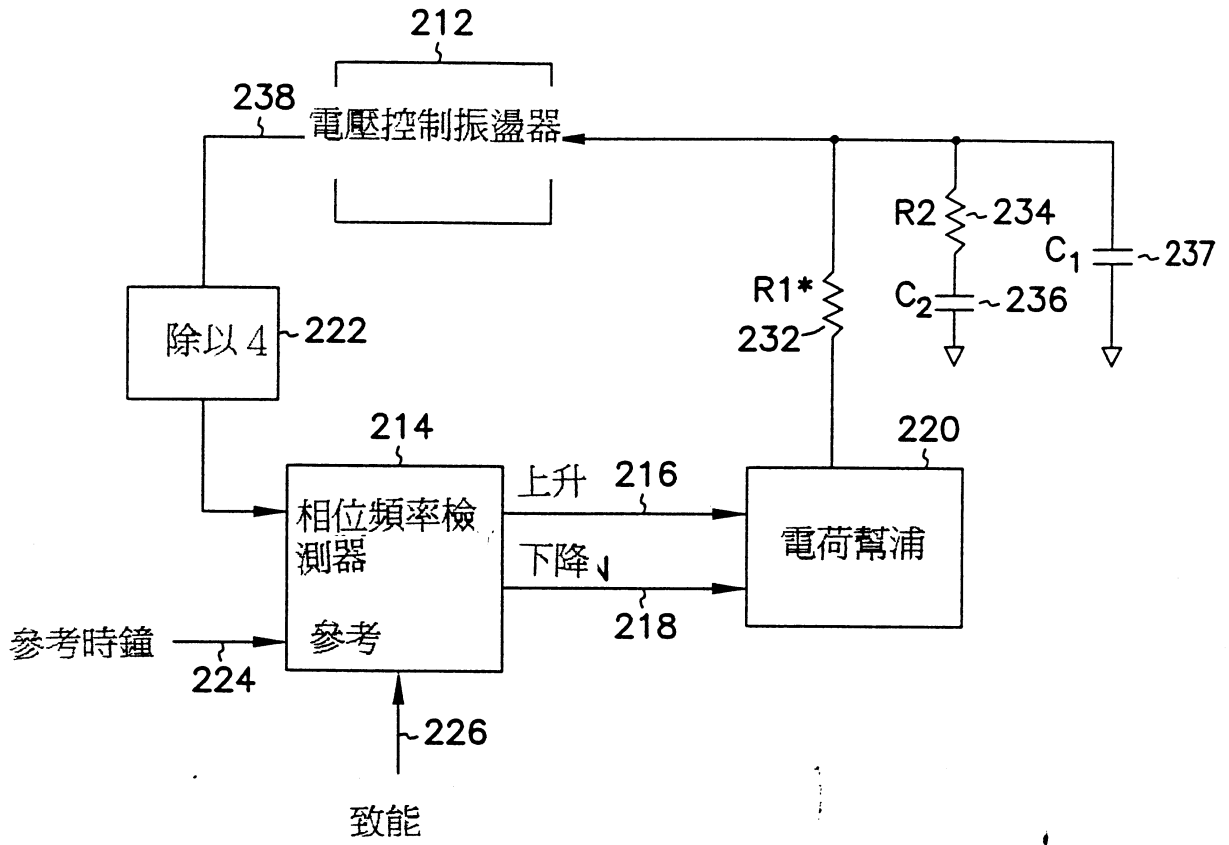


圖 5

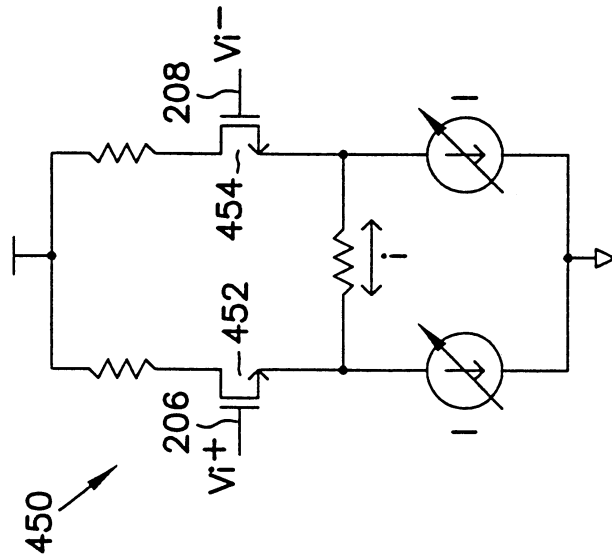


圖 6A

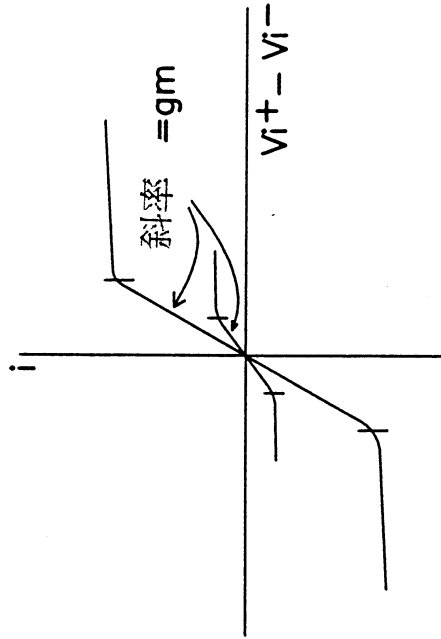


圖 6B

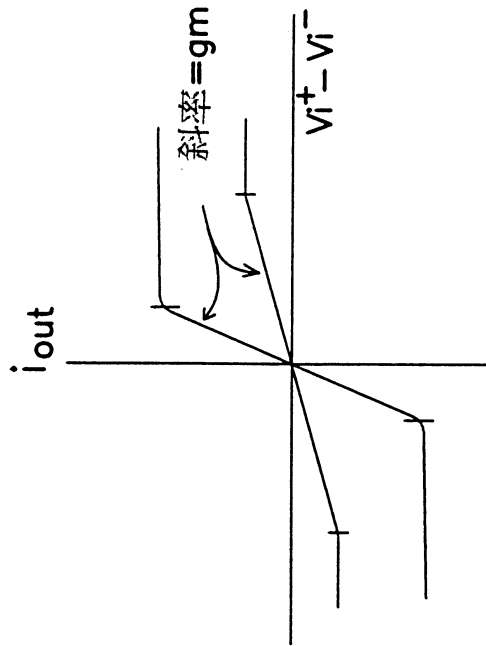


圖 7B

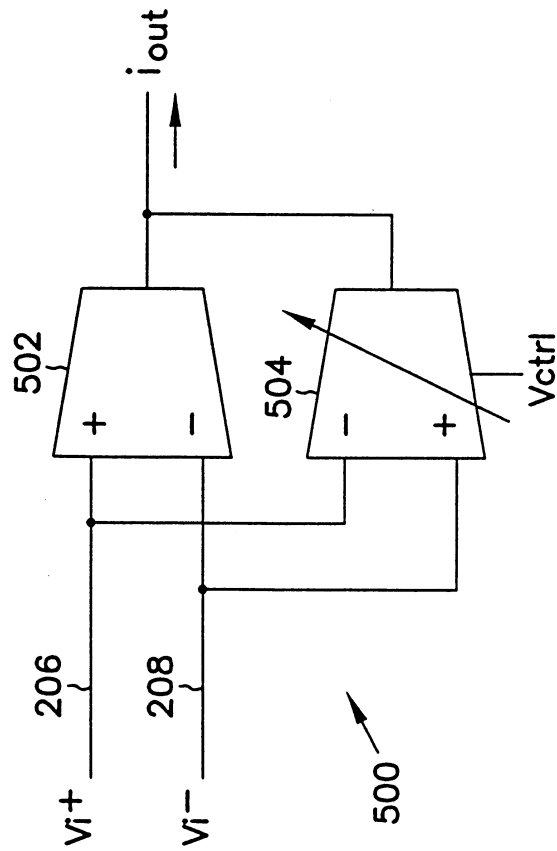


圖 7A

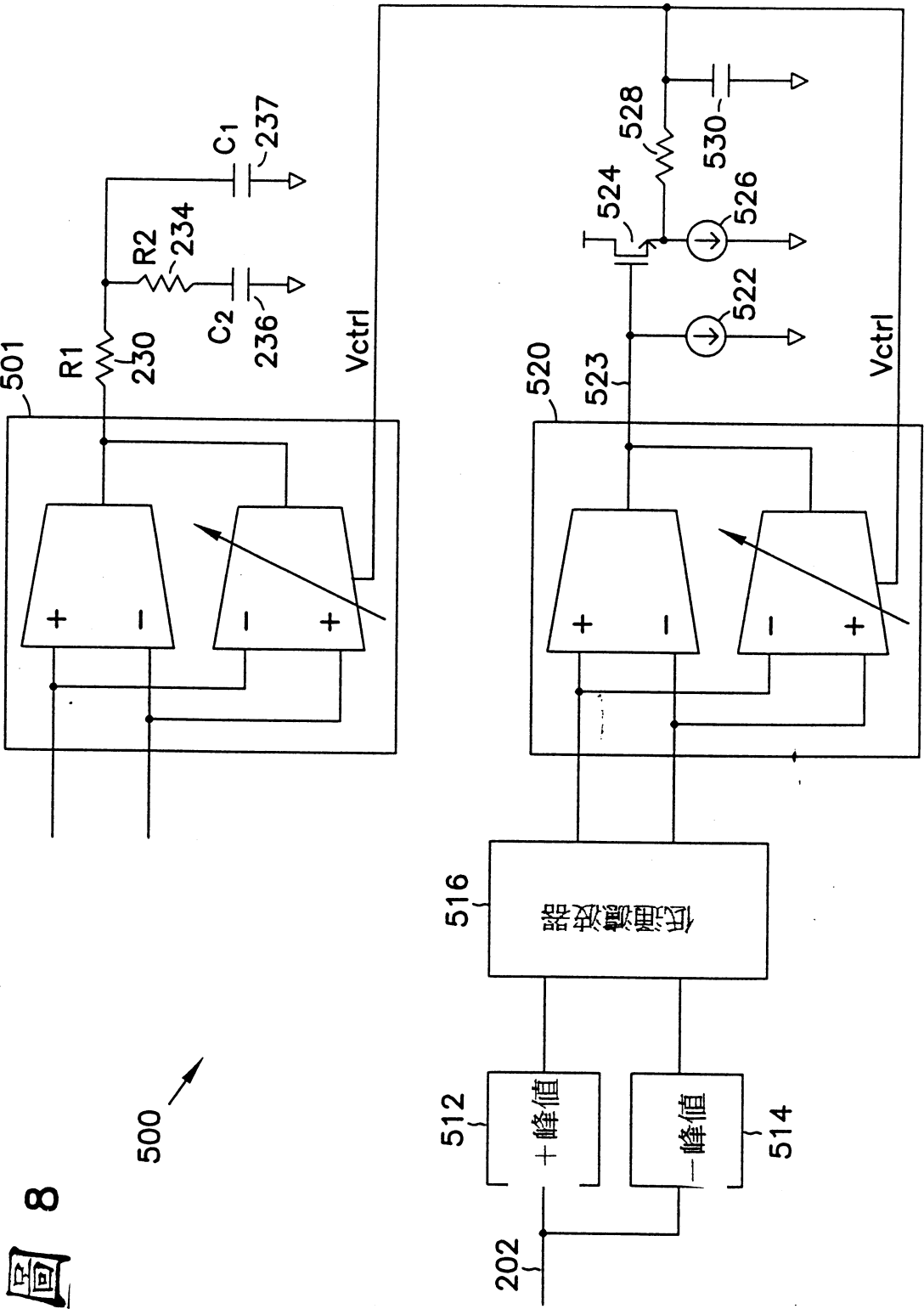
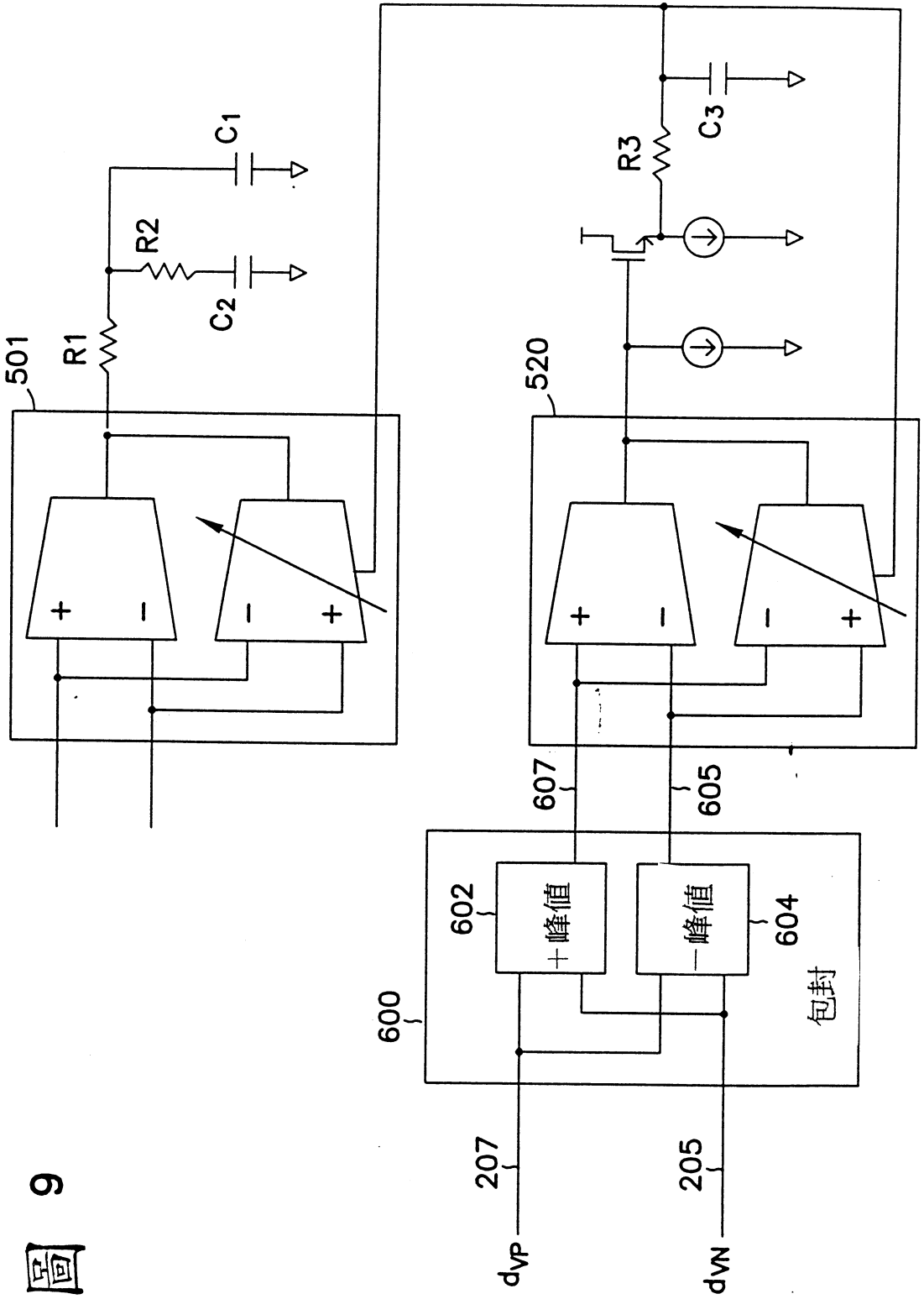


圖 8

500 ↗

圖 9



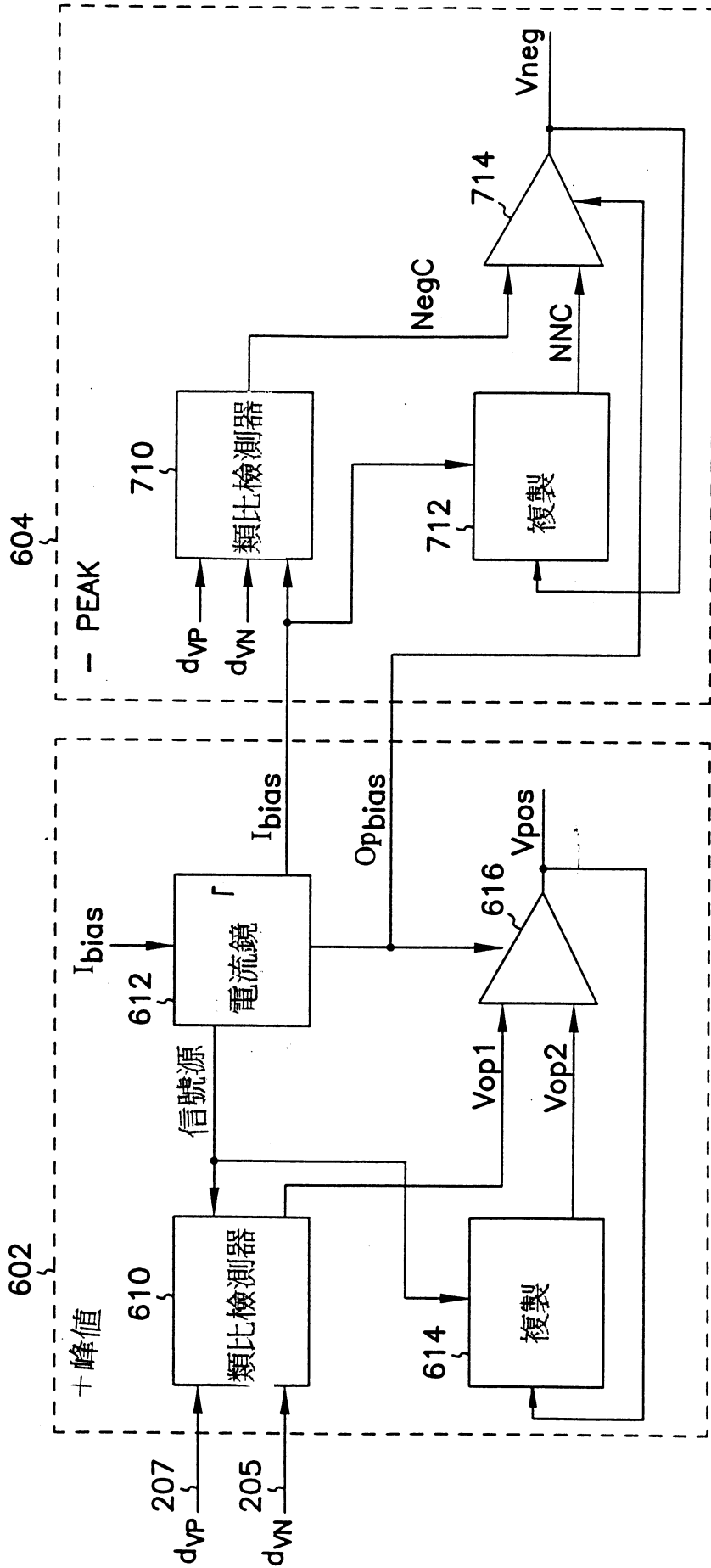


圖 10

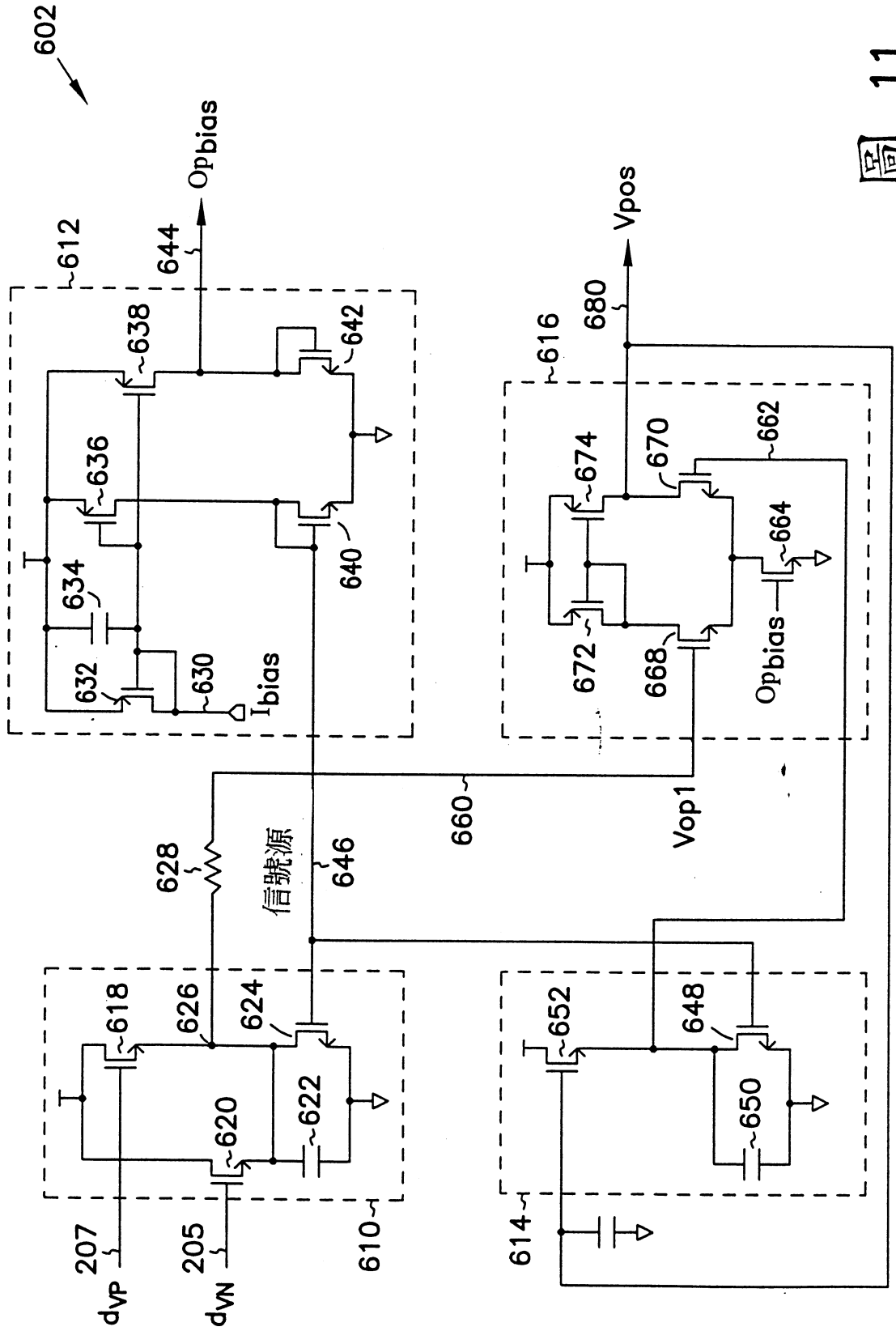


圖 11

五、發明說明(13)

為 $3.12 \times 10^7/s$ 以及 0.7。就這些數值而言， $K_O = 2.43 \times 10^9/s$ ， $S = 2V/ns$ ， $g_m = 10 \mu S$ ， $T_B = 0.8 ns$ ， $R_2 = 900 ohms$ ，而 $C_2 = 50 pF$ 。

在接收器電路 200 中，互導電路 210 為一個重要的組件，其必須將一個 1V 的單端誤差電壓信號轉換成爲大約 $10 \mu A$ 左右的電流，藉以控制其電壓控制的振盪器 212。如同以下所說明的，在一個實施例中，互導電路 210 同樣也提供可變的增益倍率。如同以下所說明的，其互導電路包含：一個雙端至單端的轉換器、用來降低整體增益的電源衰減電阻器、以及用來以因數 A 降低在輸出端的電流之電流鏡。在一個實施例中，其降低因數 A 等於 10。

圖 4 闡述互導電路一個實施例的電路圖。其互導電路具有一個輸入級 300 以及一個輸出級 301。輸入級接收來自相位檢測器電路的差動電壓之輸出，並且提供中間的輸出 350 和 351。輸入級用來當作一種具有主動負載(電晶體 306 和 308)以及衰減電阻器(310 和 312)的差動放大器。在一個實施例中，衰減電阻器 310 和 312 乃是可變的，並且由連接線 272 上、來自互導控制電路 270 的控制輸出信號所控制。

輸入級包含兩個 n 通道的輸入場效電晶體 302 以及 304。一個接成二極體形式(汲極與閘極連接在一起)的 p 通道電晶體 306 連接於 Vdd 和電晶體 302 的汲極之間。同樣地，一個 p 通道的電晶體 308 連接於 Vdd 和電晶體 304 的汲極之間。電晶體 302 的源極經由電阻器 310 和電晶體

五、發明說明(14)

314 連接到 V_{ss} ，而電晶體 304 的源極經由電阻器 312 以及電晶體 314 連接到 V_{ss} 。非必須的電容器 316 設置於電晶體 302 和 304 的源極之間。於操作中，在電晶體 302 和 304 閘極上的差動輸入電壓之變動會改變流經電晶體 306 和 308 的電流。因此，在中間輸出 350 和 351 上的電壓同樣也會改變。中間輸出 350 和 351 分別連接到輸出級 301 的 p 通道電晶體 318 和 320。因此，流經電晶體 306 和 308 的電流，後經由電晶體 320 和 318 映射。

輸出級 301 提供一低電流高阻抗的輸出 360。其輸出提供一相應於線性差動輸入電壓的電流。其輸出級包含一個提昇電路以及一個降低電路。提昇電路包含電晶體 318、322、324、326、328、330、332、334、以及 336。串聯連接的 n 通道電晶體 322 和 324 連接成二極體形式(閘極連接到汲極)，並且傳導在電晶體 318 上所映射的相同電流。電晶體 326 和 328 之尺寸係可使之分別傳導電晶體 322 和 324 電流的十分之一。因此，藉由電晶體 326 和 328 經由電晶體 322 和 324 的電流而映射，並且將之除以十。此一降低的電流經由 p 通道電晶體 330 和 332 映射至 p 通道電晶體 334 和 336。電晶體 334 和 336 連接到輸出節點 360，藉以提昇其輸出節點以及增加其輸出電流。

輸出級的降低電路包含電晶體 320、340、342、344 以及 346。串聯連接的 n 通道電晶體 340 和 342 連接成二極體形式(閘極連接到汲極)，並且傳導在電晶體 320 上所映射的相同電流。電晶體 344 和 346 之大小係可使之分別

五、發明說明 (17)

的數量而不偏離本發明。

如同以上所說明的，圖 3 和 4 的互導電路 210 包含一個配置成具有主動/電晶體負載(306 和 308)以及衰減電阻器(310 和 312)的輸入級 300。在用於十億位元接收器的互導電路之實施例中，對 1V 的單端峰對峰值電壓而言，需要大約 10 μ S 的互導值。當 200mV 的單端峰對峰值電壓用來當作相位檢測器 204 的輸入時，則其互導值應該增加至 50 μ S。具有輸入電壓大小以及互導值之間逆線性關係的互導電路乃是合乎需求的。

爲了闡述實現逆線性關係之問題，範例的輸入級 450 呈現於圖 6A 和 6B 中。藉由改變偏動的電流 I 的數值，便能夠規劃此一電路的 g_m 值。圖 6A 和 6B 電路的線性範圍定義爲區域($V_{i^+} - V_{i^-}$)，其在預定的線性之設計規格中，電流 I 對($V_{i^+} - V_{i^-}$)曲線的斜率爲常數。此斜率即是 g_m 值：

$$g_m = \left| \frac{i}{V_{i^+} - V_{i^-}} \right|$$

(5)

圖 6A 電路的線性範圍直接正比於電晶體 452 和 454 的過量偏壓電壓(v_{dsat})， $v_{dsat} = V_{gs} - V_t$ 。其中的 V_{gs} 爲電晶體 452 和 454 的閘極源極電壓，而 V_t 則是電晶體 452 和 454 的臨界電壓。以下的正比關係適用於電路 450 不同的參數：線性範圍 $\propto g_m \propto v_{dsat} \propto I$ 。因此，隨著 g_m 數值的增加，電路 450 的線性範圍也會增加。同樣地，隨著 g_m

六、申請專利範圍

1.一種高速數據接收器，包含：

差動的輸入連接線，用來接收差動的類比輸入電壓信號；

一個相位檢測器電路，將其連接藉以接收差動的類比輸入電壓信號，並且提供差動的類比電壓輸出；

一個互導電路，連接到相位檢測器電路，藉以將差動的類比電壓輸出轉換為類比的輸出電流；以及

一個振盪器，連接到互導電路，並且響應於該類比的輸出電流而提供第二輸入信號給予相位檢測器。

2.如申請專利範圍第 1 項之高速數據接收器，其中的互導電路具有依存於控制電壓的增益，且其高速數據接收器進一步地包含：

一個濾波器網路，藉以將來自互導電路的輸出電流轉換成爲用來充當振盪器輸入的類比電壓，且其振盪器經由濾波器網路連接到互導電路，並且相應類比輸出電流而提供第二輸入信號給予相位檢測器；以及

一個自動增益控制電路，連接到互導電路，藉以提供相應於差動類比輸入電壓信號的振幅差值之控制電壓信號。

3.如申請專利範圍第 2 項之高速數據接收器，其中的自動增益控制電路包含一個包封檢測器以及一個主要互導電路。

4.如申請專利範圍第 3 項之高速數據接收器，其中的包封檢測器包含：

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

第一放電電晶體，連接到充電電容器，藉以提供第一電容器放電電流。

9.如申請專利範圍第 8 項之高速數據接收器，其中複製的類比峰值檢測器電路包含：

第三提昇電晶體，具有連接來接收放大器電路所提供的輸出電壓之閘極；

第二充電電容器，連接到第三提昇電晶體；以及

第二放電電晶體，連接到第二充電電容器，藉以提供第二電容器放電電流。

10.如申請專利範圍第 4 項之高速數據接收器，其中的負峰值檢測器電路包含：

一個類比的峰值檢測器電路；

一個複製的類比峰值檢測器電路；以及

一個放大器電路，連接到類比的峰值檢測器電路以及複製的類比峰值檢測器電路。

11.如申請專利範圍第 10 項之高速數據接收器，其中的類比峰值檢測器電路包含：

第一降低電晶體，具有連接來接收第一差動類比的輸入電壓信號之閘極；

第二降低昇電晶體，具有連接來接收第二差動類比的輸入電壓信號之閘極；

第一充電電容器，連接到第一降低電晶體和第二降低電晶體；以及

第一放電電晶體，連接到充電電容器，藉以提供第一